(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2007-513456
(P2007-513456A)
(43)公表日　平成19年5月24日(2007.5.24)

(51)Int.Cl.		F I			テーマコード（参考）
G11C 16/02	(2006.01)	G11C	17/00	611E	5B125
G11C 16/04	(2006.01)	G11C	17/00	622E	

審査請求 未請求　予備審査請求 未請求　（全 43 頁）

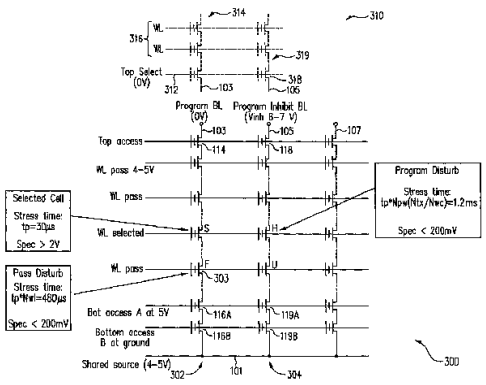
(21)出願番号	特願2006-542737 (P2006-542737)
(86)(22)出願日	平成16年12月2日 (2004.12.2)
(85)翻訳文提出日	平成18年7月21日 (2006.7.21)
(86)国際出願番号	PCT/US2004/040318
(87)国際公開番号	WO2005/057585
(87)国際公開日	平成17年6月23日 (2005.6.23)
(31)優先権主張番号	10/729,844
(32)優先日	平成15年12月5日 (2003.12.5)
(33)優先権主張国	米国 (US)

(71)出願人　506190692
サンディスク・スリー・ディ・リミテッド・ライアビリティ・カンパニー
ＳＡＮＤＩＳＫ　３Ｄ　ＬＬＣ
アメリカ合衆国、９５０３５－７９３２　カリフォルニア州、ミルピタス、マッカーシー・ブールバード、６０１
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊

最終頁に続く

(54)【発明の名称】個々のメモリセルの多重書込パルスプログラミングを組込んだＮＡＮＤメモリアレイおよびその動作方法

(57)【要約】
例示的なＮＡＮＤストリングメモリアレイは、半分選択されたセルのプログラムディスターブの影響を減ずるために、半分選択されたメモリセルチャネルを容量的にブーストする。ブーストされたレベルのリーク電流の劣化の影響を減らすために、期間がより短い多重プログラミングパルスを用いて、このようなリーク電流が非選択ＮＡＮＤストリング内における電圧を低下させる可能性のある期間を制限する。加えて、各ＮＡＮＤストリングの一方または両方の端部における複数の直列選択デバイスは、さらに、非選択ＮＡＮＤストリングおよび被選択ＮＡＮＤストリングのために、このような選択デバイスに流れるリークを減らすことを確実にする。



【特許請求の範囲】
【請求項１】
複数の直列接続されたＮＡＮＤストリングに配置されたメモリセルを含むメモリアレイを有する集積回路を作動させるための方法であって、前記メモリセルは変更可能なコンダクタンススイッチデバイスを含み、前記方法は、被選択メモリセルのための合計のプログラミング時間を実現するために被選択ワード線を何度もプログラミング電圧にパルスにし、個々のプログラミングパルスを実質的に合計のプログラミング時間未満の期間に制限し、これにより、被選択ブロックのＮＡＮＤストリング内におけるリーク電流の影響を制限するステップを含む、方法。
【請求項２】
少なくとも２つのプログラミングパルスの後にだけ読出動作を実行するステップをさらに含む、請求項１に記載の方法。
【請求項３】
プログラミングパルス間における関連するアレイ線上の抑制電圧を維持するステップをさらに含む、請求項１に記載の方法。
【請求項４】
リーク電流の影響は、長いプログラミングパルス中に発生する可能性のある、ＮＡＮＤストリング内の１つ以上の位置における電圧バイアスの変化を含む、請求項１に記載の方法。
【請求項５】
このような各々のプログラミングパルスの前に、被選択ブロックの被選択ＮＡＮＤストリングおよび非選択ＮＡＮＤストリング内においてそれぞれのバイアス条件を再設定するステップをさらに含む、請求項４に記載の方法。
【請求項６】
このような非選択ＮＡＮＤストリング内でバイアス条件を設定するために、被選択メモリブロック内の非選択ＮＡＮＤストリングを、抑制電圧を伝達する関連するアレイ線に結合するステップと、
まだ分離されていない場合、抑制電圧以外のバイアス電圧を伝達する関連するアレイ線から、被選択メモリブロック内における非選択ＮＡＮＤストリングを分離するステップとをさらに含む、請求項１に記載の方法。
【請求項７】
プログラミングパルス間における関連するアレイ線上の抑制電圧を維持するステップをさらに含む、請求項６に記載の方法。
【請求項８】
抑制電圧を伝達する関連するアレイ線に非選択ＮＡＮＤストリングを結合しつつ、被選択ワード線をプログラミング電圧未満の電圧に駆動するステップと、
抑制電圧を伝達する関連するアレイ線から非選択ＮＡＮＤストリングを分離するステップと、
被選択ワード線をプログラミング電圧にパルスにするステップとをさらに含む、請求項６に記載の方法。
【請求項９】
被選択ワード線は、抑制電圧を伝達する関連するアレイ線から非選択ＮＡＮＤストリングを分離する前に接地され、次いで、プログラミング電圧に駆動される、請求項８に記載の方法。
【請求項１０】
非選択ＮＡＮＤストリングを分離するステップは、被選択ＮＡＮＤストリングの端部における複数の直列選択デバイスのうちの少なくとも１つをオフにするステップを含む、請求項６に記載の方法。
【請求項１１】
被選択メモリセルをプログラミングするビット線プログラミング電圧、または、被選択

メモリセルのプログラミングを抑制するビット線抑制電圧のいずれかを伝達する関連するアレイ線に被選択ＮＡＮＤストリングを結合するステップと、
他の関連するアレイ線から被選択ＮＡＮＤストリングを分離するステップとをさらに含む、請求項１に記載の方法。
【請求項１２】
被選択ＮＡＮＤストリングを分離するステップは、被選択ＮＡＮＤストリングの端部における複数の直列選択デバイスのうちの少なくとも１つをオフにするステップを含む、請求項１１に記載の方法。
【請求項１３】
各ＮＡＮＤストリングを形成するそれぞれの複数の選択デバイスおよびメモリセルデバイスは、構造的に実質的に同一である、請求項１０または１２に記載の方法。
【請求項１４】
オフにするステップは、被選択ＮＡＮＤストリングの端部における複数の直列選択デバイスのうちの少なくとも２つのそれぞれのデバイスに対応するそれぞれの選択信号を異なるレベルに駆動するステップを含む、請求項１２に記載の方法。
【請求項１５】
異なるレベルのうちの１つが接地であり、異なるレベルのうちの別の１つが、接地と、被選択ワード線上で伝達されるプログラミング電圧との間の電圧である、請求項１４に記載の方法。
【請求項１６】
個々のプログラミングパルスが１マイクロ秒よりも短く、合計のプログラミング時間が１０マイクロ秒よりも長い、請求項１から１５のいずれかに記載の方法。
【請求項１７】
プログラミング電圧が１０～１６ボルトの範囲内である、請求項１から１６のいずれかに記載の方法。
【請求項１８】
変更可能なコンダクタンススイッチデバイスは、少なくとも時には、デプレッションモードのしきい値電圧を有するトランジスタを含む、請求項１から１７のいずれかに記載の方法。
【請求項１９】
変更可能なコンダクタンススイッチデバイスは、薄膜トランジスタ（ＴＦＴ）デバイスを含む、請求項１から１８のいずれかに記載の方法。
【請求項２０】
メモリセルスイッチデバイスは、メモリセル毎に２ビット以上のデータを記憶するために、コンダクタンスの３つ以上の公称値を有する、請求項１から１９のいずれかに記載の方法。
【請求項２１】
変更可能なコンダクタンススイッチデバイスは、電荷蓄積誘電体を有するトランジスタを含む、請求項１から２０のいずれかに記載の方法。
【請求項２２】
メモリセルトランジスタは、２つのデータ状態のうちの少なくとも１つのためにデプレッションモードのしきい値電圧を有する、請求項２１に記載の方法。
【請求項２３】
メモリアレイは、基板の上に形成されたメモリセルの少なくとも２つのプレーンを有する３次元のメモリアレイを含む、請求項１から２２のいずれかに記載の方法。
【請求項２４】
基板は、メモリアレイに結合される回路を含む単結晶基板を含む、請求項２３に記載の方法。
【請求項２５】
所与のメモリプレーンのＮＡＮＤストリングは、基板の上に形成された選択デバイスを

含む、請求項２４に記載の方法。
【請求項２６】
集積回路であって、
複数の直列接続されたＮＡＮＤストリングに配置されたメモリセルを含むメモリアレイを含み、前記メモリセルは変更可能なコンダクタンススイッチデバイスを含み、前記集積回路はさらに、
前記メモリアレイに結合されたアレイ支持回路を含み、
前記集積回路は、請求項１から２５のいずれかに記載の方法を実行するために構成される、集積回路。
【請求項２７】
前記集積回路の設計、テストまたは作製の際に用いるのに好適なコンピュータ読取可能な記述形式で実現される、請求項２６に記載の集積回路。
【発明の詳細な説明】
【技術分野】
【０００１】
技術分野
この発明は、直列接続されたメモリセルを有するメモリアレイを含む半導体集積回路に関し、好ましい実施例においては、この発明は、特に、モノリシックの３次元メモリアレイに関する。
【背景技術】
【０００２】
背景技術
半導体処理技術およびメモリセル技術における最近の開発により、集積回路メモリアレイにおいて実現される密度がますます高くなってきた。たとえば、特定のワード線相互接続層についての最小特徴寸法（Ｆ）および最小特徴間隔に近いワード線を有し、さらに、特定のビット線相互接続層についての最小特徴幅および最小特徴間隔に近いビット線を有する或る受動素子メモリセルアレイが作製され得る。さらに、メモリセルの２つ以上のプレーンまたはレベルを有し、各メモリプレーン上でこのようないわゆる$4F^2$メモリセルを実現する３次元メモリアレイが作製されてきた。例示的な３次元メモリアレイが、「垂直に積重ねられたフィールドプログラマブル不揮発性メモリおよびその作製方法（“Vertically Stacked Field Programmable Nonvolatile Memory and Method of Fabrication”）」と題されたジョンソン（Johnson）に対する米国特許第６，０３４，８８２号に記載されている。
【０００３】
他のさまざまなメモリセル技術および配置がまた公知である。比較的小さなメモリセルを実現するための、たとえばＮＡＮＤフラッシュおよびＮＲＯＭフラッシュＥＥＰＲＯＭメモリアレイが公知である。ホットエレクトロンプログラミングを用いる他の小型のフラッシュＥＥＰＲＯＭセル、たとえばＮＲＯＭおよびフローティングゲートＮＯＲフラッシュメモリアレイが公知である。
【０００４】
極めて高密度のメモリアレイは、メモリセルデバイスの直列接続されたＮＡＮＤストリングを含むＮＡＮＤスタイルの配置を用いて達成され得る。メモリセルの各ＮＡＮＤストリングは、典型的には、ＮＡＮＤストリングの一方の端部をグローバル線に結合する第１のブロック選択デバイスと、複数の直列接続されたメモリセルと、ＮＡＮＤストリングの他方の端部を当該ストリングに関連付けられるバイアスノードに結合する第２のブロック選択デバイスとを含む。メモリアレイはいくつかのメモリブロックを含み得、各ブロックは同じワード線を共有する複数のＮＡＮＤストリングを含み得る。ブロックに対する２つのブロック選択信号は、典型的には、当該ブロックの各ＮＡＮＤストリングにルーティングされる。
【０００５】

基本的なＮＡＮＤストリングは極めて効率的な構造であり、インクリメンタルトランジスタメモリセルのための４Ｆ^{2}レイアウトを実現することができる。密度も改善される。というのも、ブロック選択線が、ちょうどワード線と同様に、アレイブロックにわたって連続的なポリシリコンストライプにルーティングされ得るが、この場合、ＮＡＮＤストリングにおいて形成されるブロック選択トランジスタのすべてではなくいくつかに対しブロック選択信号線を接触させる必要がないからである。

【０００６】

多くのＮＡＮＤストリングメモリアレイ（すなわち、直列接続されたメモリセルを用いるもの）については、プログラミング中に被選択メモリセルおよび非選択メモリセルに印加されるさまざまなバイアス電圧や、これらの電圧を印加する相対的なタイミングを選択する際にトレードオフが存在する。被選択メモリセルの適切なプログラミングを確実にするが、同様に、被選択ＮＡＮＤストリング内の非選択メモリセルが意図せずに「ディスターブプログラミング」されないことを確実にし、さらに、被選択ＮＡＮＤストリングに隣接する（すなわち、同じワード線を共有する）非選択ＮＡＮＤストリングにおけるメモリセルがまた、プログラミング中に意図せずディスターブされないことを確実にするための条件が選択されなければならない。今日までの進歩にもかかわらず、メモリアレイ構造およびその動作方法の絶え間ない改善が所望される。さらに、３次元メモリアレイに作製され得るこのようなメモリアレイ構造の改善が大いに所望される。

【発明の開示】

【発明が解決しようとする課題】

【０００７】

発明の説明

ＮＡＮＤストリングメモリアレイをプログラミングする場合、非選択ＮＡＮＤストリング内の非選択メモリセルと、特に被選択ワード線を被選択メモリセルと共有する非選択メモリセルとに印加されるバイアス電圧に比べて、被選択ＮＡＮＤストリング内の非選択メモリセルに印加されたバイアス電圧を選択する際にトレードオフが存在し得る。非選択ＮＡＮＤストリングに伝達されるより高い抑制電圧により、被選択ワード線に関連付けられるメモリセル（すなわち、「半分選択されたメモリセル」）に対するプログラムディスターブの影響が減じられる。しかしながら、抑制電圧が高いことにより、非選択ワード線の電圧が相応により高くなれば、プログラミング中に被選択ＮＡＮＤストリングにおける非選択セルがディスターブされる可能性がある。

【０００８】

半分選択されたメモリセルに対するプログラムディスターブの影響は、まず半分選択されたセルのチャネルに第１の電圧へとバイアスをかけ、被選択ワード線上でプログラミングパルスによってチャネルをさらに高い電圧へと容量的にブーストすることにより、実質的に減じることができる。これにより、半分選択されたメモリセルにわたる電圧が下げられ、結果として、意図しないプログラムディスターブの影響が減じられる。しかしながら、非選択チャネルにおけるこのようなブーストされた電圧レベルにより、非選択ＮＡＮＤストリングの選択デバイスを通るリーク電流が増える可能性がある。

【０００９】

これらのリーク電流は、各ＮＡＮＤストリングの一方または両方の端部において複数の直列選択デバイスを用いることによって減らすことができる。好ましくは、ストリングの遮断を確実にするために、当該デバイスのしきい値を下回るより低い電圧が少なくとも１つの直列デバイスに供給され、別のより高い電圧が少なくとも１つの他の直列デバイスに供給されて、他の場合に流れる可能性のあるリーク電流の大きさを小さくし得る。

【００１０】

期間がより短い多重プログラミングパルスを用いることにより、非選択ＮＡＮＤストリング内における電圧をこのようなリーク電流が低下させ得る期間を制限することができる。これらの多重プログラミングパルスの数および期間は、適切なプログラミングを確実にするために被選択メモリセル上で合計のプログラムストレス時間を維持するために選択さ

れる。好ましくは、非選択ＮＡＮＤストリング内の最初のバイアス条件は、このような各プログラミングパルスの前に再設定されるので、１つのプログラミングパルス中のブーストされたチャネル電圧のリークの劣化の影響が、次のプログラミングパルスに蓄積されない。さまざまな実施例においては、各々のプログラミングパルスはマルチレベルのパルスであってもよく、非選択ワード線および選択線上でそれぞれのマルチレベルのパルスに付随して、非選択ＮＡＮＤストリングに抑制電圧へとバイアスをかけ、次いで、バイアス電圧ソースから少なくとも半分選択されたメモリセルチャネルを分離して、ストリング内の他のメモリセルチャネルを容量的にロードすることなく、チャネルを抑制電圧よりも高くブーストすることを可能にする。いくつかの実施例においては、このようなマルチレベルのパルスは、さまざまな大きさの２つの別個のパルスを用いて実現され得るが、これらはともに、単一のプログラミングパルスに対応し得る。この発明において想定される多重プログラミングパルスは、当該技術において見られるように、被選択セルの読出および再プログラミングをさらに何回か実施することによって変わる。多重プログラミングパルスは、プログラミングされたセルの連続した読出動作中に印加され、これにより、セルをプログラミングするのに必要な時間全体が大いに低減される。この発明のいくつかの具体的な実施例においては、グローバルビット線上のデータ状態は、複数のプログラミングパルスの個々のパルス間では変化しない。

【課題を解決するための手段】

【００１１】

ある具体的な実施例においては、フラッシュメモリアレイは、たとえばＳＯＮＯＳデバイスなどの電荷蓄積誘電体を有するメモリセルトランジスタの直列接続されたＮＡＮＤストリングを含む。メモリセルの各ＮＡＮＤストリングは、ＮＡＮＤストリングの一方の端部をグローバルビット線に結合する少なくとも１つの選択デバイスの第１のグループと、ＮＡＮＤストリングのもう一方の端部を、当該ストリングに関連付けられる共有されたバイアスノードに結合する少なくとも２つのブロック選択デバイスの第２のグループとを含む。好ましくは、選択デバイスはＳＯＮＯＳデバイスでもあり、メモリセルトランジスタとして同一の態様で形成され得ることにより、各ＮＡＮＤストリングに必要な異なる構造の数を減らし得る。

【００１２】

ある実施例においては、メモリアレイのレベル上におけるメモリブロック内のＮＡＮＤストリングの対は、同じグローバルビット線を共有し得る。他の実施例においては、ブロック内における各ＮＡＮＤストリングは、同じワード線を共有する他のＮＡＮＤストリングによっては共有されないそれぞれの独自のグローバルビット線に関連付けられる。

【００１３】

ある実施例においては、選択デバイスおよびメモリセルデバイスはＳＯＮＯＳデバイスである。しきい値電圧の範囲について考慮されるが、好ましくは、デプレッションモードのしきい値電圧を有するようなデバイスが形成される。さらにより好ましくは、選択デバイスおよびメモリセルデバイスは、－２～－３ボルトの熱平衡しきい値電圧を有するＮチャネルデバイスである。メモリセルについては、このようなしきい値電圧は好ましくは消去されたデータ状態に対応し、メモリセルは、－１～０ボルトのデプレッションに近いしきい値電圧にプログラミングされる。選択デバイスは、好ましくは、同じ熱平衡しきい値電圧を有するよう作製されるが、ほぼデプレッションモードのしきい値電圧を有するようプログラミングされた状態に維持される。

【００１４】

この発明は、いくつかの局面においては、メモリアレイを有する集積回路を含む集積回路内における実装、メモリアレイ構造、このような集積回路およびメモリアレイを作動させるための方法、ならびに、このような集積回路またはメモリアレイを符号化するコンピュータ読取可能媒体に特に好適であり、これらはすべて、この明細書中により詳細に記載され、添付の特許請求の範囲において説明されるとおりである。基板の上に形成される３次元のメモリアレイを有し、いくつかのメモリプレーン（すなわち、メモリレベル）の各

々の上に形成されるメモリセルを有する多種多様なこのような集積回路が具体的に企図される。

【００１５】

以上のことは概要であり、このため、当然、詳細が簡略化、一般化かつ省略されている。従って、当業者は、上述の概要が単に例示的なものであり、この発明を限定することを意図するものではないことを認識するだろう。この発明の他の局面、発明の特徴および利点は、添付の特許請求の範囲によってのみ規定されており、以下に述べられる詳細な説明から明らかとなるだろう。

【００１６】

この発明は、添付の図面を参照することにより当業者に明らかとなるその多くの目的、特徴および利点とともに、より良く理解され得る。

【００１７】

異なる図面において同じ参照番号を用いて、同様または同一の要素を示す。

【発明を実施するための最良の形態】

【００１８】

好ましい実施例の説明

図１を参照すると、例示的なメモリアレイ１００の一部の電気図が示される。図示される部分は、メモリセルのプレーンを１つしかもたない２次元のアレイを表わし得るか、または、メモリセルのレベルを２つ以上（すなわち、プレーンを２つ以上）有する３次元のメモリアレイの１つのレベルを表わし得る。複数の直列接続されたＮＡＮＤトランジスタストリング１０２、１０４、１０６が示される。各ストリングは直列に接続された複数のＳＯＮＯＳトランジスタを含み、各々は、複数のワード線１１７のそれぞれによってゲート制御される。ＮＡＮＤストリング１０２はまた、ノード１１３上で伝達されるブロック選択信号ＴＯＰ　ＳＥＬＥＣＴに従ってＮＡＮＤストリングの一方の端部をグローバルビット線１０３に結合するためのブロック選択デバイス１１４を含み、さらに、ノード１１５上で伝達されるブロック選択信号ＢＯＴＴＯＭ　ＳＥＬＥＣＴに従ってＮＡＮＤストリングのもう一方の端部を共有されたバイアスノード１０１に結合するための第２のブロック選択デバイス１１６を含む。

【００１９】

各ＮＡＮＤストリング１０２、１０４、１０６はメモリアレイ内における同じブロック内に配置され、各々は、その関連するグローバルビット線１０３、１０５、１０７にそれぞれ結合される。このようなグローバルビット線は、アレイよりも下方もしくは代替的にはアレイよりも上方の書込レベルによって、または、代替的には、アレイ内の書込レベル上で（たとえば、２つ以上のレベルを有する３次元のアレイにおいて）伝達され得る。ＮＡＮＤストリング１０２、１０４、１０６は「隣接する」ＮＡＮＤストリングと称され得る。というのも、これらは、グローバルビット線を共有しないにもかかわらず、同じワード線を（すなわち、アレイの同じブロック内で）共有するからである。図示される配置については、共有されるバイアスノード１０１はグローバルソース線としても公知であり得る。

【００２０】

ブロック選択信号ＴＯＰ　ＳＥＬＥＣＴおよびＢＯＴＴＯＭ　ＳＥＬＥＣＴ、ワード線１１７ならびにグローバルソース線１０１はすべて、メモリアレイを同じ方向に横断する（便宜上、ここでは水平に示される）ので、後に述べるように、より都合良くデコードされ、適切なレベルに駆動され得る。グローバルビット線１０３、１０５、１０７は、メモリアレイを概して垂直方向に横断する（便宜上、ここでは垂直に示される）。４つのこのような通過ワード線１１１および１つの被選択ワード線１０９しか示されていないが、実際には、各ＮＡＮＤストリングは、このような多くのワード線、たとえば合計で１６本のワード線を含み得ることが理解されるはずである。

【００２１】

上述のとおり、ＮＡＮＤストリングにおけるメモリセル（すなわち、ワード線のうちの

１本によってゲート制御されるもの）は好ましくはＳＯＮＯＳ構造である。ここで用いられるように、ＳＯＮＯＳという語は広く用いられており、ゲートと下にあるチャネルとの間に電荷蓄積誘電層を有する一般的なクラスのトランジスタデバイスを指すよう意図されており、限定的な意味では用いられず、単に文字通りのシリコン－酸化物－窒化物－酸化物－シリコンの層の積重ねを意味するに過ぎない。たとえば、他の種類の電荷蓄積誘電層、たとえば酸窒化物、ならびに他の種類のメモリセル構造が、以下により詳細に説明されるとおりに用いられてもよい。

【００２２】

基本的なＮＡＮＤストリングは非常に効率的な構造であり、インクリメンタルトランジスタメモリセルのための$4F^2$レイアウトを実現することができる。密度も改善される。というのも、２つのブロック選択線１１３、１１５が、ちょうどワード線と同様にアレイブロックにわたって連続的なポリシリコンストライプにルーティングされ得るが、この場合、ＮＡＮＤストリングにおいて形成されるブロック選択トランジスタのすべてではなくいくつかに対しブロック選択信号線を接触させる必要がないからである。

【００２３】

このアレイ構造の効率性に寄与する別の要因として、ブロック選択デバイスをメモリセルデバイスと同様に作製する能力が挙げられる。すなわち、ブロック選択デバイスは、メモリセルデバイスと同じ様なＳＯＮＯＳデバイスであってもよい。結果として、半導体基板の上に形成される２つ以上のメモリレベルを有する３Ｄアレイの実施例においては、各メモリレベルは１種類のデバイスしか含まず、これにより、各レベルの作製がさらに単純化される。ブロック選択デバイスはメモリセルデバイスと同じ大きさにされてもよいが、ある実施例においては、ブロック選択デバイスのブレークダウン電圧を増大させるためにチャネルの長さがより長くてもよい（すなわち、ブロック選択信号のためのポリシリコンストライプがより幅広であってもよい）。他の実施例においては、ブロック選択線は、電荷蓄積誘電体のない標準的なＴＦＴ　ＭＯＳデバイスであり得る。これによりプロセスが複雑になり得るが、リークを低減させるよう選択デバイスをより良好に最適化することが可能になるだろう。

【００２４】

好ましい実施例においては、メモリセルデバイスおよびブロック選択デバイスはともにＳＯＮＯＳデバイスであり、熱平衡（すなわち、窒化物中の閉込められた最小の負の電荷）しきい値電圧V_Tをデプレッションモードに変えるために埋込まれる。緩やかな拡散、好ましくはアンチモンまたは砒素であるデプレッションモードの注入が好ましくは用いられるが、これは、結晶基板に比べて多結晶層中のこのようなドーパントの拡散が比較的高く、さらに、デバイスの寸法が極めて小さいためである。消去された状態V_Tは実質的にデプレッションモードであり、好ましくは－２Ｖ～－３Ｖのしきい値であるが、プログラミングされた状態V_Tは好ましくは約０ボルトである。メモリセルは、データ状態に従って２つのしきい値電圧のうちの１つにプログラミングまたは消去されるが、ブロック選択デバイスは好ましくは約１ボルトのしきい値電圧を有するようプログラミングされ、このプログラミングされた状態で維持される。好適な作製方法が、２００２年１２月３１日に出願され「直列接続されたトランジスタストリングを組込んだプログラマブルメモリアレイ構造の作製方法（“Method for Fabricating Programmable Memory Array Structures Incorporating Series-Connected Transistor Strings”）」と題された、アンドリュー・ジェイ・ウォーカー（Andrew J. Walker）他による米国出願第１０／３３５，０８９号に記載されており、その出願の全体が引用によりこの明細書中に援用される。

【００２５】

以下の説明においては、ＮＡＮＤストリング１０２はプログラミングのために選択され、メモリセル１０８はプログラミングされるべきであると仮定される。被選択ＮＡＮＤストリング１０２に関連付けられるグローバルビット線１０３（すなわち、被選択グローバルビット線）は典型的には接地される（または接地において保持される）。被選択メモリセル１０８と選択デバイス１１４との間のＴＯＰ　ＳＥＬＥＣＴ信号および他のワード線

（すなわち、「通過」ワード線）はそれぞれのデバイスをオンにするのに十分に高い電圧に駆動され、これにより、グローバルビット線電圧を被選択メモリセル１０８のチャネルに結合する。次いで、被選択メモリセル１０８に関連付けられるワード線１０９（すなわち、被選択ワード線）は典型的には高レベルのプログラミング電圧、たとえば（ある実施例については）約１３Ｖに駆動される。結果として、プログラミングストレスが被選択メモリセル（ここでは「Ｓ」セルと明示される）にわたって生じ、その大きさは、選択されたチャネル電圧（たとえば接地）を差引いたワード線プログラミング電圧（すなわち、V_{PROG}）に等しく、そのプログラミングストレスは、被選択セルをプログラミングするために、被選択ワード線に印加されたプログラミングパルスの長さに等しい時間にわたって生じる。

【００２６】

被選択ワード線に関連付けられる他のメモリセル、たとえばメモリセル１１２は、同じワード線プログラミング電圧を受けるが、プログラミングが抑制されなければならない。このようなセル１１２は「半分選択されて」おり、「Ｈ」セルと称され得る。Ｈセル１１２のプログラミングを抑制するために、非選択ＮＡＮＤストリング１０４に関連付けられるグローバルビット線１０５（すなわち、抑制されたグローバルビット線）は、典型的には、抑制電圧と称され得るプログラム電圧（たとえば、プログラミング電圧未満の正の電圧）と接地との間の電圧にされる。非選択メモリセル１１２と選択デバイス１１８との間のＴＯＰ　ＳＥＬＥＣＴ信号および通過ワード線が、それぞれのデバイスをオンにするのに十分に高い電圧に駆動され、これにより、半分選択されたメモリセル１１２のチャネルに抑制電圧を結合する。被選択ワード線１０９がプログラミング電圧に駆動されると、半分選択されたメモリセルにわたって生じるストレスが、被選択セルに対するプログラミングストレスよりもはるかに少なくなり、プログラミングが抑制される。たとえば、６Ｖの抑制電圧が半分選択されたメモリセルに結合される場合、半分選択されたセル１１２に対する「ディスターブ」ストレスは、大きさが、選択されたチャネル電圧（たとえば６Ｖ）を差引いたワード線プログラミング電圧（すなわち、V_{PROG}）に等しく、そのディスターブストレスは、被選択ワード線に印加されたプログラミングパルスの長さに等しい時間にわたって生じる。

【００２７】

理解され得るように、抑制電圧V_{INH}および通過ワード線電圧V_{PASS}の選択時にはトレードオフが存在する。これらの電圧の値がプログラミング電圧に近いので、半分選択されたメモリセルに与えられるディスターブストレスが減じられ、このようなセルは、意図しないプログラミング（すなわち、V_{INH}ディスターブ）をはるかに被りにくくなる。しかしながら、このような高い通過ワード線電圧では、被選択ＮＡＮＤストリング１０２内における他のメモリセル（たとえば「Ｆ」セル１１０）は、意図せずにプログラミングされる可能性が高くなる。というのも、これらのチャネルは被選択メモリセルと同じ様に接地されているからである（すなわち、V_{PASS}ディスターブ）。所望の構造および動作条件により、これらの２つの競合する現象間のバランスが達成される。加えて、集積回路が受取る上方の電源電圧よりも典型的に高い電圧にまでこのような大きな回路ノードを駆動することにより、かなりの電力が消費され、大きな回路構造を実現することが必要となる。加えて、「Ｕ」セル１２０は、V_{INH}およびV_{PASS}電圧の両方によってもたらされる。Ｕセルにわたる電圧ストレスが１または２ボルトにしかならないように、V_{INH}電圧およびV_{PASS}電圧を互いの１または２ボルト内に維持することが望ましい。Ｕセルは、ＦセルまたはＨセルよりも多くのサイクルにわたってストレスを受けるので、ストレス電圧が低いことで恩恵を受ける。

【００２８】

このようなバランスは、より低い抑制電圧とより低い通過ワード線電圧とを（少なくともワード線プログラミングパルス中に）用い、被選択ワード線プログラミングパルス中にＨセルのチャネルをより高い電圧に容量的に結合（すなわち「ブースト」）することによって、より容易に達成され得る。結果として、Ｆセルにわたるストレスが減じられるが、

これは通過ワード線電圧がより低いためである。さらに、Ｈセルにわたるストレスもまた減じられるが、これは、そのチャネルが、被選択ワード線プログラミングパルスの方向で、その最初のバイアス電圧よりも被選択ワード線により近い電圧にまでブーストされるからである。ワード線とＴＦＴチャネルとの間のキャパシタンスが（フローティングゲートの方策に比べて）比較的高く、ＴＦＴチャネルと「接地」との間のキャパシタンスが（半導体基板に作製されるＮＡＮＤストリング（すなわち、バルクの方策）に比べて）比較的低いので、抑制されたストリングにおけるデバイスの反転層が極めて効率的に容量的にブーストされ得る。

【００２９】

絶縁されたＴＦＴチャネルストライプにおいて形成されるＮＡＮＤストリングの利点は、物理的に隣接するＮＡＮＤストリング間の電界リーク電流が不足していることである。しかしながら、非選択ＮＡＮＤストリングに高い電圧までバイアスをかけることにより、特にその内部の１つ以上のチャネルが容量的に結合され、浮遊したままにされる場合、非選択ＮＡＮＤストリング１０４内のブロック選択デバイス１１９や被選択ＮＡＮＤストリングにおけるブロック選択デバイス１１６などのオフにされるべき薄膜トランジスタ（ＴＦＴ）デバイスにおいて、当該ストリングには大きな電界で増加されたリーク電流がより発生しやすいままとなる。これらの２つのデバイスが共通のドレインノードと共通のゲートノードとを共有するので、ゲート電圧およびドレイン電圧をいくつか選択することによりスニークパスが作り出され、これにより電力損失が大きくなり、さらに、ゲートおよびドレイン上の電圧の選択が制限されてしまう可能性がある。このような条件は、ＮＡＮＤストリングからのリークを悪化させ、非選択ストリング内におけるメモリセルの部分的なプログラミング（すなわち、「ソフト」プログラミング）に繋がる可能性がある。このような影響を上手く減じるための具体的な回路構造および方法が以下に説明される。

【００３０】

しかしながら、このような構造および方法を説明する前に、付加的なＮＡＮＤストリング配置を説明することが有用である。図２を参照すると、ミラーリングされたＮＡＮＤストリング配置１６０が概略的に示される。ここでは、２つのブロックの各々における２つの異なるＮＡＮＤストリングが同じグローバルビット線に結合される。また、図示される部分は、メモリセルのプレーンを１つしかもたない２次元のアレイを表わし得るか、または、メモリセルのプレーンを２つ以上有する３次元のメモリアレイの１つのレベルを表わし得る。

【００３１】

以下の説明においては、左上のＮＡＮＤストリングは被選択ＮＡＮＤストリングと仮定される。被選択ワード線１６８はV_{WL}電圧に駆動され、被選択メモリセル１６９は「Ｓ」で示される。被選択ワード線１６８と同じブロックにおける他の非選択ワード線１６６は「通過」ワード線と称されてもよい。というのも、これらは、通常、そのそれぞれのメモリセル１６７における記憶されたデータ状態にかかわらず、電流をそれぞれのメモリセル１６７に流すのに好適なV_{WLPASS}電圧に駆動されるからである。２つのこのような通過ワード線１６６および１つの被選択ワード線１６８しか示されていないが、実際には各ＮＡＮＤストリングが多くのワード線、たとえば合計で１６本のワード線を含み得ることが理解されるはずである。

【００３２】

被選択ＮＡＮＤストリングの一方の端部は、V_{BSELB}電圧として知られる電圧をいかなる所与の時にも有するノード１６４上で伝達されるブロック選択信号によって制御される選択デバイス１６５によってグローバルビット線１６２に結合され、その信号は、被選択ＮＡＮＤストリングをグローバルビット（bit）線に結合するブロック選択（block select）信号と考えられてもよい。被選択ＮＡＮＤストリングの他方の端部は、V_{BSELD}の電圧を有するノード１７０上で伝達されるブロック選択信号によって制御される選択デバイス１７１により、共有されるバイアスノード１７２に結合され、その信号は、被選択ＮＡＮＤストリングを共有されるドレイン（drain）線に結合するブロック選択（block select

）信号と考えられてもよい。共有されるドレイン線１７２の電圧はV_{DRAIN}電圧として知られているかもしれない。

【００３３】

被選択ブロックの真上にあるブロック内の別のＮＡＮＤストリング（図示せず）はまた、V_{UNBSEL}電圧として知られる電圧をいかなる所与の時にも有するノード１７６上で伝達されるブロック選択信号によって制御される選択デバイス１７３によってグローバルビット線１６２に結合され、その信号は、非選択ブロック選択（unselected block select）信号と考えられてもよい。２つの選択デバイス１７３および１６５は好ましくはグローバルビット線コンタクトを共有する。

【００３４】

隣接するＮＡＮＤストリングはまた、被選択ＮＡＮＤストリングのちょうど右側に示される。上述のように、このような隣接するＮＡＮＤストリングは少なくとも同じワード線を共有し、この配置では、同じグローバルビット線に（ただし、２つの異なるブロック選択信号によって）結合されるが、同じ共有されたバイアスノード（すなわち、共有された「ドレイン」ノード）を共有しない。ここで、隣接するＮＡＮＤストリングはデバイス１８１、１８３、１８５および１８７を含む。この隣接するＮＡＮＤストリングの下方端部は、ノード１７０上で伝達されここではV_{BSELD}と称されるブロック選択信号によって制御される選択デバイス１８７によってグローバルビット線１６２に結合される。この隣接するＮＡＮＤストリングの上方端部は、ノード１６４上で伝達されるブロック選択信号V_{BSELB}によって制御される選択デバイス１８１により、共有されたバイアスノード１７４に結合される。共有されたドレイン線１７４の電圧は、隣接するＮＡＮＤストリングのためのドレイン電圧を表わすV_{DADJ}電圧として知られてもよい。

【００３５】

図１に示される配置と同様に、被選択ワード線に結合される被選択ＮＡＮＤストリングにおけるメモリセル（たとえば、セル１６９）は「Ｓ」セルであり、通過ワード線（たとえば、セル１６７）に結合される被選択ＮＡＮＤストリングにおけるメモリセルは「Ｆ」セルであり、被選択ワード線に結合される非選択（隣接する）ＮＡＮＤストリングにおけるメモリセル（たとえば、セル１８５）は「Ｈ」セルであり、通過ワード線に結合される非選択ＮＡＮＤストリングにおけるメモリセル（たとえば、セル１８３）は「Ｕ」セルである。このような半分選択された（Ｈ）メモリセルおよび非選択（Ｕ）メモリセルは、被選択メモリブロックにわたる他の非選択ＮＡＮＤストリングにおいて見出される。これらの４つのセルタイプのバイアス条件は、図１に示されるミラーリングされていない配置の条件に類似している。

【００３６】

このミラーリングされた配置１６０のさらなる説明は、このようなアレイ内におけるメモリセルを読出、プログラミングおよび消去するための例示的な動作条件を含め、上に参照された、Walker他による「“Method for Fabricating Programmable Memory Array Structures Incorporating Series-Connected Transistor Strings”」において見出すことができる。プログラミング動作における抑制された（非選択）ＮＡＮＤストリングが図３に示されるが、ここでは、被選択ＮＡＮＤストリング内における被選択メモリセル（図示されていないが、同じグローバルビット線を共有する）は、グローバルビット線を接地に駆動することによってプログラミングされるか、または、グローバルビット線をビット線抑制電圧V_{INH}もしくは$V_{INHIBIT}$に駆動することによってプログラミングが抑制されている。ミラーリングされていないＮＡＮＤストリングアレイについての同様の技術との下記の比較を容易にするために、便宜上、図示されるより口語的なノード名を用い、リーク電流が底部選択デバイスを通って流れ得るストリングの上部におけるより高いV_{INH}電圧と当該ストリングの底端部におけるより低い電圧とでバイアスをかけることを示唆するために、ＮＡＮＤストリングを視覚的に示す。ここで用いられるように、「ブロック選択デバイス」、「アクセスデバイス」および単なる「選択デバイス」とはすべて置換え可能に用いられ、結果として、「ブロック選択信号」、「アクセス信号」および単なる「選択信号

」もまたすべて置換え可能に用いられる。

【００３７】

このミラーリングされたＮＡＮＤストリングメモリアレイ内におけるＨセルのチャネルをブーストする一方法が図４に示される。簡潔に、メモリセルがすべて同じしきい値電圧を有するものとする。さらに、（被選択ＮＡＮＤストリングをプログラミングするために）隣接するグローバルビット線が接地されている場合でも底部選択デバイスに電流が流れないようにするために、底部アクセス選択デバイス（たとえば、図３のデバイス１８７および図１のデバイス１１９）がオフにされるものと仮定する。（以下に説明されるように、必ずしもこのようにされるとは限らない。）抑制されたＮＡＮＤストリングの上部におけるドレインノードは抑制電圧V_{INH}にされ、被選択および通過ワード線はすべて通過ワード線電圧V_{PASS}にされる。（メモリセルしきい値電圧を差引いたV_{PASS}電圧が選択デバイスのしきい値を差引いたV_{INH}電圧よりも高いものとすると）ＮＡＮＤストリング内におけるソース／ドレインノードのすべて、ならびに上部選択デバイスおよびメモリセルデバイスのチャネルはすべて、V_{INH}電圧よりも低いしきい値電圧にされる。さらに、この点では、アクセスデバイスがオフにされ、これにより、V_{INH}電圧を伝達する共有されたドレインノードからＮＡＮＤストリングチャネルが分離される。

【００３８】

次いで、被選択ワード線が、V_{PASS}電圧からさらに高くV_{PGM}電圧（ここではV_{PROG}電圧とも称される）に駆動され、これにより、Ｈセルチャネルがその最初のバイアスレベルよりも高い電圧に結合される。メモリセルデバイスがすべてオンにされる場合、当該ストリングに沿ったすべてのチャネルは依然としてＨメモリセルチャネルに電気的に結合されており、このようなチャネルはすべて、メモリセルデバイスのうちの１つ以上がオフにされるまで容量的に結合されることとなる。この点では、オフにされたメモリセルを「越える」チャネル（すなわち、Ｈメモリセルからさらに離れたチャネル）は、ブーストされた電圧のさらなるいかなる上昇からも切離される。Ｈセル自体を含む他のいかなるチャネルも、被選択ワード線がその高いレベルに達するまで付加的にブーストされ得る。１つのデバイスが最大しきい値を有し、さらにグローバルビット線からのストリングの残りの部分の電圧上昇を阻止する。いくつかのセルが他のセルよりも低いしきい値を有している（いくつかがプログラミングされ、いくつかが消去されている）ので、ストリングに沿った未知の数のセルチャネルが依然としてＨセルのソースに電気的に接続される可能性があり、その領域全体がブーストされることとなる。結果として、Ｈセルチャネルのブーストされた電圧が下がるのは、付加的なチャネルの電圧を上方に「ドラッグ」せざるを得ないことによる。

【００３９】

ストリングに沿ったいくつかのセルチャネルがＨセルのソースになおも電気的に接続され得るにもかかわらず、チャネルがブーストされるのは、選択デバイスが瞬間的にオンにされて、抑制されたＮＡＮＤストリングの反転層の電位がV_{DRAIN}電位よりも低いしきい値電圧に設定され、次いで、オフにされて、共有されるドレインノードから反転層が分離されるからである。従って、Ｈセルチャネルがブーストされると、Ｈセルにおけるトンネル酸化物にわたって結果として得られる電位が、プログラミングを抑制するのに十分に低くなる。この具体的な実施例については、ストリングにＮ個のメモリセルが存在する場合、Ｎ－１個のワード線（すなわち、メモリセルゲート）が通過電圧に駆動され、被選択ワード線が遅延の後にプログラミング電圧にさらに駆動されることにより、ストリングに沿ったチャネルバイアス自体の設定が可能となる。

【００４０】

ある実施例においては、抑制電圧V_{INH}および（この例示的なミラーリングされた配置においては、隣接するＮＡＮＤストリングを接地されたグローバルビット線に接続するアクセスデバイスの制御ゲートでもある）上部アクセス信号電圧は、比較的低い電圧に設定され、さらに、接地されたグローバルビット線に適切な接続経路をもたらすのに十分にオンにされる。たとえば、これらのアクセスデバイスが約０Ｖのしきい値電圧を有する場合

、高レベルのブロック選択信号（たとえば、ここでは上部アクセス信号電圧）は、約１Ｖ～３．３Ｖの代表的な値（たとえば、ＶＤＤ電圧）を有し得、ワード線通過電圧は０Ｖから最大約５Ｖまで上昇し得、ワード線プログラミング電圧は０Ｖから通過電圧、さらに約１３Ｖに上昇し得る。いくつかの好ましい実施例においては、ＮＡＮＤストリングにおけるメモリセルは、ストリングにおけるＳセルの「上における」Ｆメモリセルがすべて、低いＶｔ状態（好ましくは負のＶｔ状態）になるように、（その関連するグローバルビット線から最も離れた）ストリングの「底部」からストリングの上部まで連続的にプログラミングされる。こうすることにより、より低い通過ワード線電圧を用いながらも、適切なプログラミングが行なわれるように、被選択メモリセルチャネル領域を接地されたグローバルビット線に十分に良好に結合することが可能となる。さらに、このより低い通過電圧は、意図しないＦセルプログラムディスターブ（すなわち、V_{PASS}ディスターブ）を防ぐ。というのも、このようなデバイスにわたるストレスが、プログラミングされているＳセルにわたるよりもはるかに小さくなるからである。

【００４１】

これまで記載されてきた非選択ＮＡＮＤストリングのチャネルをブーストすることにより、Ｈセルディスターブが低減されるが、さらなる低減が所望される可能性がある。これは、より短いチャネル長さおよび／またはより薄いゲート酸化物を用いたスケーリング技術に特に当てはまり、プログラミング性能を向上させるのに望ましいはるかに高いプログラミング電圧を可能にし得るが、非選択ＮＡＮＤストリングのディスターブプログラミングには悪影響を及ぼさない。Ｈセルのためのさらなる保護により、ワード線に沿ってセルを追加することも可能になる。というのも、前の書込サイクルからの論理的な１つの（たとえば故意にプログラミングされていない）状態の前に、所与のワード線上のより多くのプログラミングサイクルが許容され、これにより、ディスターブされる後のプログラミングサイクルのための犠牲のＨセルになるからである。

【００４２】

ストリングにおけるデバイスがプログラミングされ得るかまたはプログラミングされ得ない（すなわち、結果として、ストリングにおけるデバイスのしきい値電圧にばらつきが生じる）ので、影像電荷は、必ずしもＨセルの真下に留まるとは限らないが、チャネルに沿って広がり得る。これにより、Ｈセルのブーストされた電圧に大きなばらつきが生じる。また、（バルクのデバイスに比べてＴＦＴデバイスにおいて特に顕著であり得る「電界で増加されたリーク電流」として公知である）リーク経路が選択デバイスに生じる可能性があり、これにより、非選択チャネルストリングにおけるブーストされた電圧レベルがストリングの底部において下がるかもしれない。同様のリーク電流が、被選択ＮＡＮＤストリングの底部における「オフ」の選択デバイスに存在する可能性があり、底部選択デバイスを通って被選択ストリングに流れることにより、底部におけるストリングの電圧が上昇し、（特に、ストリングに沿った電圧勾配のためにグローバルビット線から最も離れたセルのための）プログラミング効率が低下し、電力損失が増大する可能性がある。

【００４３】

Ｈセルディスターブからの保護は、Ｈセルからストリングの残りの部分を分離し、かつＨセルチャネルをより高い電圧（この説明については、被選択ワード線上の正のプログラミングパルスとされる）にブーストできるようにすることによって改善され得る。たとえば、上部選択デバイスをオンにして、前述と同様に、抑制されたＮＡＮＤストリングに沿った反転チャネルの初期のバイアスを設定し得る。次いで、デバイスをオフにして、抑制電圧からチャネルを分離し得る。被選択ワード線がプログラミング電圧に駆動される前に、被選択セルの両側のワード線の電圧を下げて、被選択メモリセルの両側のメモリセルデバイスをオフにし、こうして、ストリングの残りの部分からＨセルチャネルを分離する。次いで、プログラミングパルスが被選択ワード線に印加される（すなわち、通過電圧などの電圧からプログラミング電圧に駆動される）と、Ｈセルチャネルが、以前よりも高い電圧にブーストされ、結果として、Ｈセルに対するプログラムディスターブが小さくなる。

【００４４】

Hセルチャネルのこのような高度なブーストを達成するのに用いることのできる多くの動作条件がある。被選択ワード線の両側の通過ワード線が接地され、残りのワード線が通過電圧のままにされる。プログラミングされるべき被選択ＮＡＮＤストリングにおいては、隣接する通過ワード線上での接地の場合でも、プログラミングビット線電圧（接地）は、ストリングにおける一連のプログラミング方式を用いることにより、依然として、被選択セルに渡される可能性があり、これにより、被選択セルのビット線側のＦメモリセル（すなわち、ワード線が接地されている隣接するセルのうちの１つ）がその消去された状態になり、－３Ｖに近い好ましいしきい値電圧を有することが確実にされる。

【００４５】

図５を参照すると、個々のメモリセルのプログラミングされた状態または消去された状態にかかわらず、このような分離を実現するための具体的な技術についての典型的な波形が示される。ここでは、上部アクセス選択信号およびすべてのワード線は、まず、名目上しきい値電圧を加えた抑制電圧V_{INH}に等しい、ここでは（具体的な実施例として）約７ボルトと示される電圧に駆動される。この条件により、ここでは６ボルトと示されるV_{INH}電圧でストリング全体にかなり急速にバイアスがかけられる。次いで、上部アクセス信号と被選択ワード線以外のワード線とが、ここでは約４ボルトと示されるより低い通過電圧V_{PASS}に下げられる。これにより、抑制されたＮＡＮＤストリングからＨセルチャネルが分離される。次いで、被選択ワード線が、最初のバイアスレベル（たとえば、７Ｖ）から、ここでは１３Ｖと示されるフルプログラミング電圧にまで駆動されて、被選択セルをプログラミングする。Ｈセルチャネルは、以前よりもプログラミング電圧にさらに近い電圧にブーストされる（たとえば、図示される例示的な正のプログラミングパルスについては、以前よりもさらに高い電圧にブーストされる）。理解され得るように、ワード線は、（プログラミングされたセルとプログラミングされていないセルとのいずれかの組合せにより）初めに非選択ストリングチャネルを抑制電圧にするのに十分に高い初期レベルに駆動され、次に、しきい値のばらつきにもかかわらず、Ｈセルを絶縁するために、セルデバイスの少なくとも最大のＶｔ変動分だけ電圧が下げられる。プログラミングパルス中により低い通過電圧を用いると、被選択ストリングにおけるＦセルに対するストレスを減じるという利点が得られるが、その他の場合、当該セルは、Ｓセルをプログラミングするために被選択ストリングが接地に引寄せられる間、高いV_{PASS}電圧によって、消去された状態からディスターブされる可能性がある。

【００４６】

V_{PASS}電圧が、消去されたメモリセルのしきい値を加えたV_{INH}電圧未満である限り、プログラミングパルスの前にＨセル周囲の近傍のセルがオフにされ、当該ストリングがＨセルから分離される。さらに、この通過電圧は、消去されたセルのしきい値（たとえば、－２Ｖまたは－３Ｖ）を加えたビット線プログラミング電圧（たとえば接地）よりも大きな任意の値であり得る。たとえば、接地の通過電圧はいくつかの実施例においては適切であり得る。プログラミングされるべき被選択ＮＡＮＤストリングにおいては、ビット線プログラミング電圧（接地）は、その周囲のワード線上での接地であっても被選択セルに渡される。というのも、好ましい一連のプログラミング方式により、被選択メモリセルのビット線側（すなわち、被選択セルとビット線に結合される選択デバイスとの間）のいずれのメモリセルも依然として消去された状態になることが確実にされるからである。選択デバイスのゲートは、好ましくは少なくともわずかな正のしきい値電圧（Ｖｔ）にプログラミングされたままにされるが、ストリングにおいて遮断すべき最初のデバイスにならないように（たとえば、V_{INH}電圧がＮＡＮＤストリングメモリセルに渡されるように）、好ましくは、抑制電圧を加えたそのＶｔよりも高い電圧に駆動される。

【００４７】

図５に図示のとおり、非選択ワード線および上部選択デバイスに伝達される信号は、それぞれのマルチレベルのパルスであり、最初により高い電圧に駆動され、次いでより低い電圧に駆動される。代替的には、図６に図示のとおり、２つの連続したパルスが用いられてもよく、第１のパルスがより高い電圧に駆動され、第２のパルスがより低い電圧に駆動

される。いずれの場合も、被選択メモリセル付近の結合を減らすために、非選択ワード線を減らす前に被選択ワード線が少なくともV$_{PASS}$電圧に戻されることが好ましい。

【００４８】

いくつかの場合においては、Ｈセルディスターブからの付加的な保護が所望される。これは、特に、チャネルの長さがより短いかまたはゲート酸化物がより薄くなるスケーリング技術に当てはまり、プログラミング性能の向上が望まれるより高いプログラミング電圧を供給することもできる。さらに、被選択ストリングの底部における選択デバイスがオフにされるというこれまでのこれらの説明における前提にもかかわらず、このことは当てはまらないことが多い。このような選択デバイスは、特にチャネルが比較的高いレベルにブーストされた（浮遊したままである）場合、さらにより特定的には（バルクのデバイスよりもリークが大きくなる可能性のある）ＴＦＴデバイスでは、そのゲート端子上での接地にもかかわらず、依然として、抑制されたストリング内におけるチャネルを放電させるくらいにリークし得る。

【００４９】

図７に図示のとおり、例示的なプログラミング波形の組が示されるが、ここでは、（図６に示される）これらのマルチレベルのパルスの複数のサイクルが用いられる。これにより、個々のパルスが以前よりもはるかに短くなり、底部選択デバイスを通るいかなるリーク電流も、ストリングを放電させる時間が短くなる。各パルスごとに、ストリング内の最初のバイアスが再設定され、次いで、ストリング（または少なくともＨセルチャネル）が容量的にブーストされる。結果として、特に底部アクセスデバイスに最も近いセルのためにはるかに長いパルスで一度パルスにされる場合よりも短い多くのパルスで繰返しパルスにされる場合、かつ、アクセスデバイスのもう一方側が（隣接するストリングをプログラミングする際のミラーリングされた構成と同様に）接地されている場合、チャネルがそのピークのブーストされた電圧により近接したままとなる。被選択セルについては、プログラミングストレス時間の合計が変わらない限り、多数のより短いパルスを用いることによってプログラミングには影響が与えられない。例示的なプログラミングパルスは１マイクロ秒未満の期間であり得、対応するプログラミング時間の合計は１０マイクロ秒よりも長くなり得る。例示的なプログラミング電圧は１０～１６ボルトの範囲内であり、好ましくは約１３Ｖである。

【００５０】

図８は、ミラーリングされた構成における例示的なＮＡＮＤストリング技術についてのプログラムディスターブに対する多重パルスプログラミングの影響を示す。前提として挙げられるストリングのチャネルには、まず、上部選択デバイス１８１のしきい値電圧を差引いた５Ｖの抑制電圧までバイアスがかけられている。グローバルビット線１６２が、接地されたビット線プログラミング電圧を隣接するＮＡＮＤストリングに伝達していると仮定すると、上部選択デバイス１８１がオフにされ、底部選択デバイス１８７にバイアスがかけられる。このグラフは、（いずれの場合も同じ合計時間を有する）いくつかの異なる数のプログラミングパルスについて、プログラミングパルス中に被選択ワード線に与えられる通過電圧V$_{PASS}$の関数としてＨセルしきい値電圧のディスターブシフトの量を示す。いずれの所与の場合にも認識され得るように、V$_{PASS}$電圧が高ければ高いほどディスターブプログラミングがより高くなる。というのも、底部選択デバイスを通るリークが多くなるからである。加えて、より多くのプログラミングパルスを用いることにより（すなわち、プログラミングの合計時間を一定に保つと）、ディスターブプログラミングが大幅に低減される。たとえば、４ＶのV$_{PASS}$電圧を用いると、１．２ミリ秒の期間の単一のプログラミングパルスにより、Ｈセルに１．０５Ｖのしきい値シフトがもたらされるのに対して、２０マイクロ秒の期間の６０パルスを用いると０．３４Ｖのしきい値シフトがもたらされ、５マイクロ秒の期間の２４０パルスを用いると０．２Ｖのしきい値シフトがもたらされる。

【００５１】

特にＴＦＴデバイスの電界で増加されたリーク電流は、ＮＡＮＤストリングの一方また

は両方の端部において単一の選択デバイスではなく複数の直列選択デバイスを用いることによって減らすことができる。図９は、ある場合にはストリングの各端部において２つの選択デバイスを用い、別の場合にはストリングの底端部において３つの直列選択デバイスを用いるミラーリングされた構成での、例示的なＮＡＮＤストリング技術のためのプログラムディスターブに対するメモリセル位置の影響を示す。また、前提として挙げられるストリングのチャネルには、まず、５Ｖの抑制電圧までバイアスがかけられる。グローバルビット線が、接地されたビット線プログラミング電圧を隣接するＮＡＮＤストリングに伝達していると仮定すると、上部選択デバイス２０１がオフにされ、底部選択デバイスにバイアスがかけられる。このグラフは、合計１８個のデバイスのストリングに沿ったいくつかの異なるメモリセル位置について、プログラミングパルス中に非選択ワード線に与えられる通過電圧V_{PASS}の関数としてＨメモリセルしきい値電圧のディスターブシフトの量を示す。いずれの場合も、合計で２４０のプログラミングパルスが与えられた。認識され得るように、３つの直列選択デバイス２０４を備えることにより、このような直列選択デバイス２０２を２つしか備えない場合に比べてディスターブプログラミングが低減する。また、ＮＡＮＤストリングの底部により近いメモリセルは、より大きなプログラムディスターブを呈する。

【００５２】

複数の直列選択ゲートを用いると、各ストリング上で直列デバイスの追加が必要になるためにダイの寸法が大きくなるといった不利点があるにもかかわらず、プログラムディスターブがさらに低減される。さらに、（所与の寸法のメモリセルデバイスおよび選択デバイスのために）ストリング電流I_{ON}も下げられることとなる。

【００５３】

先の２つの事例では、ＮＡＮＤストリングの端部における直列デバイスの両方（または３つすべて）上で同じ電圧を有する複数の直列選択デバイスを説明したが、各々の直列デバイスのそれぞれのゲートに独立してバイアスをかけることによってリーク電流をさらに減らすことができる。両方のゲート上に接地を有すると、リークが最小にはならない。図１０を参照すると２つの場合が示される。左側のＮＡＮＤストリング２１０は、（ミラーリングされた構成における隣接するストリング上のプログラミング電圧に対応する）そのゲート上の接地とそのソース上の接地とでバイアスがかけられた底部選択デバイス２１２を有する。右側のＮＡＮＤストリング２２０は、そのゲートおよびソース上で５Ｖでバイアスがかけられた底部選択デバイス２２２を有する。底部選択デバイス２１２を通るリーク電流は、ディスターブプログラミング対V_{PASS}電圧のグラフ２１４に明瞭に示される。接地されたゲートデバイス２１２は、高いドレインにより最底部のトランジスタが蒙るソース電位にもたらされる電界で増加されたリーク電流のために、より高いリーク電流を有する。抑制されたＮＡＮＤストリング２２０の底部選択デバイス２２２には、そのゲート上で（そのソースも５Ｖであるので）５Ｖなどの電圧で許容可能にバイアスがかけられるが、被選択ＮＡＮＤストリング上の底部アクセスデバイスのゲートに５Ｖなどの電圧を印加することは許容されない。というのも、このようなストリングは、（被選択セルがプログラミングされるべき場合）その反対側の端部が接地に結合される可能性があるからである。

【００５４】

複数の直列選択デバイスが用いられる場合、複数のゲート電圧を用いてリーク電流を減らし得る。複数の選択デバイスのうちの１つ以上は、電界で増加されたリーク電流を最も効率的に減らすために、そのゲート上において４Ｖ～５Ｖなどのより高い電圧を有し得る。このような選択デバイスゲート電圧はまたV_{PASS}電圧と同じ値であり得るが、異なる値に設定されてもよい。ゲートのうちの少なくとも１つは、（たとえば、ミラーリングされた配置について）被選択ストリングに流れ込むリーク電流を遮断するためにアクセスデバイスのＶｔよりも低い電圧でなければならない。好ましい或る配置においては、接地されたゲートを有するアクセスデバイスは底部のデバイスとなる。というのも、そのゲート－ソース間電圧が最小の負であり、負のゲート－ソース間電圧がより大きいと、電界で増加

されたリーク電流が増大するからである。いくつかのミラーリングされた実施例においては、ＮＡＮＤストリングの底部における「ソース電圧」は隣接するグローバルビット線であり、これは接地またはV_{INH}電圧であり得る。いくつかの好ましい実施例については、３つの直列選択デバイスを用いて、特に非常にスケーリングされたデバイスのためにリーク電流を減らし、適切なディスターブプログラミング保護を与え得る。

【００５５】

図１１は、下方の最底部選択デバイス２３３のV_{PASS}電圧およびゲート電圧の関数として最後のメモリセル２３１のプログラムディスターブを示す。上方の最底部選択措置２３２のゲート電圧が接地に維持され、ストリングの両端に結合された抑制電圧V_{INH}でＮＡＮＤストリング２３０にバイアスがかけられて、プログラミングが抑制される。非常に低いディスターブ条件および広範なプログラミング条件が達成される。

【００５６】

図１２は、プログラミングのためにＮＡＮＤストリング２３０にバイアスがかけられた場合の、下方の最底部選択デバイス２３３のゲート電圧の関数として最後のメモリセル２３１のプログラム可能性を示す。上方の最底部選択デバイス２３２のゲート電圧が接地に維持され、ストリングの上端部に結合されたグローバルビット線（すなわち、ノード２３４）上の接地のプログラミング電圧とストリングの底端部に結合された抑制電圧V_{INH}とでＮＡＮＤストリング２３０にバイアスがかけられる。図１２から認識され得るように、被選択ストリング２３０上の最底部セル２３１のプログラム可能性は、下方の最底部選択デバイス２３３のゲート電圧の変化によって悪影響を受けることはない。

【００５７】

上述の説明の大部分は、図２に示されるような例示的なミラーリングされた構成の文脈において述べられる。しかしながら、これらの図および説明において用いられる用語のほとんどは、図１に示されるようなミラーリングされていない構成に適用可能であり得る。たとえば、ＮＡＮＤストリングの上端部（すなわち、上部選択デバイス）は、概して、抑制電圧に結合されたＮＡＮＤストリングの端部に対応するよう用いられてきたが、ＮＡＮＤストリングの底端部（すなわち、底部選択デバイス）は、概して、非選択ＮＡＮＤストリングからアレイ線に流れ込む意図されない不所望のリーク電流を引起す可能性のある接地などの低い電圧でバイアスがかけられ得るアレイ線への接続に対応する。

【００５８】

図１３を参照すると、ミラーリングされていないＮＡＮＤストリング２５０が示される。ここで、単一の上部アクセスデバイス２５２がストリングの一方の端部をグローバルビット線２５１に結合するが、これは、ストリング２５０が選択される場合セルをプログラミングするよう接地であり得るか、または、被選択または非選択ＮＡＮＤストリングにおけるプログラミングを抑制するよう抑制電圧V_{INH}であり得る。単一の底部アクセスデバイス２５４はストリング２５０のもう一方の端部をグローバルソース線２５３に結合するが、これは、被選択ブロックのプログラミング中に浮遊したままにされ得るか、または、好ましくは、接地と抑制電圧との間の中間電圧でバイアスがかけられ得る。この中間電圧は、より好ましくは、抑制電圧のほぼ半分である。

【００５９】

向上した実施例を示す図１４には、ミラーリングされていないストリング配置３００（すなわち、隣接するストリングが同じ端部においてそれぞれのグローバルビット線に接続されている）が示される。当該ミラーリングされていないストリング配置３００は、（ここでは上部として示される）ストリングのグローバルビット線端部において（アレイ選択デバイスまたは単に選択デバイスとしても公知である）単一のブロック選択デバイスを有し、（ここでは底端部におけるこのような２つの選択デバイスとして示される）ストリングのグローバルビット線端部と反対側の端部において複数の直列選択デバイスを有する。

【００６０】

上部選択デバイス１１４、１１８はリーク防止において重要な役割を果たさない。というのも、これらは、プログラミングされたＮＡＮＤストリング３０２および抑制されたＮ

ＡＮＤストリング３０４の両方のために動作しているからである。したがって、単一の上部選択デバイスを用いて、抑制されたＮＡＮＤストリングのプログラムディスターブを最良に低減させ、プログラミングされたＮＡＮＤストリングを最良にプログラミングし得る。上部選択デバイス１１４、１１８は、グローバルビット線にも関連付けられる非選択メモリブロックからグローバルビット線を絶縁するのに必要とされる。各々の非選択メモリブロック（たとえば、ブロック３１０）は、それぞれの非選択メモリブロック内における各ＮＡＮＤストリング（たとえば、ＮＡＮＤストリング３１４）をそれらの関連するグローバルビット線から分離するために好ましくは接地におけるそれぞれの上部選択信号（たとえば、選択信号３１２）を有する。さらに、各々の非選択メモリブロックにおけるワード線（たとえば、ワード線３１６）はまた、好ましくは、このようなブロックをインアクティブにしたり、パワーダウンさせたり、プログラミングされていない状態に維持するよう接地されている。いくつかのグローバルビット線が（被選択ブロック内のセルをプログラミングするために）V_{INH}電圧であるので、これらの非選択ブロックにおけるＮＡＮＤストリングのチャネルは上方にリークする可能性がある。しかしながら、このリークは自己制限される。というのも、これは、非選択ＮＡＮＤストリングが上昇し始める（たとえば、チャネルノード３１９）と「リークし易い（leaky）」選択デバイス（たとえば、デバイス３１８）のドレイン－ソース間の電圧を下げる一方で、選択デバイスのゲート－ソース間の電圧を低下させて、リーク電流をさらに制限するからである。これらの非選択ブロックのストリングにおける第１のセルのディスターブのための電位が最小となる。というのも、このディスターブが、Ｖｔを低減させる方向（ソース電圧がゲート電圧よりも高いので消去方向）であり、（ここで企図される構造のうちの少なくともいくらかのために）プログラミング動作よりもはるかに遅いからである。

【００６１】

ＮＡＮＤストリングの底部における「オフ」のアクセスデバイスによって阻止されるべき固有の電圧降下は、Ｈチャネルの所望の容量的なブーストを加えたV_{INH}と、（セルをプログラミングするよう）接地である最低限のグローバルビット線電圧との差である。ミラーリングされた構成においては、この電位差は、上述のとおり単一のストリングに亘って発生し得る。しかしながら、例示的なミラーリングされていない構成においては、ブーストされたV_{INH}レベルにおけるチャネルから接地におけるグローバルビット線までの最短経路は２つのＮＡＮＤストリングを含む。というのも、当該経路は、ストリングの底部における共有されたソースノードを通って横断しなければならないからである。結果として、抑制されたストリングの底部選択デバイス（たとえば、デバイス１１９Ａ、１１９Ｂ）と、プログラミングされたストリングの底部選択デバイス（たとえば、デバイス１１６Ａ、１１６Ｂ）との直列の組合せを通るリーク電流全体は、中間電圧でグローバルソースノード１０１（すなわち、共有されたソースノード）にバイアスをかけることによって低減させることができる。図示のとおり、共有されたソースノードは、好ましくは、接地とV_{INH}電圧との間のバイアス電圧に駆動され、より好ましくは、６～７Ｖの例示的なV_{INH}電圧のために約４Ｖ～５Ｖに駆動される。

【００６２】

電界で増加されたリーク電流が、抑制されたストリングおよび被選択ストリングの両方に対して起こり得る問題であるので、この共有されたソースノード１０１上でV_{INH}電圧ではなくこのような中間電圧を用いることが望ましい。抑制されたストリングからのリークの悪影響とプログラミングされたストリングへのリークの悪影響とのバランスを取るために、好ましい大きさの共有されたソースノードが選択される。共有されたソースノード１０１が低すぎる場合、比較的長いプログラムパルス中に取込まれた、抑制されたストリング３０４から流れる電界で増加されたリーク電流は、ブーストされたレベルのストリングを放電する。共有されたソースノード１０１が高すぎる場合、リーク電流は、プログラミングパルス中に被選択ストリング３０２に流れ込む可能性があり、結果として、特に最底部メモリセル３０３に対するストリングにおけるプログラム電圧の低下（すなわち、固体接地レベルの損失）をもたらして、セルにわたって生じた有効プログラム電圧を低減さ

せ得る。この影響はブーストされたレベルの損失ほど問題にはならない。というのも、このリーク電流が小さく、ストリングを通る全抵抗が高い場合でも、もう一方の端部が接地に結合されるからである。こうして、被選択ストリング３０２はいくらかのリークを許容し得るが、ただし、好ましくは、底部アクセスデバイス１１６Ａ、１１６Ｂのうちの少なくとも１つのゲートは、このようなデバイスをオフにすることができるようアクセスデバイスのしきい値電圧未満のままである。いくつかの実施例においては、上方の底部選択信号ＢＯＴ　ＡＣＣＥＳＳ　Ａは、好ましくは、接地（たとえば、約５Ｖ）を上回り、下方の底部アクセス信号ＢＯＴ　ＡＣＣＥＳＳ　Ｂは、好ましくは接地である。このため、接地における選択Ｂ信号が、被選択ＮＡＮＤストリング３０２のリーク経路を遮断し、Ｖｓｓ（すなわち、接地）における選択Ｂと直列なV_{INH}における選択Ａ信号が、なお、被選択ストリング３０４に対する自己ブーストを可能にするのに十分に当該電界で増加されたリーク経路を遮断する。この明細書中で説明される他の実施例と同様に、この構成は、多重プログラミングパルスが、通過ワード線および上部アクセス信号上のマルチレベルのパルスとともに用いられる場合、より良好に機能し、十分に低いディスターブプログラミングと十分に低いパワープログラミングとを達成するのに用いられてもよい。好ましくは、選択メモリブロック内における多数のＮＡＮＤストリングは、抑制されたストリング上の蓄積したディスターブを減ずるよう同時にプログラミングされる。たとえば、６４～１２８本のストリングは、たとえば、２５６～１０２４本のＮＡＮＤストリングを有するメモリブロック内で同時にプログラミングされ得る。

【００６３】

ある実施例においては、被選択ブロック内におけるＮＡＮＤストリングの通過ワード線はすべて、（この明細書中で記載されるように、マルチレベルの波形であり得る）同じ通過電圧または通過電圧波形で駆動される。他の実施例においては、被選択ワード線よりも「上の」通過ワード線よりも低い電圧で、被選択ワード線よりも「下の」（すなわち、グローバルビット線に対して被選択ワード線の反対側における）通過ワード線を駆動することが望ましいかもしれない。プログラミング電圧（たとえば接地）がなおもロバストに被選択メモリセルに印加される。というのも、「上方の」非選択ワード線（すなわち、被選択メモリセルとグローバルビット線に結合された選択デバイスとの間の線）が、より高いV_{PASS}電圧で駆動されるからである。しかしながら、この配置により、下方のメモリセルデバイスに対するＦセルプログラミングストレス（すなわち、いわゆるV_{PASS}ディスターブストレス）が低減される。ミラーリングされたＮＡＮＤストリングを組込んだ実施例については、１つのＮＡＮＤストリングの上部はその隣接するＮＡＮＤストリングの底部となり、こうして、その上部および底部が時間のうちの５０％を逆にするので、Ｆセルストレスがすべてのセルに対して半減される。ミラーリングされていないＮＡＮＤストリングを組込んだ実施例については、各ＮＡＮＤストリングのそれぞれの底部が整列しており、このため、底部の方にあるセルが被るV_{PASS}ストレスは、実際には、上部の方にあるセルが被るよりも少なくなる。それにもかかわらず、底部セルは、そのＮＡＮＤストリングが（リークし得る選択デバイスを備えた端部により近接しているので）選択されず、ブースト損失が、これらの技術によって軽減されているにもかかわらず０にならない場合、リーク電流によって引起されたＨセルプログラムディスターブ（すなわち、V_{INH}ディスターブ）をより受けやすくなる可能性がある。結果として、ミラーリングされていないＮＡＮＤストリングアレイはまた、Ｆセルストレスをさほど受けない底部セルから恩恵を受ける。というのも、これらの底部セルは、すべてのディスターブ機構による全体的なV_Tの変化を上回ることなく、より高いＨセルストレスを許容し得るからである。

【００６４】

ある実施例においては、マルチレベルのメモリアレイは、いくつかのメモリプレーンまたはメモリレベルの各々の上で形成されるメモリセルを含む。２つ以上の層上のＮＡＮＤストリングは、単一の層上のグローバルビット線に接続され得る。このようなグローバルビット線層は、好ましくは、メモリアレイのための、当該アレイの下にある基板に配置され得る回路を支持するようより便宜的に接続するためにすべてのメモリレベルの下にある

モノリシックの集積回路の層上に配置される。いくつかの実施例においては、このようなグローバルビット線層はメモリレベルの真中またはアレイの上にあってもよく、２つ以上のグローバルビット線層が用いられてもよい。さらに、２つ以上の層上にあるＮＡＮＤストリングはまた、好ましくはすべてのメモリレベルの上に配置される単一層上における共有されたバイアスノードに接続され得る。いくつかの実施例においては、共有されたバイアスノードはメモリレベルの真中またはアレイの下にあってもよい。共有されたバイアスノードは同様に２つ以上の層上に配置され得る。

【００６５】

図示されたミラーリングされていないＮＡＮＤストリング配置が、各々の隣接するＮＡＮＤストリングのためにグローバルビット線を用いるので、グローバルビット線のピッチは、隣接するＮＡＮＤストリングが同じグローバルビット線を共有している他の実施例の場合よりも密になり得る。グローバルビット線のピッチの問題を軽減するために、ある実施例においては、グローバルビット線は、２つ以上の配線層上でルーティングされ得る。たとえば、偶数個のＮＡＮＤストリングが、１つのグローバルビット線層上に配置されたグローバルビット線に関連付けられ、奇数個のＮＡＮＤストリングが、別のグローバルビット線層上に配置されたグローバルビット線に関連付けられてもよい。ビア（via）は、ＮＡＮＤストリングのピッチの適合を容易にするよう千鳥配列にされてもよく、所要のグローバルビット線のピッチは、個々のＮＡＮＤストリングのピッチの２倍に緩められてもよい。特にＮＡＮＤストリングの２つ以上のメモリプレーンを有する３次元のアレイのために、３つ以上の垂直に隣接する層に接触する垂直なビアが用いられてもよい。このような垂直な接続はまた、２つ以上の層をｚ方向に接続するビアタイプの構造を意味するよう便宜的に「ｚｉａ」と称され得る。これらの形成についての好ましいｚｉａ構造および関連する方法が、２００３年3月１８日に発行されたクリーブス（Cleeves）による米国特許第６，５３４，４０３号に記載され、その開示の全体が引用によりこの明細書中に援用される。例示的なｚｉａのさらなる詳細が、ロイ・Ｅ・シューライン（Roy E. Scheuerlein）他による上述の「直列接続されたトランジスタストリングを組込んだプログラマブルメモリアレイ構造、ならびにその製造および動作方法（“Programmable Memory Array Structure Incorporating Series-Connected Transistor Strings and Methods for Fabrication and Operation of Same”）」において説明される。

【００６６】

さまざまな実施例が企図される。ミラーリングされた構成およびミラーリングされていない構成はともに、この明細書中に記載されるように具体的に企図される。付加的な共有を用いることにより、所与のいかなるブロックにも必要とされる面積をさらに減らし得る。たとえば、ミラーリングされていない構成におけるグローバルビット線への接点は、２つのメモリブロックによって、共有された接点の両側に一つずつ、共有される。加えて、１つのブロックにおける共有されたドレイン線とＮＡＮＤストリングの端部へのその関連する接点とは、隣接するブロックにおけるＮＡＮＤストリングによって共有され得る。他の実施例においては、隣接するブロックは、非選択ブロックへのストレスを避けるために、独立して共有されるドレインノードを有し得る。

【００６７】

図１７Ａ、図１７Ｂ、図１７Ｄおよび図１７Ｅに図示のとおり、グローバルビット線への接点のための面積を節約するには、ｚｉａを一直線にコンパクトに配置することが好ましい。これは、図１７Ａ、図１７Ｂおよび図１７Ｃに示されるＮＡＮＤストリングのミラーリングされていない配置に特に有利である。ＮＡＮＤチャネル領域の非常に狭い間隔にｚｉａを作り出すためのいかなる公知の処理技術も、図１７Ａ、図１７Ｂ、図１７Ｄおよび図１７Ｅに示されるＮＡＮＤストリング配置と組合わせて用いることができる。図１７Ａにおいては、ミラーリングされていないＮＡＮＤストリングは、メモリ線の下方にあり当該メモリ線と一致する単一層上のグローバルビット線に接続されるので、図１７Ａの平面図には示されていない。代替的には、ｚｉａ１７０１は、１つの層上のグローバルビット線に接続し、隣接するｚｉａ１７０２は、第２のグローバルビット線層上のグローバル

ビット線に接続し得る。垂直に部分的に重ねるｚｉａ技術は、共通のメモリレベルから２つの配線レベルまでのｚｉａ接続を形成するものであるが、配置１７Ｂに図示のとおり、２つの層上でＮＡＮＤストリングをグローバルビット線に有利に接続するのに用いられ得る。このような垂直に部分的に重ねるｚｉａ技術は、本願と同日付けで出願された「緩やかなジオメトリ層への高密度の接点（“High Density Contact to Relaxed Geometry Layers”）」と題され、その全体が引用によりここに援用されている、Roy E. Scheuerlein他による米国特許出願第１０／７２８，４５１号においてより詳細に説明される。２つのグローバルビット線層はともに、メモリアレイの下方またはメモリアレイの上方にあり得る。図１７Ｃにおいては、ｚｉａ位置は、ｚｉａホール間における間隔を広くするよう千鳥配列にされ、いくつかの実施例においては、ＮＡＮＤストリングチャネル層およびグローバルビット線層上にパッド領域を規定する。（上述の「“Method for Fabricating Programmable Memory Array Structures Incorporating Series-Connected Transistor Strings”」の図２４、図２５および図２８に図示のとおり）インラインのｚｉａ（in-line zia）を用いることにより、ｚｉａを被選択ブロックにおけるＮＡＮＤストリングと隣接するブロックにおけるＮＡＮＤストリングとに接続しながらも、図１７Ａ、図１７Ｂ、図１７Ｄまたは図１７Ｅに示される配置でｚｉａの間隔を狭くすることもできる。（上述の「“Method for Fabricating Programmable Memory Array Structures Incorporating Series-Connected Transistor Strings”」の図２９に図示のとおり）多層の垂直なｚｉａホールは、これらの配置の各々にも好適なコンパクトなｚｉａを形成する。

【００６８】

図１８に図示のとおり、ＮＡＮＤストリングの被選択ブロックにおけるミラーリングされたストリング配置１８００は、すべての隣接するＮＡＮＤストリング１８１１、１８１２、１８１３、１８１４、１８１５が、対応するグローバルビット線１８０１、１８０２、１８０３、１８０４、１８０５に、但しメモリブロックの両側に交互に接続されている。上部におけるドレインバイアスノード１８２０および底部におけるドレインバイアスノード１８２１には、グローバルビット線電圧とは無関係に、ミラーリングされていないＮＡＮＤストリング配置と同様にストリングからのリーク電流を減らすための好ましい電圧でバイアスがかけられ得る。グローバルビット線は、１つの層または２つの層上にあってもよく、メモリ層の上または下にあってもよい。

【００６９】

この明細書中に記載されるさまざまな技術、たとえばチャネルブースト、多重プログラミングパルス、マルチレベルのパルスおよび複数の直列選択デバイスは、単独でまたは組合せて用いられて、Ｈセルプログラムディスターブ、Ｆセルプログラムディスターブを低減させ、ロバストなＳセルプログラミングをもたらし得る。

【００７０】

ミラーリングされた構成については、好ましい実施例では、各ストリングの各端部上で３つの直列選択デバイスが用いられるが、上部選択グループのための２つの独立したゲート電圧と、底部選択グループのための２つの独立したゲート電圧とを有する。マルチレベルのゲートパルスも用いられるが、この場合、最初のパルスレベルが（V_{INH}＋ｍａｘ　Ｖｔ）であり、次に、低いパルスレベルの（V_{INH}－ｍｉｎ　Ｖｔ）が続くが、これらはともに上部セレクタおよび通過ワード線のためのものである。好ましくは、多重プログラミングパルスも用いられ、そのすべてが以下の表に要約されている。

【００７１】

【表１】

V_{INH}	上部セレクタ（3つのゲート）	V_{PASS}	V_{PGM}	底部セレクタ（3つのゲート）	共通のドレイン	Hセルディスターブ	Fセルディスターブ	ストリングごとのデバイスの合計数
5V	7V -> 4V	7V -> 4V	13V	0Vで短絡した外部の2つのゲートおよび4.5Vでの内部の1つのゲート	0V	<250 mV	<200mV	22

【００７２】

ストリングごとに合計２２個のデバイスが用いられる。すなわち、１６個のメモリセル、ストリングの上部における３つの直列選択デバイス、および、ストリングの底部における３つの直列選択デバイスである。通過ワード線および上部選択デバイス上におけるマルチレベルのパルスは、初めに７Ｖであり、プログラミングパルスが被選択ワード線に印加される前に４Ｖに下げられる。

【００７３】

ミラーリングされていない構成については、１つの好ましい実施例では、各ストリングの上端部（すなわち、グローバルビット線端部）上で単一の選択デバイスと、各ＮＡＮＤストリングの底端部上で２つの直列選択デバイスとが用いられるが、底部選択グループのための２つの独立したゲート電圧を有する。マルチレベルのゲートパルスも用いられるが、この場合、最初のパルスレベルが（V_{INH}＋ｍａｘ　Ｖｔ）であり、低いパルスレベルの（V_{INH}－ｍｉｎ　Ｖｔ）が次に続くが、これらはともに、上部セレクタおよび非選択ワード線のためのものである。以下の表に要約されるとおり、好ましくは多重プログラミングパルスも用いられる。

【００７４】

【表２】

V_{INH}	上部セレクタ 1つのゲート	V_{PASS}	V_{PGM}	底部セレクタ（2つのゲート）	リース(GSL)	Hセルディスターブ	Fセルディスターブ	ストリングごとのデバイスの合計数
5V	7V -> 4V	7 -> 4V	13V	5Vでの外部のゲートおよび0Vでの内部のゲート	2.5V	<75 mV	<100mV	19

【００７５】

好ましくは、ストリングごとに合計１９個のデバイスが用いられる。すなわち、１６個のメモリセル、ストリングの上部における１つの選択デバイス、および、ストリングの底部における２つの直列選択デバイスである。通過ワード線および上部選択デバイス上のマルチレベルのパルスは、初めに７Ｖであり、プログラミングパルスが被選択ワード線に印加される前に４Ｖに下げられる。

【００７６】

あるミラーリングされていない実施例においては、各ＮＡＮＤストリングは、図１に図示のとおり、その各端部に単一の選択デバイスだけを含み得る。アレイにおけるさまざまな信号についての電圧範囲を示す以下の表に記載されている一組の好ましい動作条件を用いて、好適な性能を達成し得る。「値」の列は好ましい値を示す。

【００７７】

【表３】

信号	読出		プログラム		消去	
	値	範囲	値	範囲	値	範囲
V_{WL}	1V	0V..3V	12V	7V..15V	0V	0V
V_{WLPASS}	5V	2V..6V	7V	2V..9V	0V	0V
$V_{WLUNSEL}$	0V	0Vまたは浮遊	0V	0Vまたは浮遊	10V	6V..13Vまたは浮遊
V_{BSELB}	5V	2V..6V	5V	4V..10V	10V	6V..13V
V_{BSELD}	5V	2V..6V	0V	−3V..0V	10V	6V..13V
V_{UNBSEL}	0V	−3V..0V	0V	−3V..0V	10V	6V..13V
V_{GBL}	1V	0V..3V	0V/4V	0V/4V..10V	10V	6V..13V
V_{DRAIN}	1.5V	0V..3VV	4V	4V..10Vまたは浮遊	10V	6V..13V

【００７８】

ある実施例においては、共有されたドレイン線は、すべてのメモリブロックに対して共通していてもよい。他の実施例においては、（ここでは、ミラーリングされていない構成のためのグローバルソース線としても記載される）この共通ノードは複数のノードに分割され得、各々には独立してバイアスがかけられ得る。多くの非選択ＮＡＮＤストリングが同じワード線に接続される（通常、Ｎｓｔ＝１２８～１０２４（５１２種類）であり、これは層の数で乗算されており、Ｎｌａ＝２～８（８種類）である）ので、「オフ」のブロック選択トランジスタ（Ｎｓｔ*Ｎｌａ）のすべてのリークは、消去されたセルの読出電流に重ねられる。プログラミングされたセルから消去されたセルを正確に識別するために、非選択ストリングのリークをＩｂｓｌｅａｋで示し、消去されたセルの電流をＩｃｅｒで示し、プログラミングされたセルの電流をＩｃｐｇｍで示している以下の式が満たされなければならない。

【００７９】

【数１】

$$I_{cer} > Ratio\left(I_{bsleak} N_{st} N_{la} + I_{cpgm}\right) \rightarrow I_{bsleak} < \frac{\frac{I_{cer}}{Ratio} - I_{cpgm}}{N_{st} N_{la}} \cong 1pA$$

【００８０】

この場合、代表値として、Ｒａｔｉｏ＝１００、Ｉｃｅｒ＝５００ｎＡ、Ｉｃｐｇｍ＝１ｎＡ、Ｎｓｔ＝５１２、Ｎｌａ＝８である。

【００８１】

ブロック選択トランジスタが上述の式によって設定された限度よりも多量にリークする場合、ストリングの数、すなわちＮｓｔが低減される可能性がある。これについての不利点は、アレイが破壊されるたびに非効率が生じるのでアレイの効率が最低になってしまうことである。代替的には、共通のバイアスノードが複数のノードに分割されてもよい。被選択ストリングを含むV_{DRAIN}には、標準的なV_{DRAIN}電圧（たとえば、１．５Ｖ）でバイアスがかけられ得る。他のすべてのV_{DRAIN}ノードには、グローバルビット線と同じ電圧でバイアスがかけられ得る。このように、たとえブロック選択デバイスがリークしやすいとしても、１ＶのV_{DRAIN}では非選択ストリングに電流が流れ得ない。というのも、ストリングにわたって電圧差がないからである。共通ノードがＭ回（すなわち、Ｍ個の個々のノードに）分割された場合、Ｉｂｓｌｅａｋ上の要件は、グローバルビット線を破壊する必要なしに、上述の限度に関連してＭの係数だけ減じられる。Ｉｂｓｌｅａｋについての限度を１５０ｐＡとすれば、Ｍの好ましい値は１２８となり得る。Ｍについての範囲は、ブロック選択トランジスタのリークに応じて、好ましくは１６～５１２である。

【００８２】
上述の読出バイアス条件では、グローバルビット線がソースとして、そして、共通ノードがドレインとして設定される。この反対も可能であり、２つのバイアス条件（たとえば、１．５Ｖでのグローバルビット線、および、１Ｖでの共通ノード）を逆にすることもできる。
【００８３】
すべての層上においてオンピッチのｚｉａ（on-pitch zias）を有する要件を軽減するための実現可能な変更は、２つのストリングのためにｚｉａを共有することである。これは、図２に示される隣接するストリングと同様に、反対方向を指すストリングを有することを意味する。他の実施例においては、オンピッチのｚｉａを有するのではなく、別のルーティング層（Ｒ４）をメモリアレイの上部に導入してもよい。このようなルーティング層がグローバルビット線の半分を保持し、もう一方のグローバルビット線層がグローバルビット線の残り半分を保持するだろう。
【００８４】
上述のとおり、多くのメモリアレイ、特に３次元（３Ｄ）のメモリについては、消去された際にデプレッションモードのデバイスを用い、プログラミングされた際にほぼデプレッションモードのデバイス（すなわち、たとえば０．５～１．５Ｖなどの約１ボルトV_T）を用いると、以下に記載のとおり、メモリ層の各々についてのレイアウトの複雑性を簡略化する点で非常に有利になる。さらに、プログラミングの際にほぼデプレッションモードのデバイスを用いることにより、被選択メモリセルを読出す際に非選択ワード線に印加される必要のある電圧が下げられる。セル電流は、非選択メモリセルがプログラミングされている場合でも、より容易にストリングを通過し得る。この電圧低下は、多くの予想される読出サイクル中にディスターブの影響を低減させるのに有益である。たとえば、消去される非選択ＮＡＮＤストリング上の非選択メモリセルは、ワード線上のより高い電圧によって、プログラミングされた状態になるまでゆっくりとディスターブされ得る。
【００８５】
この発明に従ったＮＡＮＤストリングは、いくつかの異なるプロセスのいずれかを用いて作製され得る。集積回路は、単一のメモリプレーンを有するメモリアレイを含み得るか、または、２つ以上のメモリプレーンを有するメモリアレイを含み得る。図１５に１つの例示的な構造が示される。この発明に従った２レベルのメモリアレイ４００の一部を概念的に表わす３次元図が示される。レベル１においては、複数のチャネルストライプ（たとえば４０２）が第１の方向に形成される。蓄積された電荷誘電層４０４、たとえば酸化物／窒化物／酸化物（ＯＮＯ）スタックは、少なくともチャネルストライプ４０２の上面に形成される。第１の方向とは異なる第２の方向に延びる複数のゲートストライプ（たとえば４０６）は、蓄積された電荷誘電層４０４上に形成される。好ましくは、ゲートストライプは、ワード線ストライプとも称されるが、チャネルストライプに対して概して垂直に延びる。ソース／ドレイン領域（たとえば４１０）は、ワード線ストライプ間における露出された（すなわち、ワード線ストライプによって覆われていない）領域のチャネルストライプにおいて形成され、こうして、薄膜トランジスタ（ＴＦＴ）の直列接続されたストリングを形成する。
【００８６】
このようなチャネルストライプ４０２は、好ましくは、アモルファスシリコン層を堆積させ、チャネルストライプを形成するようチャネルマスクを用いて当該層をエッチングし、薄膜トランジスタチャネルを形成するよう当該層をアニールすることによって形成される。ワード線ストライプ１０６は、シリサイド層によって覆われるポリシリコン層などの２つ以上の層の積重ねから形成され得るか、または、図に示されるように３段の積重ねであり得る。
【００８７】
中間の誘電層４０８は、あるレベル上におけるワード線（たとえば、レベル１に示されるワード線ストライプ４０６）を、次に高いレベル上におけるチャネルストライプ（たと

えば、レベル２に示されるチャネルストライプ４０２）から絶縁するようワード線ストライプの上方に形成される。誘電体を用いて、所与のレベルのワード線ストライプ間における空間を埋めることもできる。理解され得るように、このような構造により、各チャネルストライプ４０２内における複数の直列接続されたトランジスタが形成される。

【００８８】

このようなＮＡＮＤストリングのトランジスタは、プログラミングされた状態のためにエンハンスメントまたはデプレッションモードのデバイスを含むよう作製され得る。（ＳＯＮＯＳデバイスではなく）フローティングゲートデバイスを用いる他の種類のＮＡＮＤメモリアレイにおいては、消去された状態は、しばしば、０ボルトしきい値電圧（V_T）またはさらにはデプレッションモードV_Tとなる。フローティングゲートデバイスは広範囲のV_Tを有し得る。というのも、フローティングゲートが広範囲の電荷レベルを蓄積し得るからである。このようなデプレッションモードのプログラミングされた状態は、ＩＥＥＥ　ＪＳＳＣ（第３４巻、第５号、１９９９年５月、６７５～６８４頁）におけるタケウチ（Takeuchi）他による「高度にスケーラブルでノイズに対して耐性が高く信頼性の高いＮＡＮＤフラッシュメモリのための負のＶｔｈセルアーキテクチャ（“A Negative Vth Cell Architecture for Highly Scalable, Excellently Noise-Immune, and Highly Reliable NAND Flash Memories”）」において説明される。

【００８９】

ここでの説明は、メモリセルのプログラミングに焦点を合せており、読出または消去動作は扱っていない。例示的な構成においては、被選択ＮＡＮＤストリングは、概して、ＮＡＮＤストリングにわたり電圧を印加することによって読取られ、これにより、１つ以上のブロック選択デバイスのどのグループにもバイアスがかけられて電流を流すことを確実にし、さらに、ＮＡＮＤストリングにおけるすべての非選択メモリセルデバイスにバイアスがかけられて、そこに記憶されたデータ状態にかかわらずストリングに電流を流すことを確実にし、さらに、２つのデータ状態のうちの１つのためだけに電流がＮＡＮＤストリングを流れるように被選択ワード線にバイアスをかける。被選択ブロックにおけるすべてのメモリセルは、各メモリセルトランジスタにわたって十分に大きな負のゲート－ソース間電圧を加えることによって消去され得る。たとえば、グローバルビット線、任意の共有されるバイアスノード、すべてのブロック選択線、およびすべてのワード線は、たとえば１０ボルトの消去（V_{EE}）電圧に駆動され得る。被選択ブロックにおける中間ノードが、グローバルビット線および共有されたドレインノード上で伝達される消去電圧に実質的に充電するための時間がとられた後、被選択ブロックにおけるワード線は、ブロックにおける各メモリセルにわたって消去バイアスを加えるよう接地される。ミラーリングされた構成を読取および消去する付加的な詳細が、既に参照された、Roy E. Scheuerlein他による「“Programmable Memory Array Structure Incorporating Series-Connected Transistor Strings and Methods for Fabrication and Operation of Same”」において説明され、類似の技術が、ミラーリングされていない構成のために用いられてもよい。

【００９０】

ここで説明される実施例におけるブロック選択デバイスのうちの１つ以上には、負のゲート－ソース間電圧で時々バイアスがかけられ得る。これにより、このようなブロック選択デバイスに部分的な消去バイアスがかけられる。これらのブロック選択デバイスは、デプレッションモードＳＯＮＯＳセルなどのプログラマブルセルとして同じ処理ステップによって形成される場合、被選択メモリセルのプログラミング中に印加されるこのバイアス電圧によって部分的に「消去」され得る。これにより、いくつかのプログラムサイクル後、ブロック選択デバイスのV_Tが負の領域にまでゆっくりと低減することとなる。このようなしきい値電圧は、ブロック選択デバイスがオフにされるのを防ぎ得る。

【００９１】

ブロック選択デバイスから電荷蓄積誘電層（たとえば、窒化物）を除去するか、または、メモリセルデバイスとは異なる別の種類の選択デバイスを作製するために余分な処理を用いることができるが、これにより半導体プロセスの複雑さが増す。代替的には、プログ

ラミング後のバイアス条件は、好ましくは、各々のプログラムサイクルの最後に加えられるが、この場合、影響を受けたブロック選択デバイスは、そのＶ$_T$を、最大でたとえば約０ボルトまで戻すよう少しだけプログラミングされる。これは、被選択ブロックにおけるすべてのワード線を接地（０ボルト）に戻し、グローバルビット線および共有されるドレインノード（またはグローバルソースノード）を接地に導き、短時間にわたってそれぞれの選択信号をプログラミング電圧に駆動することによって達成され得る。便宜上、すべのブロック選択信号はプログラミング電圧に駆動され得る。というのも、ブロック選択デバイスのしきい値を過度にプログラミングしてしまう心配が殆どないからである。例示的なＳＯＮＯＳプロセスについては、Ｖ$_T$がその上限で留まることを確実にするのに比較的短い「ブロック選択Ｖ$_T$調節プログラム時間」で十分となるように、消去時間がプログラミング時間よりもはるかに長くなる。このようなブロック選択Ｖ$_T$調節のための例示的な期間は約１μｓである。

【００９２】

図１６を参照すると、メモリアレイ５０２を含む集積回路５００のブロック図が示されるが、当該図は、この発明のさまざまな実施例を表わすのに有用であり得る。このような一実施例においては、メモリアレイ５０２は、好ましくは、３次元でフィールドプログラマブルの不揮発性メモリアレイであり、メモリセルの２つ以上のプレーン（またはレベル）を有する。メモリアレイ５０２のアレイ端子は、行として構成されたワード線の１つ以上の層と、列として構成されたグローバルビット線の１つ以上の層とを含む。ワード線のグループは、各々が別個の層（すなわち、レベル）上に存在し、実質的に垂直に整列している（それにもかかわらず、いくつかの層上では横方向にわずかにずれている）が、総称して行と呼ばれ得る。ある行内におけるワード線は、好ましくは、行アドレスの少なくとも一部を共有する。同様に、グローバルビット線のグループは、各々が別個の層上に存在し、実質的に垂直に整列している（また、それにかかわらず、いくつかの層上では横方向にわずかにずれている）が、総称して列と呼ばれ得る。ある列内におけるグローバルビット線は、好ましくは、列アドレスの少なくとも一部を共有する。

【００９３】

集積回路５００は行回路ブロック５０４を含み、その出力５０８はメモリアレイ５０２のそれぞれのワード線に接続されている。行回路ブロック５０４は、Ｍ個の行アドレス信号のグループ、すなわちさまざまな制御信号５１２を受信し、典型的には、読出および書込（すなわちプログラミング）動作のために行デコーダおよびアレイ端子ドライバのような回路を含み得る。行回路ブロックはまた、Ｍ個の行アドレス信号のいくつかによってブロック選択を判断するようブロック選択線および共有されたドレインバイアス線を制御するための回路を含み得る。集積回路５００はまた列回路ブロック５０６を含み、その入出力５１０は、メモリアレイ５０２のそれぞれのグローバルビット線に接続されている。列回路ブロック５０６は、Ｎ個の列アドレス信号のグループ、すなわちさまざまな制御信号５１２を受信し、典型的には、列デコーダ、アレイ端子受信機、読出／書込回路およびＩ／Ｏマルチプレクサのような回路を含み得る。行回路ブロック５０４および列回路ブロック５０６などの回路は、メモリアレイ５０２のさまざまな端子への接続のためのアレイ端子回路と総称され得る。

【００９４】

メモリアレイを組込んだ集積回路は、通常、当該アレイを、しばしばサブアレイとしても公知である、時には多数のより小さなアレイにさらに分割する。ここで用いられるように、アレイは、デコーダ、ドライバ、センスアンプおよび入出力回路によっては一般に破壊されない連続したワード線およびビット線を有するメモリセルの連続したグループである。メモリアレイを含む集積回路は、１つのアレイ、２つ以上のアレイ、またはさらに多数のアレイを有し得る。ここで用いられるように、集積回路メモリアレイは、いっしょにパッケージングされたか、または近傍にあるかまたはいっしょにダイボンディングされた２つ以上の集積回路デバイスではなく、モノリシックの集積回路構造である。

【００９５】

さまざまな半導体プロセスのいずれも、ＮＡＮＤストリングを有するメモリアレイを作製するのに有利に用いられ得るが、上述の多くの実施例は、半導体基板の上において薄膜トランジスタとして形成されるメモリセルを企図する。このようなメモリアレイを作製するための好ましい方法は、２００２年１２月３１日に出願され、「しきい値電圧の変動を確実に低減させるためのＴＦＴデバイスのための細いチャネルの形成（“Formation of Thin Channels for TFT Devices to Ensure Low Variability of Threshold Voltages”）」と題され、引用によりこの明細書に援用されている、アンドルー・Ｊ・ウォーカー（Andrew J. Walker）他による米国出願第１０／３３４，６４９号と、２００２年2月１９日に出願され、「集積回路のためのゲート誘電構造と、このようなゲート誘電構造の製造および使用方法（“Gate Dielectric Structures for Integrated Circuits and Methods for Making and Using Such Gate Dielectric Structures”）」と題され、引用によりこの明細書に援用されている、マイトレイー・マハジャニ（Maitreyee Mahajani）他による米国出願第１０／０７９，４７２号と、２００２年１２月３１日に出願され、「直列接続されたトランジスタストリングを組込んだプログラマブルメモリアレイ構造の製造方法（“Method for Fabricating Programmable Memory Array Structures Incorporating Series-Connected Transistor Strings”）」と題され、その全体が引用によりこの明細書に援用されている、Andrew J. Walker他による米国出願第１０／３３５，０８９号と、２００３年９月２３日に出願され、「不揮発性メモリデバイスの記憶層の最適化（“Storage Layer Optimization of a Non Volatile Memory Device”）」と題され、その全体が引用によりこの明細書に援用されている、Maitreyee Mahajani他による米国出願第１０／６６８，６９３号とにおいて説明される。他の有用な作製方法が、本願と同日付で出願され、「基板内部および基板上部におけるパターン化された特徴のクリティカルディメンジョンおよびピッチの最適化（“Optimization of Critical Dimensions and Pitch of Patterned Features In and Above a Substrate”）」と題され、その全体が引用によりこの明細書に援用されている、ジェームズ・エム・クリーブス（James M. Cleeves）他による米国特許出願第１０／７２８，４３７号と、本願と同日付で出願され、「交互の位相偏移を用いる内部の非印刷ウインドウを備えたフォトマスク特徴（“Photomask Features with Interior Nonprinting Window Using Alternating Phase Shifting”）」と題され、その全体が引用によりこの明細書中に援用されている、ユング・ティン・チェン（Yung-Tin Chen）による米国特許出願第１０／７２８，４３６号とにおいて説明される。

【００９６】

ここで用いられるように、直列接続されたＮＡＮＤストリングは、直列に接続され、隣接するデバイス間でソース／ドレイン拡散を共有する複数のデバイスを含む。ここで用いられるように、メモリアレイは、基板に形成されるか、または代替的には、基板の上に形成されるメモリレベルを有する２次元（平面）のメモリアレイであってもよい。当該基板は、メモリアレイのための支持回路を含み得るような単結晶基板であり得るか、または、メモリアレイのための支持回路を必ずしも含む必要がない別の種類の基板であり得る。たとえば、この発明のいくつかの実施例は、シリコン・オン・インシュレータ（ＳＯＩ（silicon-on-insulator））構造を用いて実現され得、他の実施例は、シリコン・オン・サファイア（ＳＯＳ（silicon-on-sapphire））構造を用いて実現され得る。代替的には、メモリアレイは、メモリセルの２つ以上のプレーン（すなわち、２つ以上のメモリレベル）を有する３次元のアレイであり得る。メモリレベルは、メモリアレイのための支持回路を含む基板の上に形成され得る。ここで用いられるように、３次元のメモリアレイを有する集積回路は、２つ以上のモノリシックの集積回路のアセンブリではなく、モノリシックの集積回路であると仮定される。

【００９７】

この発明は、従来の単一レベルのメモリアレイやマルチレベル（すなわち、３次元）のメモリアレイを含め、特に極めて高密度のＸ線またはＹ線のピッチ要件を有するような、多種多様なメモリアレイ構成のいずれかとの有利な用途について企図される。さらに、この発明は、変更可能なコンダクタンススイッチデバイスをメモリセルとして使用する直列

接続されたＮＡＮＤストリングを有するメモリアレイに適用可能であると考えられており、電荷蓄積誘電体を組込んだメモリセルには限定されない。このような変更可能なコンダクタンススイッチデバイスは３端子のデバイスであり、その端子の内の２つの端子間におけるコンダクタンスが変更可能であり、さらに、概してワード線（またはいくつかの実施例についてはブロック選択線）に接続される第３の端子または制御端子上の信号によって「切換えられる」かまたは制御される。コンダクタンスは、製造後に（すなわち、トンネリング電流を用いてプログラミングすることにより、ホットエレクトロン電流を用いてプログラミングすることなどにより）変更され得る。変更可能なコンダクタンスは、しばしば、変更可能なしきい値電圧として現われるが、いくつかの技術のために変更可能な相互コンダクタンスとして現われてもよい。

【００９８】

別の例示的なメモリアレイは、強誘電性デバイスなどの「分極性誘電デバイス」のＮＡＮＤストリングを実現し得るが、この場合、デバイス特徴は、強誘電性ゲート材料の分極状態を変える電圧をゲート電極に印加することによって変更される。

【００９９】

別の例示的なメモリアレイは、フローティングゲートを用いてプログラム可能なデバイスのＮＡＮＤストリングを実現し得るが、この場合、デバイス特徴は、フローティングゲートに電荷を蓄積させるよう電圧を制御ゲート電極に印加することによって変更され、これにより、当該デバイスの有効しきい値電圧が変更される。

【０１００】

さらに別の例示的なメモリアレイは、いわゆる「単一電子」デバイスまたは「クーロンブロッケード（coulomb blockade）」デバイスのＮＡＮＤストリングを実現し得るが、この場合、ワード線上の印加された電圧が、シリコンナノ粒子によって形成される電子トラップの状態、またはチャネル領域におけるいかなる量子井戸構造をも変化させ、これにより、ＮＡＮＤストリングデバイスの伝導特徴が変えられる。いくつかの実施例においては、ＮＡＮＤストリングデバイスの電荷蓄積領域の構造はまた、デバイス特徴を変更するためにゲート構造のソースまたはドレインのエッジにおいて形成されたナノメートルサイズ（すなわち、０．１～１０ナノメートル）のシリコンフィラメントに位置し得る。他の代替的な実施例は、チャネル領域のための有機導電層を利用し、ＮＡＮＤストリングに有機材料デバイスを形成し得るが、その導電性状態は、適切な電圧をワード線に印加することによって選択的に変更される。

【０１０１】

こうして、以上に詳細に説明された実施例はＯＮＯスタックなどの電荷蓄積誘電体を利用するが、他のメモリセル、たとえばフローティングゲートのＥＥＰＲＯＭプログラミングされたしきい値デバイス、分極性誘電デバイス、単一電子またはクーロンブロッケードデバイス、シリコンフィラメント電荷蓄積デバイス、および有機材料デバイスも企図される。さらに、この発明は、正のプログラミング電圧を有するメモリアレイに限定されないが、負のプログラミングパルスを必要とし得る他のセル技術には有用である。代替的なセル構造のいくつかによってプログラミング電圧を下げることができる。これらのより低い電圧セルを備えた実施例は、所与のセルタイプにとって適切なV_{PASS}およびV_{INH}などのさまざまな線ノードのために比例的に低い電圧を有するだろう。

【０１０２】

この明細書中に記載されたこの発明のさまざまな実施例においては、メモリセルは半導体材料から構成され得る。これは、各々が引用によりこの明細書中に援用されている、ジョンソン（Johnson）他に対する米国特許第６，０３４，８８２号、ザング（Zhang）に対する米国特許第５，８３５，３９６号、ナール（Knall）による米国特許出願連続番号第０９／５６０，６２６号、およびジョンソンによる米国特許出願連続番号第０９／６３８，４２８号に記載されるとおりである。具体的には、アンチヒューズのメモリセルが好ましい。他の種類のメモリアレイ、たとえばＭＲＡＭおよび有機受動素子アレイが用いられてもよい。ＭＲＡＭ（磁気抵抗ランダムアクセスメモリ）は、磁気トンネル接合（ＭＴＪ

）などの磁気メモリ素子に基づく。ＭＲＡＭ技術は、引用によりこの明細書中に援用されている、ピーター・ケイ・ナジ（Peter K. Naji）他による「２５５６ｋｂ　３．０Ｖ　ＩＴＩＭＴＪ　不揮発性磁気抵抗ＲＡＭ（“A 2556kb 3.0V ITIMTJ Nonvolatile Magnetoresistive RAM”）」（the Digest of Technical Papers of the 2001 IEEE International Solid-State Circuits Conference, ISSCC 2001/Session 7/Technology Directions: Advanced Technologies/7.6, February 6,2001 and pages 94-95,404-405 of ISSCC 2001 Visual Supplement）において説明されている。ある受動素子メモリセルは、ダイオードのような特徴の伝導性をもつ少なくとも１つの層を含む有機材料と、電界を印加することで導電性を変える少なくとも１つの有機材料との層を組込む。有機受動素子アレイを説明しているグデンセン（Gudensen）他による米国特許第６，０５５，１８０号がまた、引用によりこの明細書中に援用される。相変化材料およびアモルファス固体などの材料を含むメモリセルが用いられてもよい。ウォルステンホルム（Wolstenholme）他に対する米国特許第５，７５１，０１２号と、オブシンスキー（Ovshinsky）他に対する米国特許第４，６４６，２６６号とを参照されたい。これらはともに引用によりこの明細書に援用される。

【０１０３】

さらに、詳細に上述された実施例は、２つの異なるデータ状態に対応する２つのコンダクタンス値を提供し、こうして、メモリセルごとに１ビットの情報を記憶するが、この発明は、メモリセルごとに２ビット以上を提供するのに用いられ得る。たとえば、電荷蓄積誘電体はいくつかの位置で電荷を蓄積し得る。いくつかの構造およびプログラミング技術については、電荷は、プログラミング機構がチャネルに沿って（たとえばトンネリングなどによって）均一に作用する場合、デバイスチャネルの長さに沿って実質的に均一に蓄積され得るか、または、ホットキャリア注入などのプログラミング機構が用いられる場合、ちょうどソースもしくはドレインのエッジに蓄積され得る。ソースまたはドレインのエッジに位置する単一の電子メモリデバイスまたはシリコンフィラメントのホットエレクトロンプログラミングの場合には、ソースまたはドレインのエッジに電荷を局所的に蓄積することによって、複数ビットの情報が各ＮＡＮＤストリングデバイスに記憶され得る。複数ビットの情報はまた、いくつかの異なるレベルの電荷を電荷蓄積媒体に注入し、異なる電荷レベルを異なる記憶された状態と関連付けることによって記憶され得る。

【０１０４】

上述の実施例の多くにおいては、ブロック選択デバイスは、プロセスステップの数と各メモリレベルで作製されるデバイス構造を減らすためにメモリセルと同じプロセスフローを用いて形成される。こうして、メモリセルと同じ構造を有するブロック選択デバイスが形成されるが、ただし、サイズは異なっていてもよい。ここで用いられるように、このようなブロック選択デバイスは、それぞれのしきい値電圧が異なる値にプログラミングまたは消去され得るとしても、メモリセルデバイスと構造的に実質に同じであると考えられてもよい。

【０１０５】

この明細書中に記載されるさまざまなバイアス電圧は、負の電圧および高電圧プログラミングおよび消去電圧を含んでいるが、外部のソースから受取られ得るか、または、いくつかの好適な技術のいずれかを用いて内部に生成され得ることが理解されるべきである。上部、左側、底部および右側という名称はメモリアレイの４つの側部についての単なる便宜的な記述的用語であることも理解されるはずである。ブロックに対するワード線は、水平に方向付けされたワード線の２つの互いに入り込んだグループとして実現され得、ブロックに対するグローバルビット線は、垂直に方向付けられたグローバルビット線の２つの互いに入り込んだグループとして実現され得る。アレイの４つの側部のうちの１つの側部上でそれぞれのデコーダ／ドライバ回路およびそれぞれのセンス回路によって、ワード線またはグローバルビット線のそれぞれのグループを機能させ得る。好適な行回路および列回路は、２００２年１１月２７日に出願され「二重目的のドライバデバイスを備えたメモリアレイ線ドライバを用いる多ヘッドデコーダ構造（“Multi-Headed Decoder Structure

Utilizing Memory Array Line Driver with Dual Purpose Driver Device”）」と題された米国特許出願第１０／３０６，８８７号と、２００２年１１月２７日に出願され「極端に小さなレイアウトピッチを有するアレイ線をインターフェイスするのに特に十分に適した３デコーダ構造（“Tree Decoder Structure Particularly Well Suited to Interfacing Array Lines Having Extremely Small Layout Pitch”）」と題された米国特許出願連続番号第１０／３０６，８８８号とにおいて説明され、これらの出願の全体が引用によりこの明細書中に援用されている。グローバルビット線はビット線ドライバ回路によって駆動され得るが、当該ビット線ドライバ回路は、グローバルビット線に直接結合され得るか、または、いくつかのグローバルビット線の間で共有され、デコード回路によって所望のグローバルビット線に結合され得る。好適なドライバおよびデコーダ回路は当該技術において周知である。

【０１０６】

この明細書中で用いられるように、（たとえばグローバルビット線を含む）ワード線およびビット線は通常、垂直なアレイ線を表わし、少なくとも読出動作中にワード線が駆動され、ビット線が検知されるという当該技術における共通の仮定条件に従う。こうして、アレイのグローバルビット線はまた、当該アレイのセンス線と称されてもよく、また、（すなわち、他のアレイ線が存在する場合でも）単にグローバルアレイ線と称されてもよい。このような用語の使用によって語の構成に関して特定の意味が引き出されるべきではない。さらに、この明細書中で用いられるように、「グローバルビット線」は、２つ以上のメモリブロックにおけるＮＡＮＤストリングに接続するアレイ線であるが、このようなグローバルビット線がメモリアレイ全体、または実質的に集積回路全体を横断しなければならないことを示唆する特定の推測が引き出されるべきではない。

【０１０７】

さまざまな図におけるさまざまなアレイ線の方向性は、アレイにおける交差する線の２つのグループの説明を単に容易にするのに都合がよいものである。ワード線は、通常、ビット線に対して垂直であるが、これは必ずしも必要とはされない。さらに、メモリアレイのワードおよびビット構成はまた、容易に反転され得る。付加的な例として、アレイの部分が所与のワードの別々の出力ビットに対応し得る。このようなさまざまなアレイ編成および構成は当該技術において周知であり、この発明は、このような多種多様な変形例を包含するよう意図される。

【０１０８】

回路内のさまざまな信号およびノードを含む回路の動作を説明する場合にいくつかの表現がいずれも等しく十分に利用可能であり、この説明の範囲内でわずかな推測もさまざまな用途に読込まれるべきではないことが当業者に認識されるだろう。しばしば、論理信号には、どのレベルがアクティブなレベルであるかを伝えるように名前が付けられている。信号およびノードの概略図およびそれに伴う説明は文脈において明瞭にされなければならない。この明細書で用いられるように、互いに「実質的に等しい」２つの異なる電圧は、当該文脈下で問題となっている実質的に同じ影響をもたらすのに十分に近い値をそれぞれ有する。このような電圧は、当該文脈が別の値を必要としない限り、互いから約０．５ボルトの範囲内に収まるものとされ得る。たとえば、５ボルトまたは５．５ボルトの通過電圧により、５ボルトの抑制バイアス電圧に比べて実質的に同じ影響がもたらされる可能性があり、このため、５．５ボルトの通過電圧は、５ボルトの抑制電圧と実質的に等しいと考えられ得る。

【０１０９】

電源に関して、回路に電力を供給するのに用いられる単一の正の電源電圧（たとえば、２．５ボルトの電源）は、しばしば、「ＶＤＤ」電源と称される。集積回路においては、トランジスタおよび他の回路素子は実際にはＶＤＤ端子またはＶＤＤノードに接続され、これが次いで、ＶＤＤ電源に動作可能に接続される。「ＶＤＤに繋がれる」または「ＶＤＤに接続される」などの口語的な語句の使用は、典型的には集積回路の使用中にＶＤＤ電源電圧を実際に受けるよう動作可能に接続される「ＶＤＤノードに接続される」ことを意

味するものと理解される。

【０１１０】

このような単一の電源回路のための基準電圧は、しばしば、「ＶＳＳ」と称される。トランジスタおよび他の回路素子は、実際には、ＶＳＳ端子またはＶＳＳノードに接続され、これが次いで、集積回路の使用中にＶＳＳ電源に動作可能に接続される。しばしば、ＶＳＳ端子は、接地基準電位に接続されるか、または単に「接地」に接続される。特定のトランジスタまたは回路によって「接地」されるノードの説明は、（特に規定されない限り）トランジスタまたは回路によって「ローにされる」かまたは「接地される」のと同じであることを意味する。

【０１１１】

この開示の教示に基づき、当業者がこの発明を容易に実施できることが予想される。ここで提供されるさまざまな実施例の説明は、当業者がこの発明を実施することを可能にするのに十分なこの発明の洞察および詳細を提供するものと考えられる。それにもかかわらず、明確にするために、ここに記載される実現例のルーチン特徴がすべて図示および説明されるわけではない。このような実際のいかなる実現例の開発の際にも、アプリケーションおよび業務に関連する制約へのコンプライアンスなどの開発者の特定の目標を達成するために、多数の実現例特有の決定がなされる必要があり、これらの特定の目標が実現例ごと、および開発者ごとに異なるであろうことが、当然、認識されるべきである。さらに、このような開発努力は複雑で時間がかかる可能性があるが、それにもかかわらず、この開示の恩恵を有する当業者にとっては技術設計が日常的な取組みとなることが認識されるだろう。

【０１１２】

たとえば、各アレイまたはサブアレイ内におけるメモリセルの数についての決定、ワード線およびビット線のプリデコーダおよびデコーダ回路ならびにビット線検知回路のために選択された特定の構成、ならびに、語の構成はすべて、商業的に採算のとれる製品の開発についてのこの文脈においてはこの発明を実施する際に当業者が直面する技術的な決定に特有なものであると考えられている。当該技術において周知のとおり、さまざまな行および列デコーダ回路は、アドレス信号および場合によっては他の制御信号に基づいて、メモリブロック、被選択ブロック内におけるＮＡＮＤストリング、および被選択ＮＡＮＤストリング内におけるメモリセルを選択するために実現される。同様に、アレイブロックの数およびメモリプレーンの数もまた技術的決定の問題となる。それでも、技術的努力を単に日常的に発揮することがこの発明の実施に必要であると考えられているにもかかわらず、このような技術的努力は、要求が厳しく競争の激しい製品の開発時にしばしば発生するような創意工夫の努力を付加的に招く可能性がある。

【０１１３】

回路および物理的な構造は一般に想定されるが、現代の半導体設計および作製においては、物理的な構造および回路は、結果として伴う設計、テストまたは作製段階、ならびに結果として得られる作製された半導体集積回路において用いるのに好適なコンピュータ読取可能な記述形式で実現され得る。したがって、従来の回路または構造を対象にしたクレームは、その特定の言語と一致しており、コンピュータ読取可能な符号化およびその表現により、対応する回路および／または構造の作製、テストまたは設計の改善を可能にするよう媒体に組込まれるかまたは好適なリーダ設備と組合されるかどうかを読取り得る。この発明は、回路、関連する方法または動作、このような回路を製造するための関連する方法、ならびに、このような回路および方法を符号化するコンピュータ読取可能な媒体を含むよう企図されており、これらはすべて、この明細書中で説明され、添付の特許請求の範囲において規定されるとおりである。ここで用いられるように、コンピュータ読取可能な媒体は、少なくともディスク、テープまたは他の磁気、光学的媒体、半導体（たとえば、フラッシュメモリカード、ＲＯＭ）、もしくは電子媒体およびネットワーク、ワイヤ線、無線または他の通信媒体を含む。回路の符号化は、回路の概略的な情報、物理的なレイアウト情報、動作シミュレーション情報を含み得、および／または回路が表現もしくは通信

され得る他のいかなる符号化をも含み得る。

【０１１４】

上述の詳細な説明は、この発明の多くの可能な実現例のうちのいくつかしか説明していない。このため、この詳細な説明は限定ではなく例示することを意図している。ここに開示される実施例の変形例および変更例は、この発明の範囲および精神から逸脱することなく、ここに述べられる説明に基づいてなされ得る。すべての同等例を含む添付の特許請求の範囲だけが、この発明の範囲を規定するよう意図されている。特に、多くの実施例がＴＦＴメモリセルの３次元のメモリアレイの文脈において説明されているが、このような限定は、具体的に列挙されない限り、クレームに読込まれるべきではない。さらに、上述の実施例は、単独で、および、さまざまな組合せで用いられるよう具体的に企図される。したがって、ここに記載されていない他の実施例、変形例および改善例はこの発明の範囲から必ずしも除外されるべきではない。

【図面の簡単な説明】

【０１１５】

【図１】この発明のいくつかの実施例に従ったミラーリングされていないＮＡＮＤストリングメモリアレイ構成の一部を示す図である。

【図２】この発明のいくつかの実施例に従ったミラーリングされたＮＡＮＤストリングメモリアレイ構成の一部を示す図である。

【図３】ミラーリングされたアレイの特定のＮＡＮＤストリングを示す概略図である。

【図４】この発明のいくつかの実施例に従った、隣接するＮＡＮＤストリングをプログラミングする際の、非選択ＮＡＮＤストリングチャネルの容量的なブーストを達成するための波形図である。

【図５】この発明のいくつかの実施例に従った、隣接するＮＡＮＤストリングをプログラミングする際の、非選択ＮＡＮＤストリングチャネルの容量的なブーストを達成するためのマルチレベルの波形を示す図である。

【図６】この発明のいくつかの実施例に従った、隣接するＮＡＮＤストリングをプログラミングする際の、非選択ＮＡＮＤストリングチャネルの容量的なブーストを達成するための、二重パルスのマルチレベルの波形を示す図である。

【図７】この発明のいくつかの実施例に従った、隣接するＮＡＮＤストリングをプログラミングする際の、非選択ＮＡＮＤストリングチャネルの容量的なブーストを達成するための、一連の複数の二重パルスのマルチレベルの波形を示す図である。

【図８】例示的なミラーリングされたＮＡＮＤストリング構成について、隣接するＮＡＮＤストリングをプログラミングするのに用いられるプログラミングパルスの数を変える３つの異なる場合についての、非選択ワード線上の通過電圧に対する非選択ＮＡＮＤストリングにおける非選択メモリセルのディスターブプログラミングの量を示すグラフである。

【図９】ストリングの底部における２つの直列選択デバイスを用いる第１のＮＡＮＤストリングと、ストリングの底部における３つの直列選択デバイスを用いる第２のＮＡＮＤストリングとについて、非選択ワード線上の通過電圧に対する非選択ＮＡＮＤストリングにおける非選択メモリセルのディスターブプログラミングの量を示すグラフである。

【図１０】隣接するＮＡＮＤストリングのプログラミングに対応する第１の場合と、抑制されたＮＡＮＤストリングに対応する第２の場合とについて、ともにそれぞれのストリングの底部における単一の選択デバイスを用いる場合、非選択ワード線上の通過電圧に対する非選択ＮＡＮＤストリングにおける非選択メモリセルのディスターブプログラミングの量を示すグラフである。

【図１１】異なる電圧を有するそれぞれの信号によって各々が駆動される、ストリングの底部における複数の直列選択デバイスを用いるＮＡＮＤストリングのための、非選択ワード線上の通過電圧に対し、底部選択デバイスの電圧に対する、非選択ＮＡＮＤストリングにおける最底部非選択メモリセルのディスターブプログラミングの量を示す図である。

【図１２】異なる電圧を有するそれぞれの信号によって各々が駆動される、ストリングの底部における複数の直列選択デバイスを用いるＮＡＮＤストリングのための、非選択ワー

ド線上の通過電圧に対して、被選択ＮＡＮＤストリングにおける最底部被選択メモリセルのプログラミングの量を示すグラフである。
【図１３】ミラーリングされないアレイの特定のＮＡＮＤストリングを示す概略図である。
【図１４】この発明のいくつかの実施例に従った、各ストリングの一方の端部における複数の直列選択デバイスを組込んだミラーリングされていないＮＡＮＤストリングメモリアレイ構成の一部を示す図である。
【図１５】ＳＯＮＯＳメモリセルデバイスの直列接続されたＮＡＮＤストリングを示す、この発明の実施例に有用なマルチレベルのアレイ構造を示す斜視図である。
【図１６】この発明に従ったメモリアレイを組込んだ集積回路を示すブロック図である。
【図１７Ａ】いくつかのメモリアレイ構成において有用なさまざまなレイアウト配置を示す図である。
【図１７Ｂ】いくつかのメモリアレイ構成において有用なさまざまなレイアウト配置を示す図である。
【図１７Ｃ】いくつかのメモリアレイ構成において有用なさまざまなレイアウト配置を示す図である。
【図１７Ｄ】いくつかのメモリアレイ構成において有用なさまざまなレイアウト配置を示す図である。
【図１７Ｅ】いくつかのメモリアレイ構成において有用なさまざまなレイアウト配置を示す図である。
【図１８】メモリブロックのための２つの共有されたドレイン線を有するミラーリングされたＮＡＮＤストリング配置を示す配置図である。

【図１】

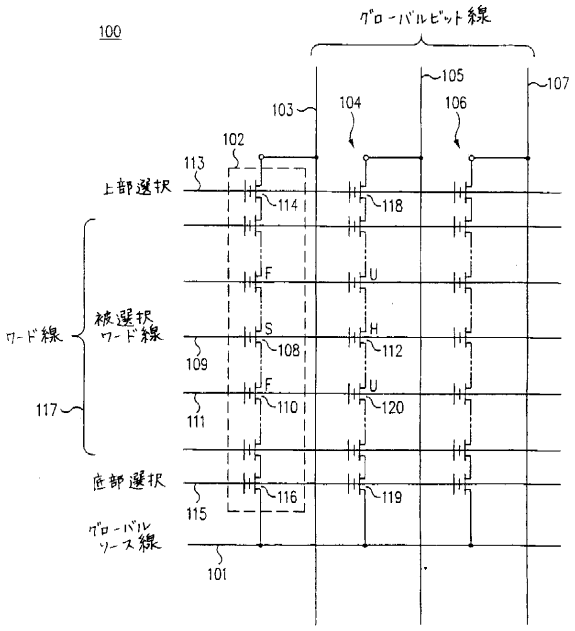


FIG. 1

【図２】

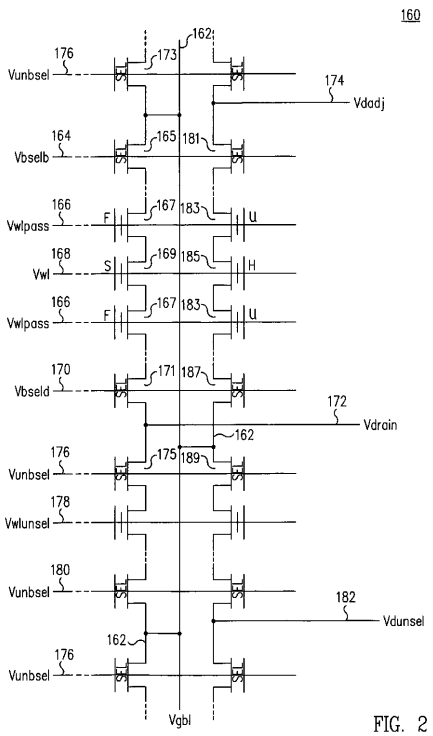


FIG. 2

【図３】

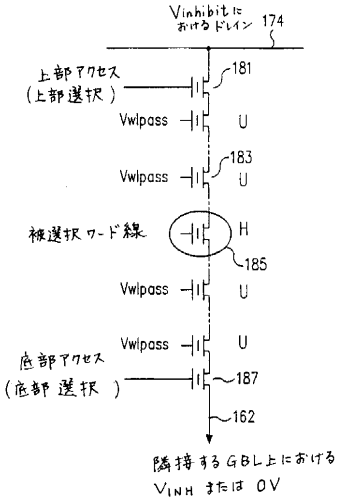


FIG. 3

【図４】

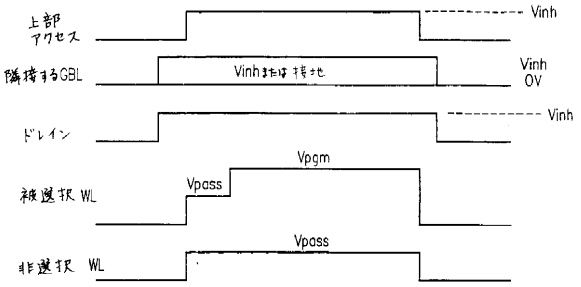


FIG. 4

【図５】

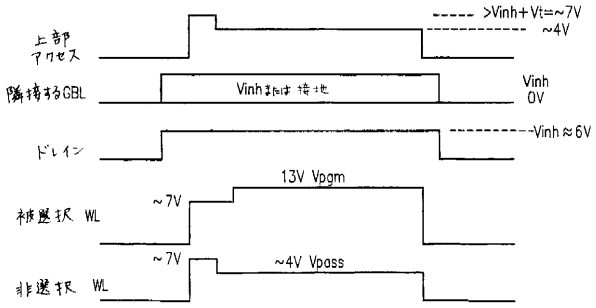


FIG. 5

【図６】

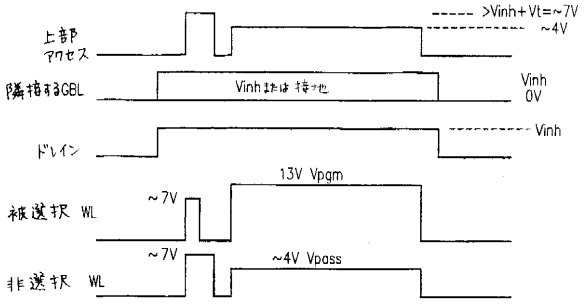


FIG. 6

【図７】

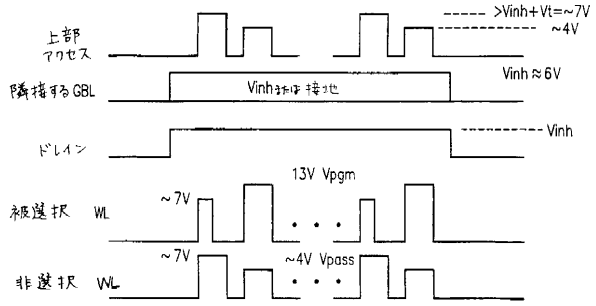


FIG. 7

【図８】

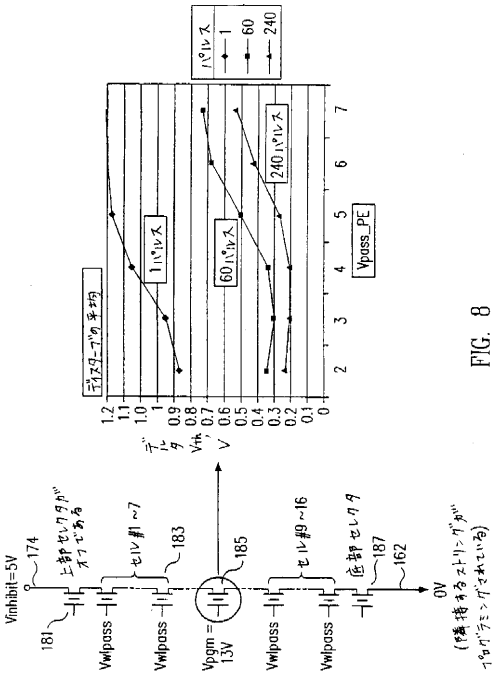


FIG. 8

【図９】

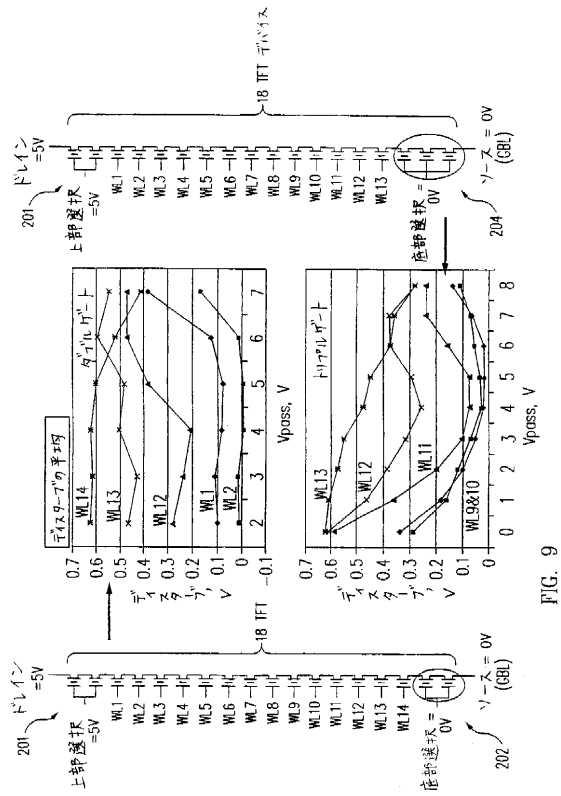


FIG. 9

【図１０】

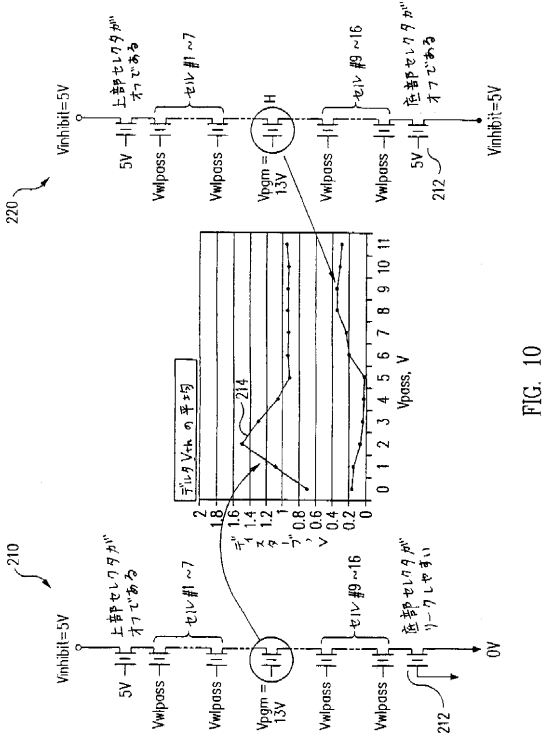


FIG. 10

【図１１】

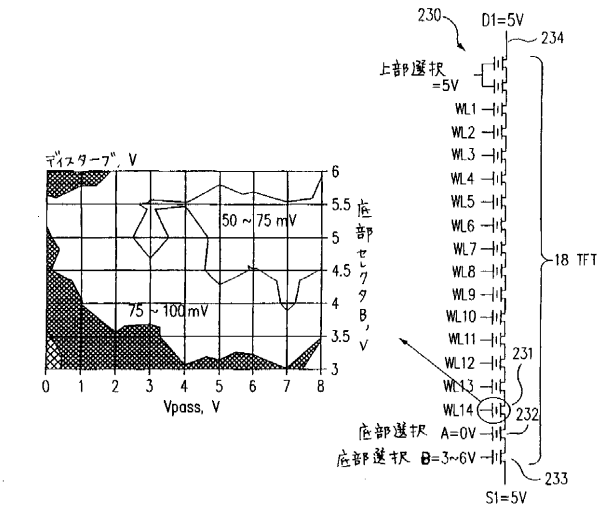


FIG. 11

【図１２】

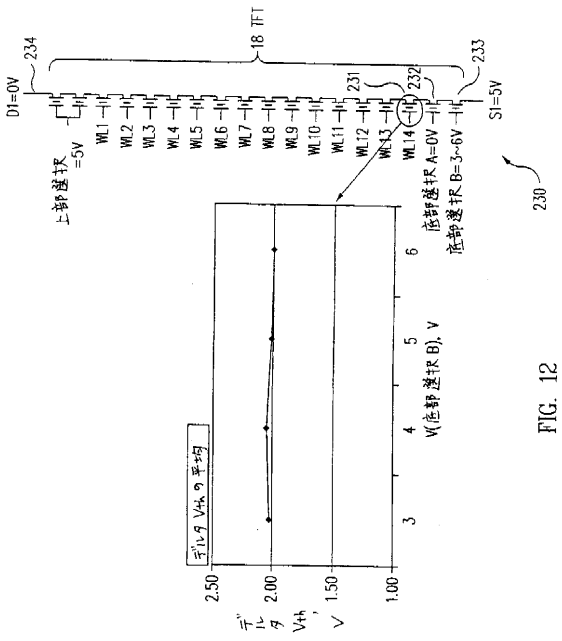


FIG. 12

【図１３】

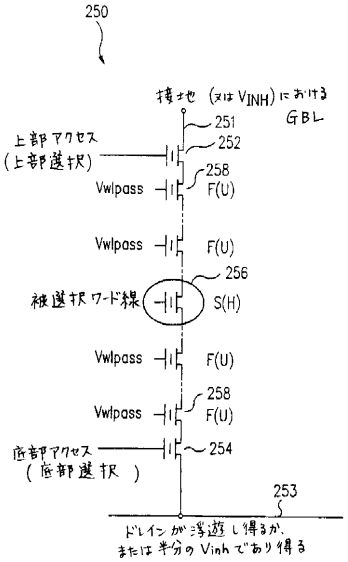


FIG. 13

【図１４】

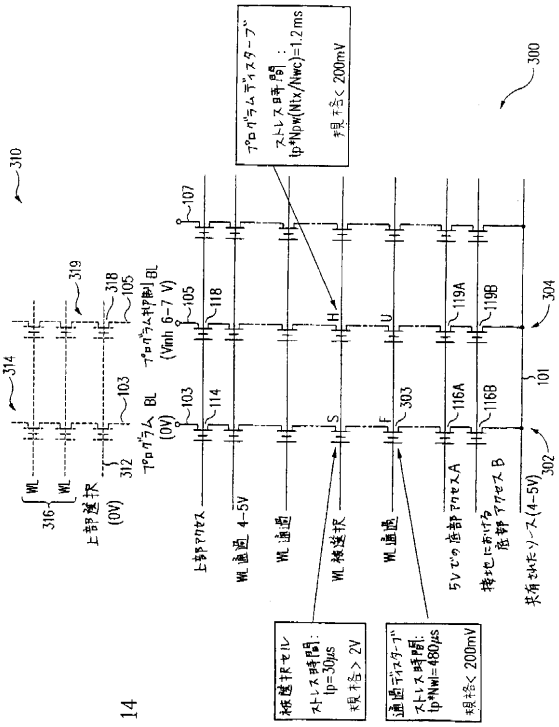


FIG. 14

【図１５】

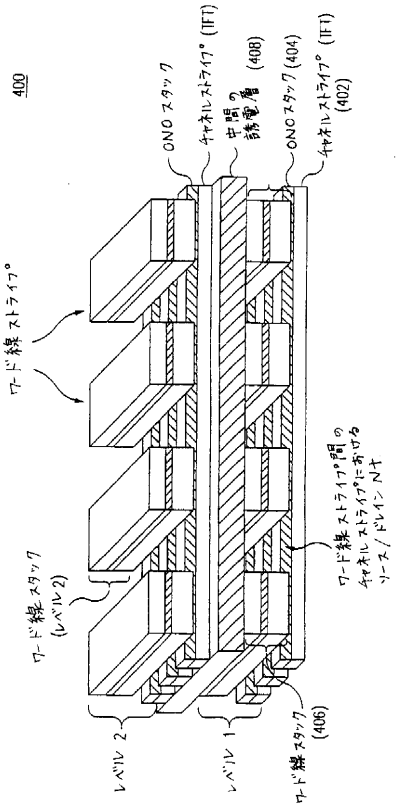


FIG. 15

【図１６】

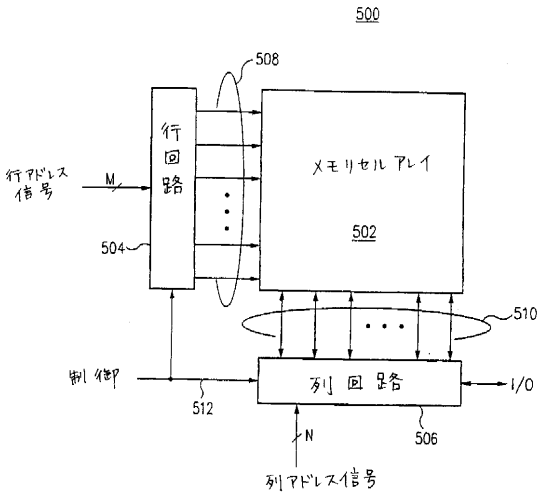


FIG. 16

【図１７Ａ】

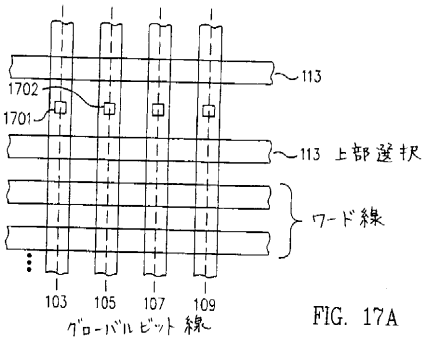


FIG. 17A

【図１７Ｂ】

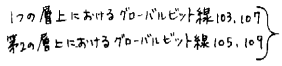


FIG. 17B

【図１７Ｃ】

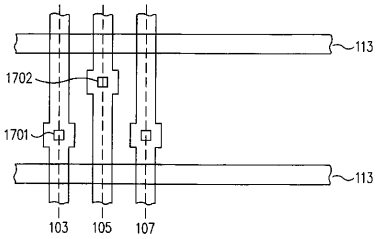


FIG. 17C

【図１７Ｄ】

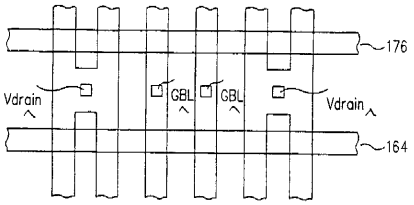


FIG. 17D

【図１７Ｅ】

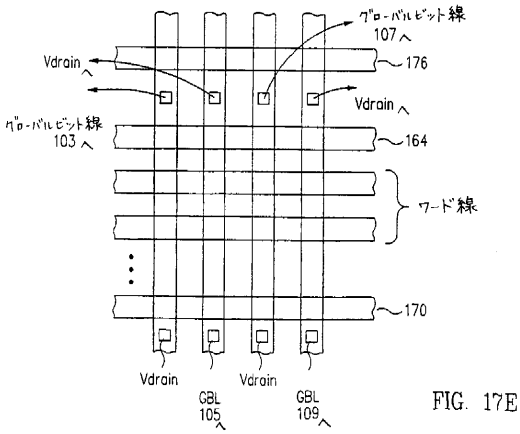


FIG. 17E

【図１８】

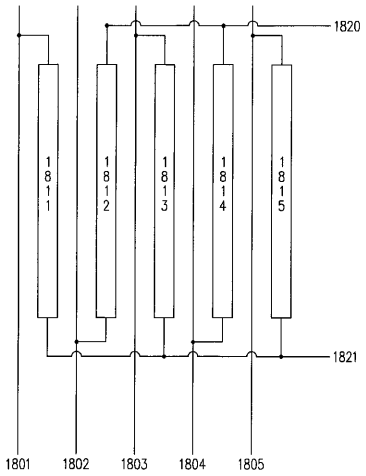


FIG. 18

【手続補正書】
【提出日】平成18年8月22日(2006.8.22)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】００８６
【補正方法】変更
【補正の内容】
【００８６】
このようなチャネルストライプ４０２は、好ましくは、アモルファスシリコン層を堆積させ、チャネルストライプを形成するようチャネルマスクを用いて当該層をエッチングし、薄膜トランジスタチャネルを形成するよう当該層をアニールすることによって形成される。ワード線ストライプ４０６は、シリサイド層によって覆われるポリシリコン層などの２つ以上の層の積重ねから形成され得るか、または、図に示されるように３段の積重ねであり得る。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００８７
【補正方法】変更
【補正の内容】
【００８７】
中間の誘電層４０８は、あるレベル上におけるワード線（たとえば、レベル１に示されるワード線ストライプ４０６）を、次に高いレベル上におけるチャネルストライプ（たとえば、レベル２に示されるチャネルストライプ）から絶縁するようワード線ストライプの上方に形成される。誘電体を用いて、所与のレベルのワード線ストライプ間における空間を埋めることもできる。理解され得るように、このような構造により、各チャネルストライプ４０２内における複数の直列接続されたトランジスタが形成される。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】０１０２
【補正方法】変更
【補正の内容】
【０１０２】
この明細書中に記載されたこの発明のさまざまな実施例においては、メモリセルは半導体材料から構成され得る。これは、各々が引用によりこの明細書中に援用されている、ジョンソン（Johnson）他に対する米国特許第６，０３４，８８２号、ザング（Zhang）に対する米国特許第５，８３５，３９６号、ナール（Knall）による米国特許出願連続番号第０９／５６０，６２６号、およびジョンソンによる米国特許出願連続番号第０９／６３８，４２８号に記載されるとおりである。具体的には、アンチヒューズのメモリセルが好ましい。他の種類のメモリアレイ、たとえばＭＲＡＭおよび有機受動素子アレイが用いられてもよい。ＭＲＡＭ（磁気抵抗ランダムアクセスメモリ）は、磁気トンネル接合（ＭＴＪ）などの磁気メモリ素子に基づく。ＭＲＡＭ技術は、引用によりこの明細書中に援用されている、ピーター・ケイ・ナジ（Peter K. Naji）他による「２５６ｋｂ　３．０Ｖ　１Ｔ１ＭＴＪ　不揮発性磁気抵抗ＲＡＭ（“A 256kb 3.0V 1T1MTJNonvolatile Magnetoresistive RAM”）」（the Digest of Technical Papers of the 2001 IEEE International Solid-State Circuits Conference, ISSCC 2001/Session 7/Technology Directions: Advanced Technologies/7.6, February 6,2001 and pages 94-95,404-405 of ISSCC 2001 Visual Supplement）において説明されている。ある受動素子メモリセルは、ダイオードのような特徴の伝導性をもつ少なくとも１つの層を含む有機材料と、電界を印加することで導電性を変える少なくとも１つの有機材料との層を組込む。有機受動素子アレイを説明しているグデンセン（Gudensen）他による米国特許第６，０５５，１８０号がまた、引用によ

りこの明細書中に援用される。相変化材料およびアモルファス固体などの材料を含むメモリセルが用いられてもよい。ウォルステンホルム（Wolstenholme）他に対する米国特許第５，７５１，０１２号と、オブシンスキー（Ovshinsky）他に対する米国特許第４，６４６，２６６号とを参照されたい。これらはともに引用によりこの明細書に援用される。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US2004/040318

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G11C16/10 G11C11/56 G11C5/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, PAJ, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 991 202 A (DERHACOBIAN ET AL) 23 November 1999 (1999-11-23) column 4, lines 11-60 column 5, lines 49-60; figures 2,3	1-7, 10-27
Y		8
Y	US 6 061 270 A (CHOI ET AL) 9 May 2000 (2000-05-09) column 6, line 61 - column 7, line 56; figure 8	8
Y	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 11, 30 September 1998 (1998-09-30) -& JP 10 149688 A (SONY CORP), 2 June 1998 (1998-06-02) abstract	8

-/--

[X] Further documents are listed in the continuation of box C.

[X] Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
5 July 2005	12/07/2005

Name and mailing address of the ISA	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Gaertner, W

2

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

Inte al Application No
PC /US2004/040318

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 188 611 B1 (ENDOH TETSUO ET AL) 13 February 2001 (2001-02-13) column 17, line 3 - column 19, line 2; figures 13,20a,21A	1-27

2

Form PCT/ISA/210 (continuation of second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

mation on patent family members

Int ·nal Application No
PCT/US2004/040318

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 5991202	A	23-11-1999	NONE		
US 6061270	A	09-05-2000	JP	3653186 B2	25-05-2005
			JP	11219595 A	10-08-1999
JP 10149688	A	02-06-1998	NONE		
US 6188611	B1	13-02-2001	JP	3626221 B2	02-03-2005
			JP	7169284 A	04-07-1995
			DE	4422810 A1	30-03-1995
			JP	7073688 A	17-03-1995
			KR	135701 B1	15-05-1998
			US	5946231 A	31-08-1999
			US	6014330 A	11-01-2000
			US	5555204 A	10-09-1996
			US	5774397 A	30-06-1998

Form PCT/ISA/210 (patent family annex) (January 2004)

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100098316
弁理士 野田 久登
(74)代理人 100109162
弁理士 酒井 將行
(72)発明者 チェン, エン－シン
アメリカ合衆国、９５０５４ カリフォルニア州、サニーベイル、ポンデロサ・アベニュ、９３１、ナンバー・８３
(72)発明者 ウォーカー, アンドリュー・ジェイ
アメリカ合衆国、９４０４０ カリフォルニア州、マウンテン・ビュー、コーネル・ドライブ、１６３８
(72)発明者 ショイアーレイン, ロイ・イー
アメリカ合衆国、９５０１４ カリフォルニア州、キューパティーノ、オーチャード・コート、２２１４５
(72)発明者 ナラモス, シュシェタ
アメリカ合衆国、９５１２９ カリフォルニア州、サン・ノゼ、シャロン・ドライブ、７２０３
(72)発明者 イルクバハール, アルパー
アメリカ合衆国、９５１３１ カリフォルニア州、サン・ノゼ、フォー・オークス・ロード、１４１８
(72)発明者 ファソリ, ルカ・ジィ
アメリカ合衆国、９５１３１ カリフォルニア州、サン・ノゼ、アルティッシモ・プレイス、１２２９

Ｆターム(参考) 5B125 BA02 CA06 CA19 DB14 EA05 EA07 FA05