

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2025년 1월 2일 (02.01.2025)



(10) 국제공개번호

WO 2025/005663 A1

(51) 국제특허분류:

H01L 27/15 (2006.01)

H01L 33/08 (2010.01)

H01L 33/44 (2010.01)

H01L 33/38 (2010.01)

H01L 33/56 (2010.01)

H01L 33/58 (2010.01)

H01L 33/62 (2010.01)

(21) 국제출원번호:

PCT/KR2024/008915

(22) 국제출원일:

2024년 6월 26일 (26.06.2024)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

63/523,224

2023년 6월 26일 (26.06.2023) US

63/525,362

2023년 7월 6일 (06.07.2023) US

18/753,775

2024년 6월 25일 (25.06.2024) US

(71) 출원인: 서울바이오시스주식회사 (SEOUL BIOSYS CO., LTD.) [KR/KR]; 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).

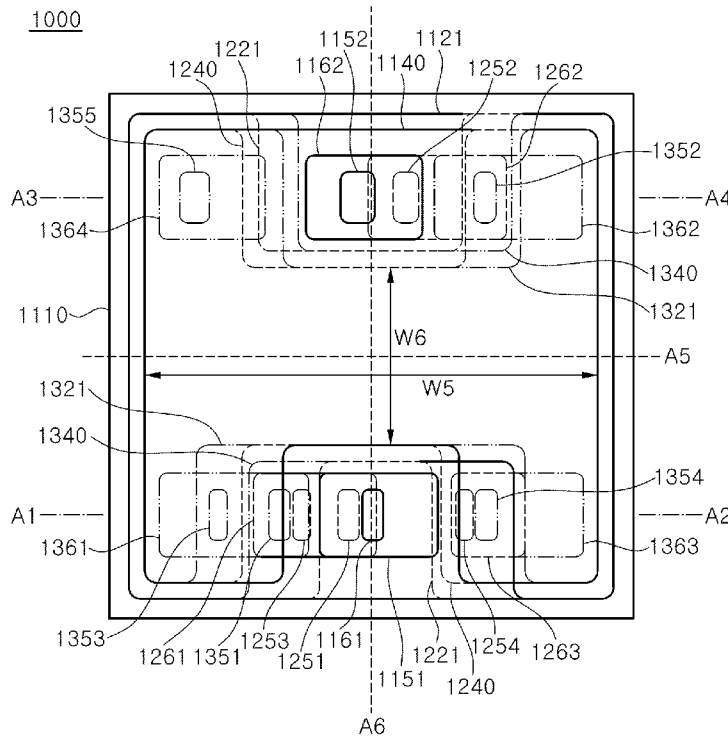
(72) 발명자: 차남구 (CHA, Namgoo); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).
이충재 (LEE, Chungjae); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).

(74) 대리인: 특허법인에이아이피 (AIP PATENT & LAW FIRM); 06239 서울특별시 강남구 테헤란로14길 30-1, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN,

(54) Title: PIXEL ELEMENT FOR DISPLAY, AND DISPLAY DEVICE HAVING SAME

(54) 발명의 명칭: 디스플레이용 픽셀 소자 및 그것을 갖는 디스플레이 장치



(57) Abstract: The present invention relates to a pixel element for a display, and a display device having same. According to one embodiment, the pixel element comprises: a first light-emitting structure which is formed on a first base, and in which a 1-1 semiconductor layer, a first active layer and a 1-2 semiconductor layer are stacked; a second light-emitting structure which is formed on a first light-emitting unit, and in which a 2-1 semiconductor layer, a second active layer and a 2-2 semiconductor layer are stacked; a third light-emitting structure which is formed on a second light-emitting unit, and in which a 3-1 semiconductor layer, a third active layer, and a 3-2 semiconductor layer are stacked; a common electrode electrically connected to the 1-1 semiconductor layer, the 2-1 semiconductor layer and the 3-1 semiconductor layer at the same time; a first electrode electrically connected to the 1-2 semiconductor

[다음 쪽 계속]

WO 2025/005663 A1

KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제21조(3))
- 청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

layer; a second electrode electrically connected to the 2-2 semiconductor layer; and a third electrode electrically connected to the 3-2 semiconductor layer. The common electrode and the first electrode are formed along one side surface of the 2-1 semiconductor layer and one side surface of the 3-1 semiconductor layer so as to be stair-structured.

(57) 요약서: 본 발명은 디스플레이용 픽셀 소자 및 그것을 갖는 디스플레이 장치에 관한 것입니다. 일 실시 예에 따르면, 픽셀 소자는 제1 베이스 상에 형성된 제1-1 반도체층, 제1 활성층 및 제1-2 반도체층이 적층된 제1 발광 구조물; 제1 발광부 상에 형성되며, 제2-1 반도체층, 제2 활성층 및 제2-2 반도체층이 적층된 제2 발광 구조물; 및 제2 발광부 상에 형성되며, 제3-1 반도체층, 제3 활성층 및 제3-2 반도체층이 적층된 제3 발광 구조물; 제1-1 반도체층, 제2-1 반도체층 및 제3-1 반도체층과 동시에 전기적으로 연결되는 공통 전극; 제1-2 반도체층과 전기적으로 연결되는 제1 전극; 제2-2 반도체층과 전기적으로 연결되는 제2 전극; 제3-2 반도체층과 전기적으로 연결되는 제3 전극;을 포함할 수 있다. 공통 전극 및 제1 전극은 제2-1 반도체층의 일측면과 제3-1 반도체층의 일측면을 따라 형성되어 계단 구조를 갖도록 형성될 수 있다.

명세서

발명의 명칭: 디스플레이용 픽셀 소 자 및 그것을 갖는 디스플레이 장치

기술분야

- [1] 본 발명은 디스플레이용 픽셀 소자 및 그것을 갖는 디스플레이 장치에 관한 것이다.

배경기술

- [2] 발광 소자는 무기 광원인 발광 다이오드를 이용한 반도체 소자로 디스플레이 장치, 차량용 램프, 일반 조명과 같은 여러 분야에 다양하게 이용되고 있다. 발광 다이오드는 수명이 길고, 소비전력이 낮으며, 응답속도가 빠른 장점이 있어 기존 광원을 빠르게 대체하고 있다.
- [3] 한편, 종래의 발광 다이오드는 디스플레이 장치에서 백라이트 광원으로 주로 사용되었는데, 최근 발광 다이오드를 이용하여 직접 이미지를 구현하는 디스플레이 장치가 개발되고 있다. 이러한 디스플레이는 마이크로 LED 디스플레이로 지칭되기도 한다.
- [4] 디스플레이 장치는 일반적으로 청색, 녹색 및 적색의 혼합 색을 이용하여 다양한 색상을 구현한다. 디스플레이 장치는 다양한 이미지를 구현하기 위해 복수의 픽셀을 포함하고, 각 픽셀은 청색, 녹색 및 적색의 서브 픽셀을 구비한다. 이들 서브 픽셀들의 색상을 통해 특정 픽셀의 색상이 정해지고, 이들 픽셀들의 조합에 의해 이미지가 구현된다.
- [5] 또한, 픽셀은 청색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀이 차례대로 적층된 구조를 가질 수 있다. 또한, 각각의 서브 픽셀은 발광 구조물이 형성된 발광 영역과 발광 구조물이 생략된 비발광 영역을 포함한다. 복수의 서브 픽셀이 적층되면, 일 서브 픽셀의 비발광 영역의 상부에 다른 서브 픽셀의 발광 영역이 위치할 수도 있다. 이때, 상부에 위치한 발광 구조물이 형성된 발광 영역의 무게에 의해서 하부에 위치한 비발광 영역에 변형이 발생할 수 있다. 결국, 픽셀 소자에 휨과 같은 변형이 발생할 수 있다.
- [6] 또한, 마이크로 LED 디스플레이의 경우, 각 서브 픽셀에 대응하여 마이크로 LED가 평면상에 배열되고, 하나의 기판 상에 수많은 개수의 마이크로 LED가 실장된다. 그런데 마이크로 LED는 $200\mu\text{m}$ 이하 나아가 $100\mu\text{m}$ 이하로 매우 작아, 유효 발광 면적이 제한적이다. 또한, 작은 크기의 발광 소자에 전기적 연결을 위한 전극들이 필수로 배치되어 발광 영역을 감소시켜, 휘도의 손실을 가져올 수 있다.

발명의 상세한 설명

기술적 과제

- [7] 본 발명의 해결하고자 하는 과제는 발광 면적 감소를 최소화할 수 있는 픽셀 소자 및 그것을 갖는 디스플레이 장치를 제공하는 데 있다.
- [8] 또한, 본 발명이 해결하고자 하는 과제는 색깔별 광량이 균일한 픽셀 소자 및 그것을 갖는 디스플레이 장치를 제공하는 데 있다.
- [9] 또한, 본 발명이 해결하고자 하는 과제는 제조 공정을 단순화 할 수 있는 픽셀 소자 및 그것을 갖는 디스플레이 장치를 제공하는 데 있다.
- [10] 또한, 본 발명의 해결하고자 하는 과제는 변형을 방지할 수 있는 픽셀 소자 및 그것을 갖는 디스플레이 장치를 제공하는 데 있다.
- [11] 또한, 본 발명의 해결하고자 하는 또 다른 과제는 구성부들 간의 박리를 방지할 수 있는 픽셀 소자 및 그것을 갖는 디스플레이 장치를 제공하는 데 있다.

과제 해결 수단

- [12] 본 발명의 일 실시 예에 따르면, 픽셀 소자는 제1 베이스 상에 형성된 제1-1 반도체층, 제1 활성층 및 제1-2 반도체층이 적층되어 형성된 제1 발광 구조물을 포함하는 제1 발광부; 상기 제1 발광부 상에 형성되며, 제2-1 반도체층, 제2 활성층 및 제2-2 반도체층이 적층되어 형성된 제2 발광 구조물을 포함하는 제2 발광부; 및 상기 제2 발광부 상에 형성되며, 제3-1 반도체층, 제3 활성층 및 제3-2 반도체층이 적층되어 형성된 제3 발광 구조물을 포함하는 제3 발광부; 상기 제1-1 반도체층, 상기 제2-1 반도체층 및 상기 제3-1 반도체층과 동시에 전기적으로 연결되는 공통 전극; 상기 제1-2 반도체층과 전기적으로 연결되는 제1 전극; 상기 제2-2 반도체층과 전기적으로 연결되는 제2 전극; 상기 제3-2 반도체층과 전기적으로 연결되는 제3 전극;을 포함할 수 있다. 상기 공통 전극, 상기 제1 전극, 상기 제2 전극 및 상기 제3 전극은 서로 이격되도록 형성될 수 있다. 상기 제3-1 반도체층의 내측면은 상기 제2-1 반도체층의 내측면보다 더 외측에 형성될 수 있다. 상기 공통 전극 및 상기 제1 전극은 상기 제2-1 반도체층의 일측면과 상기 제3-1 반도체층의 일측면을 따라 형성되어 계단 구조를 갖도록 형성될 수 있다.
- [13] 상기 제1 발광부, 제2 발광부 및 제3 발광부는 서로 다른 색상의 가시광을 방출할 수 있다.
- [14] 상기 픽셀 소자는 상기 제1 발광부와 상기 제2 발광부 사이에 형성된 제1 투명층; 및 상기 제2 발광부와 상기 제3 발광부 사이에 형성된 제2 투명층;을 더 포함할 수 있다.
- [15] 상기 공통 전극은 상기 제1 투명층 및 상기 제2 투명층을 관통하여 상기 제2-1 반도체층 및 상기 제1-1 반도체층과 전기적으로 연결될 수 있다. 상기 제1 전극은 상기 제1 투명층 및 상기 제2 투명층을 관통하여 상기 제1-2 반도체층과 전기적으로 연결될 수 있다. 상기 제2 전극은 상기 제2 투명층을 관통하여 상기 제2-2 반도체층과 전기적으로 연결될 수 있다.

- [16] 상기 공통 전극 및 상기 제1 전극은 각각 상기 제1 발광부 상에 형성된 부분의 중심축과 상기 제2 발광부 상에 형성된 부분의 중심축과 상기 제3 발광부 상에 형성된 부분의 중심축이 서로 상이한 수직선상에 위치할 수 있다.
- [17] 상기 제1 발광부는 상기 제1 발광 구조물을 덮는 제1 절연층을 더 포함하고, 상기 제2 발광부는 상기 제2 발광 구조물을 덮는 제2 절연층을 더 포함하며, 상기 제3 발광부는 제3 발광 구조물을 덮는 제3 절연층을 더 포함할 수 있다.
- [18] 상기 공통 전극은, 상기 제1-1 반도체층과 전기적으로 연결되는 제1-1 금속층; 상기 제2-1 반도체층과 전기적으로 연결되는 제2-1 금속층; 및 상기 제3-1 반도체층과 전기적으로 연결되는 제3-1 금속층;을 포함할 수 있다. 상기 제2-1 금속층은 상기 제1-1 금속층에서 상기 제2-1 반도체층의 내측면을 따라 상기 제2-1 반도체층의 상면까지 형성될 수 있다. 상기 제3-1 금속층은 상기 제2-1 금속층의 상면에서 상기 제3-1 반도체층의 내측면을 따라 상기 제3-1 반도체층의 상면까지 형성될 수 있다.
- [19] 상기 제1 절연층은 상기 제1-1 반도체층과 상기 제1-1 금속층이 접속하는 제1-1 개구부를 포함하고, 상기 제2 절연층은 상기 제1-2 반도체층과 상기 제2-1 금속층이 접속하는 제2-3 개구부를 포함하며, 상기 제3 절연층은 상기 제3-1 반도체층과 상기 제3-1 금속층이 접속하는 제3-3 개구부를 포함할 수 있다. 상기 제2-3 개구부는 상기 제1-1 개구부의 외측의 상부에 위치하고, 상기 제3-3 개구부는 상기 제2-3 개구부의 외측의 상부에 위치할 수 있다.
- [20] 상기 픽셀 소자는 상기 제1-1 금속층과 상기 제2-1 금속층이 접속하는 제2-1 개구부; 및 상기 제2-1 금속층과 상기 제3-1 금속층이 접속하는 제3-1 개구부;를 포함할 수 있다. 상기 제2-1 개구부는 상기 제1 절연층의 상부에 위치하며, 상기 제1-1 금속층의 상면의 일부를 노출하도록 상기 제1 투명층 및 상기 제2 절연층을 관통하여 형성될 수 있다. 상기 제3-1 개구부는 상기 제2 절연층의 상부에 위치하며, 상기 제2-1 금속층의 상면의 일부를 노출하도록 상기 제2 투명층 및 상기 제3 절연층을 관통하여 형성될 수 있다.
- [21] 일 실시 예로, 상기 제2-1 금속층은 상기 제2-1 개구부의 내측면을 덮도록 형성되되, 상기 제1-1 금속층의 상면을 노출하도록 형성될 수 있다. 상기 제3-1 금속층은 상기 제3-1 개구부의 내측면을 덮도록 형성되되, 상기 제2-1 금속층의 상면을 노출하도록 형성될 수 있다.
- [22] 다른 실시 예로, 상기 제2-1 금속층은 상기 제2-1 개구부에서 상기 제1-1 금속층의 상면을 더 덮도록 형성되며, 상기 제2-1 개구부에서 내부 공간을 갖도록 형성될 수 있다. 상기 제3-1 금속층은 상기 제3-1 개구부에서 상기 제2-1 금속층의 상면을 더 덮도록 형성되며, 상기 제3-1 개구부에서 내부 공간을 갖도록 형성될 수 있다.
- [23] 또 다른 실시 예로, 상기 제2-1 금속층은 상기 제2-1 개구부를 채우도록 형성되며, 상기 제3-1 금속층은 상기 제3-1 개구부를 채우도록 형성될 수 있다.

- [24] 상기 제1 전극은, 상기 제1-2 반도체층과 전기적으로 연결되는 제1-2 금속층; 상기 제1-2 금속층의 상면에서 상기 제2 발광 구조물의 내측면을 따라 상기 제2-2 반도체층의 상부까지 형성된 제2-2 금속층; 및 상기 제2-2 금속층의 상면에서 상기 제3 발광 구조물의 내측면을 따라 상기 제3-2 반도체층의 상부까지 형성된 제3-2 금속층;을 포함할 수 있다.
- [25] 상기 제1 절연층은 상기 제1-2 반도체층과 상기 제1-2 금속층이 접속하는 제1-2 개구부를 포함하고, 상기 제2 절연층은 상기 제1-2 금속층과 상기 제2-2 금속층이 접속하는 제2-2 개구부를 포함하며, 상기 제3 절연층은 상기 제2-2 금속층과 상기 제3-2 금속층이 접속하는 제3-2 개구부를 포함할 수 있다. 상기 제2-2 개구부는 상기 제1-2 개구부의 외측의 상부에 위치하고, 상기 제3-2 개구부는 상기 제2-2 개구부의 외측의 상부에 위치할 수 있다.
- [26] 상기 제2-2 개구부는 상기 제1 절연층의 상부에 위치하며, 상기 제1-2 금속층의 상면의 일부를 노출하도록 상기 제1 투명층 및 상기 제2 절연층을 관통하여 형성될 수 있다. 상기 제3-2 개구부는 상기 제2 절연층의 상부에 위치하며, 상기 제2-2 금속층의 상면의 일부를 노출하도록 상기 제2 투명층 및 상기 제3 절연층을 관통하여 형성될 수 있다.
- [27] 일 실시 예로, 상기 제2-2 금속층은 상기 제2-2 개구부의 내측면을 덮도록 형성되되, 상기 제1-2 금속층의 상면을 노출하도록 형성될 수 있다. 상기 제3-2 금속층은 상기 제3-2 개구부의 내측면을 덮도록 형성되되, 상기 제2-2 금속층의 상면을 노출하도록 형성될 수 있다.
- [28] 다른 실시 예로, 상기 제2-2 금속층은 상기 제2-2 개구부에서 상기 제1-2 금속층의 상면을 더 덮도록 형성되며, 상기 제2-2 개구부에서 내부 공간을 갖도록 형성될 수 있다. 상기 제3-2 금속층은 상기 제3-2 개구부에서 상기 제2-2 금속층의 상면을 더 덮도록 형성되며, 상기 제3-2 개구부에서 내부 공간을 갖도록 형성될 수 있다.
- [29] 또 다른 실시 예로, 상기 제2-2 금속층은 상기 제2-2 개구부를 채우도록 형성되며, 상기 제3-2 금속층은 상기 제3-2 개구부를 채우도록 형성될 수 있다.
- [30] 상기 제2 전극은, 상기 제2-2 반도체층과 전기적으로 연결되는 제2-3 금속층; 및 상기 제2-3 금속층의 상면에서 상기 제3 발광 구조물의 내측면을 따라 상기 제3-2 반도체층의 상부까지 형성된 제3-3 금속층;을 포함할 수 있다.
- [31] 상기 제2 절연층은 상기 제2-2 반도체층과 상기 제2-3 금속층과 접속하는 제2-4 개구부를 포함하고, 상기 제3 절연층은 상기 제2-3 금속층과 상기 제3-3 금속층이 접속하는 제3-4 개구부를 포함하며, 상기 제3-4 개구부는 상기 제2-4 개구부의 외측 상부에 위치할 수 있다.
- [32] 상기 제3-4 개구부는 상기 제2 절연층의 상부에 위치하며, 상기 제2-3 금속층의 상면의 일부를 노출하도록 상기 제2 투명층 및 상기 제3 절연층을 관통하여 형성될 수 있다.

- [33] 일 실시 예로, 상기 제3-3 금속층은 상기 제3-4 개구부의 내측면을 덮도록 형성되며, 상기 제2-3 금속층의 상면을 노출하도록 형성될 수 있다.
- [34] 다른 실시 예로, 상기 제3-3 금속층은 상기 제3-4 개구부에서 상기 제2-3 금속층의 상면을 더 덮도록 형성되며, 상기 제3-4 개구부에서 내부 공간을 갖도록 형성될 수 있다.
- [35] 또 다른 실시 예로, 상기 제3-3 금속층은 상기 제3-4 개구부를 채우도록 형성될 수 있다.
- [36] 상기 제3 전극은 상기 제3-3 반도체층과 전기적으로 연결되는 제3-4 금속층을 포함할 수 있다.
- [37] 상기 제3 절연층은 상기 제3-3 반도체층과 상기 제3-4 금속층이 접속하는 제3-5 개구부를 포함할 수 있다.
- [38] 본 발명의 또 다른 실시 예에 따르면, 제1 발광부, 제2 발광부 및 제3 발광부를 포함하는 픽셀 소자가 제공된다. 상기 제1 발광부는 제1 광을 방출하는 제1 발광 구조물 및 상기 제1 발광 구조물과 이격되도록 형성된 제1 버퍼 구조물을 포함할 수 있다. 상기 제2 발광부는 상기 제2 광을 방출하는 제2 발광 구조물 및 상기 제2 발광 구조물과 이격되도록 형성된 제2 버퍼 구조물을 포함할 수 있다. 상기 제3 발광부는 상기 제3 광을 방출하는 제3 발광 구조물 및 상기 제3 발광 구조물과 이격되도록 형성된 제3 버퍼 구조물을 포함하는 제3 발광부를 포함할 수 있다. 상기 제1 발광부의 상부에 상기 제2 발광부가 적층되며, 상기 제2 발광부의 상부에 상기 제3 발광부가 적층된다. 상기 제1 발광부, 상기 제2 발광부 및 상기 제3 발광부는 각각 제1 반도체층, 활성층 및 제2 반도체층을 포함한다. 또한, 상기 제1 버퍼 구조물, 상기 제2 버퍼 구조물 및 상기 제3 버퍼 구조물은 각각 상기 제1 발광부, 상기 제2 발광부 및 상기 제3 발광부의 비발광 영역에 배치되며, 절연 상태이다.
- [39] 상기 제1 발광부, 상기 제2 발광부 및 상기 제3 발광부는 서로 다른 색의 가시광을 방출할 수 있다.
- [40] 상기 제1 발광부는 제1-1 반도체층, 제1-2 반도체층 및 상기 제1-1 반도체층과 상기 제1-2 반도체층 사이에 형성된 제1 활성층을 포함할 수 있다. 상기 제2 발광부는 제2-1 반도체층, 제2-2 반도체층 및 상기 제2-1 반도체층과 상기 제2-2 반도체층 사이에 형성된 제2 활성층을 포함할 수 있다. 또한, 상기 제3 발광부는 제3-1 반도체층, 제3-2 반도체층 및 상기 제3-1 반도체층과 상기 제3-2 반도체층 사이에 형성된 제3 활성층을 포함할 수 있다.
- [41] 상기 제1 발광 구조물은 상기 제1-1 반도체층의 상부에 형성된 상기 제1 활성층 및 상기 제1-2 반도체층을 포함할 수 있다. 상기 제2 발광 구조물은 상기 제2-1 반도체층의 상부에 형성된 상기 제2 활성층 및 상기 제2-2 반도체층을 포함할 수 있다. 또한, 상기 제3 발광 구조물은 상기 제3-1 반도체층의 상부에 형성된 상기 제3 활성층 및 상기 제3-2 반도체층을 포함할 수 있다.

- [42] 상기 제1 버퍼 구조물은 상기 제1-1 반도체층의 상부에 형성된 상기 제1 활성층 및 상기 제1-2 반도체층을 포함할 수 있다. 상기 제2 버퍼 구조물은 상기 제2-1 반도체층의 상부에 형성된 상기 제2 활성층 및 상기 제2-2 반도체층을 포함할 수 있다. 또한, 상기 제3 버퍼 구조물은 상기 제3-1 반도체층의 상부에 형성된 상기 제3 활성층 및 상기 제3-2 반도체층을 포함할 수 있다.
- [43] 상기 픽셀 소자는 상기 제1-1 반도체층, 상기 제2-1 반도체층 및 상기 제3-1 반도체층 모두와 전기적으로 연결된 공통 전극, 상기 제1-2 반도체층과 전기적으로 연결된 제1 전극, 상기 제2-2 반도체층과 전기적으로 연결된 제2 전극 및 상기 제3-2 반도체층과 전기적으로 연결된 제3 전극을 포함할 수 있다.
- [44] 상기 픽셀 소자는 상기 제1 발광부와 상기 제2 발광부 사이에 배치되는 제1 투명층 및 상기 제2 발광부와 상기 제3 발광부 사이에 배치되는 제2 투명층을 포함할 수 있다.
- [45] 상기 공통 전극은 상기 제1 투명층 및 상기 제2 투명층을 관통하여 상기 제1-1 반도체층 및 상기 제2-1 반도체층과 전기적으로 연결될 수 있다. 상기 제1 전극은 상기 제1 투명층 및 상기 제2 투명층을 관통하여 상기 제1-2 반도체층과 전기적으로 연결될 수 있다. 또한, 상기 제2 전극은 상기 제2 투명층을 관통하여 상기 제2-2 반도체층과 전기적으로 연결될 수 있다.
- [46] 상기 공통 전극은, 제1-1 금속층, 제1-1 연결 금속층, 제2-1 금속층, 제2-1 연결 금속층 및 제3-1 금속층을 포함할 수 있다. 상기 제1-1 금속층은 상기 제1 발광부의 상기 제1-1 반도체층의 상부에 형성되어 상기 제1-1 반도체층과 접촉할 수 있다. 상기 제1-1 연결 금속층은 상기 제1 투명층을 관통하며 상기 제1-1 금속층과 접촉할 수 있다. 상기 제2-1 금속층은 상기 제2 발광부의 상기 제2-1 반도체층을 관통하면서 상기 제2-1 반도체층과 접촉할 수 있다. 상기 제2-1 연결 금속층은 상기 제2 투명층을 관통하며 상기 제2-1 금속층과 접촉할 수 있다. 상기 제3-1 금속층은 상기 제3 발광부의 상기 제3-1 반도체층을 관통하면서 상기 제3-1 반도체층과 접촉할 수 있다. 상기 제1-1 연결 금속층의 적어도 일부는 상기 제1-1 금속층의 상부에 위치할 수 있다. 상기 제2-1 금속층의 적어도 일부는 상기 제1-1 연결 금속층의 상부에 위치할 수 있다. 상기 제2-1 연결 금속층의 적어도 일부는 상기 제2-1 금속층의 상부에 위치할 수 있다. 또한, 상기 제3-1 금속층의 적어도 일부는 상기 제2-1 연결 금속층의 상부에 위치할 수 있다.
- [47] 상기 제1 전극은 제1-2 금속층, 제1-2 연결 금속층, 제2-2 금속층, 제2-2 연결 금속층 및 제3-2 금속층을 포함할 수 있다. 상기 제1-2 금속층은 상기 제1 발광부의 상기 제1-2 반도체층의 상부에 형성되어 상기 제1-2 반도체층과 전기적으로 연결될 수 있다. 상기 제1-2 연결 금속층은 상기 제1 투명층을 관통하며 상기 제1-2 금속층과 접촉할 수 있다. 상기 제2-2 금속층은 상기 제2 발광부의 상기 제2-1 반도체층을 관통하며, 상기 제2-1 반도체층과 절연될 수 있다. 상기 제2-2 연결 금속층은 상기 제2 투명층을 관통하며 상기 제2-2 금속층과 접촉할 수 있다. 상기 제3-2 금속층은 상기 제3 발광부의 상기 제3-1 반도체층을 관통하며, 상기 제3-1 반도체

층과 절연될 수 있다. 상기 제1-2 연결 금속층의 적어도 일부는 상기 제1-2 금속층의 상부에 위치할 수 있다. 상기 제2-2 금속층의 적어도 일부는 상기 제1-2 연결 금속층의 상부에 위치할 수 있다. 상기 제2-2 연결 금속층의 적어도 일부는 상기 제2-2 금속층의 상부에 위치할 수 있다. 또한, 상기 제3-2 금속층의 적어도 일부는 상기 제2-2 연결 금속층의 상부에 위치할 수 있다.

- [48] 상기 제2 전극은 제2-3 금속층, 제2-3 연결 금속층 및 제3-3 금속층을 포함할 수 있다. 상기 제2-3 금속층은 상기 제2 발광부의 상기 제2-2 반도체층의 상부에 형성되어 상기 제2-2 반도체층과 전기적으로 연결될 수 있다. 상기 제2-3 연결 금속층은 상기 제2 투명층을 관통하며 상기 제2-3 금속층과 접촉할 수 있다. 상기 제3-3 금속층은 상기 제3 발광부의 상기 제3-1 반도체층을 관통하며, 상기 제3-1 반도체층과 절연될 수 있다. 상기 제2-3 연결 금속층의 적어도 일부는 상기 제2-3 금속층의 상부에 위치할 수 있다. 또한, 상기 제3-3 금속층의 적어도 일부는 상기 제2-3 연결 금속층의 상부에 위치할 수 있다.
- [49] 상기 제3 전극은 상기 제3 발광부의 상기 제3-2 반도체층의 상부에 형성되어 상기 제3-2 반도체층과 전기적으로 연결된 제3-4 금속층을 포함할 수 있다.
- [50] 상기 제2 발광 구조물의 일부는 상기 제1 발광 구조물의 상부에 위치하며, 상기 제3 발광 구조물의 일부는 상기 제2 발광 구조물의 상부에 위치할 수 있다.
- [51] 상기 제1 버퍼 구조물, 상기 제2 버퍼 구조물 및 상기 제2 버퍼 구조물은 상기 제1 발광 구조물, 상기 제2 발광 구조물 및 상기 제3 발광 구조물이 모두 적층된 영역의 외측 영역에 형성될 수 있다.
- [52] 상기 공통 전극, 상기 제1 전극, 상기 제2 전극 및 상기 제3 전극은 상기 제1 발광 구조물, 상기 제2 발광 구조물 및 상기 제3 발광 구조물이 모두 적층된 영역의 외측 영역에 형성될 수 있다.

발명의 효과

- [53] 본 발명의 본 발명의 실시 예에 따른 픽셀 소자 및 그것을 갖는 디스플레이 장치는 전극을 발광 구조물 외측에 형성하여 발광 면적 감소를 최소화 하여 발광 효율을 향상시킬 수 있다.
- [54] 또한, 본 발명의 실시 예에 따른 픽셀 소자 및 그것을 갖는 디스플레이 장치는 광의 색깔별 발광 면적을 동일하게 형성하여, 색깔별 광량을 균일하게 할 수 있다.
- [55] 또한, 본 발명의 실시 예에 따른 픽셀 소자 및 그것을 갖는 디스플레이 장치는 전극 형성을 위한 개구부를 동일 재질로 이루어진 층에 형성함으로써, 제조 공정을 단순화할 수 있다.
- [56] 또한, 본 발명의 실시 예에 따른 픽셀 소자 및 그것을 갖는 디스플레이 장치는 휨과 같은 픽셀 소자의 변형을 방지할 수 있다.

- [57] 또한, 본 발명의 실시 예에 따른 픽셀 소자 및 그것을 갖는 디스플레이 장치는 하부에 위치하는 구성부의 상면을 평탄하게 형성함으로써, 적층된 구성부들 간의 박리가 발생하는 것을 방지할 수 있다.

도면의 간단한 설명

- [58] 도 1은 본 발명의 일 실시 예에 따른 디스플레이 장치를 설명하기 위한 개략적인 평면도이다.
- [59] 도 2는 본 발명의 제1 실시 예에 따른 픽셀 소자의 개략적인 평면도이다.
- [60] 도 3은 본 발명의 제1 실시 예에 따른 픽셀 소자를 설명하기 위한 일 단면도(A1-A2)이다.
- [61] 도 4는 본 발명의 제1 실시 예에 따른 픽셀 소자를 설명하기 위한 타 단면도(A3-A4)이다.
- [62] 도 5 내지 도 39는 본 발명의 제1 실시 예에 따른 픽셀 소자의 제조 방법을 설명하기 위한 도면들이다.
- [63] 도 40은 본 발명의 제2 실시 예에 따른 픽셀 소자의 개략적인 평면도이다.
- [64] 도 41은 본 발명의 제2 실시 예에 따른 픽셀 소자를 설명하기 위한 일 단면(G1-G2)도이다.
- [65] 도 42는 본 발명의 제2 실시 예에 따른 픽셀 소자를 설명하기 위한 타 단면도(G3-G4)이다.
- [66] 도 43은 본 발명의 제3 실시 예에 따른 픽셀 소자의 개략적인 평면도이다.
- [67] 도 44는 본 발명의 제3 실시 예에 따른 픽셀 소자를 설명하기 위한 일 단면도(H1-H2)이다.
- [68] 도 45는 본 발명의 제3 실시 예에 따른 픽셀 소자를 설명하기 위한 타 단면도(H3-H4)이다.
- [69] 도 46은 본 발명의 제4 실시 예에 따른 픽셀 소자를 설명하기 위한 일 단면도이다.
- [70] 도 47은 본 발명의 제4 실시 예에 따른 픽셀 소자를 설명하기 위한 타 단면도이다.
- [71] 도 48 내지 도 52는 본 발명의 제5 실시 예의 픽셀 소자의 제1 발광부 및 그 제조 방법을 설명하기 위한 도면이다.
- [72] 도 53 내지 도 57은 본 발명의 제5 실시 예의 픽셀 소자의 제2 발광부 및 그 제조 방법을 설명하기 위한 도면이다.
- [73] 도 58 내지 도 62는 본 발명의 제5 실시 예의 픽셀 소자의 제3 발광부 및 그 제조 방법을 설명하기 위한 도면이다.
- [74] 도 63은 본 발명의 제5 실시 예에 따른 제1 발광부의 상부에 형성된 제1 투명층을 나타낸 도면이다.
- [75] 도 64는 본 발명의 제5 실시 예에 따른 제1 투명층에 형성된 제1 연결 금속층을 나타낸 도면이다.

- [76] 도 65는 본 발명의 제5 실시 예에 따른 제2 베이스가 제거된 제2 발광부를 나타낸 도면이다.
- [77] 도 66은 본 발명의 제5 실시 예에 따른 제1 발광부 및 제1 발광부의 상부에 적층된 제2 발광부를 나타낸 도면이다.
- [78] 도 67은 본 발명의 제5 실시 예에 따른 제2 발광부의 상부에 형성된 제2 투명층을 나타낸 도면이다.
- [79] 도 68은 본 발명의 제5 실시 예에 따른 제2 투명층에 형성된 제2 연결 금속층을 나타낸 도면이다.
- [80] 도 69는 본 발명의 제5 실시 예에 따른 제3 베이스가 제거된 제3 발광부를 나타낸 도면이다.
- [81] 도 70은 본 발명의 제5 실시 예에 따른 제1 발광부, 제1 발광부의 상부에 적층된 제2 발광부 및 제2 발광부의 상부에 적층된 제3 발광부를 포함하는 픽셀 소자를 나타낸 도면이다.
- [82] 도 71은 본 발명의 제5 실시 예에 따른 보호층이 형성된 픽셀 소자를 나타낸 도면이다.

발명의 실시를 위한 형태

- [83] 이후, 도면을 통해서 본 발명의 디스플레이용 픽셀 소자 및 그것을 갖는 디스플레이 장치에 대해 상세히 설명한다.
- [84] 도 1은 본 발명의 일 실시 예에 따른 디스플레이 장치를 설명하기 위한 개략적인 평면도이다.
- [85] 도 1을 참조하면, 디스플레이 장치(1)는 패널 기관(11) 및 복수의 픽셀 모듈(10)을 포함할 수 있다.
- [86] 디스플레이 장치(1)는, 특별히 한정되는 것은 아니나, 스마트 워치, VR 헤드셋 또는 글래스와 같은 웨어러블 디스플레이 장치(1), 또는 증강 현실 안경과 같은 AR 디스플레이 장치(1), 마이크로 LED TV 나 사이니지와 같은 실내 또는 실외용 디스플레이 장치(1)를 포함할 수 있다.
- [87] 패널 기관(11) 및 복수의 픽셀 모듈(10)은 디스플레이 장치(1) 내에 배치될 수 있다. 여기서, 픽셀 모듈(10) 각각은 디스플레이 장치(1)의 픽셀이 될 수 있다.
- [88] 디스플레이 장치(1)는 픽셀간 간격이 매우 좁을 수 있으며, 예를 들어 픽셀 간의 간격이 0.01mm 이하일 수 있다. 디스플레이 장치(1)는 회로 기관(1001) 또는 투명 기관에 실장된 픽셀을 통하여 이미지 구현이 가능하다.
- [89] 일부 디스플레이 장치(1)에서는 디스플레이를 인식하는 외부 수신처 (예를 들어 사용자의 눈)와 디스플레이 장치(1) 사이의 거리가 200mm 이하가 될 수 있다. 픽셀 간의 간격은 외부 수신처와 디스플레이 장치(1) 사이의 거리의 0.005~0.1% 일 수 있다.

- [90] 디스플레이 장치(1)는 곡면을 포함하는 기관에서 외부 수신처로 광학 신호를 보내줄 수 있다. 디스플레이 장치(1)는 투명 기관을 이용한 투명 디스플레이 장치(1)도 가능하다.
- [91] 패널 기관(11)은 수동 매트릭스 구동 또는 능동 매트릭스 구동을 위한 회로를 포함할 수 있다. 일 실시 예에서, 패널 기관(11)은 내부에 배선 및 저항을 포함할 수 있으며, 다른 실시 예에서, 패널 기관(11)은 배선, 트랜지스터 및 커패시터들을 포함할 수 있다. 패널 기관(11)은 또한 배치된 회로에 전기적으로 접속할 수 있는 패드들을 상면에 가질 수 있다.
- [92] 일 실시 예에 있어서, 복수의 픽셀 모듈들(10)이 패널 기관(11) 상에 정렬된다. 각 픽셀 모듈(10)은 회로 기관(1001), 및 회로 기관(1001) 상에 배치된 복수의 픽셀 소자들(1000)을 포함할 수 있다. 또한, 픽셀 모듈(10)은 픽셀 소자들(1000)을 덮는 몰딩부(미도시)를 포함할 수 있다. 다른 실시 예에 있어서, 복수의 픽셀 소자들(1000)이 직접 패널 기관(11) 상에 배열될 수 있고, 몰딩부가 픽셀 소자들(1000)을 덮을 수도 있다.
- [93] 도 2 내지 도 4는 본 발명의 제1 실시 예에 따른 픽셀 소자(1000)를 설명하기 위한 도면들이다. 도 2는 본 발명의 제1 실시 예에 따른 픽셀 소자(1000)의 개략적인 평면도이다. 도 3은 본 발명의 제1 실시 예에 따른 픽셀 소자(1000)를 설명하기 위한 일 단면도(A1-A2)이다. 또한, 도 4는 제1 본 발명의 실시 예에 따른 픽셀 소자(1000)를 설명하기 위한 타 단면도(A3-A4)이다.
- [94] 도 2 내지 도 4를 참고하면, 본 발명의 제1 실시 예에 따른 픽셀 소자(1000)는 제1 베이스(1110), 제1 발광부(1100), 제2 발광부(1200) 및 제3 발광부(1300)를 포함할 수 있다.
- [95] 제1 발광부(1100)는 제1-1 반도체층(1121), 제1 활성층(1122) 및 제1-2 반도체층(1123)이 차례대로 적층된 구조를 가질 수 있다. 제2 발광부(1200)는 제2-1 반도체층(1221), 제2 활성층(1222) 및 제2-2 반도체층(1223)이 차례대로 적층된 구조를 가질 수 있다. 또한, 제3 발광부(1300)는 제3-1 반도체층(1321), 제3 활성층(1322) 및 제3-2 반도체층(1323)이 차례대로 적층된 구조를 가질 수 있다. 여기서, 제1-1 반도체층(1121), 제2-1 반도체층(1221) 및 제3-1 반도체층(1321)은 n형 반도체층일 수 있다. 또한, 제1-2 반도체층(1123), 제2-2 반도체층(1223) 및 제3-2 반도체층(1323)은 p형 반도체층일 수 있다. 또는 그 반대일 수 있다.
- [96] 예를 들어, 제1 발광부(1100)는 녹색광을 방출하며, 제2 발광부(1200)는 청색광을 방출하고, 제3 발광부(1300)는 적색광을 방출할 수 있다.
- [97] 또한, 픽셀 소자(1000)는 제1 발광부(1100), 제2 발광부(1200) 및 제3 발광부(1300)는 제1 베이스(1110) 상에 차례대로 적층된 구조를 갖는다. 제1 발광부(1100)와 제2 발광부(1200)의 사이 및 제2 발광부(1200)와 제3 발광부(1300) 사이에는 각각 투명층(1070)이 형성될 수 있다. 투명층(1070)은 광이 투과하는 재질로 형성될 수 있다. 또한, 투명층(1070)은 광을 투과 및 산란시키는 재질로 형성될 수

도 있다. 또는 투명층(1070)은 광이 투과하는 수지에 광을 산란시키는 물질이 내부에 분산된 것일 수 있다.

- [98] 제1 발광부(1100)와 제2 발광부(1200) 사이에는 제1 투명층(1170)이 형성되며, 제2 발광부(1200)와 제3 발광부(1300) 사이에는 제2 투명층(1270)이 형성될 수 있다. 제1 투명층(1170)은 제2 발광부(1200) 및 제3 발광부(1300)에서 방출하는 광을 투과시킬 수 있다. 또한, 제2 투명층(1270)은 제3 발광부(1300)에서 방출하는 광을 투과시킬 수 있다.
- [99] 또한, 투명층(1070)은 접착 기능을 가질 수도 있다. 따라서, 제1 투명층(1170) 및 제2 투명층(1270)에 의해서 픽셀 소자(1000)는 제1 발광부(1100), 제2 발광부(1200) 및 제3 발광부(1300)가 적층된 구조를 유지할 수 있다.
- [100] 본 실시 예의 픽셀 소자(1000)는 제1 발광부(1100), 제2 발광부(1200) 및 제3 발광부(1300)와의 전기적 연결을 위한 금속층(1060)을 포함할 수 있다. 이때, 제1 발광부(1100), 제2 발광부(1200) 및 제3 발광부(1300)는 금속층(1060)과의 불필요한 전기적 연결을 방지하기 위한 절연층(1050)을 포함할 수 있다. 또한, 절연층(1050)에는 제1 발광부(1100), 제2 발광부(1200) 및 제3 발광부(1300)가 금속층(1060)과 전기적 연결이 가능하도록 개구부(1059)가 형성될 수 있다.
- [101] 절연층(1050)은 제1 발광부(1100)의 제1 절연층(1150), 제2 발광부(1200)의 제2 절연층(1250) 및 제3 발광부(1300)의 제3 절연층(1350)을 포함할 수 있다. 또한, 제1 발광부(1100)와 제2 발광부(1200) 사이에는 제1 투명층(1170)이 형성되며, 제2 발광부(1200)와 제3 발광부(1300) 사이에는 제2 투명층(1270)이 형성될 수 있다.
- [102] 도 3 및 도 4를 참고하면, 제1 절연층(1150)에는 제1 개구부(1159)가 형성되며, 제1 개구부(1159)는 제1-1 개구부(1151) 및 제1-2 개구부(1152)를 포함한다.
- [103] 제2 절연층(1250) 및 제1 투명층(1170)에는 제2 개구부(1259)가 형성된다. 제2 개구부(1259)는 제2 절연층(1250)에 형성된 제2-3 개구부(1253) 및 제2-4 개구부(1254)를 포함하고, 제2 절연층(1250)과 제1 투명층(1170)에 형성된 제2-1 개구부(1251) 및 제2-2 개구부(1252)를 포함한다.
- [104] 본 발명의 실시 예에 따르면, 제2 금속층(1260)의 일부는 제2 절연층(1250)의 일부를 덮도록 형성된다. 또한, 제1 투명층(1170)의 일부는 제1 금속층(1160)과 제2 금속층(1260) 사이에 위치할 수 있다. 더 나아가 제2 절연층(1250)의 일부와 제1 투명층(1170)의 일부는 동시에 제1 금속층(1160)과 제2 금속층(1260) 사이에 위치할 수 있다. 즉, 제2 절연층(1250)의 일부와 제1 투명층(1170)의 일부는 제1 금속층(1160)과 제2 금속층(1260) 사이에 동시에 매립(embedded)될 수 있다. 이때, 제2 절연층(1250)의 일부는 제1 투명층(1170)의 상면에 적층된다. 제2 절연층(1250)의 일부와 제2 투명층(1170)의 일부를 동시에 매립하는 제1 금속층(1160)과 제2 금속층(1260)에 의해서 제2 절연층(1250)과 제1 투명층(1170)의 결합력이 향상될 수 있다.

- [105] 또한, 제3 절연층(1350) 및 제2 투명층(1270)에는 제3 개구부(1359)가 형성된다. 제3 개구부(1359)는 제3 절연층(1350)에 형성되는 제3-3 개구부(1353) 및 제3-5 개구부(1355)를 포함하고, 제3 절연층(1350) 및 제2 투명층(1270)에 형성되는 제3-1 개구부(1351), 제3-2 개구부(1352) 및 제3-4 개구부(1354)를 포함한다.
- [106] 제3 절연층(1350)의 일부 및 제2 투명층(1270)의 일부 역시 적층된 상태로 제2 금속층(1260)과 제3 금속층(1360) 사이에 매립될 수 있다. 따라서, 제3 절연층(1350)의 일부와 제2 투명층(1270)의 일부를 동시에 매립하는 제2 금속층(1260)과 제3 금속층(1360)에 의해서 제3 절연층(1350)과 제2 투명층(1270)의 결합력이 향상될 수 있다.
- [107] 도 3을 참고하면, 제1-1 개구부(1151), 제2-1 개구부(1251), 제2-3 개구부(1253), 제3-1 개구부(1351) 및 제3-3 개구부(1353)는 각각의 중심축이 서로 다른 수직선상에 위치하도록 형성될 수 있다. 더 나아가, 제1-1 개구부(1151), 제2-1 개구부(1251), 제2-3 개구부(1253), 제3-1 개구부(1351) 및 제3-3 개구부(1353)는 서로 벗어 나도록 위치할 수 있다.
- [108] 또한, 제2-4 개구부(1254) 및 제3-4 개구부(1354)는 각각의 중심축이 서로 다른 수직선상에 위치하도록 형성될 수 있다. 더 나아가, 제3-4 개구부(1354)는 제2-4 개구부(1254)에서 벗어난 상부에 형성될 수 있다.
- [109] 도 4를 참고하면, 제1-2 개구부(1152), 제2-2 개구부(1252) 및 제3-2 개구부(1352)는 각각의 중심축이 서로 다른 수직선상에 위치하도록 형성될 수 있다. 더 나아가, 제1-2 개구부(1152), 제2-2 개구부(1252) 및 제3-2 개구부(1352)는 서로 벗어나도록 위치할 수 있다.
- [110] 제1 발광부(1100)에는 제1 금속층(1160) 형성되며, 제2 발광부(1200)에는 제2 금속층(1260)이 형성되며, 제3 발광부(1300)에는 제3 금속층(1360)이 형성될 수 있다.
- [111] 제1 금속층(1160)은 제1-1 금속층(1161) 및 제1-2 금속층(1162)을 포함할 수 있다. 제2 금속층(1260)은 제2-1 금속층 내지 제2-3 금속층(1261, 1262, 1263)을 포함할 수 있다. 또한, 제3 금속층(1360)은 제3-1 금속층 내지 제3-4 금속층(1361, 1362, 1363, 1364)을 포함할 수 있다.
- [112] 도 3을 참고하면, 제1-1 금속층(1161)은 제1 발광부(1100) 상에 형성되어 제1 발광부(1100)의 제1-1 반도체층(1121)과 전기적으로 연결된다. 또한, 제1-1 금속층(1161)은 제2 발광부(1200) 상에 형성되어 제2-1 반도체층(1221)과 전기적으로 연결된 제2-1 금속층(1261)과 전기적으로 연결될 수 있다. 또한, 제2-1 금속층(1261)은 제3 발광부(1300) 상에 형성되어, 제3-1 반도체층(1321)과 전기적으로 연결된 제3-1 금속층(1361)과 전기적으로 연결될 수 있다. 즉, 제1-1 금속층(1161), 제2-1 금속층(1261) 및 제3-1 금속층(1361)에 의해서 제1-1 반도체층(1121), 제2-1 반도체층(1221) 및 제3-1 반도체층(1321)이 전기적으로 연결될 수 있다. 여기서, 제1-1 금속층(1161), 제2-1 금속층(1261) 및 제3-1 금속층(1361)은 제1 발광부(1100), 제2 발광부(1200) 및 제3 발광부(1300)의 제1 반도체층들에 공통적으로 연결되는 공

통 전극이 될 수 있다. 여기서, 제1 반도체층들은 제1 발광부(1100)의 제1-1 반도체층(1121), 제2 발광부(1200)의 제2-1 반도체층(1221) 및 제3 발광부(1300)의 제3-1 반도체층(1321)이다.

- [113] 도 2를 참고하면, 픽셀 소자(1000)의 중심을 가로지르는 가상의 수평 중심선(A5)과 수직 중심선(A6)이 도시되어 있다.
- [114] 픽셀 소자(1000)는 도 2에 도시된 수평 중심선(A5)을 기준으로 일측과 타측으로 구분될 수 있다. 도 2를 참고하면, 금속층들(1060)은 수평 중심선(A5)의 일측과 타측에 분산되어 배치된다. 발광 영역은 일측과 타측에 분산 배치된 금속층들(1060) 사이에 형성될 수 있다. 발광 영역은 제1 발광부(1100), 제2 발광부(1200) 및 제3 발광부(1300) 중 적어도 두개의 발광부가 중첩되는 영역일 수 있다. 더 나아가 발광 영역은 제1 발광부(1100), 제2 발광부(1200) 및 제3 발광부(1300)가 모두 중첩되는 영역의 일부 또는 전체일 수 있다.
- [115] 도 2를 참고하면, 수평 중심선(A5) 상의 발광 영역의 폭(W5)과 수직 중심선(A6) 상의 발광 영역의 폭(W6)은 다를 수 있다. 예를 들어, 수직 중심선(A5) 상의 발광 영역의 폭(W5)은 수평 중심선(A6) 상의 발광 영역의 폭(W6)보다 좁을 수 있다.
- [116] 본 실시 예에 따르면, 제3-1 금속층(1361)이 형성되는 제3-1 반도체층(1321)의 일측면의 일부는 제2-1 금속층(1261)이 형성되는 제2-1 반도체층(1221)의 일측면의 일부보다 더 외측에 위치한다. 이와 같은 구조에 의해서 서로 연결된 제1-1 금속층 내지 제3-1 금속층(1161, 1261, 1361)은 계단 구조로 형성될 수 있다.
- [117] 또한, 제2-1 금속층(1261)은 제1-1 금속층(1161)에서 제1-1 개구부(1151)의 외측에 위치한 제1-1 금속층(1161)의 상면에 접촉된다. 즉, 제2-1 금속층(1261)은 제1 절연층(1150)의 상부에 위치한 제1-1 금속층(1161)의 상면과 접촉된다. 또한, 제3-1 금속층(1361) 역시, 제2 절연층(1250)의 상부에 위치한 제2-1 금속층(1261)의 상면과 접촉된다.
- [118] 제 1-1 금속층(1161)의 상면 중 제1-1 개구부(1151)의 상부에 위치한 부분과 제2-1 금속층(1261)의 상면 중 제2-3 개구부(1253)의 상부에 위치한 부분은 각각의 개구부(1151, 1253)에 의해서 상면의 다른 부분보다 오목하거나 볼록할 수 있다. 따라서, 안정적인 공정을 위해서 제2-1 금속층(1261)은 제1-1 금속층(1161)의 상면의 평탄한 부분과 접촉하도록 형성되고, 제3-1 금속층(1361)은 제2-1 금속층(1261)의 상면의 평탄한 부분과 접촉하도록 형성될 수 있다. 따라서, 제2-1 금속층(1261)의 일부는 제1 절연층(1150)의 상부에 위치한 제1-1 금속층(1161) 상에 형성되며, 제3-1 금속층(1361)의 일부는 제2 절연층(1250) 상부에 위치한 제2-1 금속층(1261) 상에 형성될 수 있다.
- [119] 도 4를 참고하면, 제1-2 금속층(1162)은 제1 발광부(1100) 상에 형성되어 제1 발광부(1100)의 제1-2 반도체층(1123)과 전기적으로 연결된다. 여기서, 제1-2 금속층(1162)은 제1-2 반도체층(1123) 상에 형성된 제1 오믹 전극(1130)을 통해서 제1-2 반도체층(1123)과 전기적으로 연결된다. 또한, 제1-2 금속층(1162)은 제2 발광부(1200) 상에 형성된 제2-2 금속층(1262)과 전기적으로 연결될 수 있다. 또한,

제2-2 금속층(1262)은 제3 발광부(1300) 상에 형성된 제3-2 금속층(1362)과 전기적으로 연결될 수 있다. 이와 같이, 제1-2 금속층(1162), 제2-2 금속층(1262) 및 제3-1 금속층(1361)은 제1 발광부(1100)의 P형 반도체층인 제1-2 반도체층(1123)과 전기적으로 연결되는 제1 전극이 될 수 있다. 제1 전극은 제1 발광부(1100)의 p형 전극일 수 있다.

- [120] 본 실시 예에 따르면, 제1-2 금속층 내지 제3-2 금속층(1162, 1262, 1362) 역시 제3-2 반도체층(1323)의 측면의 일부가 제2-2 반도체층(1223)의 측면의 일부보다 더 외측에 위치한 구조에 의해서 계단 구조로 형성될 수 있다.
- [121] 제 1-2 금속층(1162)의 상면 중 제1-2 개구부(1152)의 상부에 위치한 부분은 제1-2 개구부(1152)에 의해서 상면의 다른 부분보다 오목하거나 볼록할 수 있다. 따라서, 안정적인 공정을 위해서 제2-2 금속층(1262)은 제1 절연층(1150) 상에 위치한 제1-2 금속층(1162)의 상면의 평탄한 부분과 접촉하도록 형성될 수 있다. 또한, 제3-2 금속층(1362)은 제2 절연층(1250) 상에 위치한 제2-2 금속층(1262)의 상면의 평탄한 부분과 접촉하도록 형성될 수 있다.
- [122] 도 3을 참고하면, 제2-3 금속층(1263)은 제2 발광부(1200) 상에 형성되어 제2 발광부(1200)의 제2-2 반도체층(1223)과 전기적으로 연결된다. 여기서, 제2-3 금속층(1263)은 제2-2 반도체층(1223) 상에 형성된 제2 오믹 전극(1230)을 통해서 제2-2 반도체층(1223)과 전기적으로 연결될 수 있다. 또한, 제2-3 금속층(1263)은 제3 발광부(1300) 상에 형성된 제3-3 금속층(1363)과 전기적으로 연결될 수 있다. 이와 같이, 제2-3 금속층(1263) 및 제3-3 금속층(1363)은 제2 발광부(1200)의 P형 반도체층인 제2-2 반도체층(1223)과 전기적으로 연결되는 제2 전극이 될 수 있다. 제2 전극은 제2 발광부(1200)의 p형 전극일 수 있다.
- [123] 본 실시 예에 따르면, 제2-3 금속층(1263) 및 제3-3 금속층(1363)은 계단 구조로 형성될 수 있다.
- [124] 제2-3 금속층(1263)의 상면 중 제2-4 개구부(1254)의 상부에 위치한 부분은 제2-4 개구부(1254)에 의해서 상면의 다른 부분보다 오목하거나 볼록할 수 있다. 따라서, 안정적인 공정을 위해서 제3-3 금속층(1363)은 제2-3 금속층(1263)의 상면 중에서 제2 절연층(1250)의 상부에 위치한 평탄한 부분과 접촉하도록 형성될 수 있다.
- [125] 도 4를 참고하면, 제3-4 금속층(1364)은 제3 발광부(1300) 상에 형성되어 제3-2 반도체층(1323)과 전기적으로 연결될 수 있다. 여기서, 제3-4 금속층(1364)은 제3-2 반도체층(1323)의 상부에 형성된 제3 오믹 전극(1330)을 통해서 제3-2 반도체층(1323)과 전기적으로 연결될 수 있다. 즉, 제3-4 금속층(1364)은 제3 발광부(1300)의 p형 반도체층인 제3-2 반도체층(1323)과 전기적으로 연결되는 제3 전극이 될 수 있다. 제3 전극은 제3 발광부(1300)의 p형 전극일 수 있다.
- [126] 제3-4 금속층(1364)의 상면 중 제3-5 개구부(1355)의 상부에 위치한 부분은 제3-5 개구부(1355)에 의해서 다른 부분보다 오목하거나 볼록할 수 있다.

- [127] 본 발명의 실시 예에 따르면, 금속층(1060)은 상면의 높이가 달라지는 부분을 포함할 수 있다. 즉, 금속층(1060)은 개구부(1059)의 상부에 위치하는 부분과 그 이외의 부분의 상면의 높이가 다를 수 있다. 더 나아가, 금속층(1060)의 상면 중에서 개구부(1059)의 상부에 위치한 부분은 오목하거나 볼록할 수 있으며, 그 이외의 부분은 상대적으로 평탄할 수 있다. 본 실시 예에 따르면, 금속층(1060)은 상면이 평탄한 부분에서 전기적 접속이 이루어질 수 있다.
- [128] 도 3 및 도 4를 참고하면, 투명층(1070)의 개구부(1059)에 형성된 금속층(1060)은 개구부(1059)의 내벽 및 바닥면을 덮도록 형성된다. 예를 들어, 증착 기술 방식으로 금속층(1060)을 형성하는 경우, 금속층(1060)은 개구부(1059)를 따라 내벽 및 바닥면을 덮도록 형성될 수 있다. 여기서, 개구부(1059)의 바닥면은 개구부(1059)의 하부에 위치하여 외부로 노출되는 금속층(1060)의 상면일 수 있다.
- [129] 예를 들어, 도 4를 참고하면, 제2 투명층(1270)의 제3-2 개구부(1352)에 형성되는 제3-2 금속층(1362)은 제3-2 개구부(1352)의 내벽 및 바닥면을 따라 형성될 수 있다. 여기서, 제3-2 개구부(1352)의 바닥면은 제2-2 금속층(1262)의 상면 중에서 제3-2 개구부(1352)에 의해서 노출된 부분이다.
- [130] 따라서, 제3-2 개구부(1352)의 하부에 위치한 제2 절연층(1250)의 상부에는 제2-2 금속층(1262) 및 제2-2 금속층(1262)의 상부에 형성된 제3-2 금속층(1362)이 적층될 수 있다. 마찬가지로 제2-2 개구부(1252)의 하부에 위치한 제1 절연층(1150)의 상부에는 제1-2 금속층(1162)과 제2-2 금속층(1262)이 적층될 수 있다.
- [131] 또한, 도 3을 참고하면, 제2-1 개구부(1251)의 하부에 위치한 제1 절연층(1150)의 상부에는 제1-1 금속층(1161)과 제2-1 금속층(1261)이 적층될 수 있다. 또한, 제3-3 개구부(1353)의 하부에 위치한 제2 절연층(1250)의 상부에는 제2-1 금속층(1261)과 제3-1 금속층(1361)이 적층될 수 있다. 또한, 제3-4 개구부(1354)의 하부에 위치한 제2 절연층(1250)의 상부에는 제2-3 금속층(1263) 및 제3-3 금속층(1363)이 적층될 수 있다.
- [132] 이와 같이, 본 실시 예에 따르면, 하부에 위치한 금속층(1060)과 상부에 위치한 금속층(1060)이 절연층(1050)의 상부에서 접속한다. 따라서, 절연층(1050)의 상부에 개구부(1059)가 형성된 경우, 절연층(1050)의 상부에는 금속층(1060)이 2층 구조로 형성될 수 있다. 또한, 절연층(1050)의 상부에 위치한 개구부(1059)에는 1개의 금속층(1060)이 형성된다.
- [133] 따라서, 절연층(1050)의 상부에 형성된 금속층(1060)의 두께(W1)는 개구부(1059)의 내측면에 형성된 금속층(1060)의 두께(W2)보다 두껍다. 여기서, 절연층(1050) 상부에 형성된 금속층(1060)의 두께는 2층으로 이루어진 금속층(1060)의 하면에서 상면까지의 길이이다. 또한, 개구부(1059)의 내측면에 형성된 금속층(1060)의 두께는 개구부(1059)의 내측면에서 금속층(1060)의 내측면까지의 길이이다.

- [134] 본 실시 예에 따른 픽셀 소자(1000)는 개구부(1059)에 형성되는 금속층(1060)이 그 하부에 위치한 금속층(1060)의 상면을 덮도록 형성되므로, 전기적 연결의 신뢰성이 향상될 수 있다.
- [135] 그러나 본 실시 예에 다른 픽셀 소자(1000)의 금속층(1060)의 구조는 이에 한정되는 것은 아니다. 예를 들어, 픽셀 소자(1000)의 금속층(1060)은 도 5 및 도 6에 도시된 바와 같이, 다양한 구조로 형성될 수 있다.
- [136] 도 5 내지 도 39는 본 발명의 제1 실시 예에 따른 픽셀 소자의 제조 방법을 설명하기 위한 도면들이다.
- [137] 도 5 내지 도 13을 참고하면, 우선, 제1 발광부 내지 제3 발광부(1100, 1200, 1300)가 개별적으로 형성될 수 있다.
- [138] 도 5의 제1 발광부(1100), 도 8의 제2 발광부(1200) 및 도 11의 제3 발광부(1300)는 서로 다른 색의 광을 생성 및 방출할 수 있다. 예를 들어, 제1 발광부(1100)는 녹색광을 생성 및 방출할 수 있다. 제2 발광부(1200)는 청색광을 생성 및 방출할 수 있다. 또한, 제3 발광부(1300)는 적색광을 생성 및 방출할 수 있다.
- [139] 또한, 제1 발광부 내지 제3 발광부(1100, 1200, 1300)는 개별적으로 동작할 수 있다. 여기서, 동작은 광을 생성하여 방출하는 것이다.
- [140] 도 5는 본 발명의 제1 실시 예에 따른 픽셀 소자(1000)의 제1 발광부(1100)를 설명하기 위한 개략적인 평면도이다. 또한, 도 6은 본 발명의 제1 실시 예에 따른 픽셀 소자(1000)의 제1 발광부(1100)를 설명하기 위한 일 단면도(B1-B2)이다. 또한, 도 7은 본 발명의 제1 실시 예에 따른 픽셀 소자(1000)의 제1 발광부(1100)를 설명하기 위한 타 단면도(B3-B4)이다.
- [141] 도 5 내지 도 7을 참고하면, 제1 베이스(1110) 상에 제1 발광부(1100)가 형성될 수 있다. 제1 발광부(1100)는 제1 발광 구조물(1120), 제1 오믹 전극(1130), 제1 절연층(1150) 및 제1 금속층(1160)을 포함할 수 있다.
- [142] 본 실시 예에 따르면, 제1 베이스(1110)는 반도체층을 성장시킬 수 있는 성장기판일 수 있다. 예를 들어, 제1 베이스(1110)는 사파이어로 형성될 수 있다. 그러나 제1 베이스(1110)가 성장 기판으로 한정되는 것은 아니다. 제1 베이스(1110)는 실리콘, 에폭시 등과 같은 광 투과성 재료로 형성될 수도 있다. 예를 들어, 성장 기판에 제1 발광부(1100)가 형성된 이후, 성장 기판이 제거되고, 광 투과성 재료인 제1 베이스(1110)상에 제1 발광부(1100)가 배치될 수도 있다.
- [143] 제1 발광 구조물(1120)은 제1 베이스(1110)의 상부에 형성될 수 있다. 제1 발광 구조물(1120)은 금속 유기 화학 기상 증착(MOCVD) 기술 또는 분자 빔 에피택시(MBE) 기술을 이용하여 제1 베이스(1110) 상에 성장될 수 있다. 이후에 설명하는 제2 발광부(1200)의 제2 발광 구조물(1220) 및 제3 발광부(1300)의 제3 발광 구조물(1320) 역시 동일한 방식으로 형성될 수 있다.
- [144] 제1 발광 구조물(1120)은 제1-1 반도체층(1121), 제1-2 반도체층(1123) 및 제1-1 반도체층(1121) 및 제1-2 반도체층(1123) 사이에 형성된 제1 활성층(1122)을 포함할 수 있다.

- [145] 반도체층(1121)은 n형 도전형 반도체층일 수 있고, 제1-2 반도체층(1123)은 p형 도전형 반도체층일 수 있다. 또는 그 반대일 수 있다. 또한, 제1 발광 구조물(1120)은 녹색광을 생성 및 방출할 수 있다. 즉, 제1 발광부(1100)는 녹색광을 방출할 수 있다. 예를 들어, 제1 발광 구조물(1120)은 GaN, InGaN, GaP, AlGaInP, AlGaP 등과 같은 녹색광을 방출하는 반도체 물질을 포함할 수 있다.
- [146] 도 6 및 도 7을 참고하면, 제1 활성층(1122) 및 제1-2 반도체층(1123)의 일부가 식각되어 제1-1 반도체층(1121)의 상면 일부가 노출될 수 있다. 이때, 식각 공정 이후 제1-1 반도체층(1121) 상부에 남아 있는 제1 활성층(1122) 및 제1-2 반도체층(1123)은 제1 메사 구조물(1140)이 될 수 있다. 도 6을 참고하면, 제1 메사 구조물(1140)은 복수로 구비될 수 있다.
- [147] 도 6 및 도 7을 참고하면, 제1 메사 구조물(1140)은 측면이 제1-1 반도체층(1121)의 상면을 기준으로 수직인 구조를 갖는다. 그러나 제1 메사 구조물(1140)의 구조가 이에 한정되는 것은 아니다. 예를 들어, 제1 메사 구조물(1140)은 제1-1 반도체층(1121)에서 제1-2 반도체층(1123)으로 갈수록 폭 및 단면적이 좁아지는 구조일 수 있다. 즉, 제1 메사 구조물(1140)은 측면이 경사를 갖는 구조를 가질 수 있다. 제1 발광부(1100)의 제1 메사 구조물(1140)뿐만 아니라 이후 설명하는 제2 발광부(1200) 및 제3 발광부(1300)의 제1 메사 구조물들(1140) 역시 측면이 제1-1 반도체층(1121)의 상면을 기준으로 수직이거나 경사를 갖는 구조로 형성될 수 있다.
- [148] 도 2 및 도 5를 참고하면, 제1 발광부(1100)의 제1 메사 구조물(1140)은 제1-1 금속층(1161)이 형성된 영역 및 그 주변 영역을 제외한 제1-1 반도체층(1121)의 상면 대부분을 덮도록 형성될 수 있다. 따라서, 제1 발광부(1100)의 제1 메사 구조물(1140)은 제1-1 금속층(1161)과 이격된 상태로 제1-1 금속층(1161)의 측면을 둘러싸도록 형성될 수 있다. 또한, 제1 발광부(1100)의 제1 메사 구조물(1140)은 측면이 제1-1 반도체층(1121)의 측면의 내측에 위치하며, 제1-1 반도체층(1121)의 측면과 이격되도록 형성될 수 있다.
- [149] 반도체층(1123) 상부에는 제1 오믹 전극(1130)이 형성될 수 있다. 더 나아가 제1 오믹 전극(1130)은 제1-2 반도체층(1123)의 상면을 덮도록 형성될 수 있다. 제1 오믹 전극(1130)은 제1-2 반도체층(1123)의 상면의 일부를 덮도록 형성될 수 있다. 또는 제1 오믹 전극(1130)은 제1-2 반도체층(1123)의 상면 전체를 덮도록 형성될 수 있다.
- [150] 제1 오믹 전극(1130)은 제1 발광 구조물(1120)에서 방출되는 광에 대해 높은 투과율과 높은 전기전도성을 가질 수 있다. 예를 들어, 제1 오믹 전극(1130)은 투명 전극일 수 있다. 더 나아가, 제1 오믹 전극(1130)은 ITO (Indium Tin Oxide)일 수 있다. 본 실시 예에서 제1 메사 구조물(1140)은 제1 활성층(1122) 및 제1-2 반도체층(1123)을 포함할 뿐만 아니라 제1-2 반도체층(1123)의 상부에 위치한 제1 오믹 전극(1130)도 포함될 수 있다.

- [151] 제1 절연층(1150)은 제1 발광 구조물(1120) 및 제1 오믹 전극(1130)을 덮도록 형성될 수 있다. 또한, 제1 절연층(1150)은 제1-1 개구부(1151) 및 제1-2 개구부(1152)를 포함할 수 있다.
- [152] 제1 절연층(1150)의 제1-1 개구부(1151)는 제1-1 반도체층(1121)을 노출시키는 개구부(1059)이다. 따라서, 제1-1 개구부(1151)는 제1 메사 구조물들(1140) 사이에서 제1-1 반도체층(1121) 상부에 위치할 수 있다.
- [153] 제1 절연층(1150)의 제1-2 개구부(1152)는 제1 오믹 전극(1130)을 노출시키는 개구부(1059)이다. 따라서, 제1-2 개구부(1152)는 제1 메사 구조물(1140)의 상부에 위치할 수 있다. 즉, 제1-2 개구부(1152)는 제1-2 반도체층(1123)을 덮는 제1 오믹 전극(1130) 상부에 위치할 수 있다.
- [154] 제1 절연층(1150)은 광 투과 물질로 형성될 수 있다. 예를 들어, 제1 절연층(1150)은 SiO_2 와 같은 실리콘 산화물, Si_3N_4 와 같은 실리콘 질화물, 또는 실리콘 산 질화물로 형성될 수 있다.
- [155] 제1 금속층(1160)은 제1 절연층(1150) 상부에 형성될 수 있다. 제1 금속층(1160)은 전도성 물질로 형성되어, 제1 발광 구조물(1120)과 전기적으로 연결될 수 있다. 예를 들어, 제1 금속층(1160)은 적어도 하나의 금속으로 형성될 수 있다. 또한, 제1 금속층(1160)은 단층 또는 다층으로 형성될 수 있다.
- [156] 제1 금속층(1160)은 제1-1 금속층(1161) 및 제1-2 금속층(1162) 포함할 수 있다.
- [157] 금속층(1161)은 제1 메사 구조물(1140) 사이에서 제1 절연층(1150)의 제1-1 개구부(1151)를 채우도록 형성될 수 있다. 또한, 제1-1 금속층(1161)은 제1-1 개구부(1151) 주변의 제1 절연층(1150)의 일부를 덮도록 형성될 수 있다. 즉, 제1-1 금속층(1161)의 너비 및 단면적은 제1 절연층(1150)의 제1-1 개구부(1151)의 직경 및 단면적보다 클 수 있다.
- [158] 금속층(1162)은 제1 메사 구조물(1140) 상부에 형성되어, 제1 절연층(1150)의 제1-2 개구부를 채우도록 형성될 수 있다. 또한, 제1-2 금속층(1162)은 제1-2 개구부(1152) 주변의 제1 절연층(1150)의 일부를 덮도록 형성될 수 있다. 즉, 제1-2 금속층(1162)의 너비 및 단면적은 제1 절연층(1150)의 제1-2 개구부(1152)의 직경 및 단면적보다 클 수 있다.
- [159] 이와 같이, 형성된 제1-1 금속층(1161)은 제1 절연층(1150)의 제1-1 개구부(1151)를 통해서 제1-1 반도체층(1121)과 전기적으로 연결될 수 있다. 또한, 제1-2 금속층(1162)은 제1 절연층(1150)의 제1-2 개구부(1152)를 통해서, 제1 오믹 전극(1130)과 전기적으로 연결될 수 있다. 더 나아가, 제1-2 금속층(1162)은 제1 오믹 전극(1130)을 통해서 제1-2 반도체층(1123)과 전기적으로 연결될 수 있다.
- [160] 도 8은 본 발명의 제1 실시 예에 따른 픽셀 소자(1000)의 제2 발광부(1200)를 설명하기 위한 개략적인 평면도이다. 또한, 도 9는 제1 본 발명의 실시 예에 따른 픽셀 소자(1000)의 제2 발광부(1200)를 설명하기 위한 일 단면도(C1-C2)이다. 또한, 도 10은 본 발명의 제1 실시 예에 따른 픽셀 소자(1000)의 제2 발광부(1200)를 설명하기 위한 타 단면도(C3-C4)이다.

- [161] 도 8 내지 도 10을 참고하면, 제2 베이스(1210) 상에 제2 발광부(1200)가 형성될 수 있다. 제2 발광부(1200)는 제2 발광 구조물(1220), 제2 오믹 전극(1230) 및 제2 절연층(1250)을 포함할 수 있다.
- [162] 본 실시 예에 따르면, 제2 베이스(1210)는 반도체층을 성장시킬 수 있는 성장 기판일 수 있다. 예를 들어, 제2 베이스(1210)는 사파이어로 형성될 수 있다.
- [163] 제2 발광 구조물(1220)은 제2 베이스(1210)의 상부에 형성될 수 있다. 제2 발광 구조물(1220)은 제2-1 반도체층(1221), 제2-2 반도체층(1223) 및 제2-1 반도체층(1221) 및 제2-2 반도체층(1223) 사이에 형성된 제2 활성층(1222)을 포함할 수 있다. 제2 발광 구조물(1220)은 제1 발광 구조물(1120)과 동일한 방식으로 형성될 수 있다.
- [164] 제2-1 반도체층(1221)은 n형 도전형 반도체층일 수 있고, 제2-2 반도체층(1223)은 p형 도전형 반도체층일 수 있다. 또는 그 반대일 수 있다. 제2 발광 구조물(1220)은 청색광을 생성 및 방출할 수 있다. 따라서, 제2 발광부(1200) 역시 청색광을 방출할 수 있다. 예를 들어, 제2 발광 구조물(1220)은 GaN, InGaN, ZnSe 등과 같은 청색광을 방출하는 반도체 물질을 포함할 수 있다.
- [165] 도 9 및 도 10을 참고하면, 제2 활성층(1222) 및 제2-2 반도체층(1223)의 일부가 식각되어 제2-1 반도체층(1221)의 상면 일부가 노출될 수 있다. 이때, 식각 공정 이후 제2-1 반도체층(1221) 상부에 남아 있는 제2 활성층(1222) 및 제2-2 반도체층(1223)은 제2 메사 구조물(1240)이 될 수 있다. 제2 발광부(1200)는 이와 같은 제2 메사 구조물(1240)을 복수로 포함할 수 있다.
- [166] 제2-2 반도체층(1223) 상부에는 제2 오믹 전극(1230)이 형성될 수 있다. 더 나아가 제2 오믹 전극(1230)은 제2-2 반도체층(1223)의 상면을 덮도록 형성될 수 있다. 제2 오믹 전극(1230)은 제2-2 반도체층(1223)의 상면의 일부 또는 상면 전체를 덮도록 형성될 수 있다.
- [167] 도 2 및 도 8을 참고하면, 제2 발광부(1200)의 제2-1 반도체층(1221)은 추후 제2 발광부(1200)가 제1 발광부(1100)의 상부에 적층되었을 때, 제1 발광부(1100)의 개구부들(1059)과 겹치지 않도록 형성될 수 있다.
- [168] 또한, 제2 발광부(1200)의 제2 메사 구조물(1240)은 추후 제2 발광부(1200)가 제1 발광부(1100)의 상부에 적층되었을 때, 제1 금속층(1160)과 겹치지 않도록 형성될 수 있다. 따라서, 제2 메사 구조물(1240)은 도 2 및 도 8에 도시된 바와 같이 하부에 제1-1 금속층(1161) 및 제1-2 금속층(1162)이 위치하는 영역을 제외한 영역에 형성될 수 있다.
- [169] 오믹 전극(1230)은 제2 발광 구조물(1220)에서 방출되는 광에 대해 높은 투과율과 높은 전기전도성을 가질 수 있다. 예를 들어, 제2 오믹 전극(1230)은 투명 전극일 수 있다. 더 나아가, 제2 오믹 전극(1230)은 ITO (Indium Tin Oxide)일 수 있다. 제2 발광부(1200)의 제2 메사 구조물(1240)은 제2-2 반도체층(1223)의 상부에 형성된 제2 오믹 전극(1230)도 포함할 수 있다.

- [170] 절연층(1250)은 제2 발광 구조물(1220) 및 제2 오믹 전극(1230)을 덮도록 형성될 수 있다. 또한, 제2 절연층(1250)은 메사들 사이에 위치한 제2 베이스(1210)의 상면을 덮도록 형성될 수 있다.
- [171] 절연층(1250)은 광 투과 물질로 형성될 수 있다. 예를 들어, 제2 절연층(1250)은 SiO_2 와 같은 실리콘 산화물, Si_3N_4 와 같은 실리콘 질화물, 또는 실리콘산질화물로 형성될 수 있다.
- [172] 도 11은 본 발명의 제1 실시 예에 따른 픽셀 소자(1000)의 제3 발광부(1300)를 설명하기 위한 개략적인 평면도이다. 또한, 도 12는 본 발명의 제1 실시 예에 따른 픽셀 소자(1000)의 제3 발광부(1300)를 설명하기 위한 일 단면도(D1-D2)이다. 또한, 도 13은 본 발명의 제1 실시 예에 따른 픽셀 소자(1000)의 제3 발광부(1300)를 설명하기 위한 타 단면도(D3-D4)이다.
- [173] 도 11 내지 도 13을 참고하면, 제3 베이스(1310) 상부에 제3 발광부(1300)가 형성될 수 있다. 제3 발광부(1300)는 제3 발광 구조물(1320), 제3 오믹 전극(1330) 및 제3 절연층(1350)을 포함할 수 있다.
- [174] 본 실시 예에 따르면, 제3 베이스(1310)는 반도체층을 성장시킬 수 있는 성장 기판일 수 있다. 예를 들어, 제3 베이스(1310)는 사파이어로 형성될 수 있다.
- [175] 제3 발광 구조물(1320)은 제3 베이스(1310)의 상부에 형성될 수 있다. 제3 발광 구조물(1320)은 제3-1 반도체층(1321), 제3-2 반도체층(1323) 및 제3-1 반도체층(1321) 및 제3-2 반도체층(1323) 사이에 형성된 제3 활성층(1322)을 포함할 수 있다. 제3 발광 구조물(1320)은 제1 발광 구조물(1120)과 동일한 방식으로 형성될 수 있다.
- [176] 제3-1 반도체층(1321)은 n형 도전형 반도체층일 수 있고, 제3-2 반도체층(1323)은 p형 도전형 반도체층일 수 있다. 또는 그 반대일 수 있다. 제3 발광 구조물(1320)은 적색광을 생성 및 방출할 수 있다. 따라서, 제3 발광부(1300) 역시 적색광을 방출할 수 있다. 예를 들어, 제3 발광 구조물(1320)은 AlGaAs, GaAsP, AlGaInP, GaP 등의 적색광을 방출하는 반도체 물질을 포함할 수 있다.
- [177] 도 2 및 도 11 참고하면, 제3 발광부(1300)의 제3-1 반도체층(1321)은 추후 제3 발광부(1300)가 제2 발광부(1200)의 상부에 적층되었을 때, 제1 발광부(1100) 및 제2 발광부(1200)의 개구부들(1059)과 겹치지 않도록 형성될 수 있다.
- [178] 또한, 제3 발광부(1300)의 제3 메사 구조물(1340)은 제1 발광부(1100)의 제1 금속층(1160) 및 제2 발광부(1200)의 제2 금속층(1260)과 겹치지 않도록 형성될 수 있다.
- [179] 도 12 및 도 13을 참고하면, 제3 활성층(1322) 및 제3-2 반도체층(1323)의 일부가 식각되어 제3-1 반도체층(1321)의 상면 일부가 노출될 수 있다. 이때, 식각 공정 이후 제3-1 반도체층(1321) 상부에 남아 있는 제3 활성층(1322) 및 제3-2 반도체층(1323)은 제3 메사 구조물(1340)이 될 수 있다. 도 12를 참고하면, 제3 발광부(1300)는 제3 메사 구조물(1340)은 복수로 포함할 수 있다.

- [180] 제3-2 반도체층(1323) 상부에는 제3 오믹 전극(1330)이 형성될 수 있다. 더 나아가 제3 오믹 전극(1330)은 제3-2 반도체층(1323)의 상면을 덮도록 형성될 수 있다. 제3 오믹 전극(1330)은 제3-2 반도체층(1323)의 상면의 일부 또는 상면 전체를 덮도록 형성될 수 있다.
- [181] 제3 오믹 전극(1330)은 제3 발광 구조물(1320)에서 방출되는 광에 대해 높은 전기전도성을 가질 수 있다. 예를 들어, 제3 오믹 전극(1330)은 금속으로 형성될 수 있다. 또한, 오믹 전극(1330)은 광에 대해 높은 투과율 가질 수 있다. 예를 들어, 제3 오믹 전극(1330)은 투명 전극일 수 있다. 더 나아가, 제3 오믹 전극(1330)은 ITO (Indium Tin Oxide)일 수 있다.
- [182] 제3 절연층(1350)은 제3 발광 구조물(1320) 및 제3 오믹 전극(1330)을 덮도록 형성될 수 있다. 또한, 제3 절연층(1350)은 메사들 사이에 위치한 제3 베이스(1310)의 상면을 덮도록 형성될 수 있다.
- [183] 제3 절연층(1350)은 광 투과 물질로 형성될 수 있다. 예를 들어, 제3 절연층(1350)은 SiO_2 와 같은 실리콘 산화물, Si_3N_4 와 같은 실리콘 질화물, 또는 실리콘 산 질화물로 형성될 수 있다.
- [184] 도 14 내지 도 26을 참고하면, 제1 발광부(1100) 상부에 제2 발광부(1200)가 적층될 수 있다.
- [185] 도 14 및 도 15를 참고하면, 제1 발광부(1100)에 제1 투명층(1170)이 형성될 수 있다.
- [186] 제1 투명층(1170)은 제1 베이스(1110)의 상부에서 제1 발광부(1100)를 덮도록 형성될 수 있다. 이때, 제1 투명층(1170)은 평탄한 상면을 갖도록 형성될 수 있다.
- [187] 제1 투명층(1170)은 절연성의 광 투과 물질로 형성될 수 있다. 예를 들어, 제1 투명층(1170)은 제1 절연층(1150)과 동일한 물질로 형성될 수도 있다.
- [188] 본 실시 예에서는 제1 투명층(1170)이 제1 발광부(1100)가 형성된 이후 별도로 형성되지만, 이에 한정되는 것은 아니다. 즉, 제1 투명층(1170)은 제1 발광부(1100)에 포함될 수 있다.
- [189] 도 16 및 도 17을 참고하면, 제2 발광부(1200)의 상부에 제1 지지 기판(1411)이 부착될 수 있다. 제1 지지 기판(1411)은 제2 발광부(1200)가 제1 발광부(1100)에 적층될 때까지 제2 발광부(1200)를 지지할 수 있는 어떠한 것도 될 수 있다. 즉, 제2 발광부(1200)는 제1 지지 기판(1411)에 부착된 상태로 제1 발광부(1100)에 적층될 수 있다. 예를 들어, 제1 지지 기판(1411)은 사파이어 기판 또는 유리 기판일 수 있으나, 이에 한정되는 것은 아니다.
- [190] 또한, 접착 테이프(1511)를 이용하여 제1 지지 기판(1411)에 제2 발광부(1200)를 부착할 수 있다. 접착 테이프(1511)는 열 또는 자외선에 의해 접착력이 감소하는 물질로 이루어 질 수 있다.
- [191] 도 18 및 도 19를 참고하면, 제2 발광부(1200)의 하부에 위치한 제2 베이스(1210)가 제거된다. 예를 들어, 제2 베이스(1210)는 레이저 리프트 오프 기술, 케미컬 리프트 오프 기술 또는 습식 식각 기술로 제거될 수 있다.

- [192] 도 20 및 도 21을 참고하면, 제1 발광부(1100) 상에 제2 발광부(1200)를 적층할 수 있다. 제2 발광부(1200)는 제1 발광부(1100)의 제1 투명층(1170) 상에 적층될 수 있다. 따라서, 제1 발광부(1100)의 제1 투명층(1170) 상에는 제2 발광부(1200)의 제2-1 반도체층(1221)이 위치할 수 있다.
- [193] 제1 발광부(1100)에 제2 발광부(1200)를 적층한 후, 제1 지지 기판(1411)은 제거된다. 예를 들어, 열, 자외선 또는 적외선을 이용하여 접착 테이프(1511)의 접착력을 약화시켜 제2 발광부(1200)로부터 제1 지지 기판(1411)을 떼어낼 수 있다.
- [194] 도 22 및 도 23을 참고하면, 제2 절연층(1250) 및 제1 투명층(1170)을 패터닝할 수 있다. 제2 절연층(1250) 및 제1 투명층(1170)에 제2 개구부(1259)가 형성될 수 있다. 제2 개구부(1259)는 제2-1 개구부 내지 제2-4 개구부(1251, 1252, 1253, 1254)를 포함할 수 있다.
- [195] 도 22를 참고하면, 제2-1 개구부(1251)는 제1-1 금속층(1161) 상부에 형성될 수 있다. 즉, 제2-1 개구부(1251)는 제1-1 금속층(1161)을 덮는 제2 절연층(1250) 및 제1 투명층(1170)에 형성되어 제1-1 금속층(1161)의 일부를 외부로 노출시킬 수 있다.
- [196] 제2-3 개구부(1253)는 제2-1 반도체층(1221)을 덮는 제2 절연층(1250)에 형성되어, 제2-1 반도체층(1221)의 일부를 외부로 노출시킬 수 있다. 이때, 제2-3 개구부(1253)는 제1-1 금속층(1161) 및 제2-1 개구부(1251) 주변에 형성될 수 있다.
- [197] 제2-4 개구부(1254)는 제2-2 반도체층(1223)을 덮는 제2 절연층(1250)에 형성되어, 제2-2 반도체층(1223)의 일부를 외부로 노출시킬 수 있다.
- [198] 도 23을 참고하면, 제2-2 개구부(1252)는 제1-2 금속층(1162) 상부에 형성될 수 있다. 즉, 제2-2 개구부(1252)는 제1-2 금속층(1162)을 덮는 제2 절연층(1250) 및 제1 투명층(1170)에 형성되어, 제1-2 금속층(1162)의 일부를 외부로 노출시킬 수 있다.
- [199] 이와 같이, 본 실시 예의 제2 개구부(1259)는 제2 절연층(1250) 또는 제2 절연층(1250)과 제1 투명층(1170)을 패터닝하여 형성될 수 있다. 제2 절연층(1250)과 제1 투명층(1170)은 동일한 물질로 형성되므로, 동일한 공정으로 복수의 제2 개구부(1259)가 동시에 형성될 수 있다. 예를 들어, 제2 개구부(1259)는 플라즈마 에칭, 레이저 에칭과 같은 드라이 에칭 기술로 형성될 수 있다.
- [200] 본 실시 예에 따르면, 제1 금속층(1160), 제2 발광부(1200)의 제2-1 반도체층(1221) 및 제2 오믹 전극(1230)의 상부에는 모두 제2 절연층(1250) 또는 제2 절연층(1250) 및 제1 투명층(1170)만이 형성되어 있다. 따라서, 제1 금속층(1160), 제2-1 반도체층(1221) 및 제2 오믹 전극(1230)을 노출시키는 제2 개구부들(1259)은 하나의 공정만으로 동시에 형성될 수 있다.
- [201] 만약, 제1 금속층(1160), 제2-1 반도체층(1221) 및 제2 오믹 전극(1230)의 상부에 제1 절연층(1150) 및 제1 투명층(1170)이 아닌 금속층(1060)과 같은 다른 재질을 물질이 형성되는 경우, 서로 다른 재질로 이루어진 복수의 층을 동시에 제거하기

어렵다. 따라서, 이 경우, 각각의 층을 개별적으로 제거하여 개구부(1059)를 형성해야 한다.

- [202] 그러나 본 발명의 실시 예에 따른 픽셀 소자(1000)는 제1 금속층(1160), 제2 발광부(1200)의 제2-1 반도체층(1221) 및 제2 오믹 전극(1230)의 상부에는 동일한 재질로 이루어진 층만이 존재하므로, 제2 개구부들(1259)을 형성할 때, 하나의 공정만으로 동시에 형성될 수 있다. 따라서, 공정이 단순화되어 공정에 드는 시간과 비용을 절약할 수 있다.
- [203] 도 24 내지 도 26을 참고하면, 제2 금속층(1260)이 형성될 수 있다.
- [204] 도 24는 제2 금속층(1260)이 형성된 제1 발광부(1100) 및 제2 발광부(1200)의 적층체의 평면도이다. 도 25는 도 24의 일 단면도(E1-E2)이다. 또한, 도 26은 도 24의 타 단면도(E3-E4)이다.
- [205] 제2 금속층(1260)은 제2-1 금속층(1261), 제2-2 금속층(1262) 및 제2-3 금속층(1263)을 포함할 수 있다.
- [206] 도 25를 참고하면, 제2-1 금속층(1261)은 제2-1 개구부(1251) 및 제2-3 개구부(1253)를 동시에 채우도록 형성될 수 있다. 제2-1 금속층(1261)은 제2-1 개구부(1251)를 통해서 제1-1 금속층(1161)과 접촉되어, 서로 전기적으로 연결될 수 있다. 또한, 제2-1 금속층(1261)은 제2-3 개구부(1253)를 통해서 제2 발광부(1200)의 제2-1 반도체층(1221)과 전기적으로 연결될 수 있다.
- [207] 또한, 제2-1 금속층(1261)은 제2-1 개구부(1251) 주변의 제2 절연층(1250)의 상면을 덮도록 형성될 수 있다. 또한, 제2-1 금속층(1261)은 제2-3 개구부(1253) 주변의 제2 절연층의 상면을 덮도록 형성될 수 있다. 즉, 제2-1 금속층(1261)은 제2-1 개구부(1251) 및 제2-3 개구부(1253)를 채울뿐만 아니라 그 주변까지 덮도록 형성될 수 있다.
- [208] 또한, 제2-1 금속층(1261)은 제1-1 금속층(1161)의 상부에서 제2 발광부(1200)의 제2-1 반도체층(1221)의 상부까지 제2 절연층(1250)을 따라 연장되도록 형성될 수 있다.
- [209] 이와 같이, 제2-1 금속층(1261)의 일부는 제1-1 금속층(1161)과 연결되고, 다른 일부는 제2 발광부(1200)의 제2-1 반도체층(1221)과 전기적으로 연결된다. 따라서, 제2-1 금속층(1261)을 통해서 제1 발광부(1100)의 제1-1 반도체층(1121)과 제2 발광부(1200)의 제1-1 반도체층(1121)이 서로 전기적으로 연결될 수 있다.
- [210] 제2-3 금속층(1263)은 제2-4 개구부(1254)를 채우도록 형성될 수 있다. 따라서, 제2-3 금속층(1263)은 제2-4 개구부(1254)를 통해서 제2 오믹 전극(1230)과 전기적으로 연결될 수 있다. 또한, 제2-3 금속층(1263)은 제2 오믹 전극(1230)과 연결되어 제2 발광부(1200)의 제2-2 반도체층(1223)과도 전기적으로 연결될 수 있다. 이때, 제2-3 금속층(1263)은 제2-4 개구부(1254)의 주변의 제2 절연층(1250)의 상면을 덮도록 형성될 수 있다. 따라서, 제2-3 금속층(1263)의 너비 및 단면적은 제2-4 개구부(1254)의 너비 및 단면적보다 크다.

- [211] 도 26을 참고하면, 제2-2 금속층(1262)은 일부가 제2-2 개구부(1252)를 채우도록 형성될 수 있다. 따라서, 제2-2 금속층(1262)은 제2-2 개구부(1252)를 통해서 제1-2 금속층(1162)과 전기적으로 연결될 수 있다. 이때, 제2-2 금속층(1262)은 제2-2 개구부(1252) 주변의 절연층(1050)을 더 덮도록 형성될 수 있다. 또한, 제2-2 금속층(1262)은 다른 일부가 제2 발광부(1200)의 상부에 형성될 수 있다. 더 자세히는, 제2-2 금속층(1262)의 다른 일부는 제2 오믹 전극(1230)의 상부에서 제2 절연층(1250)의 일부를 덮도록 형성될 수 있다.
- [212] 또한, 제2-2 금속층(1262)은 제1-2 금속층(1162)의 상부에서 제2 오믹 전극(1230)의 상부까지 제2 절연층(1250)을 따라 연장되도록 형성될 수 있다.
- [213] 본 발명의 실시 예에 따르면, 제2 금속층(1260)은 도금 또는 증착 기술을 이용하여 형성될 수 있다.
- [214] 또한, 제2-1 개구부(1251)는 제1-1 개구부(1151)의 외측에 형성될 수 있다. 따라서, 제2-1 금속층(1261)은 제1-1 개구부(1151)의 외측에 위치한 제1-1 금속층(1161)의 상면과 접촉하도록 형성될 수 있다. 즉, 제2-1 금속층(1261)은 제1-1 개구부(1151)의 외측에 위치한 제1-1 금속층(1161)의 평탄한 상면 상에 형성될 수 있다.
- [215] 제1-1 금속층(1161)이 형성될 때, 제1 절연층(1150)과 제1-1 개구부(1151)의 단차로 인해서 제1-1 개구부(1151)를 채우는 제1-1 금속층(1161)의 상면은 다른 부분에 비해 평탄하지 못할 수 있다. 예를 들어, 제1-1 개구부(1151)의 상부에 위치한 제1-1 금속층(1161)의 상면은 오목할 수 있다. 또는 제1-1 금속층(1161)이 제1-1 개구부(1151)에 과도하게 채워지거나, 제1-1 개구부(1151)의 좁은 너비로 인해 제1-1 개구부(1151)의 내부를 채우지 못하고 상부에 적층만 되는 경우, 제1-1 개구부(1151)의 상부에 위치한 제1-1 금속층(1161)의 상면은 볼록할 수 있다. 이와 같이, 다양한 이유로 제1-1 개구부(1151)의 상부에 위치한 제1-1 금속층(1161)의 상면은 오목하거나 볼록하여 평탄하지 않을 수 있다. 이와 같이, 평탄하지 않은 부분에 제2 금속층(1260)을 형성하게 되면, 제품마다 제1-1 금속층(1161)과 제2-1 금속층(1261) 간의 전기적 연결에 관한 성능이 상이할 수 있다. 예를 들어, 제1-1 금속층(1161)과 제2-1 금속층(1261) 간의 접합 면적이 제품마다 다를 수 있다. 또는 제1-1 금속층(1161)과 제2-1 금속층(1261)의 접합이 불안정할 수도 있다. 즉, 모든 제품이 동일한 수준의 품질을 유지하기 어렵다.
- [216] 그러나 본 발명의 제1 실시 예에 따른 픽셀 소자(1000)는 제2-1 금속층(1261)이 제1 절연층(1150) 상부에 위치한 제1-1 금속층(1161)의 평탄한 부분에 형성된다. 따라서, 제1-1 금속층(1161)과 제2-1 금속층(1261)의 안정적인 접합이 가능하므로, 동일한 수준의 품질을 갖는 제품들을 양산할 수 있다. 또한, 제2-1 금속층(1261) 뿐만 아니라, 제1 금속층(1160)과 연결되는 모든 제2 금속층(1260)은 제1 금속층(1160)의 평탄한 상면 상에 형성될 수 있다.
- [217] 도 27 내지 도 39를 참고하면, 제2 발광부(1200) 상부에 제3 발광부(1300)를 적층할 수 있다.

- [218] 도 27 및 도 28을 참고하면, 제1 투명층(1170)의 상부에 제2 투명층(1270)이 형성될 수 있다. 제2 투명층(1270)은 제1 투명층(1170)에 상부에서 제2 발광부(1200) 및 제2 금속층(1260)을 덮도록 형성될 수 있다. 이때, 제2 투명층(1270)은 평탄한 상면을 갖도록 형성될 수 있다.
- [219] 제2 투명층(1270)은 절연성의 광 투과 물질로 형성될 수 있다. 예를 들어, 제2 투명층(1270)은 폴리이미드(PI) 또는 에폭시 몰딩 컴파운드(EMC)로 형성될 수 있다. 또는, 제2 투명층(1270)은 제2 절연층(1250)과 동일한 물질로 형성될 수도 있다.
- [220] 도 29 및 도 30을 참고하면, 제3 발광부(1300)의 상부에 제2 지지 기판(1412)이 부착될 수 있다. 제3 발광부(1300)는 제2 지지 기판(1412)에 부착된 상태로 제2 발광부(1200)에 적층될 수 있다. 예를 들어, 제2 지지 기판(1412)은 사파이어 기판 또는 유리 기판일 수 있으나, 이에 한정되는 것은 아니다. 즉, 제2 지지 기판(1412)은 제3 발광부(1300)가 제2 발광부(1200)에 적층될 때까지 제3 발광부(1300)를 지지할 수 있는 어떠한 것도 될 수 있다.
- [221] 또한, 접착 테이프(1511)를 이용하여 제2 지지 기판(1412)에 제3 발광부(1300)를 부착할 수 있다. 접착 테이프(1511)는 열 또는 자외선에 의해 접착력이 감소하는 물질로 이루어 질 수 있다.
- [222] 도 31 및 도 32를 참고하면, 제3 발광부(1300)의 하부에 위치한 제3 베이스(1310)가 제거된다. 예를 들어, 제3 베이스(1310)는 레이저 리프트 오프 기술, 케미컬 리프트 오프 기술 또는 습식 식각 기술로 제거될 수 있다.
- [223] 도 33 및 도 34를 참고하면, 제2 발광부(1200) 상에 제3 발광부(1300)를 적층할 수 있다. 제3 발광부(1300)는 제2 발광부(1200)의 제2 투명층(1270) 상에 적층될 수 있다. 따라서, 제2 발광부(1200)의 제2 투명층(1270) 상에는 제3 발광부(1300)의 제3-1 반도체층(1321)이 위치할 수 있다.
- [224] 제2 발광부(1200)에 제3 발광부(1300)가 적층된 후, 제2 지지 기판(1412)은 제거된다. 예를 들어, 열, 자외선 또는 적외선을 이용하여 접착 테이프(1511)의 접착력을 약화시켜 제3 발광부(1300)로부터 제2 지지 기판(1412)을 떼어낼 수 있다.
- [225] 도 35 및 도 36을 참고하면, 제3 발광부(1300)의 제3 절연층(1350) 및 제2 투명층(1270)을 패터닝할 수 있다. 제3 절연층(1350) 및 제2 투명층(1270)에 제3 개구부(1359)가 형성될 수 있다. 제3 개구부(1359)는 제3-1 개구부 내지 제3-5 개구부(1351, 1352, 1353, 1354, 1355)를 포함할 수 있다.
- [226] 도 35를 참고하면, 제3-1 개구부(1351)는 제2-1 금속층(1261) 상부에 형성될 수 있다. 이때, 제3-1 개구부(1351)는 제2 발광부(1200)의 제2-1 반도체층(1221)의 상부에 위치하는 제2-1 금속층(1261)을 노출하도록 형성될 수 있다.
- [227] 제3-3 개구부(1353)는 제3 발광부(1300)의 제3-1 반도체층(1321)을 덮는 제3 절연층(1350)에 형성되어, 제3-1 반도체층(1321)의 일부를 외부로 노출하도록 형성될 수 있다. 이때, 제3-3 개구부(1353)는 제3-1 개구부(1351)와 인접한 위치에 형성될 수 있다.

- [228] 제3-4 개구부(1354)는 제2 발광부(1200)의 제2-3 금속층(1263)의 상부에 형성된 제2 투명층(1270) 및 제3 절연층(1350)에 형성됩니다. 따라서, 제3-4 개구부(1354)는 제2-3 금속층(1263)의 일부를 외부로 노출시킬 수 있습니다.
- [229] 도 36을 참고하면, 제3-2 개구부(1352)는 제2-2 금속층(1262) 상부에 형성될 수 있다. 즉, 제3-2 개구부(1352)는 제2-2 금속층(1262)을 덮는 제3 절연층(1350) 및 제2 투명층(1270)에 형성되어, 제2-2 금속층(1262)의 일부를 외부로 노출시킬 수 있다.
- [230] 제3-5 개구부(1355)는 제3 발광부(1300)의 제3 오믹 전극(1330)의 상면을 덮는 제3 절연층(1350)에 형성될 수 있다. 따라서, 제3-5 개구부(1355)는 제3 오믹 전극(1330)의 상부에 위치하여, 제3 오믹 전극(1330)의 일부를 노출하도록 형성될 수 있다.
- [231] 예를 들어, 제3 개구부(1359)는 플라즈마 에칭, 레이저 에칭과 같은 드라이 에칭 기술로 형성될 수 있다.
- [232] 본 실시 예에 따르면, 제3 개구부(1359)가 형성된 제2 금속층(1260)의 상부, 제3-1 반도체층(1321)의 상부 및 제3 투명층(1070)의 상부에는 제3 절연층(1350)이 형성되거나 제3 절연층(1350) 및 제2 투명층(1270)이 형성되어 있다. 즉, 제3 개구부(1359)는 동일한 재질로 이루어진 층에 형성될 수 있다. 따라서, 제2 개구부(1259)와 마찬가지로 개구부(1059)를 형성할 때 적용되는 공정을 단순화하여 비용 및 시간을 절약할 수 있다.
- [233] 도 37 내지 도 39를 참고하면, 제3 금속층(1360)이 형성될 수 있다.
- [234] 도 37은 제3 금속층(1360)이 형성된 픽셀 소자(1000)의 개략적인 평면도이다. 도 37은 제3 금속층(1360)이 형성된 픽셀 소자(1000)의 일 단면도(F1-F2)이다. 또한, 도 38은 제3 금속층(1360)이 형성된 픽셀 소자(1000)의 타 단면도(F3-F4)이다.
- [235] 제3 금속층(1360)은 제3-1 금속층 내지 제3-4 금속층(1361, 1362, 1363, 1364)을 포함할 수 있다.
- [236] 도 38을 참고하면, 제3-1 금속층(1361)은 제3-1 개구부(1351) 및 제3-3 개구부(1353)를 동시에 채우도록 형성될 수 있다. 제3-1 금속층(1361)은 제3-1 개구부(1351)를 통해서 제2-1 금속층(1261)과 접촉되어, 서로 전기적으로 연결될 수 있다. 또한, 제3-1 금속층(1361)은 제3-3 개구부(1353)를 통해서 제3 발광부(1300)의 제3-1 반도체층(1321)과 전기적으로 연결될 수 있다.
- [237] 또한, 제3-1 금속층(1361)은 제3-1 개구부(1351) 주변의 제3 절연층(1350)의 상면을 덮도록 형성될 수 있다. 또한, 제3-1 금속층(1361)은 제3-3 개구부(1353) 주변의 제3 절연층(1350)의 상면을 덮도록 형성될 수 있다. 즉, 제3-1 금속층(1361)은 제3-1 개구부(1351) 및 제3-3 개구부(1353)를 채울뿐만 아니라 그 주변까지 덮도록 형성될 수 있다.
- [238] 또한, 제3-1 금속층(1361)은 제2-1 금속층(1261)의 상부에서 제3 발광부(1300)의 제3-1 반도체층(1321)의 상부까지 제3 절연층(1350)을 따라 연장되도록 형성될 수 있다.

- [239] 본 실시 예에서, 제2 금속층(1260)과 접촉하는 제3 금속층(1360)은 제2 금속층(1260)의 평탄한 상면 상에 형성될 수 있다.
- [240] 이와 같이, 제3-1 금속층(1361)의 일부는 제2-1 금속층(1261)과 연결되고, 다른 일부는 제3 발광부(1300)의 제3-1 반도체층(1321)과 전기적으로 연결된다. 따라서, 제3-1 금속층(1361)을 통해서 제2 발광부(1200)의 제2-1 반도체층(1221)과 제3 발광부(1300)의 제2-1 반도체층(1221)이 서로 전기적으로 연결될 수 있다.
- [241] 본 실시 예의 픽셀 소자(1000)는 제1-1 금속층(1161), 제2-1 금속층(1261) 및 제3-1 금속층(1361)이 서로 전기적으로 연결된다. 또한, 제1-1 금속층(1161)은 제1 발광부(1100)의 제1-1 반도체층(1121)과 전기적으로 연결되며, 제2-1 금속층(1261)은 제2 발광부(1200)의 제2-1 반도체층(1221)과 전기적으로 연결되며, 제3-1 금속층(1361)은 제3 발광부(1300)의 제3-1 반도체층(1321)과 전기적으로 연결된다. 따라서, 본 실시 예에 픽셀 소자(1000)는 제1 발광부(1100)의 제1-1 반도체층(1121), 제2 발광부(1200)의 제2-1 반도체층(1221) 및 제3 발광부(1300)의 제3-1 반도체층(1321)이 서로 전기적으로 연결될 수 있다.
- [242] 따라서, 제1-1 금속층(1161), 제2-1 금속층(1261) 및 제3-1 금속층(1361)은 제1 발광부(1100), 제2 발광부(1200) 및 제3 발광부(1300)를 동시에 전기적으로 연결하는 공통 전극이 될 수 있다.
- [243] 또한, 제3-1 금속층(1361) 중에서 제3 오믹 전극(1330)의 상부에 형성되어 픽셀 소자(1000)의 외부로 노출된 부분은 공통 전극의 패드가 될 수 있다. 즉, 제3-1 금속층(1361)은 공통 전극 패드가 되며, 외부의 전기 신호는 제3-1 금속층(1361)을 통해 제1 발광부 내지 제3 발광부(1100, 1200, 1300)의 제1-1 반도체층(1121), 제2-1 반도체층(1221) 및 제3-1 반도체층(1321)에 동시에 인가될 수 있다.
- [244] 제3-3 금속층(1363)은 제3-4 개구부(1354)를 채우도록 형성될 수 있다. 따라서, 제3-3 금속층(1363)은 제3-4 개구부(1354)를 통해서 제2-3 금속층(1263)과 전기적으로 연결될 수 있다.
- [245] 제3-3 금속층(1363)은 제3-4 개구부(1354)의 주변의 제3 절연층(1350)의 상면을 덮도록 형성될 수 있다. 또한, 제3-3 금속층(1363)은 제2-3 금속층(1263)의 상부에서 제3 오믹 전극(1330)의 상부까지 연장되도록 형성될 수 있다.
- [246] 본 실시 예의 픽셀 소자(1000)는 제2-3 금속층(1263)과 제3-3 금속층(1363)이 서로 전기적으로 연결된다. 또한, 제2-3 금속층(1263)은 제2 발광부(1200)의 제2 오믹 전극(1230)과 연결된다. 따라서, 제3-3 금속층(1363)은 제2 오믹 전극(1230)과 전기적으로 연결된 제2 발광부(1200)의 제2-2 반도체층(1223)과 전기적으로 연결된다. 여기서, 제2-2 반도체층(1223)에 함께 전기적으로 연결되는 제2-3 금속층(1263)과 제3-3 금속층(1363)은 제2 전극이 될 수 있다.
- [247] 이때, 제3-3 금속층(1363) 중에서 제3 오믹 전극(1330)의 상부에 형성되어 픽셀 소자(1000)의 외부로 노출된 부분은 제2 발광부(1200)와 연결된 제2 전극 패드가 될 수 있다. 즉, 외부의 전기 신호는 제2 전극 패드인 제3-3 금속층(1363)을 통해서 제2 발광부(1200)의 제2-2 반도체층(1223)에 인가될 수 있다. 본 실시 예에 따

르면, 제2 전극 패드인 제3-3 금속층(1363)에 전기 신호가 인가되면, 제2 발광부(1200)가 청색광을 방출할 수 있다.

[248] 도 39를 참고하면, 제3-2 금속층(1362)은 일부가 제3-2 개구부(1352)를 채우도록 형성된다. 따라서, 제3-2 금속층(1362)은 제3-2 개구부(1352)를 통해서 제2-2 금속층(1262)과 전기적으로 연결될 수 있다. 이때, 제2-2 금속층(1262)은 제1-2 금속층(1162)과 전기적으로 연결된다. 결국, 제3-2 금속층(1362)은 제1 발광부(1100)의 제1-2 반도체층(1123)과 전기적으로 연결될 수 있다. 여기서, 제1 발광부(1100)의 제1-2 반도체층(1123)과 함께 전기적으로 연결되는 제1-2 금속층(1162), 제2-2 금속층(1262) 및 제3-2 금속층(1362)은 제1 전극이 될 수 있다.

[249] 또한, 제3-2 금속층(1362) 중에서 제3 오믹 전극(1330)의 상부에 형성되어 픽셀 소자(1000)의 외부로 노출된 부분은 제1 발광부(1100)와 연결된 제1 전극 패드가 될 수 있다. 즉, 외부의 전기 신호는 제1 전극 패드인 제3-2 금속층(1362)을 통해서 제1 발광부(1100)의 제1-2 반도체층(1123)에 인가될 수 있다. 본 실시 예에 따르면, 제1 전극 패드인 제3-2 금속층(1362)에 전기 신호가 인가되면, 제1 발광부(1100)가 녹색광을 방출할 수 있다.

[250] 또한, 제3-2 금속층(1362)은 제3-2 개구부(1352) 주변의 절연층(1050)을 더 덮도록 형성될 수 있다. 또한, 제3-2 금속층(1362)은 다른 일부가 제3 발광부(1300)의 상부에 형성될 수 있다. 더 자세히는, 제3-2 금속층(1362)의 다른 일부는 제3 오믹 전극(1330)의 상부에서 제3 절연층(1350)의 일부를 덮도록 형성될 수 있다.

[251] 또한, 제3-2 금속층(1362)은 제2-2 금속층(1262)의 상부에서 제3 오믹 전극(1330)의 상부까지 제3 절연층(1350)을 따라 연장되도록 형성될 수 있다.

[252] 제3-4 금속층(1364)은 제3 절연층(1350)의 제3-5 개구부(1355)를 채우도록 형성될 수 있다. 따라서, 제3-4 금속층(1364)은 제3-5 개구부(1355)를 통해서 제3 오믹 전극(1330)과 접촉할 수 있다. 이에, 제3-4 금속층(1364)은 접촉한 제3 오믹 전극(1330)을 통해서 제3 발광부(1300)의 제3-2 반도체층(1323)과 전기적으로 연결될 수 있다. 또한, 제3-4 금속층(1364)은 제3-5 개구부(1355)의 주변의 제3 절연층(1350)을 더 덮도록 형성될 수 있다. 따라서, 제3-4 금속층(1364)의 너비 및 단면적은 제3-5 개구부(1355)의 너비 및 단면적보다 크다.

[253] 픽셀 소자(1000)의 외부로 노출된 제3-4 금속층(1364)은 제2 발광부(1200)와 연결된 제3 전극 패드가 될 수 있다. 즉, 외부 전기 신호는 제3 전극 패드인 제3-4 금속층(1364)을 통해서 제3 발광부(1300)의 제3-2 반도체층(1323)에 인가될 수 있다. 본 실시 예에 따르면, 제3 전극 패드인 제3-4 금속층(1364)에 전기 신호가 인가되면, 제3 발광부(1300)가 적색광을 방출할 수 있다.

[254] 도 38을 참고하면, 제1-1 반도체층(1121) 상부에 위치하는 제1-1 개구부(1151), 제2-1 반도체층(1221) 상부에 위치하는 제2-3 개구부(1253) 및 제3-1 반도체층(1321) 상부에 위치하는 제3-3 개구부(1353)는 모두 다른 위치에 위치한다. 또한, 제2-3 개구부(1253)의 중심선은 제1-1 개구부(1151)의 중심선과 제3-3 개구부(1353)의 중심선 사이에 위치한다.

- [255] 또한, 제1-1 반도체층(1121)의 상부에 제2-1 반도체층(1221) 및 제3-1 반도체층(1321)의 일측면이 위치한다. 이때, 제2-1 반도체층(1221)의 일측면은 제1-1 개구부(1151)와 제3-1 반도체층(1321)의 일측면 사이에 위치한다.
- [256] 따라서, 이 개구부들(1059)을 채우며 서로 전기적으로 연결되는 공통 전극인 제1-1 금속층(1161), 제2-1 금속층(1261) 및 제3-1 금속층(1361)은 각각의 중심이 서로 다른 수직선상 및 수평 선상에 위치에 위치하여 계단 구조를 이루도록 형성될 수 있다.
- [257] 또한, 서로 전기적으로 연결되는 제2-3 금속층(1263)과 제3-3 금속층(1363)은 각각의 중심이 서로 다른 수직선상 및 수평선상에 위치한다. 따라서, 제2 전극인 제2-3 금속층(1263)과 제3-3 금속층(1363)도 계단 구조를 이루도록 형성될 수 있다.
- [258] 도 39를 참고하면, 서로 전기적으로 연결되는 제1-2 금속층(1162), 제2-2 금속층(1262) 및 제3-2 금속층(1362)은 각각의 중심이 서로 다른 수직선상 및 수평선상에 위치한다. 따라서, 제1 전극도 계단 구조를 이루도록 형성될 수 있다.
- [259] 종래에는 제1 발광부 내지 제3 발광부를 제1 베이스에서 멀어질수록 단면적이 감소하도록 형성하고, 전극들을 제1 발광부 내지 제3 발광부의 외측을 따라 형성한다. 이 경우, 제1 발광부 내지 제3 발광부의 내측에 전극들이 형성되지 않지만, 제1 발광부 내지 제3 발광부의 발광 면적이 서로 상이하게 된다. 따라서, 픽셀 소자는 색깔별로 서로 상이한 광량을 갖게된다.
- [260] 본 발명의 제1 실시 예에 따르면, 픽셀 소자(1000)는 도 5의 제1 발광부(1100)의 제1 메사 구조물(1140)의 면적, 도 8의 제2 발광부(1200)의 제2 메사 구조물(1240)의 면적 및 도 11의 제3 발광부(1300)의 제3 메사 구조물(1340)의 면적이 서로 최대한 유사하도록 형성될 수 있다. 즉, 본 발명의 제1 실시 예에 따른 픽셀 소자(1000)는 제1 발광부(1100), 제2 발광부(1200) 및 제3 발광부(1300)의 광이 방출되는 발광면이 각 발광부의 하부에 위치한 금속층(1060)을 제외한 최대 면적을 갖도록 하여, 각 발광부의 발광면의 면적의 차이가 최소화되도록 형성될 수 있다. 따라서, 제1 발광부(1100), 제2 발광부(1200) 및 제3 발광부(1300)에서 서로 유사한 광량의 광을 방출할 수 있다.
- [261] 또한, 종래에는 제1 금속층 및 제3 금속층을 제1 발광부 및 제3 발광부와 접촉시키기 위해서 제1 발광 구조물 내지 제3 발광 구조물에 홀을 형성하여 도전성 물질을 채우지 않는다. 즉, 제1 발광부 내지 제3 발광부의 내측에 전극들이 형성된다. 이 경우, 제1 발광부 내지 제3 발광부의 발광 면적이 내측에 형성된 전극들에 의해서 감소하게 된다.
- [262] 그러나 본 발명의 실시 예에 따른 픽셀 소자(1000)는 제1 발광부 내지 제3 발광부(1100, 1200, 1300)의 발광 면적이 전극들에 의해서 감소하는 것을 방지하여, 발광 영역 감소에 의한 휘도 손실을 방지할 수 있다.
- [263] 또한, 종래에는 제1 발광부 내지 제3 발광부를 모두 적층한 이후에 각 발광부와 전기적 연결의 위한 금속층을 형성하였다. 그러므로, 금속층과 각 발광부의 전기

적 연결을 위해 형성되는 개구부를 서로 다른 재질로 이루어진 층에 형성해야 했다.

- [264] 본 발명의 실시 예에 따른 픽셀 소자(1000)는 개구부들(1059)을 서로 다른 수직 선상에 형성하고, 각 발광부를 적층할 때마다 동일한 재질로 이루어진 층에 개구부(1059)를 형성하고, 금속층(1060)을 형성한다. 따라서, 본 실시 예의 픽셀 소자(1000)는 서로 다른 재질로 이루어진 여러 층을 한번에 패터닝하여 개구부(1059)를 형성하지 않아도 되므로, 공정의 편리성이 향상되며, 공정이 더 단순화되고, 비용 및 시간이 절약될 수 있다.
- [265] 제1 실시 예에 따른 픽셀 소자(1000)를 설명하는 도면에서 각각의 금속층(1060)은 단층 및 단일 재질로 형성된 것으로 도시되어 있다. 그러나 본 실시 예의 금속층(1060)은 다층 구조일 수도 있다. 즉, 금속층(1060)은 복수의 층으로 이루어질 수 있으며, 복수의 층 중에서 적어도 하나의 층은 다른 층과 다른 재질로 형성될 수 있다.
- [266] 또한, 제1 실시 예에 따른 픽셀 소자(1000)에서 제1 발광부(1100)가 녹색광을 방출하고, 제2 발광부(1200)는 청색광을 방출하고, 제3 발광부(1300)는 적색광을 방출하는 것으로 설명하였지만, 본 발명이 이에 한정되는 것은 아니다. 제1 발광부(1100), 제2 발광부(1200) 및 제3 발광부(1300)는 녹색광, 청색광 및 적색광 중 적어도 하나의 광을 방출하며, 서로 다른 색의 광을 방출할 수 있다. 예를 들어, 제1 발광부(1100)는 청색광을 방출하며, 제2 발광부(1200)는 녹색광을 방출하며, 제3 발광부(1300)는 적색광을 방출할 수도 있다.
- [267] 도 40 내지 도 42는 본 발명의 제2 실시 예에 따른 픽셀 소자(2000)를 설명하기 위한 도면이다. 도 40은 본 발명의 제2 실시 예에 따른 픽셀 소자의 개략적인 평면도이다. 도 41은 본 발명의 제2 실시 예에 따른 픽셀 소자(2000)를 설명하기 위한 일 단면도(G1-G2)이다. 또한, 도 42는 본 발명의 제2 실시 예에 따른 픽셀 소자(2000)를 설명하기 위한 타 단면도(G3-G4)이다.
- [268] 본 실시 예의 픽셀 소자(2000)는 금속층(2060)이 제1 실시 예의 픽셀 소자(1000)의 금속층(1060)과 구조가 상이하다.
- [269] 투명층(1070)의 개구부(1059)에 형성된 금속층(2060)은 개구부(1059)의 내벽의 일부 및 바닥면을 덮도록 형성된다. 예를 들어, 증착 기술 방식으로 금속층(2060)을 형성하는 경우, 금속층(2060)은 개구부(1059)의 일 내벽에서 바닥면을 따라 형성되며, 타 내벽의 일부까지 덮도록 형성될 수 있다. 이와 같은 구조로 형성된 금속층(2060)에 의해서 개구부(1059)에서 투명층(1070)의 내벽의 일부가 노출될 수 있다. 즉, 금속층(2060)의 일부는 개구부(1059) 내에서 비대칭 단면을 갖도록 형성될 수 있다.
- [270] 더 자세히는, 제2-1 금속층(2261) 및 제2-2 금속층(2262) 중에서 제1 투명층(1170)의 제2-1 개구부(1251) 및 제2-2 개구부(1252)에 형성된 부분과 제3-1 금속층(2361), 제3-2 금속층(2362) 및 제3-3 금속층(2363) 중에서 제2 투명층(1270)의 제3-1 개구부(1351), 제3-2 개구부(1352) 및 제3-4 개구부(1354)에 형성된 부분은

각 개구부들(1059)의 내벽 및 바닥면을 따라 형성될 수 있다. 이때, 제2-1 개구부(1251), 제2-2 개구부(1252), 제3-1 개구부(1351), 제3-2 개구부(1352) 및 제3-4 개구부(1354)의 내벽의 일부는 각 개구부들(11059)에 형성된 금속층(2060)에 의해서 외부로 노출될 수 있다. 여기서, 금속층(2060)에 의해서 외부로 노출되는 제2 개구부(1259)의 내벽은 제1 투명층(1170) 및 제2 절연층(1250)이며, 금속층(2060)에 의해서 외부로 노출되는 제3 개구부(1359)의 내벽은 제2 투명층(1270) 및 제3 절연층(1350)이다.

[271] 제2 투명층(1270)은 제2-1 개구부(1251) 및 제2-2 개구부(1252)를 채우도록 형성될 수 있다. 따라서, 제2-1 개구부(1251) 및 제2-2 개구부(1252)에서 제1 투명층(1170)의 일부는 제2 금속층(2260)과 접촉할 수 있으며, 다른 일부는 제2 투명층(1270)과 접할 수 있다.

[272] 이와 같이, 제2 투명층(1270)은 일부의 제2 개구부(1259)를 채우므로, 제2 개구부(1259) 내에서 제2 금속층(2260)의 단부를 덮을 수 있다. 따라서, 본 실시 예에서, 제2 투명층(1270)은 제2 개구부(1259) 내에서 제2 금속층(2260)의 단부가 박리되는 것을 방지할 수 있다.

[273] 또한, 픽셀 소자(2000)는 제3 발광부(1300) 및 제3 금속층(2360) 및 제2 투명층(1270)의 상부에서 이들을 덮도록 형성된 보호층(2080)을 포함할 수 있다. 보호층(2080)은 절연 물질로 형성될 수 있다. 또한, 보호층(2080)은 광을 반사하는 재질로 형성되거나 광을 반사하는 물질을 포함할 수 있다. 또한, 보호층(2080)은 필요에 따라 광이 투과하는 재질로 형성될 수도 있다.

[274] 보호층(2080)은 제3 개구부(1359)를 채우도록 형성될 수 있다. 더 자세히는, 보호층(2080)은 제3-1 개구부(2351), 제3-2 개구부(2352) 및 제3-4 개구부(2354)를 채우도록 형성될 수 있다. 따라서, 일부의 제3 개구부(2359)에서 제2 투명층(1270)의 일부는 제3 금속층(2360)과 접촉할 수 있으며, 다른 일부는 보호층(2080)과 접촉할 수 있다.

[275] 또한, 보호층(2080)은 일부의 제3 개구부(1359)를 채우므로, 제3 개구부(1359) 내에서 제3 금속층(2360)의 단부를 덮을 수 있다. 따라서, 보호층(2080)은 제3 개구부(1359) 내의 제3 금속층(2360)의 단부가 박리되는 것을 방지할 수 있다.

[276] 도 43 내지 도 45는 본 발명의 제3 실시 예에 따른 픽셀 소자(3000) 설명하기 위한 도면이다. 도 43은 본 발명의 제3 실시 예에 따른 픽셀 소자의 개략적인 평면도이다. 도 44는 본 발명의 제3 실시 예에 따른 픽셀 소자(3000)를 설명하기 위한 일 단면도(H1-H2)이다. 또한, 도 45는 본 발명의 제3 실시 예에 따른 픽셀 소자(3000)를 설명하기 위한 타 단면도(H3-H4)이다.

[277] 본 실시 예의 픽셀 소자(3000)는 금속층(3060)이 제1 실시 예의 픽셀 소자(1000)의 금속층(1060)과 구조가 상이하다.

[278] 투명층(1070)의 개구부(1059)에 형성된 금속층(3060)은 개구부(1059)의 내벽의 일부 및 바닥면을 덮도록 형성된다. 예를 들어, 증착 기술 방식으로 금속층(3060)을 형성하는 경우, 금속층(3060)은 개구부(1059)의 일 내벽에서 바닥면을 따라 형

성되되, 바닥면의 일부만 덮도록 형성될 수 있다. 즉, 금속층(3060)의 일부는 개구부(1059) 내에서 비대칭 단면을 갖도록 형성될 수 있다. 이와 같은 구조로 형성된 금속층(3060)에 의해서 개구부(1059)에서 투명층(1070)의 내벽의 일부 및 개구부(1059)의 하부에 위치한 금속층(3060)의 일부가 노출될 수 있다.

[279] 더 자세히는, 제2-1 금속층(3261) 및 제2-2 금속층(3262) 중에서 제1 투명층(1170)의 제2-1 개구부(1251) 및 제2-2 개구부(1252)에 형성된 부분과 제3-1 금속층(3361), 제3-2 금속층(3362) 및 제3-3 금속층(3363) 중에서 제2 투명층(1270)의 제3-1 개구부(1351), 제3-2 개구부(1352) 및 제3-4 개구부(1354)에 형성된 부분은 각 개구부들(1059)의 일 내벽 및 바닥면의 일부를 덮도록 내벽 및 바닥면을 따라 형성될 수 있다. 이때, 제2-1 개구부(1251), 제2-2 개구부(1252), 제3-1 개구부(1351), 제3-2 개구부(1352) 및 제3-4 개구부(1354)의 내벽의 일부는 각 개구부들(11059)에 형성된 금속층(3060)에 의해서 외부로 노출될 수 있다. 여기서, 금속층(3060)에 의해서 외부로 노출되는 제2 개구부(1259)의 내벽은 제1 투명층(1170) 및 제2 절연층(1250)이며, 제3 개구부(3359)의 내벽은 제2 투명층(1270) 및 제3 절연층(1350)이다. 또한, 제2-1 개구부(1251), 제2-2 개구부(1252), 제3-1 개구부(1351), 제3-2 개구부(1352) 및 제3-4 개구부(1354)의 하부에 위치한 제1-1 금속층(1161), 제1-2 금속층(1162), 제2-1 금속층(3261), 제2-2 금속층(3262) 및 제2-3 금속층(3263)의 상면의 일부도 외부로 노출될 수 있다.

[280] 제2 투명층(1270)은 제2-1 개구부(1251) 및 제2-2 개구부(1252)를 채우도록 형성될 수 있다. 따라서, 제2-1 개구부(1251) 및 제2-2 개구부(1252)에서 제1 투명층(1170)의 일부는 제2 금속층(3260)과 접촉할 수 있으며, 다른 일부는 제2 투명층(1270)과 접할 수 있다. 또한, 제2-1 개구부(1251) 및 제2-2 개구부(1252)에서 제2 투명층(1270)의 일부는 제1 투명층(1170)과 접촉하고, 다른 일부는 제1 금속층(1160)과 접촉하고, 또 다른 일부는 제2 금속층(3260)과 접촉하며, 또 다른 일부는 제2 절연층(1250)과 접촉할 수 있다.

[281] 이와 같이, 제2 투명층(1270)은 일부의 제2 개구부(1259)를 채우므로, 제2 개구부(1259) 내에서 제2 금속층(3260)의 단부를 덮을 수 있다. 따라서, 본 실시 예에서, 제2 투명층(1270)은 제2 개구부(1259) 내에서 제2 금속층(3260)의 단부가 박리되는 것을 방지할 수 있다.

[282] 또한, 픽셀 소자(3000)는 제3 발광부(1300) 및 제3 금속층(3360) 및 제2 투명층(1270)의 상부에서 이들을 덮도록 형성된 보호층(2080)을 포함할 수 있다. 보호층(2080)은 절연 물질로 형성될 수 있다. 또한, 보호층(2080)은 광을 반사하는 재질로 형성되거나 광을 반사하는 물질을 포함할 수 있다. 또한, 보호층(2080)은 필요에 따라 광이 투과하는 재질로 형성될 수도 있다.

[283] 보호층(2080)은 제3 개구부(1359)를 채우도록 형성될 수 있다. 더 자세히는, 보호층(2080)은 제3-1 개구부(3351), 제3-2 개구부(3352) 및 제3-4 개구부(3354)를 채우도록 형성될 수 있다. 따라서, 제3-1 개구부(3351), 제3-2 개구부(3352) 및 제3-4 개구부(3354)에서 보호층(2080)의 일부는 제2 투명층(1270)과 접촉하고, 다른 일

부는 제2 금속층(3260)과 접촉하고, 또 다른 일부는 제3 금속층(3360)과 접촉하며, 또 다른 일부는 제3 절연층(1350)과 접촉할 수 있다.

[284] 또한, 보호층(2080)은 일부의 제3 개구부(1359)를 채우므로, 제3 개구부(1359) 내에서 제3 금속층(3360)의 단부를 덮을 수 있다. 따라서, 보호층(2080)은 제3 개구부(1359) 내의 제3 금속층(3360)의 단부가 박리되는 것을 방지할 수 있다.

[285] 또한, 도 45를 참고하면, 제2-2 개구부(1252)에서 제2-2 금속층(3262)과 접촉하는 제1-2 금속층(1162)의 너비(W3)는 제2 투명층(1270)과 접촉하는 제1-2 금속층(1162)의 너비(W4)보다 클 수 있다. 더 나아가, 제2-2 개구부(1252) 내에서 제1-2 금속층(1162)이 제2-2 금속층(3262)과 접촉하는 면적은 제1-2 금속층(1162)이 제2 투명층(1270)과 접촉하는 면적보다 클 수 있다. 또한, 도 44를 참고하면, 제2-1 개구부(1251)에서 제2-1 금속층(3261)과 접촉하는 제1-1 금속층(1161)의 너비 또는 면적은 제2 투명층(1270)과 접촉하는 제1-1 금속층(1161)의 너비 또는 면적보다 클 수 있다. 또한, 도 44 및 도 45를 참고하면, 제3 개구부(1359)에서 제3 금속층(3360)과 접촉하는 제2 금속층(3260)의 너비 또는 면적은 보호층(2080)과 접촉하는 제2 금속층(3260)의 너비 또는 면적보다 클 수 있다.

[286] 도 46 및 도 47은 본 발명의 제4 실시 예에 따른 픽셀 소자(4000)를 설명하기 위한 도면이다. 도 46은 본 발명의 제4 실시 예에 따른 픽셀 소자(4000)를 설명하기 위한 일 단면도이다. 더 자세히는, 도 46은 도 2의 평면도를 기준으로 A1-A2에 해당하는 단면도이다. 또한, 도 47은 본 발명의 제4 실시 예에 따른 픽셀 소자(4000)를 설명하기 위한 타 단면도이다. 더 자세히는, 도 47은 도 2의 평면도를 기준으로 A3-A4에 해당하는 단면도이다.

[287] 본 실시 예의 픽셀 소자(4000)는 금속층(4060)이 제1 실시 예의 픽셀 소자(1000)와 금속층(1060)의 구조가 상이하다.

[288] 본 실시 예에 따른 픽셀 소자(4000)는 개구부(1059)에 형성된 금속층(1060)이 개구부(1059) 내벽을 덮으며, 개구부(1059) 내부를 채우도록 형성된다.

[289] 예를 들어, 도 46을 참고하면, 제2-1 금속층(4261), 제3-1 금속층(4361) 및 제3-3 금속층(4363)은 각각 제2-1 개구부(1251), 제3-3 개구부(1353) 및 제3-4 개구부(1354)를 채우도록 형성된다.

[290] 또한, 도 47을 참고하면, 제2-2 금속층(4262) 및 제3-2 금속층(4362)은 각각 제2-2 개구부(1252) 및 제3-2 개구부(1352)를 채우도록 형성된다.

[291] 이와 같이 금속층(1060)이 개구부(1059)를 채우도록 형성되는 경우, 금속층(1060)은 도금 기술로 형성될 수 있다.

[292] 제1 실시 예 및 제4 실시 예의 픽셀 소자(1000, 4000)의 설명을 위한 도면에는 보호층(2080)이 미도시 되었으나, 필요에 의해서 보호층(2080)이 추가될 수 있다.

[293] 본 발명의 픽셀 소자는 제1 실시 예 내지 제4 실시 예를 통해 설명한 바와 같이 금속층을 다양한 구조로 형성할 수 있다.

[294] 도 48 내지 도 71은 본 발명의 제5 실시 예에 따른 픽셀 소자 및 그 제조 방법을 설명하기 위한 도면들이다.

- [295] 도 70 및 도 71을 참고하면, 제5 실시 예에 따른 픽셀 소자(5001)는 제1 베이스(1110), 제1 발광부(5000), 제2 발광부(6000) 및 제3 발광부(7000)를 포함할 수 있다. 본 실시 예에 따르면, 제1 발광부(5000)는 녹색광 또는 청색광을 방출하며, 제2 발광부(6000)는 청색광 또는 녹색광을 방출하고, 제3 발광부(7000)는 적색광을 방출할 수 있다. 그러나 본 실시 예에 이에 한정되는 것은 아니다. 제1 발광부(5000), 제2 발광부(6000) 및 제3 발광부(7000)는 녹색광, 청색광, 적색광 중 하나의 광을 방출하며, 서로 다른 색의 광을 방출할 수 있다.
- [296] 도 48 내지 도 62를 참고하면, 제1 발광부 내지 제3 발광부(5000, 6000, 7000)가 개별적으로 형성될 수 있다.
- [297] 도 48 내지 도 52는 본 발명의 제5 실시 예의 픽셀 소자(5001)의 제1 발광부(5000) 및 그 제조 방법을 설명하기 위한 도면이다.
- [298] 도 48 내지 도 52를 참고하면, 제1 베이스(1110) 상에 제1 발광부(5000)가 형성될 수 있다. 제1 발광부(5000)는 제1 반도체 구조물, 제1 오믹 전극(5104), 제1 절연층(5200) 및 제1 금속층(5300)을 포함할 수 있다.
- [299] 도 48을 참고하면, 제1 베이스(1110) 상에 제1 반도체 구조물을 형성할 수 있다. 제1 반도체 구조물은 제1-1 반도체층(5101), 제1 활성층(5102) 및 제1-2 반도체층(5103)을 포함할 수 있다.
- [300] 본 실시 예에 따르면, 제1 베이스(1110)는 반도체층을 성장시킬 수 있는 성장 기판일 수 있다. 예를 들어, 제1 베이스(1110)는 사파이어일 수 있다. 최종 제품의 형태에서 제1 베이스(1110)는 반드시 포함되어야 하는 것은 아니며, 제1 베이스(1110)가 제거될 수도 있다.
- [301] 제1-1 반도체층(5101)은 제1 베이스(1110)의 상부에 형성되며, 제1 활성층(5102)은 제1-1 반도체층(5101) 상부에 형성되며, 제1-2 반도체층(5103)은 제1 활성층(5102) 상부에 형성될 수 있다.
- [302] 제1 반도체 구조물은 금속 유기 화학 기상 증착(MOCVD) 기술 또는 분자 빔 에피택시(MBE) 기술을 이용하여 형성될 수 있다. 제2 발광부(6000)의 제2 반도체 구조물 및 제3 발광부(7000)의 제3 반도체 구조물 역시 동일한 방식으로 형성될 수 있다.
- [303] 제1-1 반도체층(5101)은 n형 도전형 반도체층일 수 있고, 제1-2 반도체층(5103)은 p형 도전형 반도체층일 수 있다. 또는 그 반대일 수 있다. 예를 들어, 제1 반도체 구조물은 GaN, InGaN, AlGaIn, InAlGaIn, GaP, AlGaInP, AlGaP 등과 같은 녹색광 또는 청색광을 방출하는 반도체 물질을 포함할 수 있다.
- [304] 도 49를 참고하면, 제1 반도체 구조물이 패터닝되어 제1 메사 구조물(5110)을 형성할 수 있다. 제1 활성층(5102) 및 제1-2 반도체층(5103)의 일부가 식각되어 제1-1 반도체층(5101)의 상면 일부가 노출될 수 있다. 식각 공정 이후에 제1-1 반도체층(5101)의 상부에 남아 있는 제1 활성층(5102) 및 제1-2 반도체층(5103)과 제1-1 반도체층(5101)의 일부는 제1 메사 구조물(5110)이 될 수 있다.

- [305] 제1 메사 구조물(5110)은 측면이 제1-1 반도체층(5101)의 상면을 기준으로 수직인 구조를 갖는다. 그러나 제1 메사 구조물(5110)의 구조가 이에 한정되는 것은 아니다. 예를 들어, 제1 메사 구조물(5110)은 제1 활성층(5102)의 하면에서 제1-2 반도체층(5103)의 상면으로 갈수록 폭 및 단면적이 좁아지는 구조일 수 있다. 즉, 제1 메사 구조물(5110)은 측면이 경사를 갖는 구조를 가질 수 있다. 이후 설명하는 제2 발광부(6000) 및 제3 발광부(7000)의 메사 구조물들 역시 측면이 제1 반도체층의 상면을 기준으로 수직이거나 경사를 갖는 구조로 형성될 수 있다.
- [306] 본 실시 예에 따르면, 제1 메사 구조물(5110)은 제1 발광 구조물(5111) 및 제1 버퍼 구조물(5112)을 포함할 수 있다. 즉, 제1 메사 구조물(5110)의 일부는 제1 발광 구조물(5111)이 될 수 있으며, 제1 메사 구조물(5110)의 다른 일부는 제1 버퍼 구조물(5112)이 될 수 있다. 제1 발광 구조물(5111)과 제1 버퍼 구조물(5112)은 동일한 평면상에 배치될 수 있다.
- [307] 제1 버퍼 구조물(5112)은 제1 발광 구조물(5111)과 제1-1 반도체층(5101)을 공유할 수 있다. 따라서 제1 버퍼 구조물(5112)은 제1 발광 구조물(5111)의 제1-1 반도체층(5101)에 전기적으로 연결되는 전극과 전기적으로 연결될 수 있지만 비발광 상태를 유지할 수 있다.
- [308] 다른 실시 형태로는, 제1 버퍼 구조물(5112)은 제1 발광 구조물(5111)과 이격되어 배치될 수 있으며, 제1 버퍼 구조물(5112)과 제1 발광 구조물(5111) 사이에는 제1 투명층(8100)에 의하여 분리될 수 있다. 따라서 제1 버퍼 구조물(5112)은 전기적으로 절연될 수 있고 비발광 상태를 유지할 수 있다. 따라서 제1 투명층(8100)과 제2 투명층(8200)은 접촉하는 영역이 생길 수 있다.
- [309] 제1 발광 구조물(5111)은 제1 발광부(5000)에 전기가 공급되면, 광을 방출하는 발광 영역이 될 수 있다. 그러나 제1 버퍼 구조물(5112)은 제1 발광부(5000)에 전기가 공급되어도 광을 방출하지 않는다. 제1 버퍼 구조물(5112)은 제1 발광 구조물(5111)과 이격되어 제1 발광 구조물(5111)의 발광과 상관없이 비발광 상태를 유지할 수 있다.
- [310] 도 48을 참고하면, 제1 베이스(1110) 또는 제1-1 반도체층(5101)의 상면을 9개 영역(3x3)으로 구분할 수 있다. 9개 영역은 제1-1 영역 내지 제1-9 영역(R11, R12, R13, R14, R15, R16, R17, R18, R19)이 될 수 있다.
- [311] 제1 발광 구조물(5111)은 제1-4 영역(R14), 제1-6 영역(R16), 제1-8 영역(R18) 및 중앙인 제1-5 영역(R15) 상에 형성되며, 각 영역에 형성된 제1 발광 구조물들(5111)은 서로 연결되어 있다. 즉, 제1 발광 구조물(5111)은 중심부인 제1-5 영역(R15)에서 각기 다른 방향으로 연장된 복수의 영역들로 형성된다.
- [312] 제1 버퍼 구조물(5112)은 제1 발광 구조물(5111)이 형성되지 않은 영역에 위치할 수 있다. 제1 버퍼 구조물(5112)은 제1 베이스(1110)의 평면을 기준으로 각각의 모서리에 위치할 수 있다. 제1 버퍼 구조물(5112)은 제1 베이스(1110) 또는 제1-1 반도체층(5101)의 모서리 각각에 인접하게 형성된 제1-1 버퍼 구조물(5115), 제1-2 버퍼 구조물(5116), 제1-3 버퍼 구조물(5117) 및 제1-4 버퍼 구조물(5118)을

포함할 수 있다. 도 49를 참고하면, 제1-1 버퍼 구조물(5115)은 제1-1 영역(R11) 상에 형성되며, 제1-2 버퍼 구조물(5116)은 제1-3 영역(R13) 상에 형성되며, 제1-3 버퍼 구조물(5117)은 제1-7 영역(R17) 상에 형성되며, 제1-4 버퍼 구조물(5118)은 제1-9 영역(R19) 상에 형성될 수 있다.

- [313] 제1 버퍼 구조물(5112)을 기준으로 제1 발광 구조물(5111)은 제1 버퍼 구조물들(5112) 사이에 위치하는 것이다. 도 49를 참고하면, 제1 발광 구조물(5111)은 제1-3 버퍼 구조물(5117)과 제1-4 버퍼 구조물(5118) 사이인 제1-8 영역(R18), 제1-1 버퍼 구조물(5115)과 제1-3 버퍼 구조물(5117) 사이인 제1-4 영역(R14), 제1-2 버퍼 구조물(5116)과 제1-4 버퍼 구조물(5118) 사이인 제1-6 영역(R16) 및 중앙인 제1-5 영역(R15)에 형성되며, 각 영역에 형성된 발광 구조물은 서로 연결되어 있다.
- [314] 제1 버퍼 구조물(5112)과 제1 발광 구조물(5111)은 동일한 식각 공정을 통해 형성되어 각각의 상면은 서로 동일한 높이를 가질 수 있다.
- [315] 본 실시 예에서 제1 발광부(5000)는 제1 버퍼 구조물(5112)을 복수로 구비하지만, 제1 발광 구조물(5111)은 단수로 구비한다. 그러나 제1 발광부(5000)의 구조가 이에 한정되는 것은 아니며, 제1 발광 구조물(5111)을 복수로 구비하거나 제1 버퍼 구조물(5112)을 단수로 구비할 수도 있다.
- [316] 도 50을 참고하면, 제1 발광 구조물(5111) 상에 제1 오믹 전극(5104)이 형성될 수 있다. 더 자세히는, 제1 발광 구조물(5111)의 제1-2 반도체층(5103)의 상면을 덮도록 제1 오믹 전극(5104)이 형성될 수 있다.
- [317] 제1 오믹 전극(5104)은 제1 발광 구조물(5111)에서 방출되는 광에 대해 높은 투과율과 높은 전기전도성을 가질 수 있다. 예를 들어, 제1 오믹 전극(5104)은 투명 전극 일 수 있다. 더 나아가, 제1 오믹 전극(5104)은 ITO (Indium Tin Oxide)일 수 있다. 본 실시 예에서 제1 발광 구조물(5111)은 제1 활성층(5102) 및 제1-2 반도체층(5103)뿐만 아니라 제1 오믹 전극(5104)도 포함될 수 있다. 즉, 제1 메사 구조물(5110)에 제1 오믹 전극(5104)도 포함될 수 있다.
- [318] 제1 오믹 전극(5104)이 제1 발광 구조물(5111)의 제1-2 반도체층(5103)의 상부에만 형성되지만, 이에 본 실시 예가 한정되는 것은 아니다. 제1 발광 구조물(5111)의 제1-2 반도체층(5103)의 상부에 제1 오믹 전극(5104)이 형성될 때, 제1 버퍼 구조물(5112)의 제1-2 반도체층(5103)의 상부에도 제1 오믹 전극(5104)이 형성될 수도 있다.
- [319] 도 51을 참고하면, 제1 절연층(5200)이 형성될 수 있다. 제1 절연층(5200)은 제1 메사 구조물(5110) 및 제1 메사 구조물(5110)에 의해서 외부로 노출된 제1-1 반도체층(5101)을 덮도록 형성될 수 있다.
- [320] 제1 절연층(5200)은 광 투과 물질로 형성될 수 있다. 예를 들어, 제1 절연층(5200)은 SiO_2 와 같은 실리콘 산화물, Si_3N_4 와 같은 실리콘 질화물, 또는 실리콘 산 질화물로 형성될 수 있다.

- [321] 제1 절연층(5200)은 제1 개구부(5210)를 포함할 수 있다. 또한, 제1 개구부(5210)는 제1-1 반도체층(5101)을 노출시키는 제1-1 개구부(5211) 및 제1 오믹 전극(5104)을 노출시키는 제1-2 개구부(5212)를 포함할 수 있다.
- [322] 도 51을 참고하면, 제1-1 개구부(5211)는 제1-1 버퍼 구조물(5115)과 제1-2 버퍼 구조물(5116) 사이에서 제1-1 반도체층(5101)의 상부에 위치할 수 있다. 또한, 제1-2 개구부(5212)는 제1-3 버퍼 구조물(5117)과 제1-4 버퍼 구조물(5118) 사이에서 제1 발광 구조물(5111)의 제1 오믹 전극(5104)의 상부에 위치할 수 있다.
- [323] 도 52를 참고하면, 제1 금속층(5300)이 형성될 수 있다. 제1 금속층(5300)은 제1 절연층(5200)의 제1 개구부(5210)를 채우도록 형성될 수 있다.
- [324] 제1 금속층(5300)은 전도성 물질로 형성될 수 있다. 예를 들어, 제1 금속층(5300)은 적어도 하나의 금속으로 형성될 수 있다. 또한, 제1 금속층(5300)은 단층 또는 다층으로 형성될 수 있다.
- [325] 제1 금속층(5300)은 제1-1 금속층(5301) 및 제1-2 금속층(5302)을 포함할 수 있다.
- [326] 제1-1 금속층(5301)은 제1-1 개구부(5211)를 채우도록 형성되어 제1-1 반도체층(5101)과 접촉할 수 있다. 따라서, 제1-1 금속층(5301)은 제1-1 반도체층(5101)과 전기적으로 연결될 수 있다. 또한, 제1-1 금속층(5301)은 제1-1 개구부(5211)에 인접한 제1 절연층(5200)의 상면을 더 덮도록 형성될 수 있다. 즉, 제1-1 금속층(5301)의 상면의 단면적 또는 너비는 제1-1 개구부(5211)의 단면적 또는 너비보다 클 수 있다.
- [327] 제1-2 금속층(5302)은 제1-2 개구부(5212)를 채우도록 형성되어 제1 오믹 전극(5104)과 접촉할 수 있다. 따라서, 제1-2 금속층(5302)은 제1 오믹 전극(5104) 및 제1-2 반도체층(5103)과 전기적으로 연결될 수 있다. 또한, 제1-2 금속층(5302)은 제1-2 개구부(5212)에 인접한 제1 절연층(5200)의 상면을 더 덮도록 형성될 수 있다. 즉, 제1-2 금속층(5302)의 상면의 단면적 또는 너비는 제1-2 개구부(5212)의 단면적 또는 너비보다 클 수 있다.
- [328] 제1-1 반도체층(5101)과 연결된 제1-1 금속층(5301) 및 제1 발광 구조물(5111)과 연결된 제1-2 금속층(5302)을 통해서 전기가 공급되면, 제1 발광 구조물(5111)을 통과하는 전류 흐름에 의해 제1 발광 구조물(5111)에서 광이 방출될 수 있다. 그러나 제1 버퍼 구조물(5112)에는 전류 흐름이 형성되지 않으므로, 제1 버퍼 구조물(5112)은 제1 발광부(5000)로 전기가 공급되어도 비발광 상태를 유지할 수 있다.
- [329] 제1 베이스(1110)가 성장 기관으로 한정되는 것은 아니다. 제1 베이스(1110)는 실리콘, 에폭시 등과 같은 광 투과성 재료로 형성될 수도 있다. 예를 들어, 성장 기관에 제1 발광부(5000)가 형성된 이후, 성장 기관이 제거되고, 광 투과성 재료인 제1 베이스(1110)상에 제1 발광부(5000)가 배치될 수도 있다.
- [330] 도 53 내지 도 57은 본 발명의 제5 실시 예의 픽셀 소자(5001)의 제2 발광부(6000) 및 그 제조 방법을 설명하기 위한 도면이다.

- [331] 도 53 내지 도 57을 참고하면, 제2 베이스(1210) 상에 제2 발광부(6000)가 형성될 수 있다. 제2 발광부(6000)는 제2 반도체 구조물, 제2 오믹 전극(6104), 제2 절연층(6200) 및 제2 금속층(6300)을 포함할 수 있다.
- [332] 도 53 및 도 54를 참고하면, 제2 베이스(1210) 상에 제2 반도체 구조물을 형성할 수 있다. 제2 반도체 구조물은 제2-1 반도체층(6101), 제2 활성층(6102) 및 제2-2 반도체층(6103)을 포함할 수 있다.
- [333] 본 실시 예에 따르면, 제2 베이스(1210)는 반도체층을 성장시킬 수 있는 성장 기판일 수 있다. 예를 들어, 제2 베이스(1210)는 사파이어일 수 있다.
- [334] 반도체 구조물은 금속 유기 화학 기상 증착(MOCVD) 기술 또는 분자 빔 에피택시(MBE) 기술을 이용하여 형성될 수 있다. 제2 발광부(6000)의 제2 반도체 구조물 및 제3 발광부(7000)의 제3 반도체 구조물 역시 동일한 방식으로 형성될 수 있다.
- [335] 제2-1 반도체층(6101)은 n형 도전형 반도체층일 수 있고, 제2-2 반도체층(6103)은 p형 도전형 반도체층일 수 있다. 또는 그 반대일 수 있다. 예를 들어, 제2 반도체 구조물은 GaN, InGaN, AlGaIn, InAlGaIn, ZnSe 등과 같은 청색광 또는 녹색광을 방출하는 반도체 물질을 포함할 수 있다.
- [336] 도 53을 참고하면, 제2 베이스(1210) 상에 제2-1 반도체층(6101)이 형성될 수 있다. 이때, 도 53에 도시된 바와 같이, 제2-1 반도체층(6101)은 추후에 제2 발광부(6000)가 제1 발광부(5000) 상부에 배치될 때, 제1 발광부(5000)의 제1 금속층(5300)의 상부에 해당하는 영역을 제외한 영역에 형성될 수 있다.
- [337] 도 54를 참고하면, 제2-1 반도체층(6101) 상부에 제2 활성층(6102) 및 제2-2 반도체층(6103)으로 이루어진 제2 메사 구조물(6110)이 형성될 수 있다. 제2 메사 구조물(6110)은 제2-1 반도체층(6101)의 상면의 일부는 덮으며, 상면의 다른 일부는 노출하도록 형성될 수 있다. 제2 메사 구조물(6110)은 제2-1 반도체층(6101)의 상면을 기준으로 수직 또는 경사진 측면을 갖는 구조로 형성될 수 있다.
- [338] 제2 메사 구조물(6110)은 제2 발광 구조물(6111) 및 제2 버퍼 구조물(6112)을 포함할 수 있다.
- [339] 제2 발광 구조물(6111)은 픽셀 소자(5001) 또는 제2 발광부(6000)에 전기가 공급되면, 광을 방출하는 발광 영역이 될 수 있다. 그러나 제2 버퍼 구조물(6112)은 제2 발광부(6000)에 전기가 공급되어도 광을 방출하지 않는다. 제2 버퍼 구조물(6112)은 제2 발광 구조물(6111)과 이격되어 제2 발광 구조물(6111)의 발광과 상관없이 비발광 상태를 유지할 수 있다.
- [340] 제2 발광 구조물(6111)과 제2 버퍼 구조물(6112)은 서로 다른 영역에 형성된다. 더 자세히는 제2 버퍼 구조물(6112)은 제2 발광 구조물(6111)이 형성되지 않은 영역에 형성될 수 있다. 제2 발광 구조물(6111)과 제2 버퍼 구조물(6112)은 동일한 평면상에 배치될 수 있다.
- [341] 제2 버퍼 구조물(6112)은 제2 발광 구조물(6111)과 제2-1 반도체층(6101)을 공유할 수 있다. 따라서 제2 버퍼 구조물(6112)은 제2 발광 구조물(6111)의 제2-1 반

도체층(6101)에 전기적으로 연결되는 전극과 전기적으로 연결될 수 있지만 비발광 상태를 유지할 수 있다.

- [342] 다른 실시 형태로는, 제2 버퍼 구조물(6112)은 제2 발광 구조물(6111)과 이격되어 배치될 수 있으며, 제2 버퍼 구조물(6112)과 제2 발광 구조물(6111) 사이에는 제2 투명층(8200)에 의하여 분리될 수 있다. 따라서 제2 버퍼 구조물(6112)은 전기적으로 절연될 수 있고 비발광 상태를 유지할 수 있다. 따라서 제1 투명층(8100)과 제2 투명층(8200)은 접촉하는 영역이 생길 수 있고, 제2 투명층(8200)과 제3 투명층(8300)은 접촉하는 영역이 생길 수 있다.
- [343] 도 54를 참고하면, 제2 베이스(1210)의 상면을 9개 영역으로 구분할 수 있다. 9개 영역은 도 48에서와 유사하게 제2-1 영역 내지 제2-9 영역(R21, R22, R23, R24, R25, R26, R27, R28, R29)이 될 수 있다.
- [344] 제2 버퍼 구조물(6112)은 제2-1 버퍼 구조물(6115), 제2-2 버퍼 구조물(6116) 및 제2-3 버퍼 구조물(6117)을 포함할 수 있다. 도 54를 참고하면, 제2-1 버퍼 구조물(6115)은 제2-1 영역(R21) 상에 형성되며, 제2-2 버퍼 구조물(6116)은 제2-7 영역(R27) 상에 형성되며, 제2-3 버퍼 구조물(6117)은 제2-9 영역(R29) 상에 형성될 수 있다. 이때, 제2 발광부(6000)가 제1 발광부(5000) 상에 배치되면, 제2-1 버퍼 구조물(6115)은 제1-1 버퍼 구조물(5115)의 상부에 위치하고, 제2-2 버퍼 구조물(6116)은 제1-3 버퍼 구조물(5117)의 상부에 위치하며, 제2-3 버퍼 구조물(6117)은 제1-4 버퍼 구조물(5118)의 상부에 위치할 수 있다.
- [345] 제2-1 발광 구조물(6111)은 제2-1 반도체층(6101) 상면에서 제2 버퍼 구조물(6112)이 형성되지 않은 영역에 형성될 수 있다. 즉, 도 54를 참고하면, 제2 발광 구조물(6111)은 제2-3 영역(R23), 제2-4 영역(R24), 제2-5 영역(R25) 및 제2-6 영역(R26)에 형성되며, 각 영역에 형성된 제2 발광 구조물들(6111)은 서로 연결되어 있다. 즉, 제2 발광 구조물(6111)은 중심부인 제2-5 영역(R25)에서 각기 다른 방향으로 연장된 복수의 영역들로 형성된다.
- [346] 제2 버퍼 구조물(6112)과 제2 발광 구조물(6111)은 동일한 식각 공정을 통해 형성되어 각각의 상면은 서로 동일한 높이를 가질 수 있다.
- [347] 본 실시 예에서 제2 발광부(6000)는 제2 버퍼 구조물(6112)을 복수로 구비하지만, 제2 발광 구조물(6111)은 단수로 구비한다. 그러나 제2 발광부(6000)의 구조가 이에 한정되는 것은 아니며, 제2 발광 구조물(6111)을 복수로 구비하거나 제2 버퍼 구조물(6112)을 단수로 구비할 수도 있다.
- [348] 도 55를 참고하면, 제2 발광 구조물(6111) 상에 제2 오믹 전극(6104)이 형성될 수 있다. 더 자세히는, 제2 발광 구조물(6111)의 제2-2 반도체층(6103)의 상면을 덮도록 제2 오믹 전극(6104)이 형성될 수 있다.
- [349] 제2 오믹 전극(6104)은 제2 발광 구조물(6111)에서 방출되는 광에 대해 높은 투과율과 높은 전기전도성을 가질 수 있다. 예를 들어, 제2 오믹 전극(6104)은 투명 전극일 수 있다. 더 나아가, 제2 오믹 전극(6104)은 ITO (Indium Tin Oxide)일 수 있다. 본 실시 예에서 제2 발광 구조물(6111)은 제2 활성층(6102) 및 제2-2 반도체

층(6103)뿐만 아니라 제2 오믹 전극(6104)도 포함될 수 있다. 즉, 제2 메사 구조물(6110)에 제2 오믹 전극(6104)도 포함될 수 있다.

- [350] 도 55에서는 제2 오믹 전극(6104)이 제2 발광 구조물(6111)의 제2-2 반도체층(6103)의 상부에만 형성되지만, 이에 본 실시 예가 한정되는 것은 아니다. 제2 오믹 전극(6104)은 제2 발광 구조물(6111)뿐만 아니라 제2 버퍼 구조물(6112)의 상면에도 형성될 수 있다.
- [351] 도 56을 참고하면, 제2 절연층(6200)이 형성될 수 있다. 제2 절연층(6200)은 제2 메사 구조물(6110) 및 제2 메사 구조물(6110)에 의해서 외부로 노출된 제2-1 반도체층(6101)을 덮도록 형성될 수 있다.
- [352] 제2 절연층(6200)은 광 투과 물질로 형성될 수 있다. 예를 들어, 제2 절연층(6200)은 SiO_2 와 같은 실리콘 산화물, Si_3N_4 와 같은 실리콘 질화물, 또는 실리콘산 질화물로 형성될 수 있다.
- [353] 제2 절연층(6200)은 제2 개구부(6210)를 포함할 수 있다. 또한, 제2 개구부(6210)는 제2-1 개구부(6211), 제2-2 개구부(6212) 및 제2-3 개구부(6213)를 포함할 수 있다.
- [354] 도 56을 참고하면, 제2-1 개구부(6211)는 제2-1 버퍼 구조물(6115)의 일측에서 서로 마주하는 제2-1 반도체층(6101)과 제2 발광 구조체의 측면 사이에 형성될 수 있다. 또한, 제2-2 개구부(6212)는 제2-2 버퍼 구조물(6116)의 일측에서 서로 마주하는 제2-1 반도체층(6101)의 측면들 사이에 형성될 수 있다. 즉, 제2-1 개구부(6211)와 제2-2 개구부(6212)는 제2 반도체 구조물들이 형성되지 않은 영역에 형성되어 제2 베이스(1210)의 상면을 노출시키도록 형성될 수 있다.
- [355] 또한, 제2-1 개구부(6211)는 도 56에 도시된 바와 같이, 제2-1 반도체층(6101)의 일측면의 일부를 노출하도록 형성될 수 있다.
- [356] 제1 발광부(5000) 상부에 제2 발광부(6000)가 배치되면, 제2-1 개구부(6211)는 적어도 일부가 제1-1 개구부(5211)의 상부 또는 제1-1 금속층(5301)의 상부에 위치하도록 형성될 수 있다. 또한, 제2-2 개구부(6212)는 적어도 일부가 제1-2 개구부(5212)의 상부 또는 제1-2 금속층(5302)의 상부에 위치하도록 형성될 수 있다.
- [357] 제2-3 개구부(6213)는 제2 발광 구조물(6111)의 제2 오믹 전극(6104)의 상부에 위치할 수 있다. 따라서, 제2-3 개구부(6213)는 제2 발광 구조물(6111)의 제2 오믹 전극(6104)의 상면을 노출시키도록 형성될 수 있다. 또한, 제1 발광부(5000) 상부에 제2 발광부(6000)가 배치되면, 제2-3 개구부(6213)는 제1 발광부(5000)의 제1-2 버퍼 구조물(5116) 상부에 위치하도록 형성될 수 있다.
- [358] 도 57을 참고하면, 제2 금속층(6300)이 형성될 수 있다. 제2 금속층(6300)은 제2 절연층(6200)의 제2 개구부(6210)를 채우도록 형성될 수 있다.
- [359] 제2 금속층(6300)은 전도성 물질로 형성될 수 있다. 예를 들어, 제2 금속층(6300)은 적어도 하나의 금속으로 형성될 수 있다. 또한, 제2 금속층(6300)은 단층 또는 다층으로 형성될 수 있다.

- [360] 제2 금속층(6300)은 제2-1 금속층(6301), 제2-2 금속층(6302) 및 제2-3 금속층(6303)을 포함할 수 있다.
- [361] 제2-1 금속층(6301)은 제2-1 개구부(6211)를 채우도록 형성될 수 있다. 이때, 제2-1 금속층(6301)은 제2-1 반도체층(6101)의 일측면의 일부를 노출하는 제2-1 개구부(6211)에 의해서 제2-1 반도체층(6101)과 접촉할 수 있다. 즉, 제2-1 금속층(6301)은 제2-1 반도체층(6101)과 전기적으로 연결될 수 있다. 또한, 제2-1 금속층(6301)은 제2-1 개구부(6211)에 인접한 제2 절연층(6200)의 상면을 더 덮도록 형성될 수 있다. 즉, 제2-1 금속층(6301)의 상면의 단면적 또는 너비는 제2-1 개구부(6211)의 단면적 또는 너비보다 클 수 있다.
- [362] 제2-2 금속층(6302)은 제2-2 개구부(6212)를 채우도록 형성될 수 있다. 또한, 제2-2 금속층(6302)은 제2-2 개구부(6212)에 인접한 제2 절연층(6200)의 상면을 더 덮도록 형성될 수 있다. 즉, 제2-2 금속층(6302)의 상면의 단면적 또는 너비는 제2-2 개구부(6212)의 단면적 또는 너비보다 클 수 있다.
- [363] 제2-3 금속층(6303)은 제2-3 개구부(6213)를 채우도록 형성될 수 있다. 이때, 제2-3 금속층(6303)은 제2 오믹 전극(6104)과 접촉할 수 있다. 따라서, 제2-3 금속층(6303)은 제2 오믹 전극(6104) 및 제2-2 반도체층(6103)과 전기적으로 연결될 수 있다. 또한, 제2-3 금속층(6303)은 제2-3 개구부(6213)에 인접한 제2 절연층(6200)의 상면을 더 덮도록 형성될 수 있다. 즉, 제2-3 금속층(6303)의 상면의 단면적 또는 너비는 제2-3 개구부(6213)의 단면적 또는 너비보다 클 수 있다.
- [364] 제2-1 반도체층(6101)과 연결된 제2-1 금속층(6301) 및 제2 발광 구조물(6111)과 연결된 제2-3 금속층(6303)을 통해서 전기가 공급되면, 제2 발광 구조물(6111)에서 광이 방출될 수 있다. 그러나 제2 버퍼 구조물(6112)에는 전류 흐름이 형성되지 않으므로, 제2 버퍼 구조물(6112)은 제2 발광부(6000)로 전기가 공급되어도 비발광 상태를 유지할 수 있다.
- [365] 도 58 내지 도 62는 본 발명의 제5 실시 예의 픽셀 소자(5001)의 제3 발광부(7000) 및 그 제조 방법을 설명하기 위한 도면이다.
- [366] 도 58 내지 도 62를 참고하면, 제3 베이스(1310) 상에 제3 발광부(7000)가 형성될 수 있다. 제3 발광부(7000)는 제3 반도체 구조물, 제3 오믹 전극(7104), 제3 절연층(7200) 및 제3 금속층(7300)을 포함할 수 있다.
- [367] 도 58 및 도 59를 참고하면, 제3 베이스(1310) 상에 제3 반도체 구조물을 형성할 수 있다. 제3 반도체 구조물은 제3-1 반도체층(7101), 제3 활성층(7102) 및 제3-2 반도체층(7103)을 포함할 수 있다.
- [368] 본 실시 예에 따르면, 제3 베이스(1310)는 반도체층을 성장시킬 수 있는 성장 기판일 수 있다. 예를 들어, 제3 베이스(1310)는 사파이어일 수 있다.
- [369] 제3 반도체 구조물은 금속 유기 화학 기상 증착(MOCVD) 기술 또는 분자 빔 에피택시(MBE) 기술을 이용하여 형성될 수 있다. 제3 발광부(7000)의 제3 반도체 구조물 및 제3 발광부(7000)의 제3 반도체 구조물 역시 동일한 방식으로 형성될 수 있다.

- [370] 제3-1 반도체층(7101)은 n형 도전형 반도체층일 수 있고, 제3-2 반도체층(7103)은 p형 도전형 반도체층일 수 있다. 또는 그 반대일 수 있다. 예를 들어, 제3 반도체 구조물은 AlGaAs, GaAsP, AlGaInP, GaP 등과 같은 적색광을 방출하는 반도체 물질을 포함할 수 있다.
- [371] 도 58을 참고하면, 제3 베이스(1310) 상에 제3-1 반도체층(7101)이 형성될 수 있다. 이때, 도 58에 도시된 바와 같이, 제3-1 반도체층(7101)은 추후에 제3 발광부(7000)가 제1 발광부(5000) 및 제2 발광부(6000) 상부에 배치될 때, 제1 발광부(5000)의 제1 금속층(5300)의 상부에 해당하는 영역을 제외한 영역에 형성될 수 있다.
- [372] 도 58 및 도 59를 참고하면, 제3 베이스(1310)의 상면을 9개 영역으로 구분할 수 있다. 9개 영역은 제3-1 영역 내지 제3-9 영역(R31, R32, R33, R34, R35, R36, R37, R38, R39)이 될 수 있다.
- [373] 도 58을 참고하면, 제3-1 반도체층(7101)은 제3-1 영역(R31), 제3-4 내지 제3-7 영역(R34, R35, R36, R37) 및 제3-9 영역(R39) 상에 형성되며, 이 영역들에 형성된 제3-1 반도체층(7101)은 서로 연결될 수 있다. 또한, 제3-1 반도체층(7101)은 제3-3 영역(R33)의 내측에 형성되며, 다른 제3-1 반도체층(7101)과 이격되도록 형성될 수 있다.
- [374] 도 59를 참고하면, 제3-1 반도체층(7101) 상부에 제3 활성층(7102) 및 제3-2 반도체층(7103)으로 이루어진 제3 메사 구조물(7110)이 형성될 수 있다. 제3 메사 구조물(7110)은 제3-1 반도체층(7101)의 상면의 일부는 덮으며, 상면의 다른 일부는 노출하도록 형성될 수 있다. 제3 메사 구조물(7110)은 제3-1 반도체층(7101)의 상면을 기준으로 수직 또는 경사진 측면을 갖는 구조로 형성될 수 있다.
- [375] 제3 메사 구조물(7110)은 제3 발광 구조물(7111) 및 제3 버퍼 구조물(7112)을 포함할 수 있다.
- [376] 제3 발광 구조물(7111)은 픽셀 소자(5001) 또는 제3 발광부(7000)에 전기가 공급되면, 광을 방출하는 발광 영역이 될 수 있다. 그러나 제3 버퍼 구조물(7112)은 제3 발광부(7000)에 전기가 공급되어도 광을 방출하지 않는다. 제3 버퍼 구조물(7112)은 제3 발광 구조물(7111)과 이격되어 제3 발광 구조물(7111)의 발광과 상관없이 비발광 상태를 유지할 수 있다.
- [377] 제3 발광 구조물(7111)과 제3 버퍼 구조물(7112)은 서로 다른 영역에 형성된다. 더 자세히는 제3 버퍼 구조물(7112)은 제3 발광 구조물(7111)이 형성되지 않은 영역에 형성될 수 있다. 제3 발광 구조물(7111)과 제3 버퍼 구조물(7112)은 동일한 평면상에 배치될 수 있다.
- [378] 제3 버퍼 구조물(7112)은 제3 발광 구조물(7111)과 제3-1 반도체층(7101)을 공유할 수 있다. 따라서 제3 버퍼 구조물(7112)은 제3 발광 구조물(7111)의 제3-1 반도체층(7101)에 전기적으로 연결되는 전극과 전기적으로 연결될 수 있지만 비발광 상태를 유지할 수 있다.

- [379] 다른 실시형태로는, 제3 버퍼 구조물(7112)은 제3 발광 구조물(7111)과 이격되어 배치될 수 있으며, 제3 버퍼 구조물(7112)과 제3 발광 구조물(7111) 사이에는 제3 투명층(8300)에 의하여 분리될 수 있다. 따라서 제3 버퍼 구조물(7112)은 전기적으로 절연될 수 있고 비발광 상태를 유지할 수 있다. 따라서 제3 투명층(8300)과 제2 투명층(8200)은 접촉하는 영역이 생길 수 있다.
- [380] 제3 버퍼 구조물(7112)은 제3-1 버퍼 구조물(7115), 제3-2 버퍼 구조물(7116) 및 제3-3 버퍼 구조물(7117)을 포함할 수 있다. 도 59를 참고하면, 제3-1 버퍼 구조물(7115)은 제3-1 영역(R31)의 내측 상에 형성되며, 제3-2 버퍼 구조물(7116)은 제3-3 영역(R33)의 내측 상에 형성되며, 제3-3 버퍼 구조물(7117)은 제3-9 영역(R39)의 내측 상에 형성될 수 있다. 이때, 제3 발광부(7000)가 제1 발광부(5000) 및 제2 발광부(6000)의 상부에 배치되면, 제3-1 버퍼 구조물(7115)은 제1-1 버퍼 구조물(5115) 및 제2-1 버퍼 구조물(6115)의 상부에 위치할 수 있다. 또한, 제3-2 버퍼 구조물(7116)은 제1-2 버퍼 구조물(5116)의 상부에 위치할 수 있다. 또한, 제3-3 버퍼 구조물(7117)은 제1-4 버퍼 구조물(5118) 및 제2-3 버퍼 구조물의 상부에 위치할 수 있다.
- [381] 제3 발광 구조물(7111)은 제3-1 반도체층(7101) 상면에서 제3 버퍼 구조물(7112)이 형성되지 않은 영역에 형성될 수 있다. 즉, 도 59를 참고하면, 제3 발광 구조물(7111)은 제3-4 내지 제3-7 영역(R34, R35, R36, R37)에 형성되며, 각 영역에 형성된 제3 발광 구조물들(7111)은 서로 연결되어 있다.
- [382] 제3 버퍼 구조물(7112)과 제3 발광 구조물(7111)은 동일한 식각 공정을 통해 형성되어 서로 동일한 높이를 가질 수 있다.
- [383] 본 실시 예에서 제3 발광부(7000)는 제3 버퍼 구조물(7112)을 복수로 구비하지만, 제3 발광 구조물(7111)은 단수로 구비한다. 그러나 제3 발광부(7000)의 구조가 이에 한정되는 것은 아니며, 제3 발광 구조물(7111)을 복수로 구비하거나 제3 버퍼 구조물(7112)을 단수로 구비할 수도 있다.
- [384] 도 60을 참고하면, 제3 메사 구조물(7110) 상에 제3 오믹 전극(7104)이 형성될 수 있다. 즉, 제3 오믹 전극(7104)은 제3-2 반도체층(7103)을 덮도록 형성될 수 있다.
- [385] 제3 오믹 전극(7104)은 높은 전기전도성을 가질 수 있다. 또한, 제3 오믹 전극(7104)은 제3 발광 구조물(7111)에서 방출되는 광에 대해 높은 광 투과성을 가질 수도 있다. 예를 들어, 제3 오믹 전극(7104)은 투명 전극 일 수 있다. 더 나아가, 제3 오믹 전극(7104)은 ITO (Indium Tin Oxide)일 수 있다. 본 실시 예에서 제3 메사 구조물(7110)은 제3 활성층(7102) 및 제3-2 반도체층(7103)뿐만 아니라 제3 오믹 전극(7104)도 포함될 수 있다.
- [386] 도 60에서는 제3 오믹 전극(7104)이 제3-2 반도체층(7103) 전체 상면에 형성되지만, 제3 버퍼 구조물(7112)의 제3-2 반도체층(7103)의 상면에서는 생략될 수도 있다. 즉, 제3 오믹 전극(7104)은 제3 발광 구조물(7111)의 제3-2 반도체층(7103)의 상부에만 형성될 수도 있다.

- [387] 도 61을 참고하면, 제3 절연층(7200)이 형성될 수 있다. 제3 절연층(7200)은 제3 메사 구조물(7110) 및 제3 메사 구조물(7110)에 의해서 외부로 노출된 제3-1 반도체층(7101)을 덮도록 형성될 수 있다.
- [388] 제3 절연층(7200)은 광 투과 물질로 형성될 수 있다. 예를 들어, 제3 절연층(7200)은 SiO_2 와 같은 실리콘 산화물, Si_3N_4 와 같은 실리콘 질화물, 또는 실리콘 산 질화물로 형성될 수 있다.
- [389] 제3 절연층(7200)은 제3 개구부(7210)를 포함할 수 있다. 또한, 제3 개구부(7210)는 제3-1 개구부(7211), 제3-2 개구부(7212), 제3-3 개구부(7213) 및 제3-4 개구부(7214)를 포함할 수 있다.
- [390] 도 61을 참고하면, 제3-1 개구부(7211)는 제3-1 버퍼 구조물(7115)의 일측에서 서로 마주하는 제3-1 반도체층(7101)과 제3 발광 구조체의 측면들 사이에 형성될 수 있다. 또한, 제2 발광부(6000)의 상부에 제3 발광부(7000)가 배치되면, 제3-1 개구부(7211)는 적어도 일부가 제2-1 개구부(6211)의 상부 또는 제2-1 금속층(6301)의 상부에 위치하도록 형성될 수 있다. 또한, 제3-1 개구부(7211)는 도 61에 도시된 바와 같이, 제3-1 반도체층(7101)의 일측면의 일부를 노출하도록 형성될 수 있다.
- [391] 제3-2 개구부(7212)는 제3-3 버퍼 구조물(7117)의 일측에서 서로 마주하는 제3-1 반도체층(7101)의 측면들 사이에 형성될 수 있다. 또한, 제2 발광부(6000)의 상부에 제3 발광부(7000)가 배치되면 제3-2 개구부(7212)는 적어도 일부가 제2-2 개구부(6212)의 상부 또는 제2-2 금속층(6302)의 상부에 위치하도록 형성될 수 있다.
- [392] 제3-3 개구부(7213)는 제3-2 버퍼 구조물(7116)의 일측에서 서로 마주하는 제3-2 버퍼 구조물(7116)의 일측면과 제3 발광 구조물(7111)의 일측면 사이에 위치할 수 있다. 또한, 제2 발광부(6000)의 상부에 제3 발광부(7000)가 배치되면, 제3-3 개구부(7213)는 적어도 일부가 제2-3 개구부(6213)의 상부 또는 제2-3 금속층(6303)의 상부에 위치하도록 형성될 수 있다.
- [393] 이와 같이, 제3-1 내지 제3-3 개구부(7211, 7212, 7213)는 제3 반도체 구조물들이 형성되지 않은 영역에 형성되어 제3 베이스(1310)의 상면을 노출시키도록 형성될 수 있다.
- [394] 제3-4 개구부(7214)는 제3 발광 구조물(7111)의 제3 오믹 전극(7104)의 상부에 위치할 수 있다. 따라서, 제3-4 개구부(7214)는 제3 발광 구조물(7111)의 제3 오믹 전극(7104)의 상면을 노출시키도록 형성될 수 있다. 또한, 제1 발광부(5000) 및 제2 발광부(6000) 상부에 제3 발광부(7000)가 배치되면, 제3-4 개구부(7214)는 제1-3 버퍼 구조물(5117) 제2-2 버퍼 구조물(6116)의 상부에 위치할 수 있다.
- [395] 도 62를 참고하면, 제3 금속층(7300)이 형성될 수 있다. 제3 금속층(7300)은 제3 절연층(7200)의 제3 개구부(7210)를 채우도록 형성될 수 있다.

- [396] 제3 금속층(7300)은 전도성 물질로 형성될 수 있다. 예를 들어, 제3 금속층(7300)은 적어도 하나의 금속으로 형성될 수 있다. 또한, 제3 금속층(7300)은 단층 또는 다층으로 형성될 수 있다.
- [397] 제3 금속층(7300)은 제3-1 금속층(7301), 제3-2 금속층(7302), 제3-3 금속층(7303) 및 제3-4 금속층(7304)을 포함할 수 있다.
- [398] 제3-1 금속층(7301)은 제3-1 개구부(7211)를 채우도록 형성될 수 있다. 이때, 제3-1 개구부(7211)가 제3-1 반도체층(7101)의 일측면의 일부를 노출하므로 제3-1 금속층(7301)은 제3-1 반도체층(7101)과 접촉할 수 있다. 즉, 제3-1 금속층(7301)은 제3-1 반도체층(7101)과 전기적으로 연결될 수 있다. 또한, 제3-1 금속층(7301)은 제3-1 개구부(7211)에 인접한 제3 절연층(7200)의 상면을 더 덮도록 형성될 수 있다. 즉, 제3-1 금속층(7301)의 상면의 단면적 또는 너비는 제3-1 개구부(7211)의 단면적 또는 너비보다 클 수 있다.
- [399] 제3-2 금속층(7302)은 제3-2 개구부(7212)를 채우도록 형성될 수 있다. 또한, 제3-2 금속층(7302)은 제3-2 개구부(7212)에 인접한 제3 절연층(7200)의 상면을 더 덮도록 형성될 수 있다. 즉, 제3-2 금속층(7302)의 상면의 단면적 또는 너비는 제3-2 개구부(7212)의 단면적 또는 너비보다 클 수 있다.
- [400] 제3-3 금속층(7303)은 제3-3 개구부(7213)를 채우도록 형성될 수 있다. 또한, 제3-3 금속층(7303)은 제3-3 개구부(7213)에 인접한 제3 절연층(7200)의 상면을 더 덮도록 형성될 수 있다. 따라서, 제3-3 금속층(7303)의 상면의 단면적 또는 너비는 제3-3 개구부(7213)의 단면적 또는 너비보다 클 수 있다.
- [401] 제3-4 금속층(7304)은 제3-4 개구부(7214)를 채우도록 형성될 수 있다. 이때, 제3-4 금속층(7304)은 제3 오믹 전극(7104)과 접촉할 수 있다. 따라서, 제3-4 금속층(7304)은 제3 오믹 전극(7104) 및 제3-2 반도체층(7103)과 전기적으로 연결될 수 있다. 또한, 제3-4 금속층(7304)은 제3-4 개구부(7214)에 인접한 제3 절연층(7200)의 상면을 더 덮도록 형성될 수 있다. 즉, 제3-4 금속층(7304)의 상면의 단면적 또는 너비는 제3-4 개구부(7214)의 단면적 또는 너비보다 클 수 있다.
- [402] 제3-1 반도체층(7101)과 연결된 제3-1 금속층(7301) 및 제3 발광 구조물(7111)과 연결된 제3-4 금속층(7304)을 통해서 전기가 공급되면, 제3 발광 구조물(7111)에서 광이 방출될 수 있다. 그러나 제3 버퍼 구조물(7112)에는 전류 흐름이 형성되지 않으므로, 제3 버퍼 구조물(7112)은 제3 발광부(7000)로 전기가 공급되어도 비발광 상태를 유지할 수 있다.
- [403] 이와 같이, 제1 발광부 내지 제3 발광부(5000, 6000, 7000)가 개별적으로 형성되면, 제1 발광부(5000)의 상부에 제2 발광부(6000) 및 제3 발광부(7000)를 적층하여 픽셀 소자(5001)를 형성할 수 있다.
- [404] 도 63을 참고하면, 제1 발광부(5000)의 상부에 제1 투명층(8100)이 형성될 수 있다.
- [405] 제1 투명층(8100)은 제1 발광부(5000) 및 제1 금속층(5300)을 덮도록 형성될 수 있다.

- [406] 제1 투명층(8100)은 절연성의 광 투과 물질로 형성될 수 있다. 예를 들어, 제1 투명층(8100)은 제1 절연층(5200)과 동일한 물질로 형성될 수 있다. 또한, 제1 투명층(8100)은 접착력을 가질 수도 있다. 따라서, 제1 투명층(8100)의 접착력에 의해서 추후 제1 발광부(5000)에 제2 발광부(6000)가 적층될 때, 제2 발광부(6000)가 제1 발광부(5000)에 고정될 수 있다.
- [407] 제1 투명층(8100)은 평탄한 상면을 갖도록 형성될 수 있다.
- [408] 종래의 픽셀 소자는 발광 영역에만 발광 구조물을 형성하고, 발광 영역이 아닌 비발광 영역에는 발광 구조물을 형성하지 않는다. 즉, 종래의 픽셀 소자의 비발광 영역은 발광 구조물이 형성된 발광 영역보다 낮은 높이의 구조물이 위치하거나 구조물이 생략된 영역일 수 있다. 따라서, 일 발광부의 상부에 타 발광부를 적층하기 위해 일 발광부의 상면을 덮는 투명층을 형성할 때, 비발광 영역과 발광 영역의 구조물의 높이 차이에 의해서 투명층의 상면을 평탄하게 형성하는데 어려움이 있다. 예를 들어, 투명층은 발광 영역에 위치하는 부분의 상면이 비발광 영역에 위치하는 부분의 상면보다 높게 위치할 수 있다. 이 경우, 일 발광부를 덮는 투명층 상부에 타 발광부를 적층하였을 때, 타 발광부는 투명층에 접촉되지 않는 부분이 발생하거나 외부 충격에 쉽게 박리되는 부분이 발생할 수 있다.
- [409] 도 63을 참고하면, 제1 발광 구조물(5111) 및 제1 금속층(5300)이 배치되지 않은 영역에 절연 상태의 제1 버퍼 구조물들(5112)이 형성되어 있다. 또한, 제1 버퍼 구조물들(5112)은 제1 발광 구조물(5111)과 동일하거나 유사한 높이를 갖도록 형성되어 있다. 즉, 본 실시 예의 제1 발광부(5000)는 발광 영역에는 제1 발광 구조물(5111)이 형성되고, 비발광 영역에는 제1 발광 구조물(5111)과 유사한 높이를 갖는 제1 버퍼 구조물(5112)이 분산 배치되어 있다. 따라서, 제1 발광부(5000)는 전체 영역에 비슷한 높이의 구조물이 분산 배치된 구조를 갖는다.
- [410] 따라서, 제1 버퍼 구조물들(5112)에 의해서 발광 영역과 비발광 영역의 동일한 높이 또는 최소한의 높이 차이로, 용이하게 제1 발광부(5000)의 상부에 형성된 제1 투명층(8100)을 평탄한 상면을 갖도록 형성할 수 있다. 이에 따라 추후 제1 투명층(8100)의 상면에 제2 발광부(6000)가 적층될 때, 제2 발광부(6000)가 틸트되는 것을 방지하여 안정적인 적층 및 접착이 가능할 수 있다.
- [411] 제1 발광부(5000)의 상부에 제1 투명층(8100)을 형성한 후, 제1 투명층(8100)에 제4 개구부(8110)를 형성할 수 있다. 제4 개구부(8110)는 제4-1 개구부(8111) 및 제4-2 개구부(8112)를 포함할 수 있다.
- [412] 제4-1 개구부(8111)는 제1-1 금속층(5301)의 상부에 형성되어, 제1-1 금속층(5301)의 상면의 적어도 일부를 노출시킬 수 있다. 이때, 제4-1 개구부(8111)는 제2 발광부(6000)가 제1 발광부(5000)에 적층되었을 때, 수직선상을 기준으로 제1-1 금속층(5301)과 제2-1 금속층(6301)이 겹치는 영역을 포함하도록 형성될 수 있다.
- [413] 또한, 제4-2 개구부(8112)는 제1-2 금속층(5302)의 상부에 형성되어, 제1-2 금속층(5302)의 상면의 적어도 일부를 노출시킬 수 있다. 이때, 제4-2 개구부(8112)는 제2 발광부(6000)가 제1 발광부(5000)에 적층되었을 때, 수직선상을 기준으로 제

1-2 금속층(5302)과 제2-2 금속층(6302)이 겹치는 영역을 포함하도록 형성될 수 있다.

- [414] 도 64를 참고하면, 제1 투명층(8100)의 제4 개구부(8110)를 채우는 제1 연결 금속층(9100)이 형성될 수 있다. 제1 연결 금속층(9100)은 제1-1 연결 금속층(9110) 및 제1-2 연결 금속층(9120)을 포함할 수 있다.
- [415] 제1-1 연결 금속층(9110)은 제4-1 개구부(8111)를 채우도록 형성될 수 있다. 이때, 제1-1 연결 금속층(9110)의 하면은 제1-1 금속층(5301)의 상면과 접촉하며, 상면은 제1 투명층(8100)의 상면과 동일선상에 위치할 수 있다.
- [416] 또한, 제1-2 연결 금속층(9120)은 제4-2 개구부(8112)를 채우도록 형성될 수 있다. 이때, 제1-2 연결 금속층(9120)의 하면은 제1-2 금속층(5302)의 상면과 접촉하며, 상면은 제1 투명층(8100)의 상면과 동일선상에 위치할 수 있다.
- [417] 제1 연결 금속층(9100)은 전도성 물질로 형성될 수 있다. 예를 들어, 제1 연결 금속층(9100)은 적어도 하나의 금속으로 형성될 수 있다. 또는 제1 연결 금속층(9100)은 전도성 페이스트로 형성될 수 있다. 또한, 제1 연결 금속층(9100)은 단층 또는 다층으로 형성될 수 있다.
- [418] 도 65를 참고하면, 제2 발광부(6000)의 하부에 위치하는 제2 베이스(1210)가 제거될 수 있다.
- [419] 도 66을 참고하면, 제1 발광부(5000)의 상부에 제2 발광부(6000)가 적층될 수 있다.
- [420] 제2 발광부(6000)는 제1 발광부(5000)의 상부에 형성된 제1 투명층(8100)의 상면에 적층될 수 있다. 제1 투명층(8100)의 상면은 평탄한 구조이다. 또한, 제1 투명층(8100)의 상면에 노출된 제1 연결 금속층(9100)의 상면 역시 제1 투명층(8100)의 상면과 동일 선상에 위치한다. 따라서, 제2 발광부(6000)는 제1 투명층(8100)과 제1 연결 금속층(9100)으로 이루어진 평탄한 면에 안정적으로 적층될 수 있다.
- [421] 또한, 제2 발광부(6000)는 제1 투명층(8100)의 접착력에 의해서 제1 발광부(5000)의 상부에 적층된 구조를 유지할 수 있다.
- [422] 제1 발광부(5000)의 상부에 제2 발광부(6000)가 적층되면, 제1-1 연결 금속층(9110)의 상면의 일부 또는 전체가 제2 발광부(6000)의 제2-1 금속층(6301)의 하면과 접촉할 수 있다. 따라서, 제1 발광부(5000)의 제1-1 금속층(5301)과 제2 발광부(6000)의 제2-1 금속층(6301)은 제1-1 연결 금속층(9110)에 의해서 서로 전기적으로 연결될 수 있다.
- [423] 또한, 제1-2 연결 금속층(9120)의 상면의 일부 또는 전체가 제2 발광부(6000)의 제2-2 금속층(6302)의 하면과 접촉할 수 있다. 따라서, 제1 발광부(5000)의 제1-2 금속층(5302)과 제2 발광부(6000)의 제2-2 금속층(6302)은 제1-2 연결 금속층(9120)에 의해서 서로 전기적으로 연결될 수 있다.
- [424] 도 67을 참고하면, 제2 발광부(6000)의 상부에 제2 투명층(8200)을 형성할 수 있다.

- [425] 제2 투명층(8200)은 제2 발광부(6000) 및 제2 금속층(6300)을 덮도록 형성될 수 있다. 이때, 제2 투명층(8200)은 평탄한 상면을 갖도록 형성될 수 있다.
- [426] 제2 투명층(8200)은 절연성의 광 투과 물질로 형성될 수 있다. 예를 들어, 제2 투명층(8200)은 제2 절연층(6200)과 동일한 물질로 형성될 수 있다. 또한, 제2 투명층(8200)은 접착력을 가질 수도 있다. 따라서, 제2 투명층(8200)의 접착력에 의해서 추후 제2 발광부(6000)에 제3 발광부(7000)가 적층될 때, 제3 발광부(7000)가 제2 발광부(6000)에 고정될 수 있다.
- [427] 본 실시 예에 따르면, 제2 발광부(6000)의 발광 영역에는 제2 발광 구조물(6111)이 배치되고, 비발광 영역에는 제2 버퍼 구조물(6112)이 분산 배치된다. 따라서, 제2 발광부(6000)는 전체 영역에 비슷한 높이의 구조물이 분산 배치된 구조를 갖는다. 제2 투명층(8200)이 제2 발광부(6000)를 덮도록 형성될 때, 제2 버퍼 구조물(6112)에 의해서 비발광 영역도 발광 영역과 비슷한 높이를 갖도록 형성될 수 있다. 즉, 제2 버퍼 구조물(6112)에 의해서 제2 투명층(8200)을 평탄한 상면을 갖도록 형성하기가 용이할 수 있다.
- [428] 제2 발광부(6000)의 상부에 제2 투명층(8200)을 형성한 후, 제2 투명층(8200)에 제5 개구부(8120)를 형성할 수 있다. 제5 개구부(8120)는 제5-1 개구부(8121), 제5-2 개구부(8122) 및 제5-2 개구부(8122)를 포함할 수 있다.
- [429] 제5-1 개구부(8121)는 제2-1 금속층(6301)의 상부에 형성되어, 제2-1 금속층(6301)의 상면의 적어도 일부를 노출시킬 수 있다. 이때, 제5-1 개구부(8121)는 제3 발광부(7000)가 제2 발광부(6000)에 적층되었을 때, 수직선상을 기준으로 제2-1 금속층(6301)과 제3-1 금속층(7301)이 겹치는 영역을 포함하도록 형성될 수 있다.
- [430] 또한, 제5-2 개구부(8122)는 제2-2 금속층(6302)의 상부에 형성되어, 제2-2 금속층(6302)의 상면의 적어도 일부를 노출시킬 수 있다. 이때, 제5-2 개구부(8122)는 제3 발광부(7000)가 제2 발광부(6000)에 적층되었을 때, 수직선상을 기준으로 제2-2 금속층(6302)과 제3-2 금속층(7302)이 겹치는 영역을 포함하도록 형성될 수 있다.
- [431] 또한, 제5-3 개구부(8123)는 제2-3 금속층(6303)의 상부에 형성되어 제2-3 금속층(6303)의 상면의 적어도 일부를 노출시킬 수 있다. 이때, 제5-3 개구부(8123)는 제3 발광부(7000)가 제2 발광부(6000)에 적층되었을 때, 수직선상을 기준으로 제2-3 금속층(6303)과 제3-3 금속층(7303)이 겹치는 영역을 포함하도록 형성될 수 있다.
- [432] 도 68을 참고하면, 제2 투명층(8200)의 제5 개구부(8120)를 채우는 제2 연결 금속층(9200)이 형성될 수 있다.
- [433] 제2 연결 금속층(9200)은 제2-1 연결 금속층(9210), 제2-2 연결 금속층(9220) 및 제2-3 연결 금속층(9230)을 포함할 수 있다.
- [434] 제2-1 연결 금속층(9210)은 제5-1 개구부(8121)를 채우도록 형성될 수 있다. 이때, 제2-1 연결 금속층(9210)의 하면은 제2-1 금속층(6301)의 상면과 접촉하며, 상면은 제2 투명층(8200)의 상면과 동일선상에 위치할 수 있다.

- [435] 또한, 제2-2 연결 금속층(9220)은 제5-2 개구부(8122)를 채우도록 형성될 수 있다. 이때, 제2-2 연결 금속층(9220)의 하면은 제2-2 금속층(6302)의 상면과 접촉하며, 상면은 제2 투명층(8200)의 상면과 동일선상에 위치할 수 있다.
- [436] 또한, 제2-3 연결 금속층(9230)은 제5-3 개구부(8123)를 채우도록 형성될 수 있다. 이때, 제2-3 연결 금속층(9230)의 하면은 제2-3 금속층(6303)의 상면과 접촉하며, 상면은 제2 투명층(8200)의 상면과 동일선상에 위치할 수 있다.
- [437] 제2 연결 금속층(9200)은 전도성 물질로 형성될 수 있다. 예를 들어, 제2 연결 금속층(9200)은 적어도 하나의 금속으로 형성될 수 있다. 또는 제2 연결 금속층(9200)은 전도성 페이스트로 형성될 수 있다. 또한, 제2 연결 금속층(9200)은 단층 또는 다층으로 형성될 수 있다.
- [438] 도 69를 참고하면, 제3 발광부(7000)의 하부에 위치하는 제3 베이스(1310)를 제거할 수 있다.
- [439] 도 70을 참고하면, 제2 발광부(6000)의 상부에 제3 발광부(7000)를 적층할 수 있다.
- [440] 제3 발광부(7000)는 제2 발광부(6000)의 상부에 형성된 제2 투명층(8200)의 상면에 적층될 수 있다. 제2 투명층(8200)의 상면은 평탄한 구조이다. 또한, 제2 투명층(8200)의 상면에 노출된 제2 연결 금속층(9200)의 상면 역시 제2 투명층(8200)의 상면과 동일 선상에 위치한다. 따라서, 제3 발광부(7000)는 제2 투명층(8200)과 제2 연결 금속층(9200)으로 이루어진 평탄한 면에 안정적으로 적층될 수 있다.
- [441] 또한, 제3 발광부(7000)는 제2 투명층(8200)의 접착력에 의해서 제2 발광부(6000)의 상부에 적층된 구조를 유지할 수 있다.
- [442] 제2 발광부(6000)의 상부에 제3 발광부(7000)가 적층되면, 제2-1 연결 금속층(9210)의 상면의 일부 또는 전체가 제3 발광부(7000)의 제3-1 금속층(7301)의 하면과 접촉할 수 있다. 따라서, 제2 발광부(6000)의 제2-1 금속층(6301)과 제3 발광부(7000)의 제3-1 금속층(7301)은 제2-1 연결 금속층(9210)에 의해서 서로 전기적으로 연결될 수 있다.
- [443] 또한, 제2-2 연결 금속층(9220)의 상면의 일부 또는 전체가 제3 발광부(7000)의 제3-2 금속층(7302)의 하면과 접촉할 수 있다. 따라서, 제2 발광부(6000)의 제2-2 금속층(6302)과 제3 발광부(7000)의 제3-2 금속층(7302)은 제2-2 연결 금속층(9220)에 의해서 서로 전기적으로 연결될 수 있다.
- [444] 또한, 제2-3 연결 금속층(9230)은 상면의 일부 또는 전체가 제3 발광부(7000)의 제3-3 금속층(7303)의 하면과 접촉할 수 있다. 따라서, 제2 발광부(6000)의 제2-3 금속층(6303)과 제3 발광부(7000)의 제3-2 금속층(7302)은 제2-3 연결 금속층(9230)에 의해서 서로 전기적으로 연결될 수 있다.
- [445] 이와 같이 도 48 내지 도 71의 순서를 통해서 본 발명의 제5 실시 예에 따른 픽셀 소자(5001)가 형성될 수 있다.

- [446] 도 70을 참고하면, 제1-1 금속층(5301)은 제1-1 반도체층(5101)과 전기적으로 연결되며, 제2-1 금속층(6301)은 제2-1 반도체층(6101)과 전기적으로 연결되며, 제3-1 금속층(7301)은 제3-1 반도체층(7101)과 전기적으로 연결될 수 있다. 또한, 제1-1 금속층(5301), 제2-1 금속층(6301) 및 제3-1 금속층(7301)은 제1-1 연결 금속층(9110) 및 제2-1 연결 금속층(9210)에 의해서 서로 전기적으로 연결될 수 있다. 즉, 제1-1 금속층(5301), 제2-1 금속층(6301), 제3-1 금속층(7301), 제1-1 연결 금속층(9110) 및 제2-1 연결 금속층(9210)은 픽셀 소자(5001)의 공통 전극이 될 수 있다. 또한, 제3-1 금속층(7301)의 상부 또는 상면은 제1 발광부(5000), 제2 발광부(6000) 및 제3 발광부(7000)의 제1 반도체층들과 모두 전기적으로 연결된 픽셀 소자(5001)의 공통 전극 패드가 될 수 있다.
- [447] 제1 오믹 전극(5104)을 통해서 제1-2 반도체층(5103)과 전기적으로 연결된 제1 발광부(5000)의 제1-2 금속층(5302)은 제1-2 연결 금속층(9120)을 통해서 제2 발광부(6000)의 제2-2 금속층(6302)과 전기적으로 연결되며, 제2-2 금속층(6302)은 제2-2 연결 금속층(9220)을 통해서 제3-2 금속층(7302)과 전기적으로 연결된다. 이때, 제2-2 금속층(6302)은 제2 발광부(6000)와 절연 상태이며, 제3-2 금속층(7302)은 제3 발광부(7000)와 절연 상태이다. 결국, 제2-2 전극, 제3-2 금속층(7302), 제1-2 연결 금속층(9120) 및 제2-2 연결 금속층(9220)은 제1 발광부(5000)의 제1-2 반도체층(5103)과 전기적으로 연결되어 제1 발광부(5000)를 동작시키기 위한 전극이 될 수 있다. 또한, 제3-2 금속층(7302)의 상부 또는 상면은 제1 발광부(5000)를 동작시키기 위한 전기가 인가되는 전극 패드가 될 수 있다. 따라서, 제3-2 금속층(7302)을 통해서 픽셀 소자(5001)에 전기가 공급되면, 제1 발광부(5000)가 동작하여 녹색광 또는 청색광을 방출할 수 있다.
- [448] 제2 오믹 전극(6104)을 통해서 제2-2 반도체층(6103)과 전기적으로 연결된 제2 발광부(6000)의 제2-3 금속층(6303)은 제2-3 연결 금속층(9230)을 통해서 제3 발광부(7000)의 제3-3 금속층(7303)과 전기적으로 연결된다. 이때, 제3-3 금속층(7303)은 제3 발광부(7000)와 절연 상태이다. 즉, 제2-3 금속층(6303), 제3-3 금속층(7303) 및 제2-3 연결 금속층(9230)은 제2 발광부(6000)의 제2-2 반도체층(6103)과 전기적으로 연결되어 제2 발광부(6000)를 동작시키기 위한 전극이 될 수 있다. 또한, 제3-3 금속층(7303)의 상부 또는 상면은 제2 발광부(6000)를 동작시키기 위한 전기가 인가되는 전극 패드가 될 수 있다. 따라서, 제3-3 금속층(7303)을 통해서 픽셀 소자(5001)에 전기가 공급되면, 제2 발광부(6000)가 동작하여 청색광 또는 녹색광을 방출할 수 있다.
- [449] 제3 오믹 전극(7104)을 통해서 제3-2 반도체층(7103)과 전기적으로 연결된 제3 발광부(7000)의 제3-4 금속층(7304)은 제3 발광부(7000)를 동작시키기 위한 전극이 될 수 있다. 또한, 제3-4 금속층(7304)의 상부 또는 상면은 제3 발광부(7000)를 동작시키기 위한 전기가 인가되는 전극 패드가 될 수 있다. 따라서, 제3-4 금속층(7304)을 통해서 픽셀 소자(5001)에 전기가 공급되면, 제3 발광부(7000)가 동작하여 적색광을 방출할 수 있다.

- [450] 또한, 도 70을 참고하면, 픽셀 소자(5001)는 중앙 영역에서 제1 발광 구조물(5111), 제2 발광 구조물(6111) 및 제3 발광 구조물(7111)이 모두 적층될 수 있다. 또한, 제1 버퍼 구조물(5112), 제2 버퍼 구조물(6112) 및 제3 버퍼 구조물(7112)은 제1 발광 구조물(5111), 제2 발광 구조물(6111) 및 제3 발광 구조물(7111)이 모두 적층된 중앙 영역의 외측 영역에 배치된다.
- [451] 본 실시 예에 따른 픽셀 소자(5001)는 비발광 영역에 버퍼 구조물을 추가로 형성함으로써, 각 발광부 사이에 형성된 투명층과 같은 구성부가 평탄하게 형성되도록 할 수 있다. 따라서, 투명층의 상면을 평탄하게 형성하여 그 상부에 위치하는 발광부와 투명층 간의 박리가 발생하는 것을 방지할 수 있다. 즉, 픽셀 소자(5001)를 구성하는 구성부들 간의 박리를 방지할 수 있다. 또한, 버퍼 구조물에 의해서 상부에 위치한 발광부의 무게에 하부에 위치한 발광부가 휘어지는 것을 방지할 수 있다. 즉, 픽셀 소자(5001)의 휨을 방지할 수 있다. 이와 같이, 본 실시 예에 따른 픽셀 소자(5001)는 버퍼 구조물에 의해서 픽셀 소자(5001)의 변형을 방지하고, 그에 따라 픽셀 소자(5001)의 신뢰성을 향상시킬 수 있다.
- [452] 도 71을 참고하면, 제3 발광부(7000)의 상부에 보호층(8300)을 추가로 형성할 수 있다.
- [453] 보호층(8300)은 제3 발광부(7000)의 제3 절연층(7200)을 덮도록 형성될 수 있다. 또한, 보호층(8300)은 제3 금속층(7300)의 측면을 덮으며, 제3 금속층(7300)의 상면이 외부로 노출되도록 형성될 수 있다. 외부로 노출된 제3 금속층(7300)은 외부 장치와 전기적으로 연결되는 부분이 될 수 있다.
- [454] 보호층(8300)은 절연 물질로 형성될 수 있다. 또한, 보호층(8300)을 광을 반사하는 절연 물질로 형성되거나 광을 반사하는 물질을 포함하는 절연 물질로 형성될 수 있다. 그러나 보호층(8300)이 반드시 광을 반사하는 물질로 형성되는 것은 아니며, 필요에 따라 광이 투과하는 물질로 형성될 수도 있다.
- [455] 각 평면 상에 배치되는 제1 버퍼 구조물(5112), 제2 버퍼 구조물(6112) 및 제3 버퍼 구조물(7112)의 개수는 서로 다를 수 있다. 또는 적어도 2개의 서로 다른 평면 상에 배치되는 제1 버퍼 구조물(5112), 제2 버퍼 구조물(6112) 또는 제3 버퍼 구조물(7112)의 개수는 같거나 다를 수 있다. 제1 버퍼 구조물(5112)과 제2 버퍼 구조물(6112)의 개수는 같거나 다를 수 있고, 제1 버퍼 구조물(5112)과 제3 버퍼 구조물(7112)의 개수는 같거나 다를 수 있고, 제2 버퍼 구조물(6112)과 제3 버퍼 구조물(7112)의 개수는 같거나 다를 수 있다.
- [456] 제1 버퍼 구조물(5112), 제2 버퍼 구조물(6112) 또는 제3 버퍼 구조물(7112)은 절연 물질에 의하여 둘러싸일 수 있다.
- [457] 위에서 설명한 바와 같이 본 발명에 대한 자세한 설명은 첨부된 도면을 참조한 실시 예에 의해서 이루어졌지만, 상술한 실시 예는 본 발명의 바람직한 예를 들어 설명하였을 뿐이므로, 본 발명이 상기 실시 예에만 국한되는 것으로 이해되는 안 되며, 본 발명의 권리 범위는 후술하는 청구범위 및 그 등가개념으로 이해되어야 할 것이다.

- [458] 위에서 설명한 바와 같이 본 발명에 대한 자세한 설명은 첨부된 도면을 참조한 실시 예에 의해서 이루어졌지만, 상술한 실시 예는 본 발명의 바람직한 예를 들어 설명하였을 뿐이므로, 본 발명이 상기 실시 예에만 국한되는 것으로 이해돼서는 안 되며, 본 발명의 권리 범위는 후술하는 청구범위 및 그 등가개념으로 이해되어야 할 것이다.

청구범위

- [청구항 1] 제1-1 반도체층, 제1 활성층 및 제1-2 반도체층이 적층되어 형성된 제1 발광 구조물을 포함하는 제1 발광부;
 상기 제1 발광부 상에 형성되며, 제2-1 반도체층, 제2 활성층 및 제2-2 반도체층이 적층되어 형성된 제2 발광 구조물을 포함하는 제2 발광부; 및
 상기 제2 발광부 상에 형성되며, 제3-1 반도체층, 제3 활성층 및 제3-2 반도체층이 적층되어 형성된 제3 발광 구조물을 포함하는 제3 발광부;
 상기 제1-1 반도체층, 상기 제2-1 반도체층 및 상기 제3-1 반도체층과 전기적으로 연결되는 공통 전극;
 상기 제1-2 반도체층과 전기적으로 연결되는 제1 전극;
 상기 제2-2 반도체층과 전기적으로 연결되는 제2 전극;
 상기 제3-2 반도체층과 전기적으로 연결되는 제3 전극;을 포함하며,
 상기 공통 전극, 상기 제1 전극, 상기 제2 전극 및 상기 제3 전극은 서로 이격되도록 형성되며,
 상기 공통 전극 및 상기 제1 전극은 상기 제2-1 반도체층의 일측면과 상기 제3-1 반도체층의 일측면을 따라 형성되어 계단 구조를 갖도록 형성된 픽셀 소자.
- [청구항 2] 청구항 1에 있어서,
 상기 제1 발광부, 제2 발광부 및 제3 발광부는 서로 다른 색상의 가시광을 방출하는 픽셀 소자.
- [청구항 3] 청구항 1에 있어서,
 상기 제1 발광부와 상기 제2 발광부 사이에 형성된 제1 투명층; 및
 상기 제2 발광부와 상기 제3 발광부 사이에 형성된 제2 투명층;을 더 포함하는 픽셀 소자.
- [청구항 4] 청구항 3에 있어서,
 상기 공통 전극은 상기 제1 투명층 및 상기 제2 투명층을 관통하여 상기 제2-1 반도체층 및 상기 제1-1 반도체층과 전기적으로 연결되며,
 상기 제1 전극은 상기 제1 투명층 및 상기 제2 투명층을 관통하여 상기 제1-2 반도체층과 전기적으로 연결되며,
 상기 제2 전극은 상기 제2 투명층을 관통하여 상기 제2-2 반도체층과 전기적으로 연결되는 픽셀 소자.
- [청구항 5] 청구항 1에 있어서,
 상기 공통 전극 및 상기 제1 전극은 각각 상기 제1 발광부 상에 형성된 부분의 중심축과 상기 제2 발광부 상에 형성된 부분의 중심축과 상기 제3 발광부 상에 형성된 부분의 중심축이 서로 상이한 수직선상에 위치하는 픽셀 소자.
- [청구항 6] 청구항 3에 있어서,

상기 제1 발광부는 상기 제1 발광 구조물을 덮는 제1 절연층을 더 포함하고,
 상기 제2 발광부는 상기 제2 발광 구조물을 덮는 제2 절연층을 더 포함하며,
 상기 제3 발광부는 제3 발광 구조물을 덮는 제3 절연층을 더 포함하는 픽셀 소자.

[청구항 7] 청구항 6에 있어서,
 상기 공통 전극은,
 상기 제1-1 반도체층과 전기적으로 연결되는 제1-1 금속층;
 상기 제2-1 반도체층과 전기적으로 연결되는 제2-1 금속층; 및
 상기 제3-1 반도체층과 전기적으로 연결되는 제3-1 금속층;을 포함하며,
 상기 제2-1 금속층은 상기 제1-1 금속층에서 상기 제2-1 반도체층의 내측면을 따라 상기 제2-1 반도체층의 상면까지 형성되며,
 상기 제3-1 금속층은 상기 제2-1 금속층의 상면에서 상기 제3-1 반도체층의 내측면을 따라 상기 제3-1 반도체층의 상면까지 형성된 픽셀 소자.

[청구항 8] 청구항 7에 있어서,
 상기 제1 절연층은 상기 제1-1 반도체층과 상기 제1-1 금속층이 접촉하는 제1-1 개구부를 포함하고,
 상기 제2 절연층은 상기 제1-2 반도체층과 상기 제2-1 금속층이 접촉하는 제2-3 개구부를 포함하며,
 상기 제3 절연층은 상기 제3-1 반도체층과 상기 제3-1 금속층이 접촉하는 제3-3 개구부를 포함하고,
 상기 제2-3 개구부는 상기 제1-1 개구부의 외측의 상부에 위치하고, 상기 제3-3 개구부는 상기 제2-3 개구부의 외측의 상부에 위치하는 픽셀 소자.

[청구항 9] 청구항 8에 있어서,
 상기 제1-1 금속층과 상기 제2-1 금속층이 접촉하는 제2-1 개구부; 및
 상기 제2-1 금속층과 상기 제3-1 금속층이 접촉하는 제3-1 개구부;를 포함하며,
 상기 제2-1 개구부는 상기 제1 절연층의 상부에 위치하며, 상기 제1-1 금속층의 상면의 일부를 노출하도록 상기 제1 투명층 및 상기 제2 절연층을 관통하여 형성되며,
 상기 제3-1 개구부는 상기 제2 절연층의 상부에 위치하며, 상기 제2-1 금속층의 상면의 일부를 노출하도록 상기 제2 투명층 및 상기 제3 절연층을 관통하여 형성되는 픽셀 소자.

[청구항 10] 청구항 9에 있어서,
 상기 제2-1 금속층은 상기 제2-1 개구부의 내측면을 덮도록 형성되며, 상기 제1-1 금속층의 상면을 노출하도록 형성되며,

상기 제3-1 금속층은 상기 제3-1 개구부의 내측면을 덮도록 형성되며, 상기 제2-1 금속층의 상면을 노출하도록 형성되는 픽셀 소자.

[청구항 11] 청구항 9에 있어서,
상기 제2-1 금속층은 상기 제2-1 개구부를 채우도록 형성되며,
상기 제3-1 금속층은 상기 제3-1 개구부를 채우도록 형성되는 픽셀 소자.

[청구항 12] 청구항 6에 있어서,
상기 제1 전극은,
상기 제1-2 반도체층과 전기적으로 연결되는 제1-2 금속층;
상기 제1-2 금속층의 상면에서 상기 제2 발광 구조물의 내측면을 따라 상기 제2-2 반도체층의 상부까지 형성된 제2-2 금속층; 및
상기 제2-2 금속층의 상면에서 상기 제3 발광 구조물의 내측면을 따라 상기 제3-2 반도체층의 상부까지 형성된 제3-2 금속층;을 포함하는 픽셀 소자.

[청구항 13] 청구항 12에 있어서,
상기 제1 절연층은 상기 제1-2 반도체층과 상기 제1-2 금속층이 접촉하는 제1-2 개구부를 포함하고,
상기 제2 절연층은 상기 제1-2 금속층과 상기 제2-2 금속층이 접촉하는 제2-2 개구부를 포함하며,
상기 제3 절연층은 상기 제2-2 금속층과 상기 제3-2 금속층이 접촉하는 제3-2 개구부를 포함하고,
상기 제2-2 개구부는 상기 제1-2 개구부의 외측의 상부에 위치하고, 상기 제3-2 개구부는 상기 제2-2 개구부의 외측의 상부에 위치하는 픽셀 소자.

[청구항 14] 청구항 13에 있어서,
상기 제2-2 개구부는 상기 제1 절연층의 상부에 위치하며, 상기 제1-2 금속층의 상면의 일부를 노출하도록 상기 제1 투명층 및 상기 제2 절연층을 관통하여 형성되며,
상기 제3-2 개구부는 상기 제2 절연층의 상부에 위치하며, 상기 제2-2 금속층의 상면의 일부를 노출하도록 상기 제2 투명층 및 상기 제3 절연층을 관통하여 형성되는 픽셀 소자.

[청구항 15] 청구항 14에 있어서,
상기 제2-2 금속층은 상기 제2-2 개구부를 채우도록 형성되며,
상기 제3-2 금속층은 상기 제3-2 개구부를 채우도록 형성되는 픽셀 소자.

[청구항 16] 청구항 6에 있어서,
상기 제2 전극은,
상기 제2-2 반도체층과 전기적으로 연결되는 제2-3 금속층; 및
상기 제2-3 금속층의 상면에서 상기 제3 발광 구조물의 내측면을 따라 상기 제3-2 반도체층의 상부까지 형성된 제3-3 금속층;을 포함하는 픽셀 소자.

- [청구항 17] 청구항 16에 있어서,
상기 제2 절연층은 상기 제2-2 반도체층과 상기 제2-3 금속층과 접촉하는 제2-4 개구부를 포함하고,
상기 제3 절연층은 상기 제2-3 금속층과 상기 제3-3 금속층이 접촉하는 제3-4 개구부를 포함하며,
상기 제3-4 개구부는 상기 제2-4 개구부의 외측 상부에 위치하는 픽셀 소자.
- [청구항 18] 청구항 16에 있어서,
상기 제3-4 개구부는 상기 제2 절연층의 상부에 위치하며, 상기 제2-3 금속층의 상면의 일부를 노출하도록 상기 제2 투명층 및 상기 제3 절연층을 관통하여 형성되는 픽셀 소자.
- [청구항 19] 청구항 18에 있어서,
상기 제3-3 금속층은 상기 제3-4 개구부를 채우도록 형성되는 픽셀 소자.
- [청구항 20] 청구항 6에 있어서,
상기 제3 전극은 상기 제3-3 반도체층과 전기적으로 연결되는 제3-4 금속층을 포함하는 픽셀 소자.
- [청구항 21] 제1 광을 방출하는 제1 발광 구조물 및 상기 제1 발광 구조물과 이격되도록 형성된 제1 버퍼 구조물을 포함하는 제1 발광부;
상기 제2 광을 방출하는 제2 발광 구조물 및 상기 제2 발광 구조물과 이격되도록 형성된 제2 버퍼 구조물을 포함하는 제2 발광부; 및
상기 제3 광을 방출하는 제3 발광 구조물 및 상기 제3 발광 구조물과 이격되도록 형성된 제3 버퍼 구조물을 포함하는 제3 발광부;를 포함하며,
상기 제1 발광부의 상부에 상기 제2 발광부가 적층되며, 상기 제2 발광부의 상부에 상기 제3 발광부가 적층되며,
상기 제1 버퍼 구조물, 상기 제2 버퍼 구조물 및 상기 제3 버퍼 구조물은 비발광하는 픽셀 소자.
- [청구항 22] 청구항 21에 있어서,
상기 제1 발광부, 상기 제2 발광부 및 상기 제3 발광부는 서로 다른 색의 가시광을 방출하는 픽셀 소자.
- [청구항 23] 청구항 21에 있어서,
상기 제1 발광부는 제1-1 반도체층, 제1-2 반도체층 및 상기 제1-1 반도체층과 상기 제1-2 반도체층 사이에 형성된 제1 활성층을 포함하며,
상기 제2 발광부는 제2-1 반도체층, 제2-2 반도체층 및 상기 제2-1 반도체층과 상기 제2-2 반도체층 사이에 형성된 제2 활성층을 포함하고,
상기 제3 발광부는 제3-1 반도체층, 제3-2 반도체층 및 상기 제3-1 반도체층과 상기 제3-2 반도체층 사이에 형성된 제3 활성층을 포함하는 픽셀 소자.
- [청구항 24] 청구항 23에 있어서,

상기 제1 발광 구조물은 상기 제1-1 반도체층의 상부에 형성된 상기 제1 활성층 및 상기 제1-2 반도체층을 포함하며,
 상기 제2 발광 구조물은 상기 제2-1 반도체층의 상부에 형성된 상기 제2 활성층 및 상기 제2-2 반도체층을 포함하고,
 상기 제3 발광 구조물은 상기 제3-1 반도체층의 상부에 형성된 상기 제3 활성층 및 상기 제3-2 반도체층을 포함하는 픽셀 소자.

[청구항 25] 청구항 23에 있어서,
 상기 제1 버퍼 구조물은 상기 제1-1 반도체층의 상부에 형성된 상기 제1 활성층 및 상기 제1-2 반도체층을 포함하며,
 상기 제2 버퍼 구조물은 상기 제2-1 반도체층의 상부에 형성된 상기 제2 활성층 및 상기 제2-2 반도체층을 포함하고,
 상기 제3 버퍼 구조물은 상기 제3-1 반도체층의 상부에 형성된 상기 제3 활성층 및 상기 제3-2 반도체층을 포함하는 픽셀 소자.

[청구항 26] 청구항 23에 있어서,
 상기 제1-1 반도체층, 상기 제2-1 반도체층 및 상기 제3-1 반도체층 모두와 전기적으로 연결된 공통 전극;
 상기 제1-2 반도체층과 전기적으로 연결된 제1 전극;
 상기 제2-2 반도체층과 전기적으로 연결된 제2 전극; 및
 상기 제3-2 반도체층과 전기적으로 연결된 제3 전극;을 포함하는 픽셀 소자.

[청구항 27] 청구항 26에 있어서,
 상기 제1 발광부와 상기 제2 발광부 사이에 배치되는 제1 투명층; 및
 상기 제2 발광부와 상기 제3 발광부 사이에 배치되는 제2 투명층;을 포함하는 픽셀 소자.

[청구항 28] 청구항 27에 있어서,
 상기 공통 전극은 상기 제1 투명층 및 상기 제2 투명층을 관통하여 상기 제1-1 반도체층 및 상기 제2-1 반도체층과 전기적으로 연결되며,
 상기 제1 전극은 상기 제1 투명층 및 상기 제2 투명층을 관통하여 상기 제1-2 반도체층과 전기적으로 연결되고,
 상기 제2 전극은 상기 제2 투명층을 관통하여 상기 제2-2 반도체층과 전기적으로 연결되는 픽셀 소자.

[청구항 29] 청구항 28에 있어서,
 상기 공통 전극은,
 상기 제1 발광부의 상기 제1-1 반도체층의 상부에 형성되어 상기 제1-1 반도체층과 접촉하는 제1-1 금속층;
 상기 제1 투명층을 관통하며 상기 제1-1 금속층과 접촉하는 제1-1 연결 금속층;

상기 제2 발광부의 상기 제2-1 반도체층을 관통하면서 상기 제2-1 반도체층과 접촉하는 제2-1 금속층;
 상기 제2 투명층을 관통하며 상기 제2-1 금속층과 접촉하는 제2-1 연결 금속층; 및
 상기 제3 발광부의 상기 제3-1 반도체층을 관통하면서 상기 제3-1 반도체층과 접촉하는 제3-1 금속층;을 포함하며,
 상기 제1-1 연결 금속층의 적어도 일부는 상기 제1-1 금속층의 상부에 위치하고,
 상기 제2-1 금속층의 적어도 일부는 상기 제1-1 연결 금속층의 상부에 위치하며,
 상기 제2-1 연결 금속층의 적어도 일부는 상기 제2-1 금속층의 상부에 위치하고,
 상기 제3-1 금속층의 적어도 일부는 상기 제2-1 연결 금속층의 상부에 위치하는 픽셀 소자.

[청구항 30]

청구항 28에 있어서,
 상기 제1 전극은,
 상기 제1 발광부의 상기 제1-2 반도체층의 상부에 형성되어 상기 제1-2 반도체층과 전기적으로 연결된 제1-2 금속층;
 상기 제1 투명층을 관통하며 상기 제1-2 금속층과 접촉하는 제1-2 연결 금속층;
 상기 제2 발광부의 상기 제2-1 반도체층을 관통하며, 상기 제2-1 반도체층과 절연된 제2-2 금속층;
 상기 제2 투명층을 관통하며 상기 제2-2 금속층과 접촉하는 제2-2 연결 금속층; 및
 상기 제3 발광부의 상기 제3-1 반도체층을 관통하며, 상기 제3-1 반도체층과 절연된 제3-2 금속층;을 포함하며,
 상기 제1-2 연결 금속층의 적어도 일부는 상기 제1-2 금속층의 상부에 위치하고,
 상기 제2-2 금속층의 적어도 일부는 상기 제1-2 연결 금속층의 상부에 위치하며,
 상기 제2-2 연결 금속층의 적어도 일부는 상기 제2-2 금속층의 상부에 위치하고,
 상기 제3-2 금속층의 적어도 일부는 상기 제2-2 연결 금속층의 상부에 위치하는 픽셀 소자.

[청구항 31]

청구항 28에 있어서,
 상기 제2 전극은,
 상기 제2 발광부의 상기 제2-2 반도체층의 상부에 형성되어 상기 제2-2 반도체층과 전기적으로 연결된 제2-3 금속층;

상기 제2 투명층을 관통하며 상기 제2-3 금속층과 접촉하는 제2-3 연결 금속층; 및

상기 제3 발광부의 상기 제3-1 반도체층을 관통하며, 상기 제3-1 반도체층과 절연된 제3-3 금속층;을 포함하며,

상기 제2-3 연결 금속층의 적어도 일부는 상기 제2-3 금속층의 상부에 위치하고,

상기 제3-3 금속층의 적어도 일부는 상기 제2-3 연결 금속층의 상부에 위치하는 픽셀 소자.

[청구항 32] 청구항 28에 있어서,

상기 제3 전극은,

상기 제3 발광부의 상기 제3-2 반도체층의 상부에 형성되어 상기 제3-2 반도체층과 전기적으로 연결된 제3-4 금속층을 포함하는 픽셀 소자.

[청구항 33] 청구항 21에 있어서,

상기 제2 발광 구조물의 일부는 상기 제1 발광 구조물의 상부에 위치하며, 상기 제3 발광 구조물의 일부는 상기 제2 발광 구조물의 상부에 위치하는 픽셀 소자.

[청구항 34] 청구항 33에 있어서,

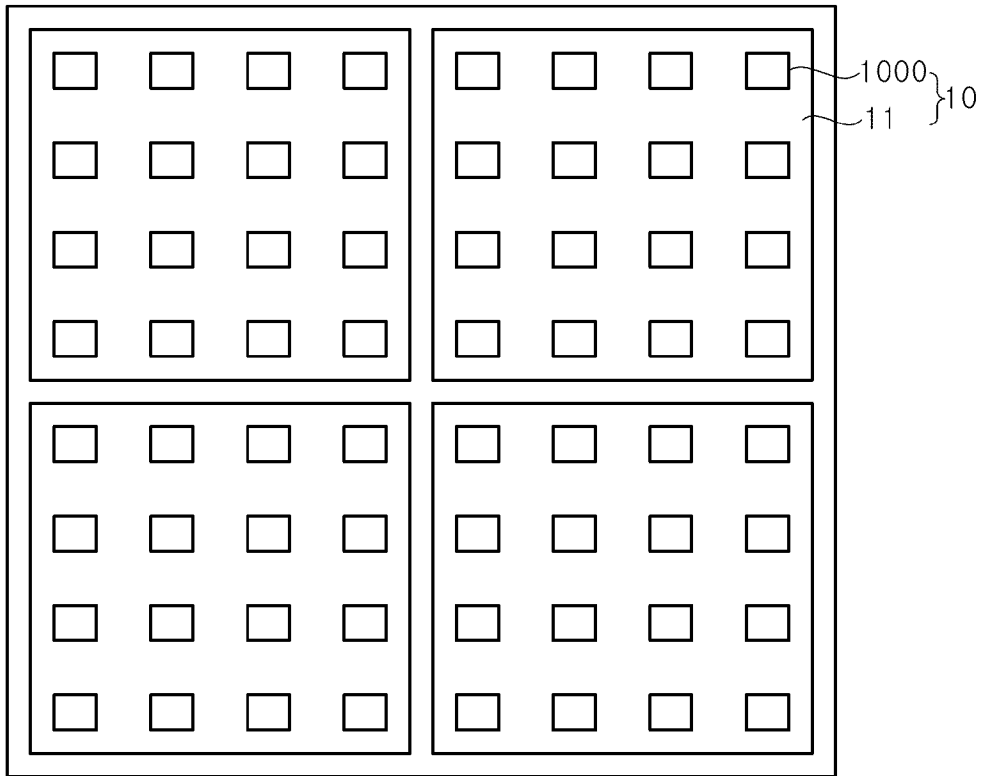
상기 제1 버퍼 구조물, 상기 제2 버퍼 구조물 및 상기 제2 버퍼 구조물은 상기 제1 발광 구조물, 상기 제2 발광 구조물 및 상기 제3 발광 구조물이 모두 적층된 영역의 외측 영역에 형성되는 픽셀 소자.

[청구항 35] 청구항 26에 있어서,

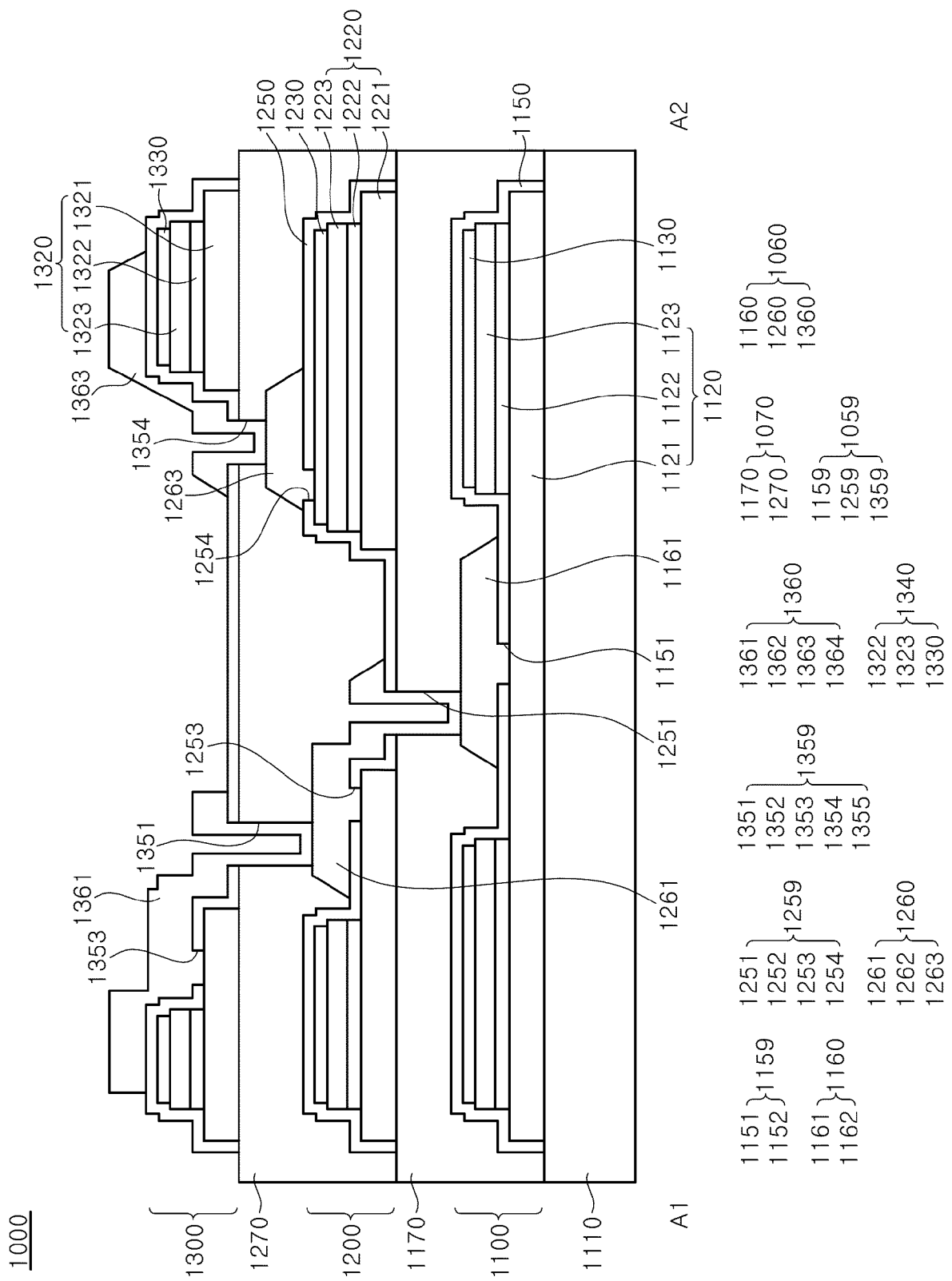
상기 공통 전극, 상기 제1 전극, 상기 제2 전극 및 상기 제3 전극은 상기 제1 발광 구조물, 상기 제2 발광 구조물 및 상기 제3 발광 구조물이 모두 적층된 영역의 외측 영역에 형성되는 픽셀 소자.

[도1]

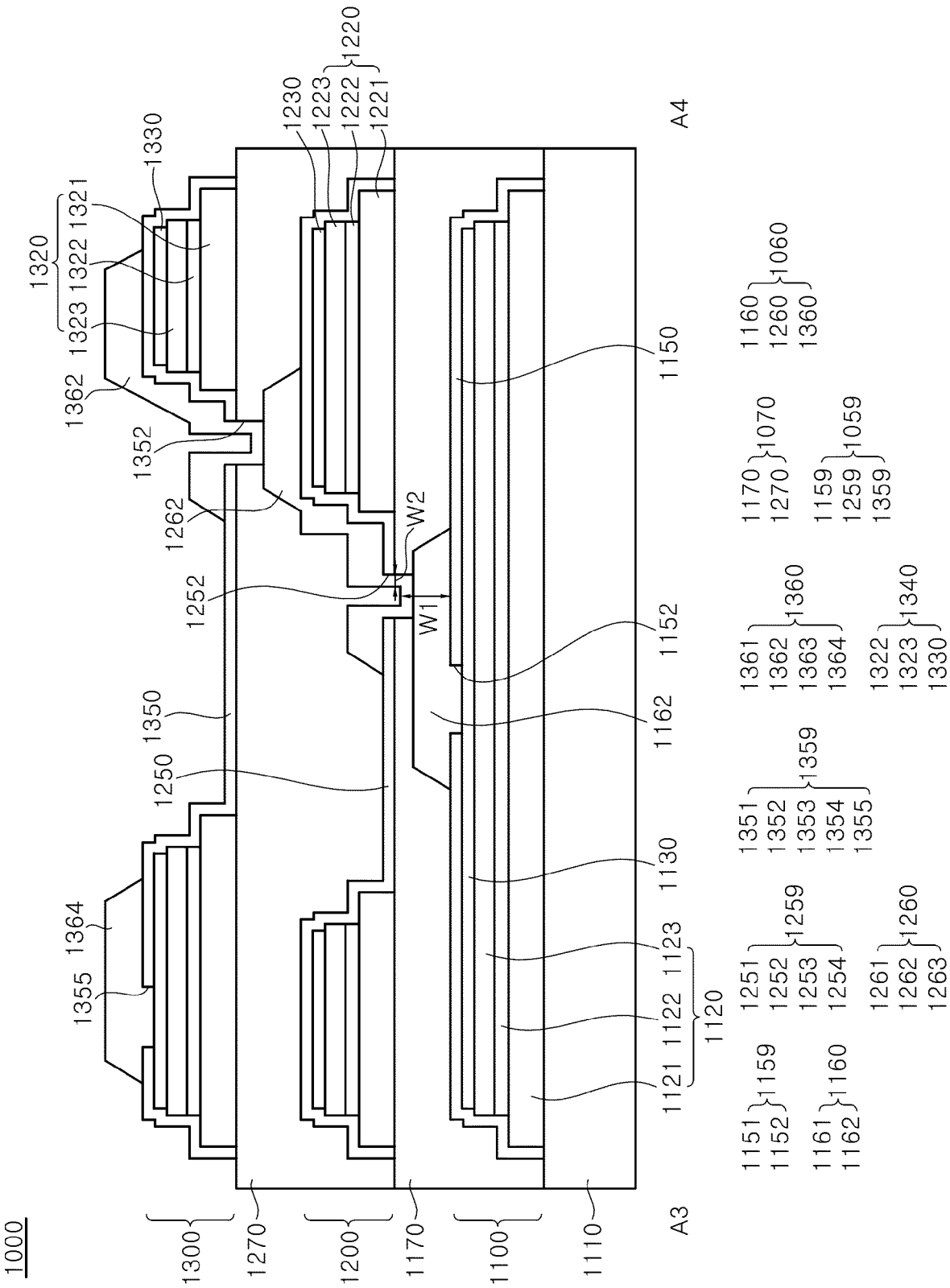
1



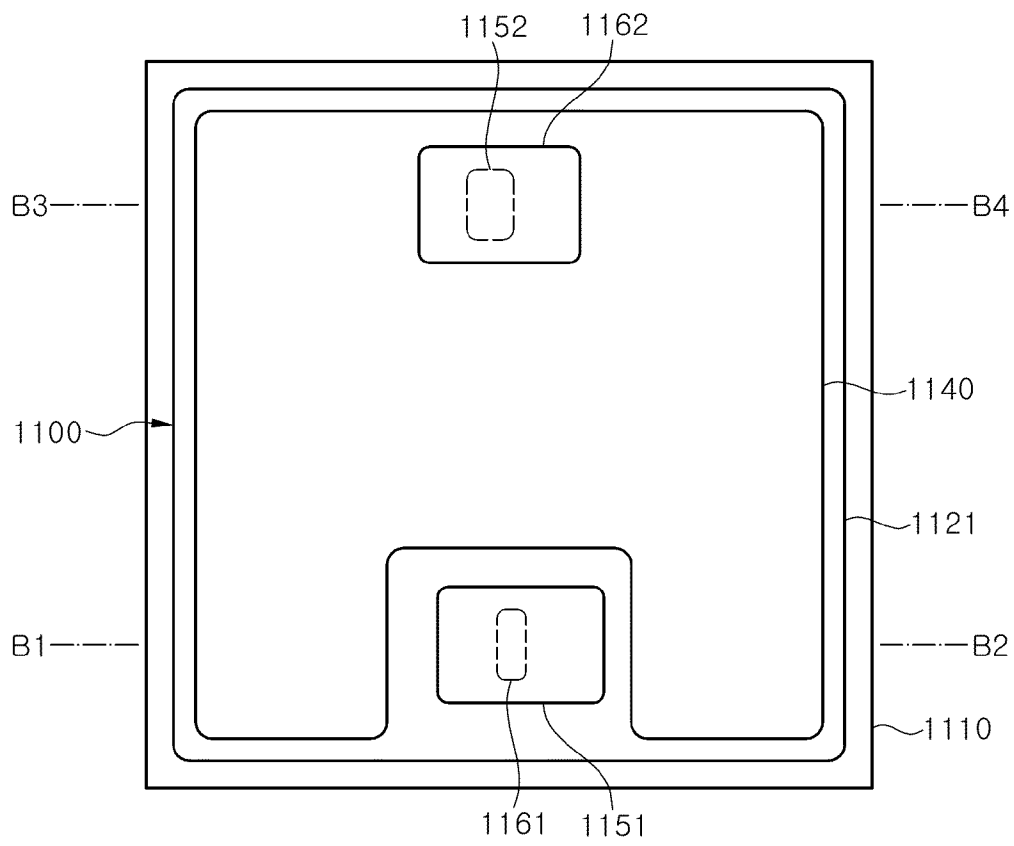
[도3]



[도4]



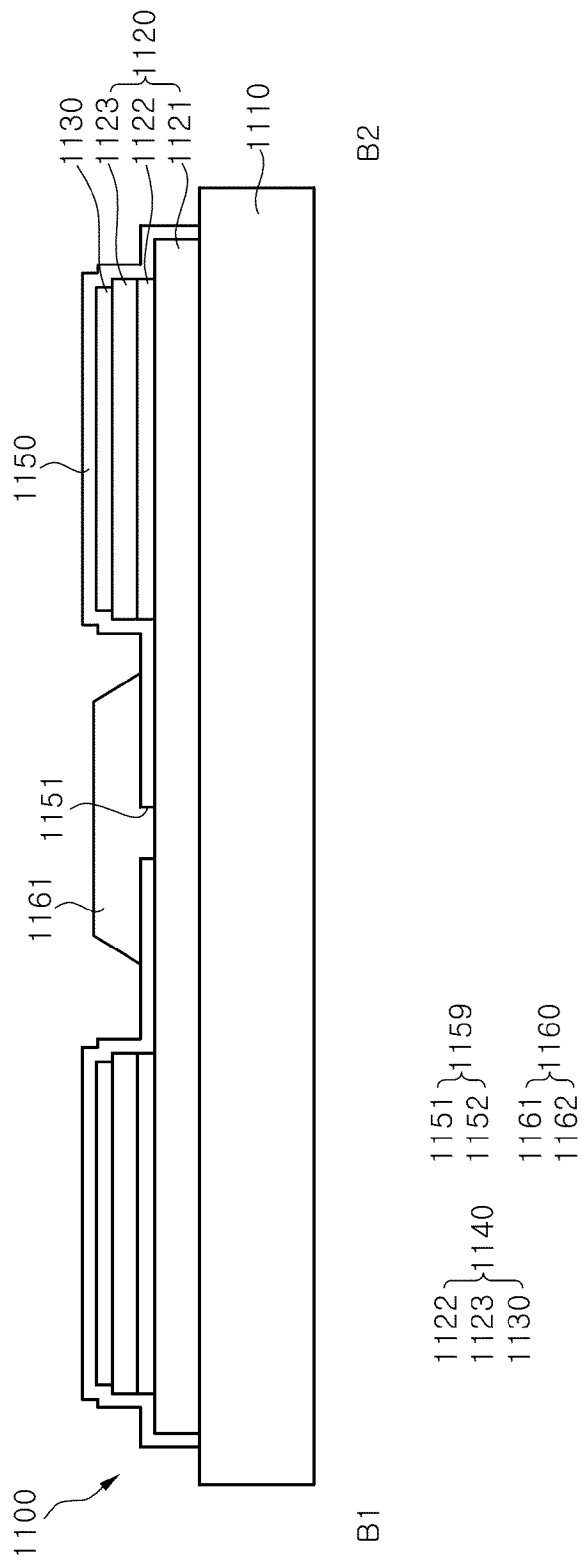
[도5]



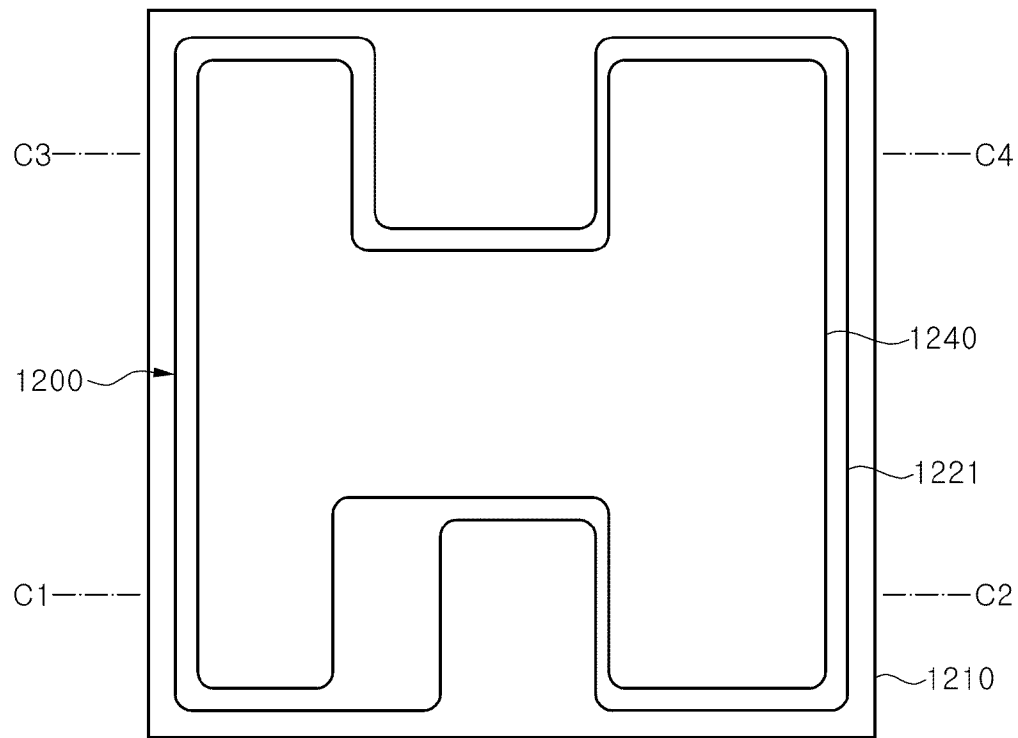
1151 } 1159
1152 }

1161 } 1160
1162 }

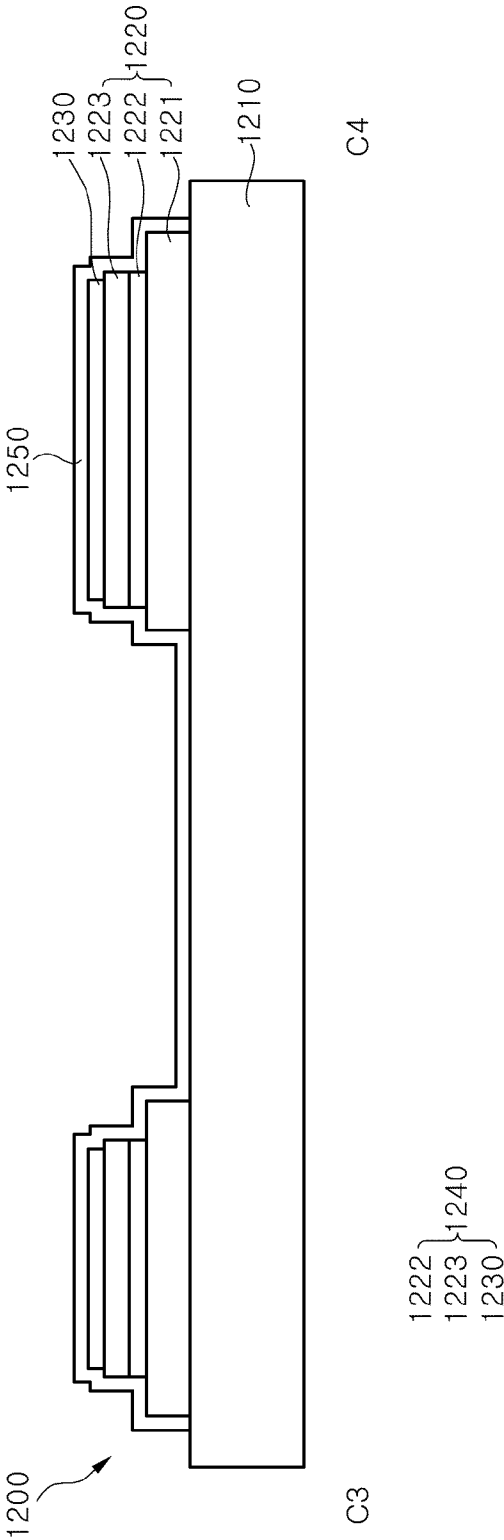
[도6]



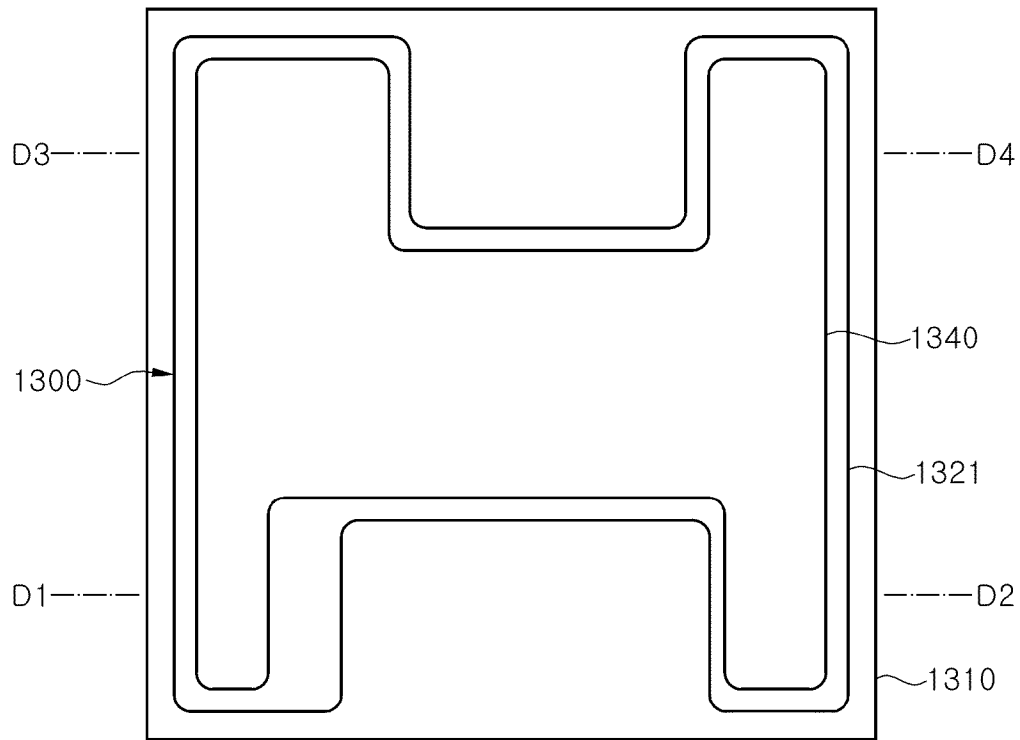
[도8]



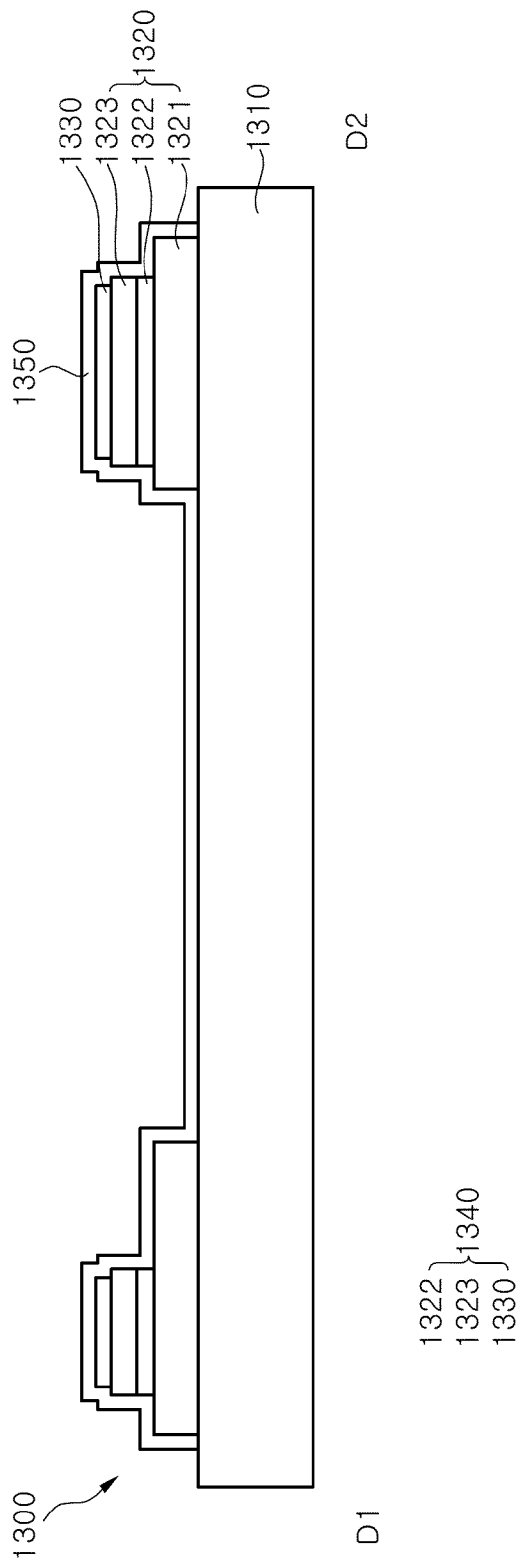
[도10]



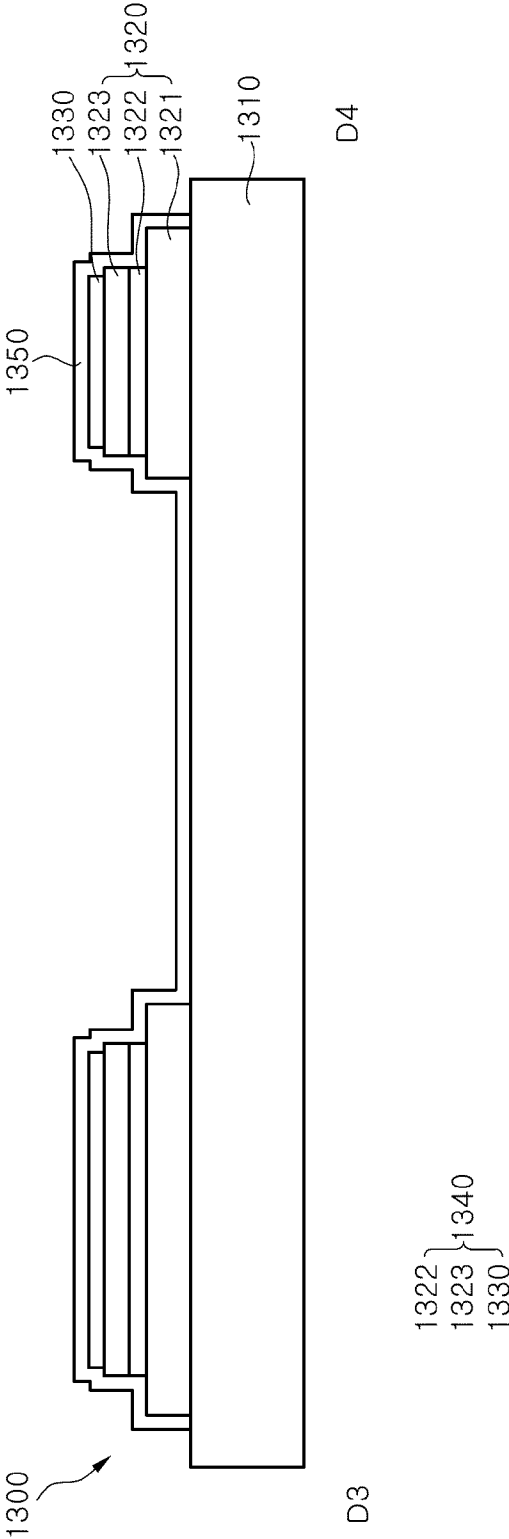
[도11]



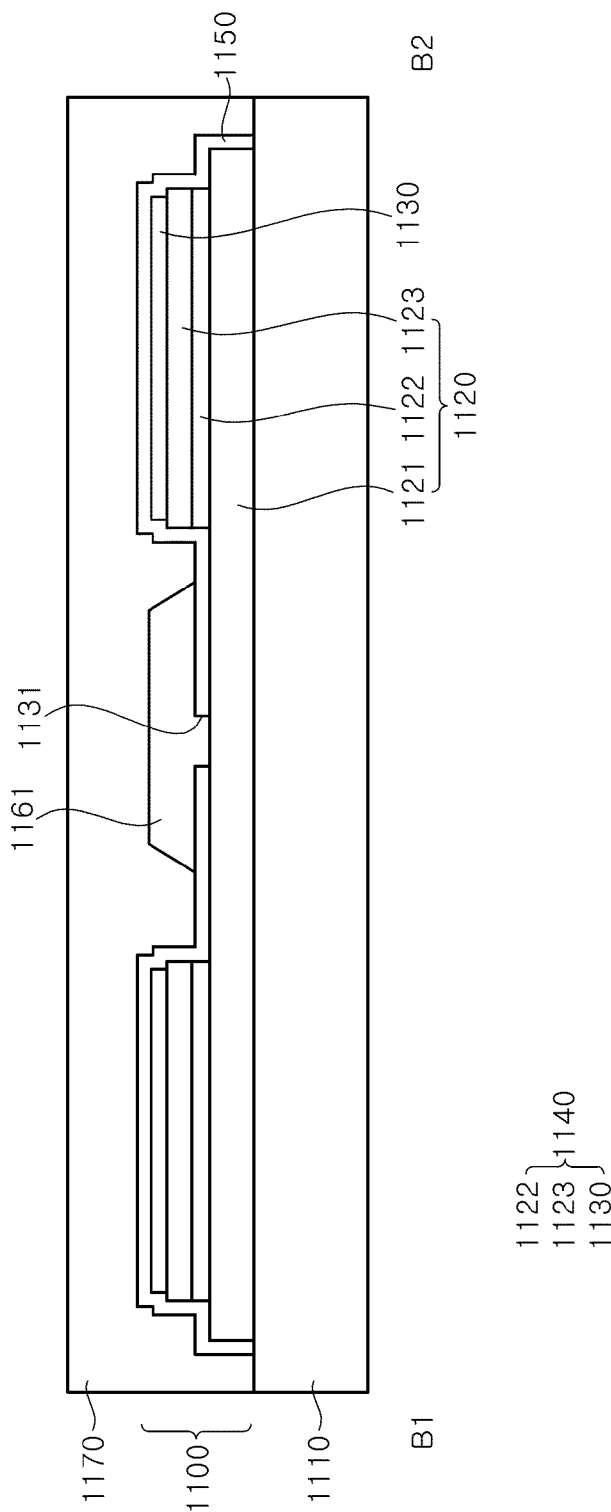
[도 12]



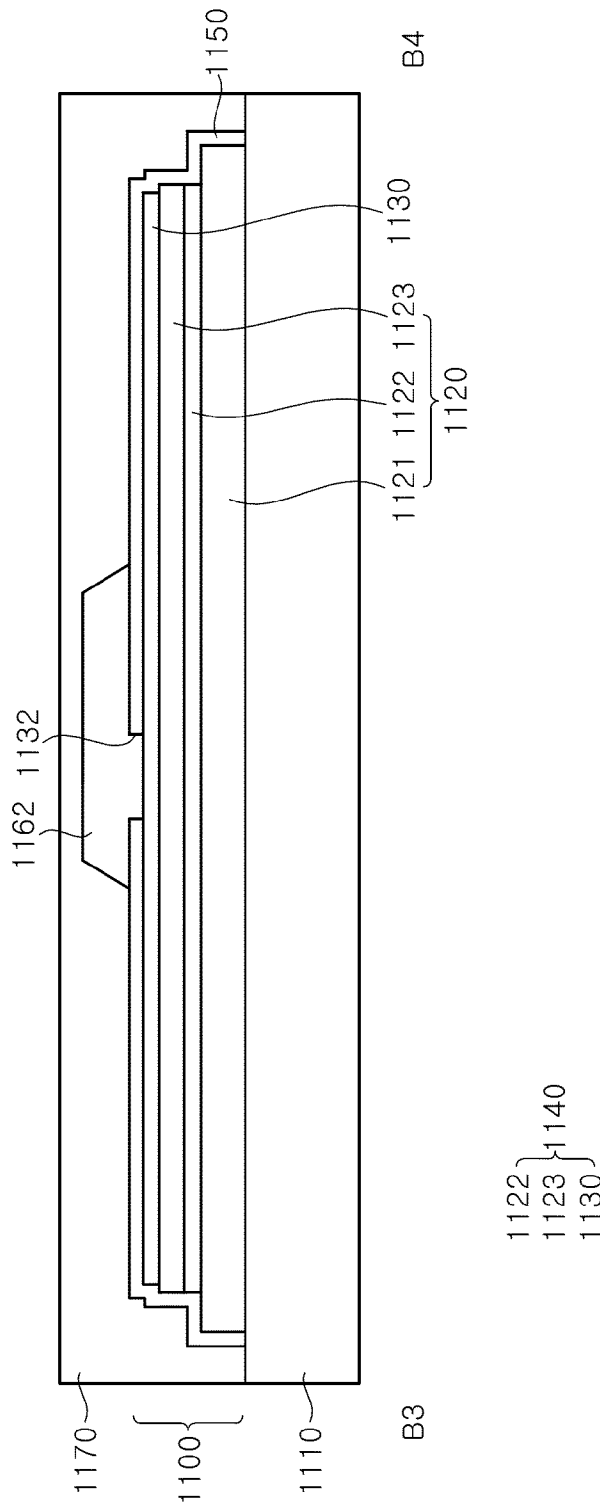
[도13]



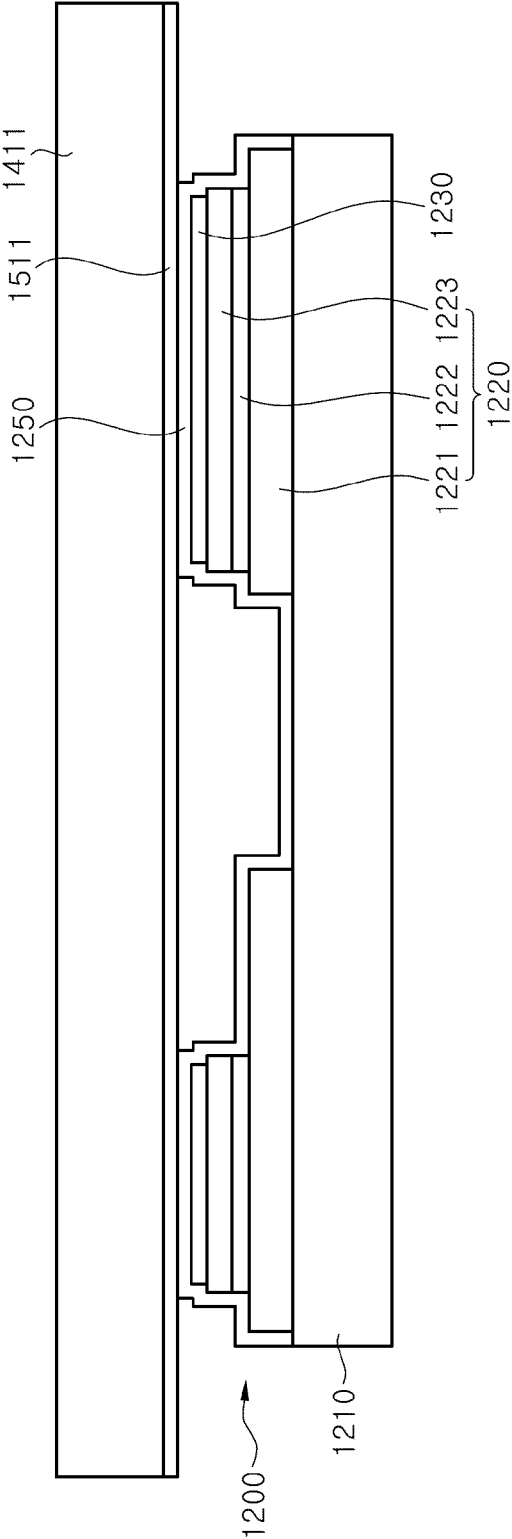
[도14]



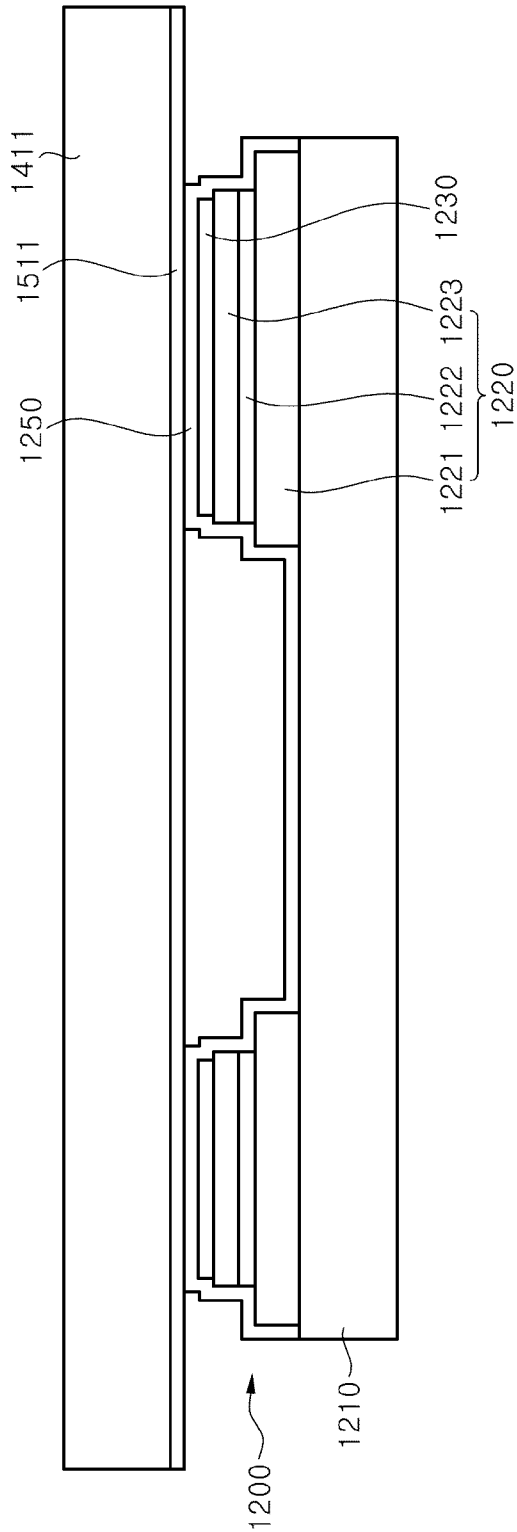
[도15]



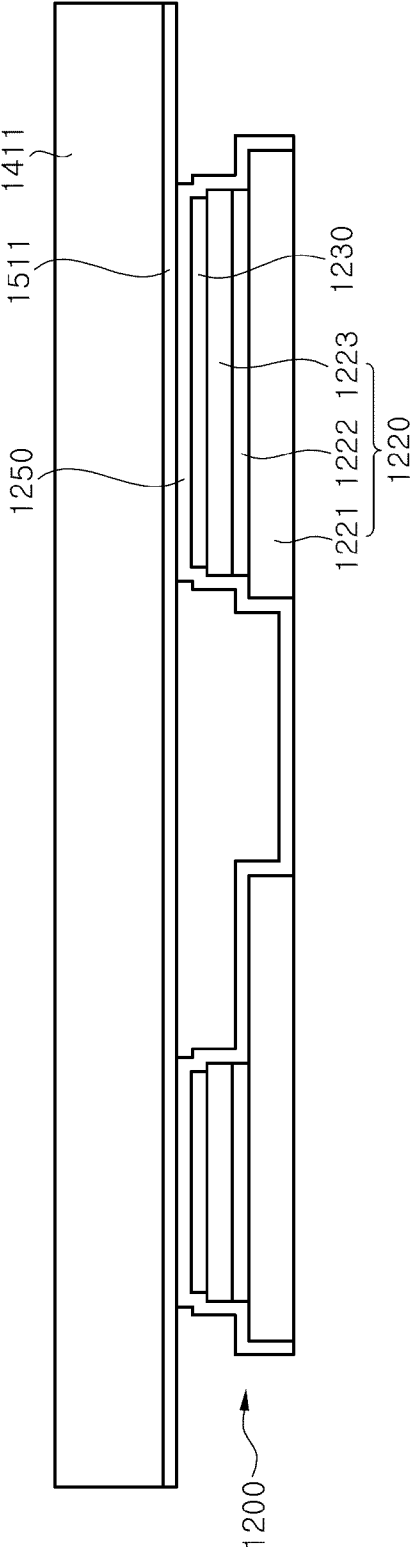
[도16]



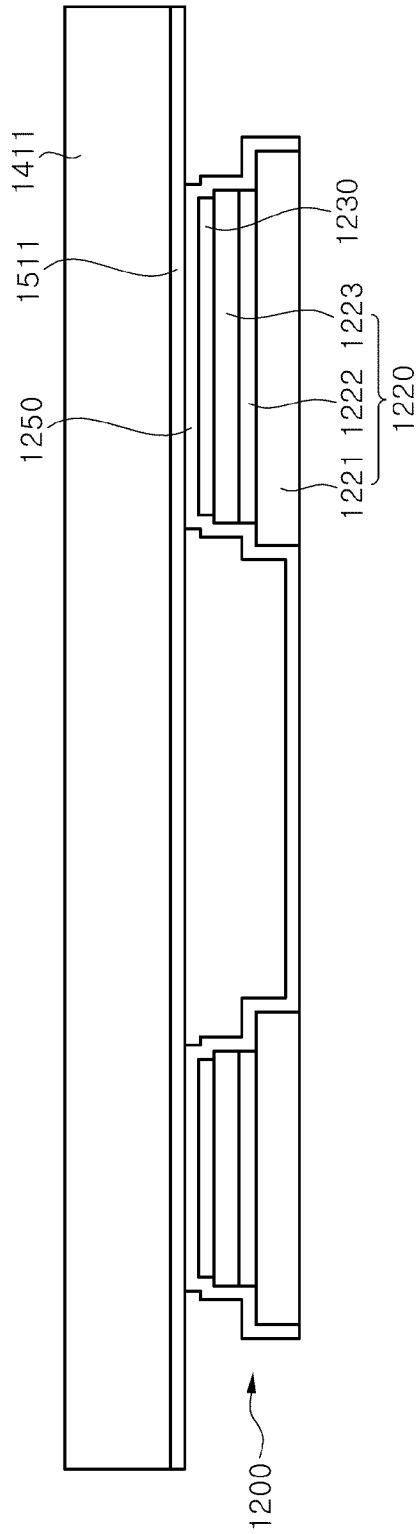
[도17]



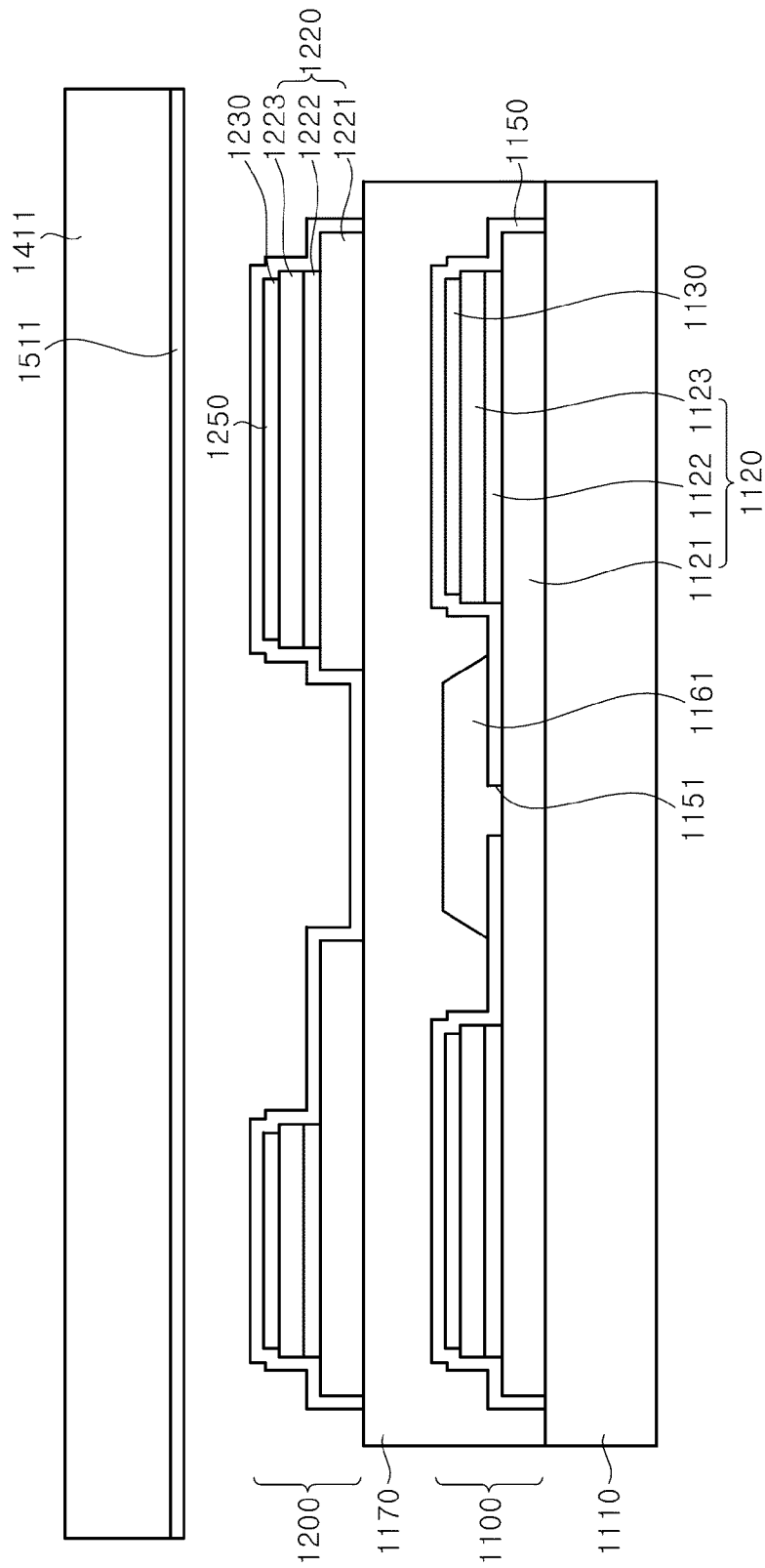
[도 18]



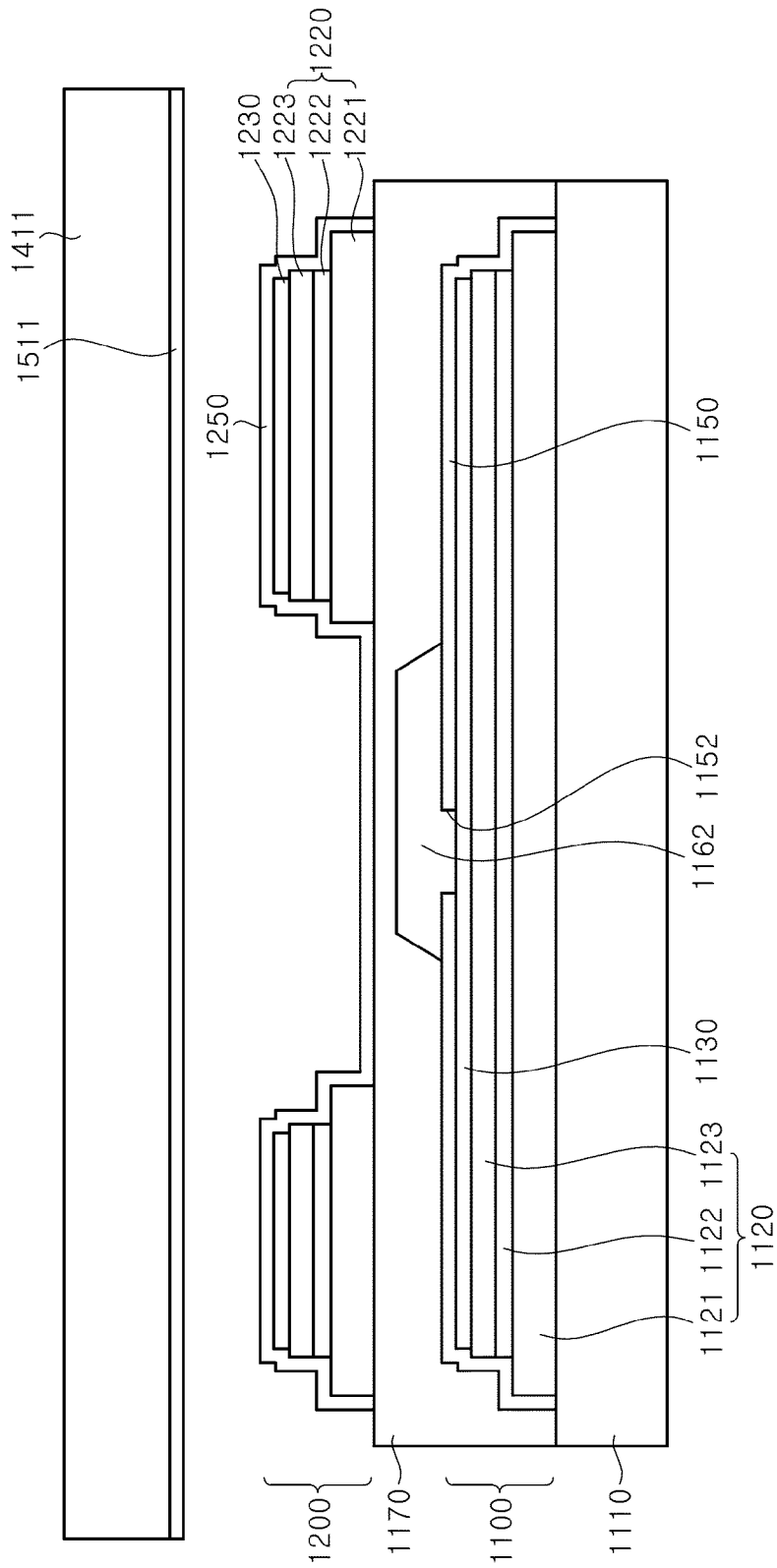
[도19]



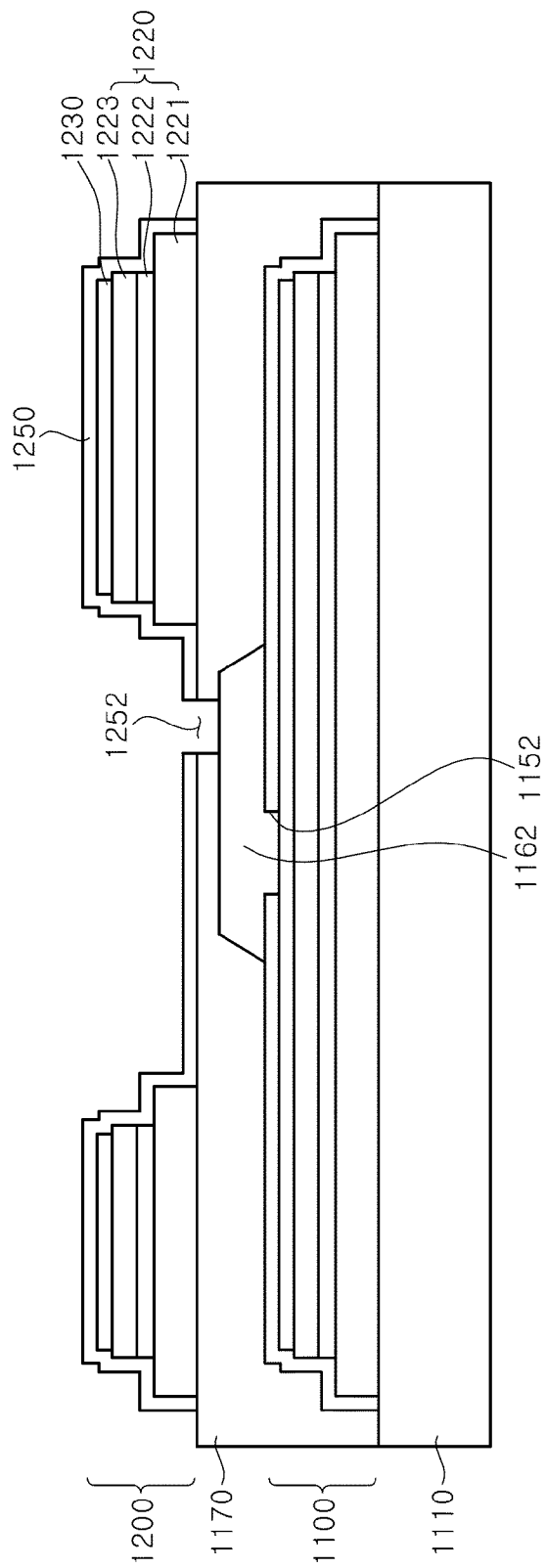
[도20]



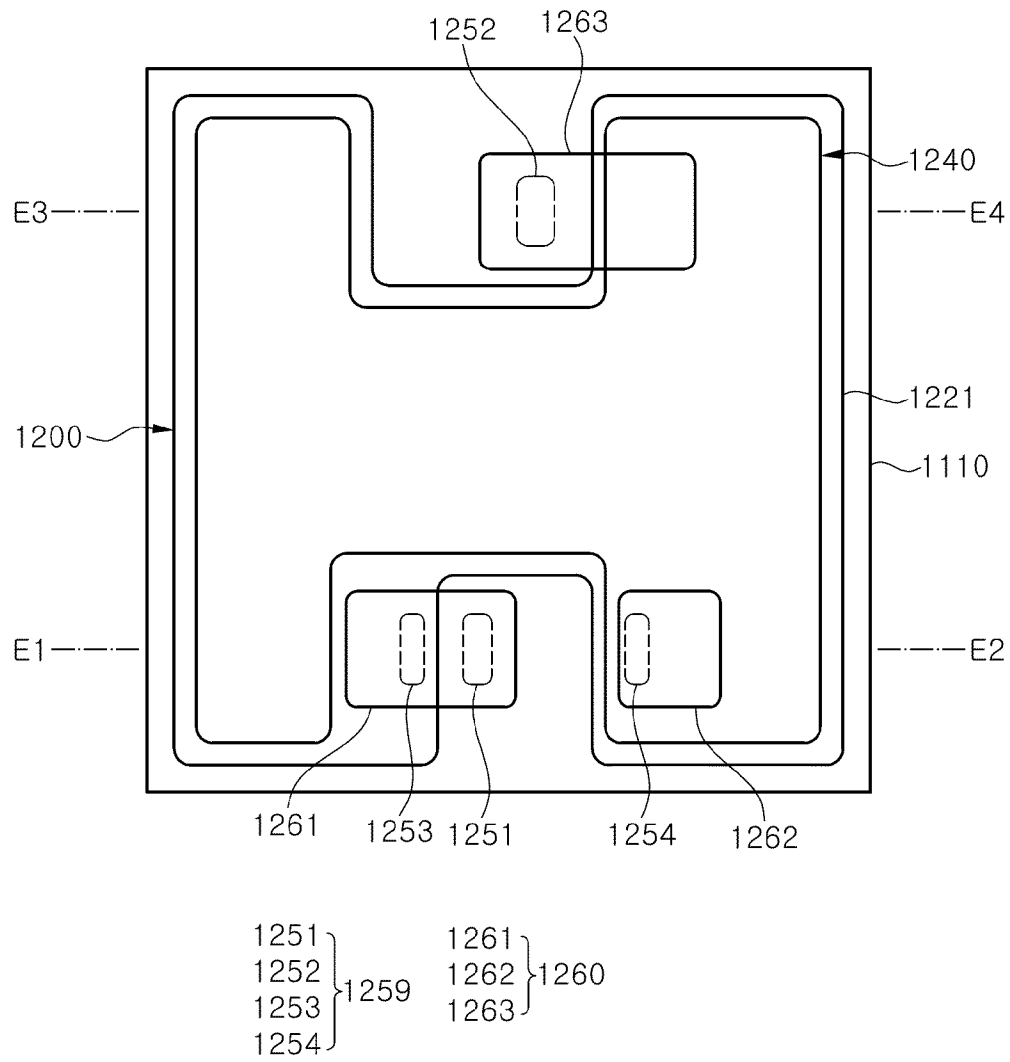
[도21]



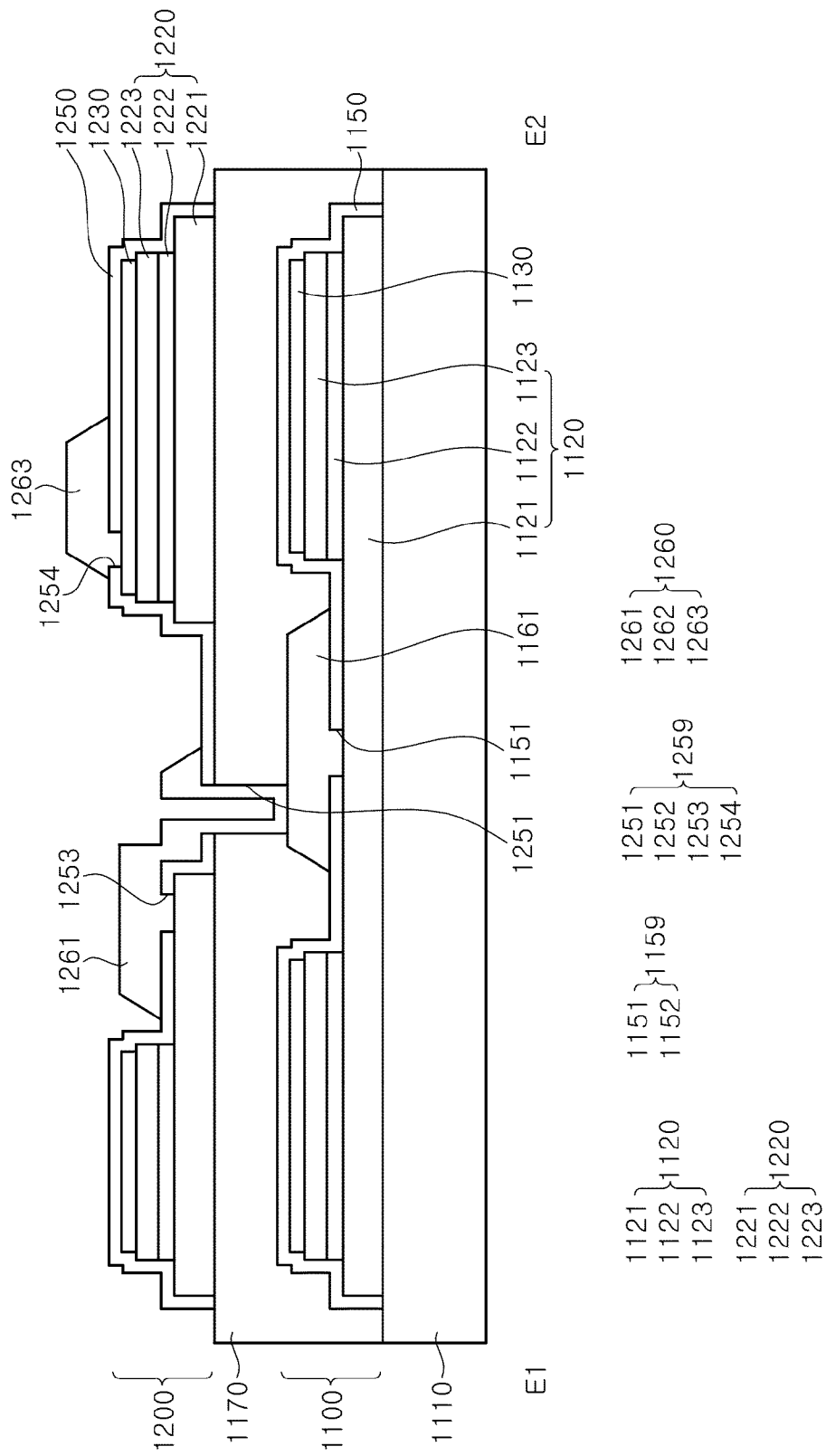
[도23]



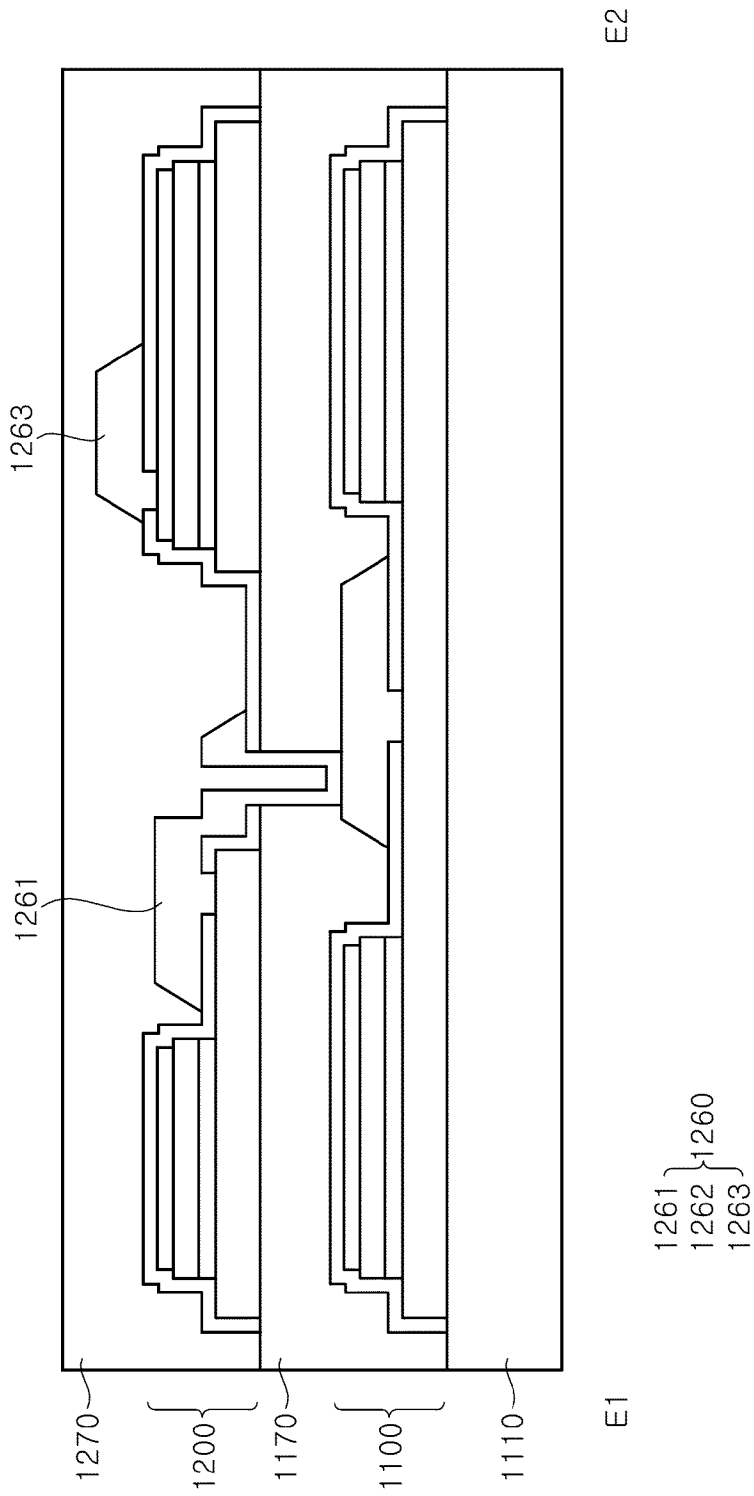
[도24]



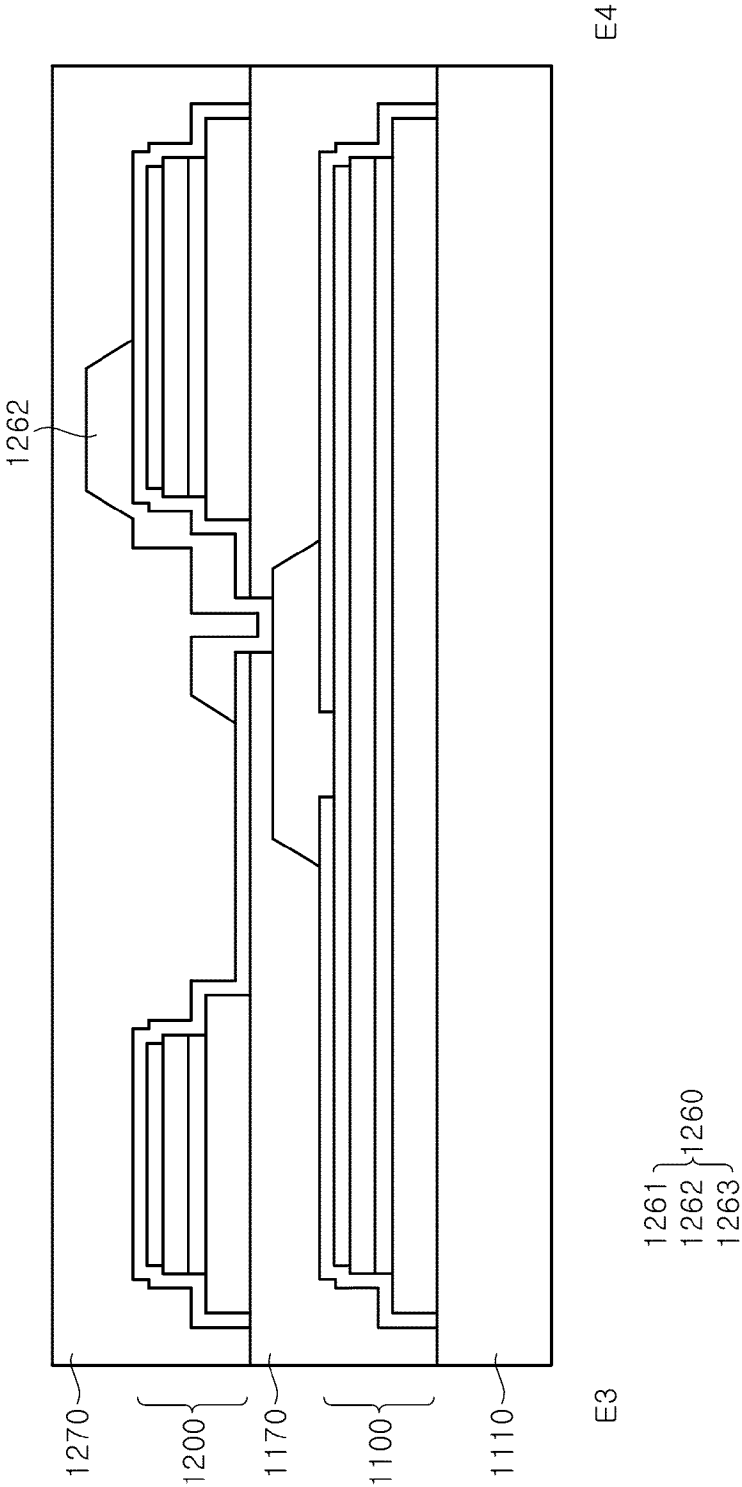
[도25]



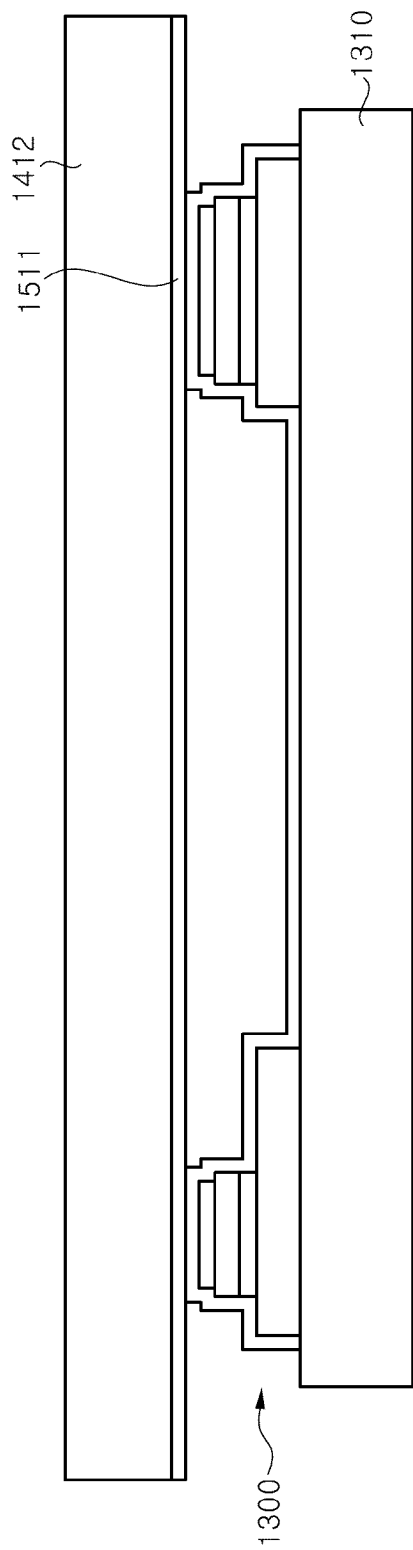
[도27]



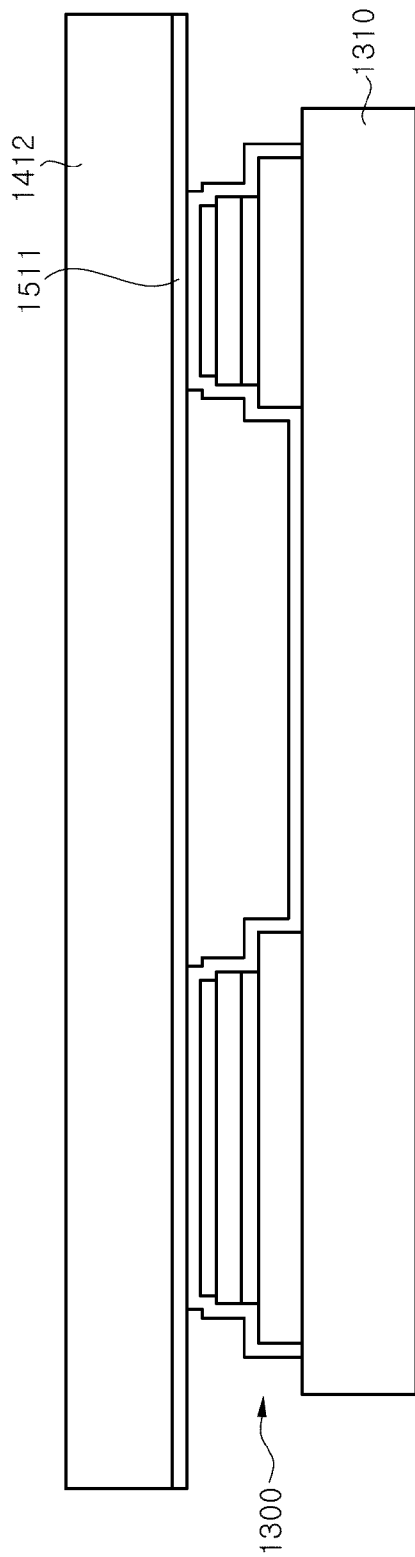
[도28]



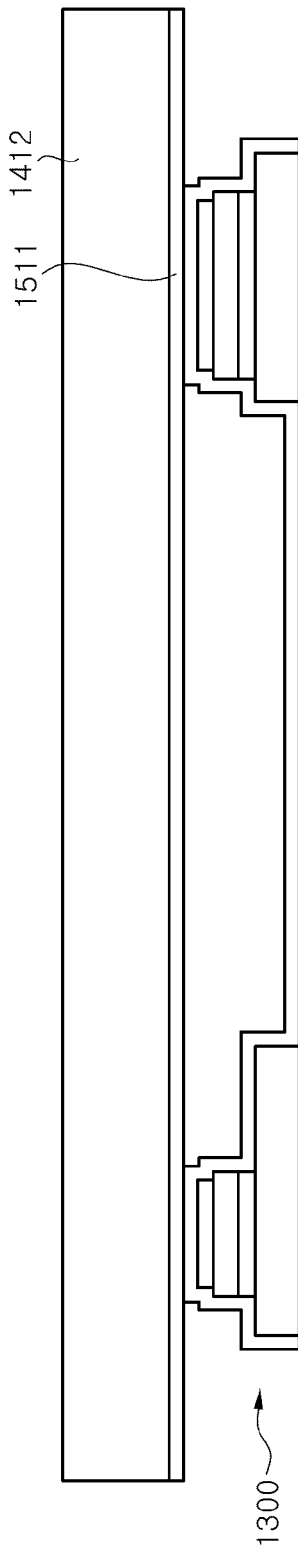
[도29]



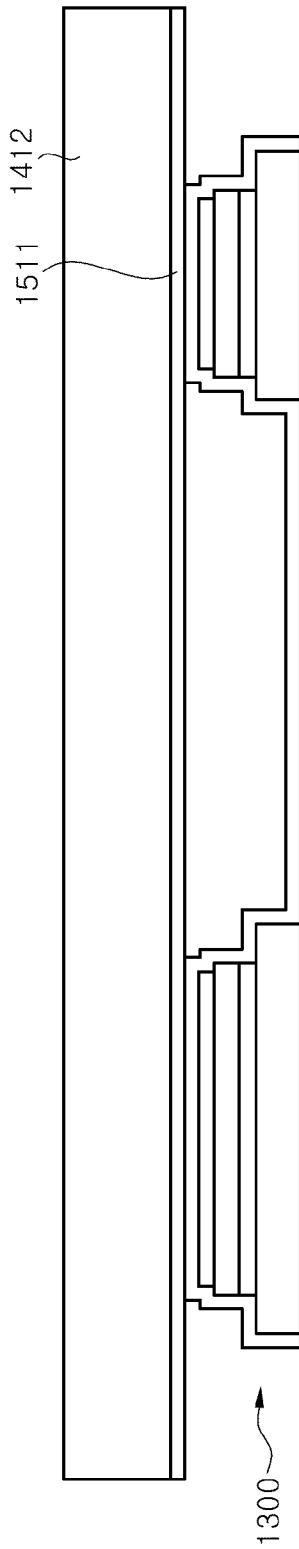
[도30]



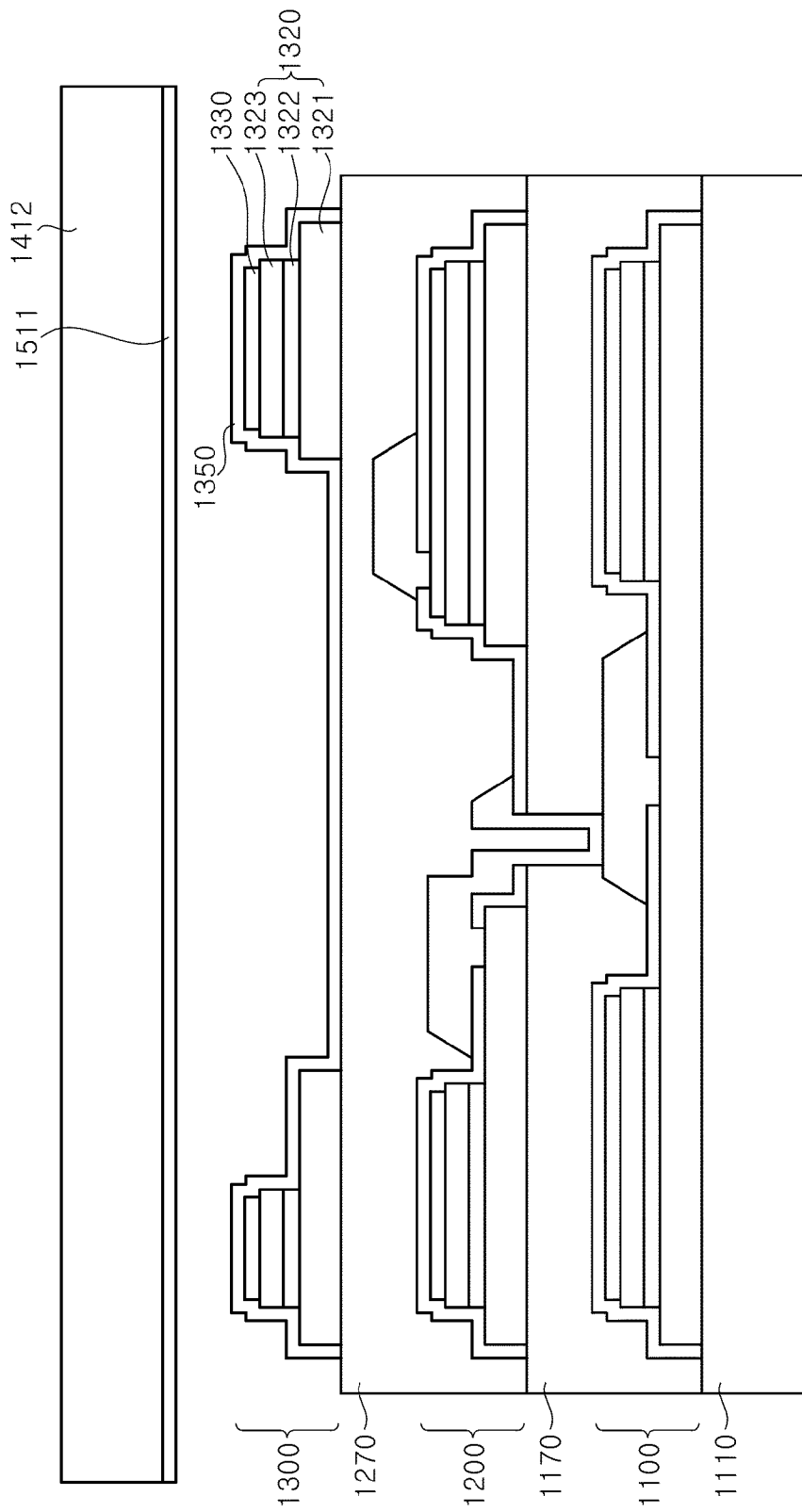
[도31]



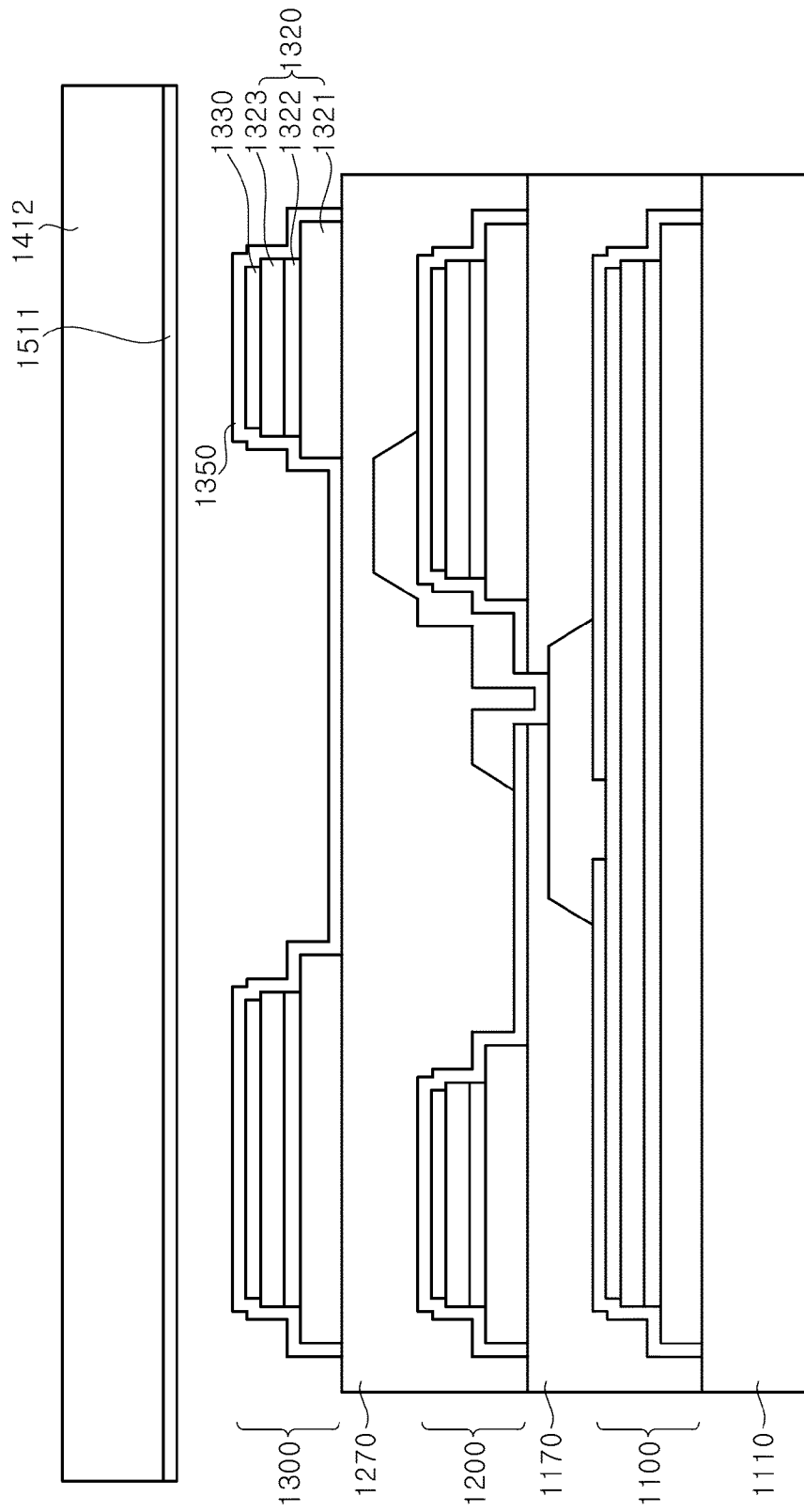
[도32]



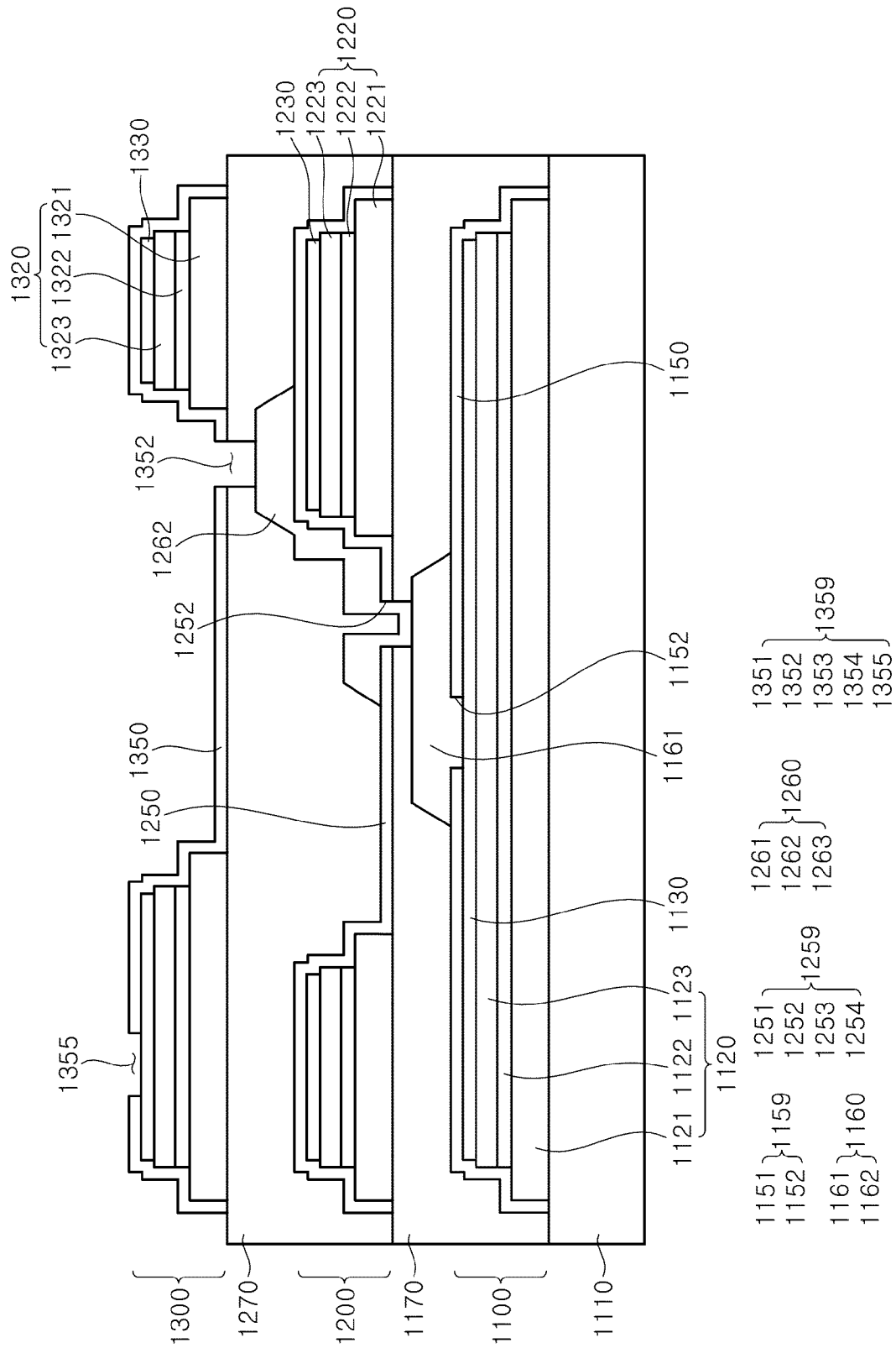
[도33]



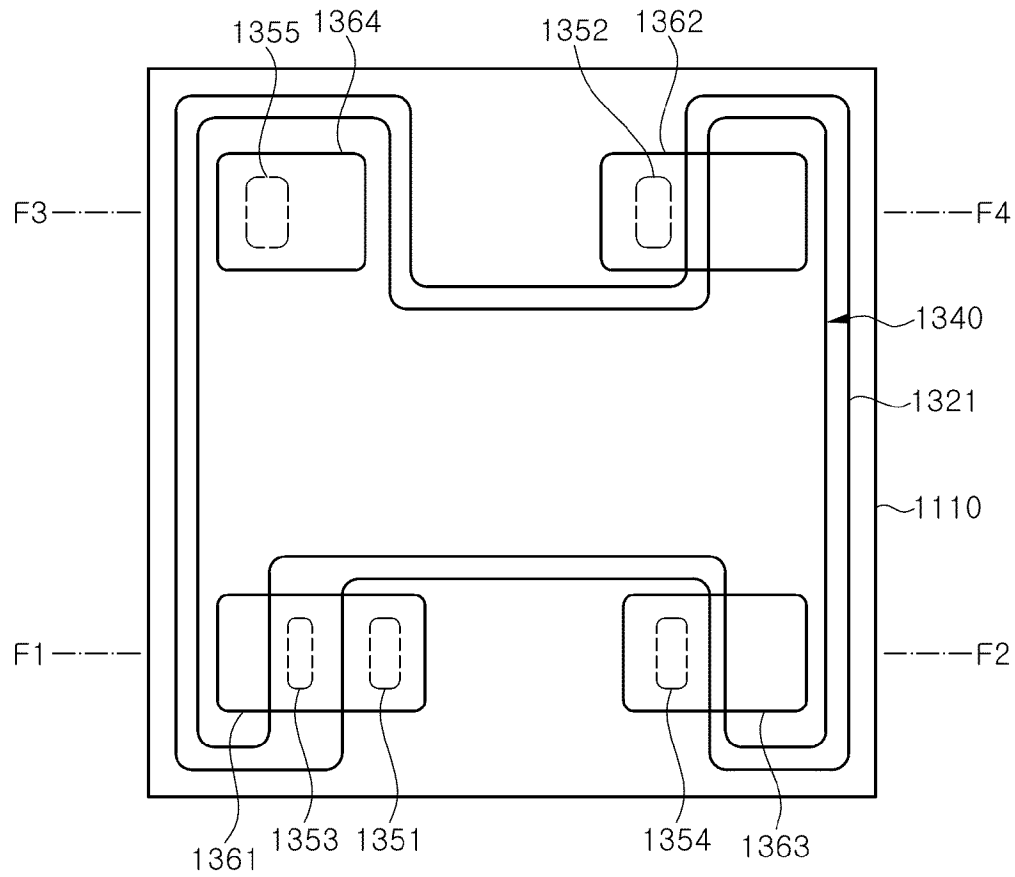
[도34]



[도36]



[도37]

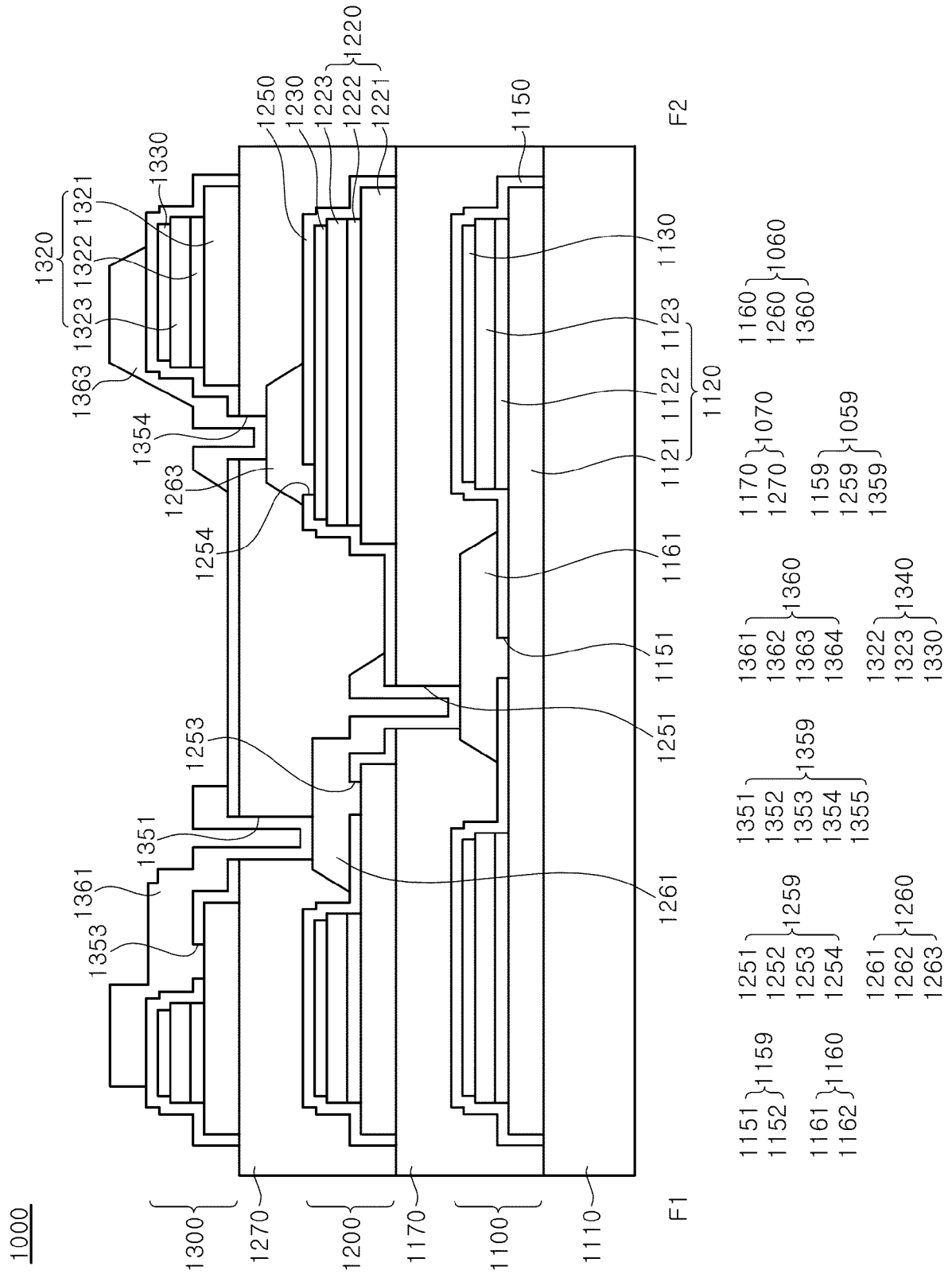
1000

1322 }
1323 } 1340
1330 }

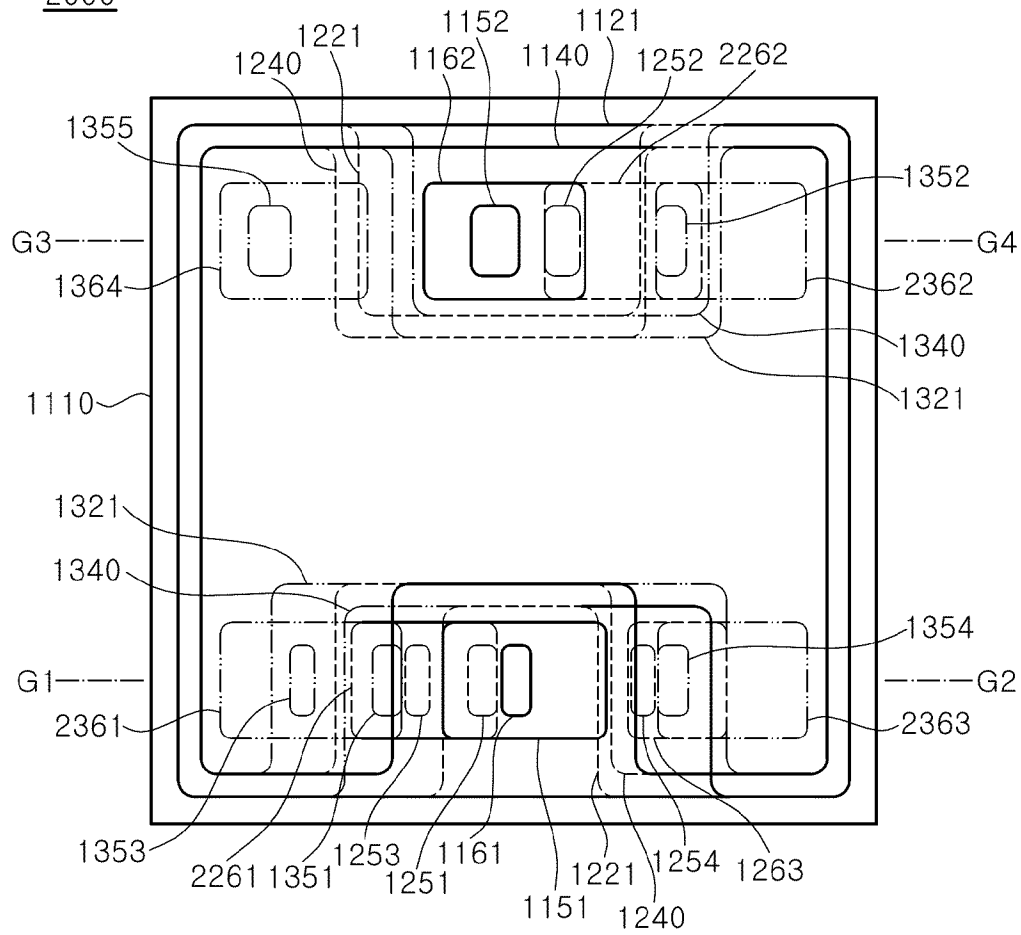
1351 }
1352 } 1359
1353 }
1354 }
1355 }

1361 }
1362 } 1360
1363 }
1364 }

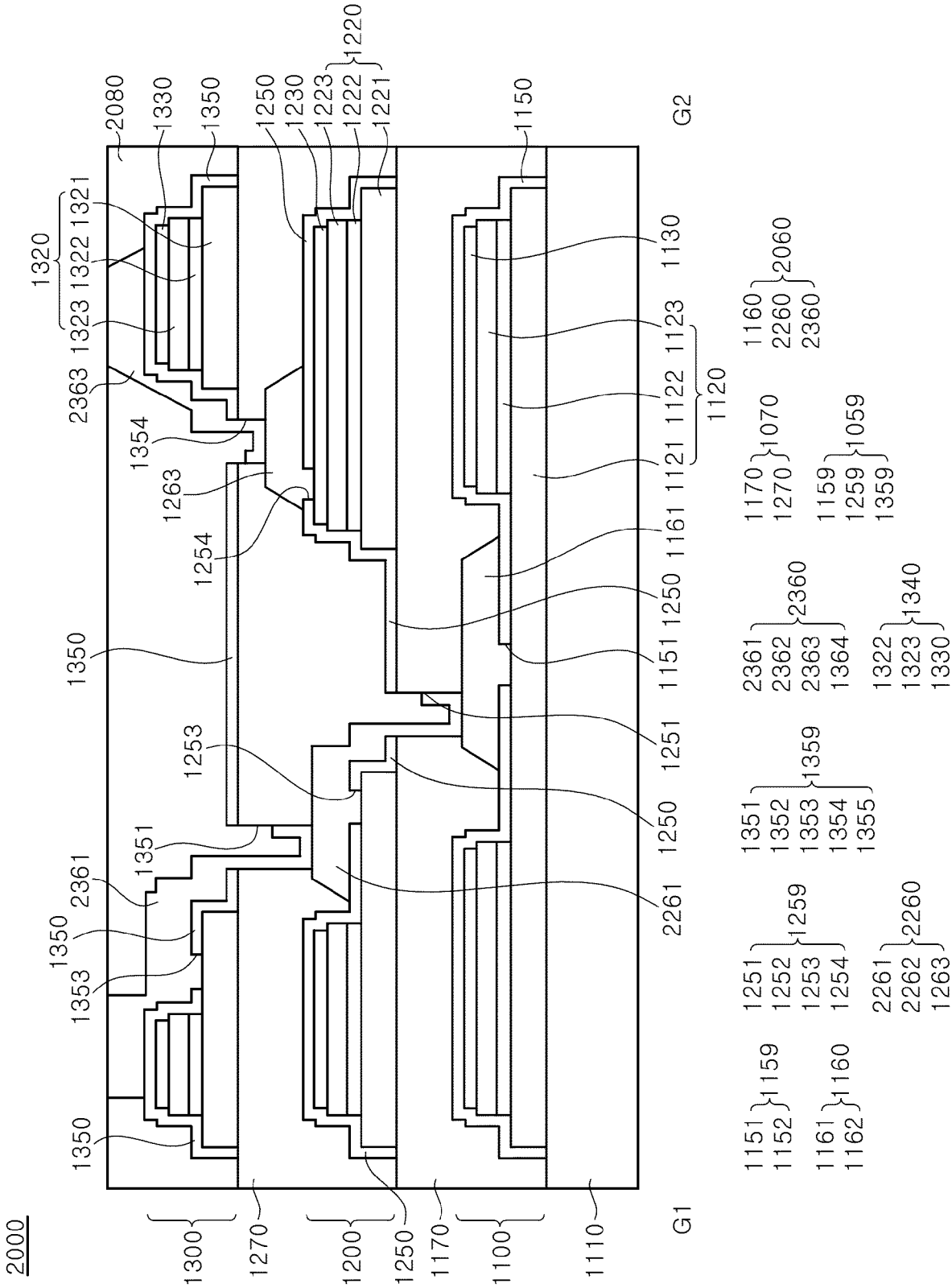
[도38]



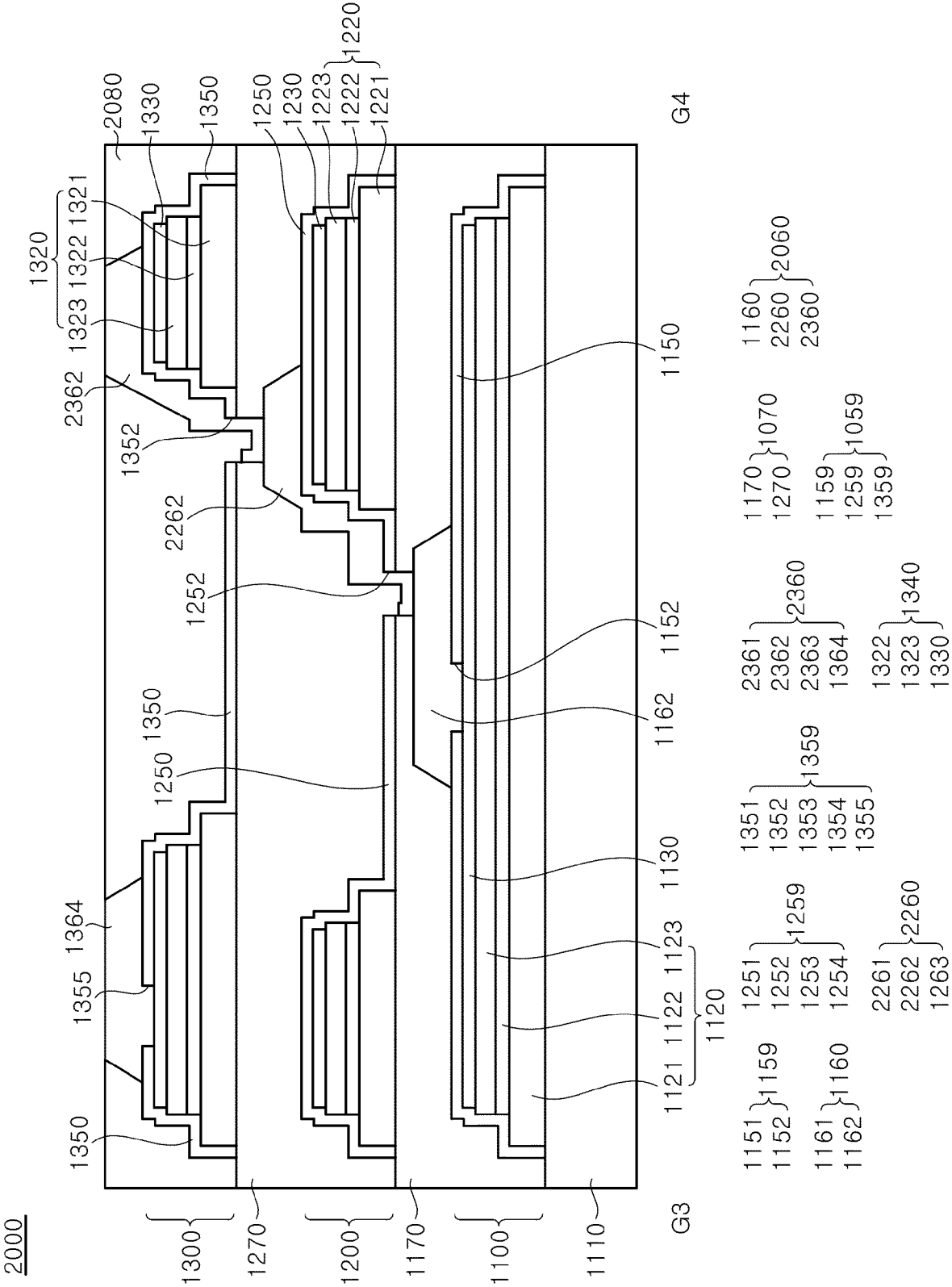
[도40]

2000

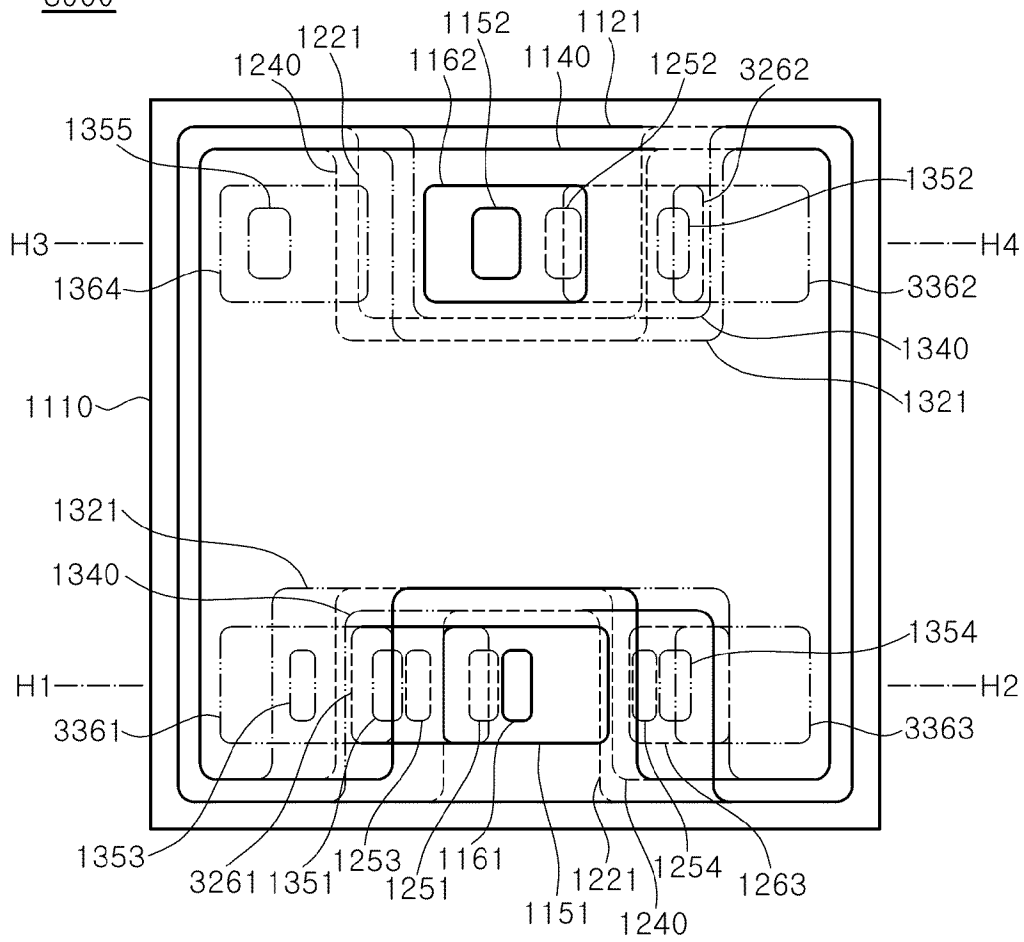
[도41]

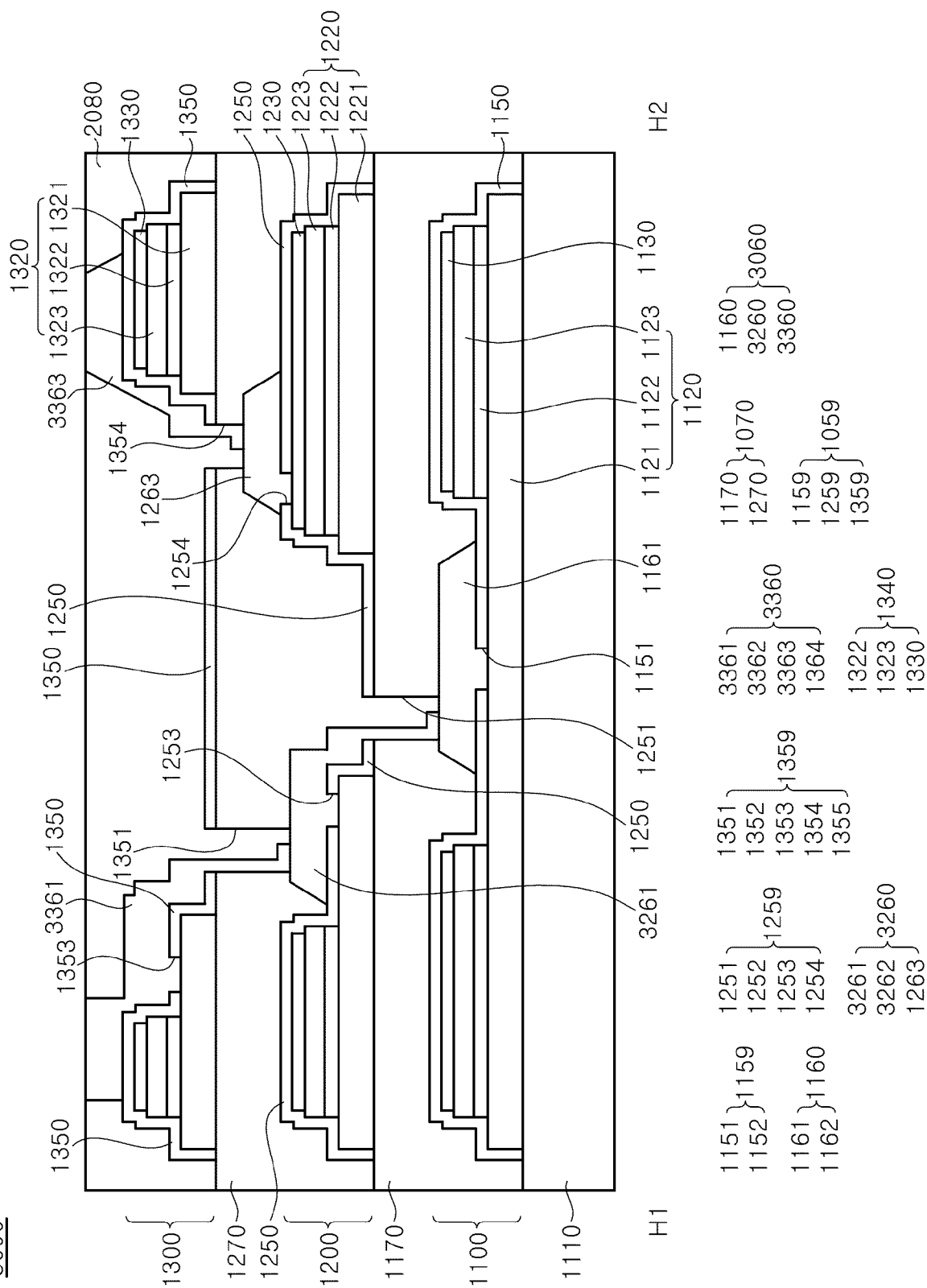


[도42]



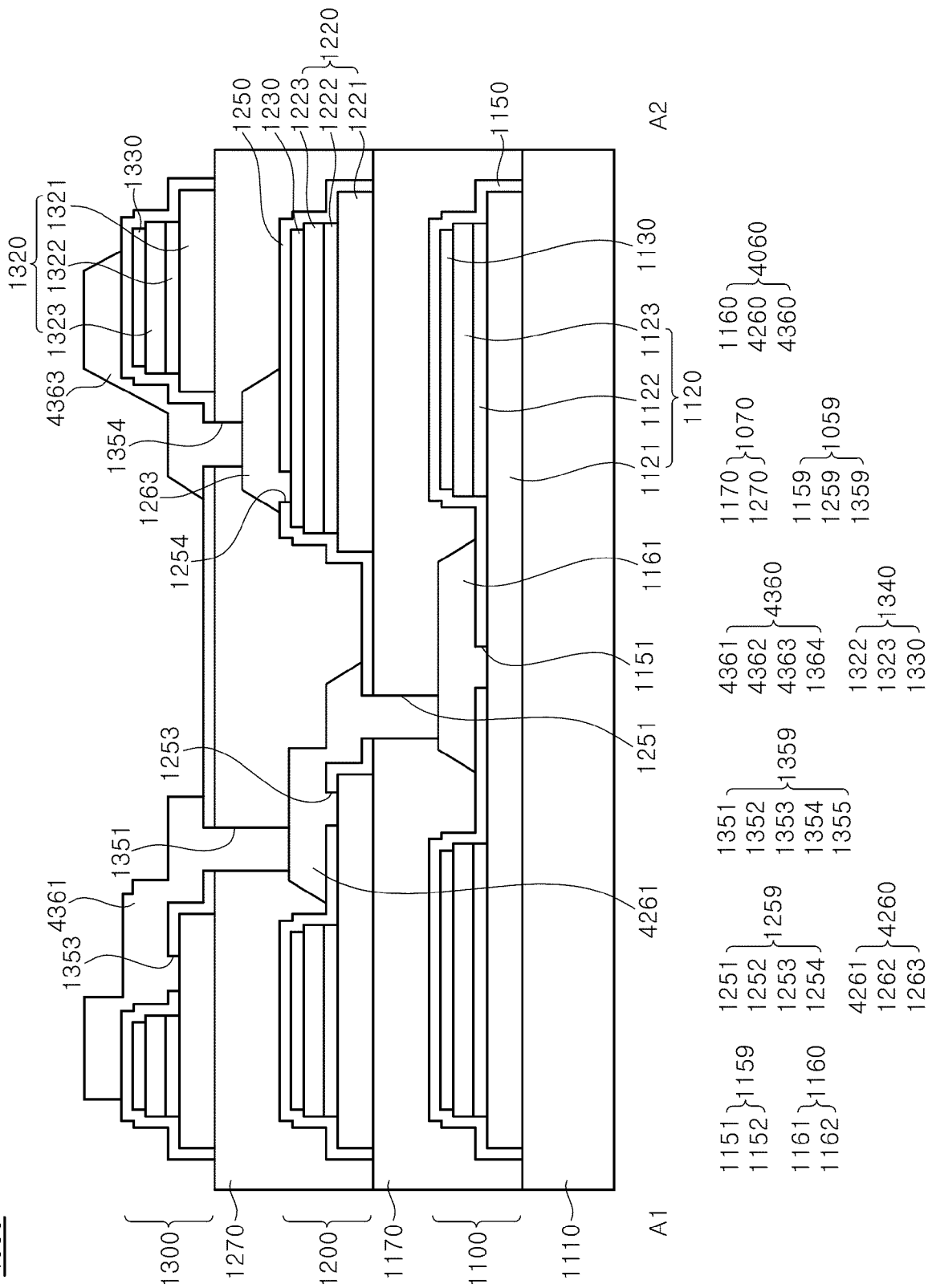
[도43]

3000

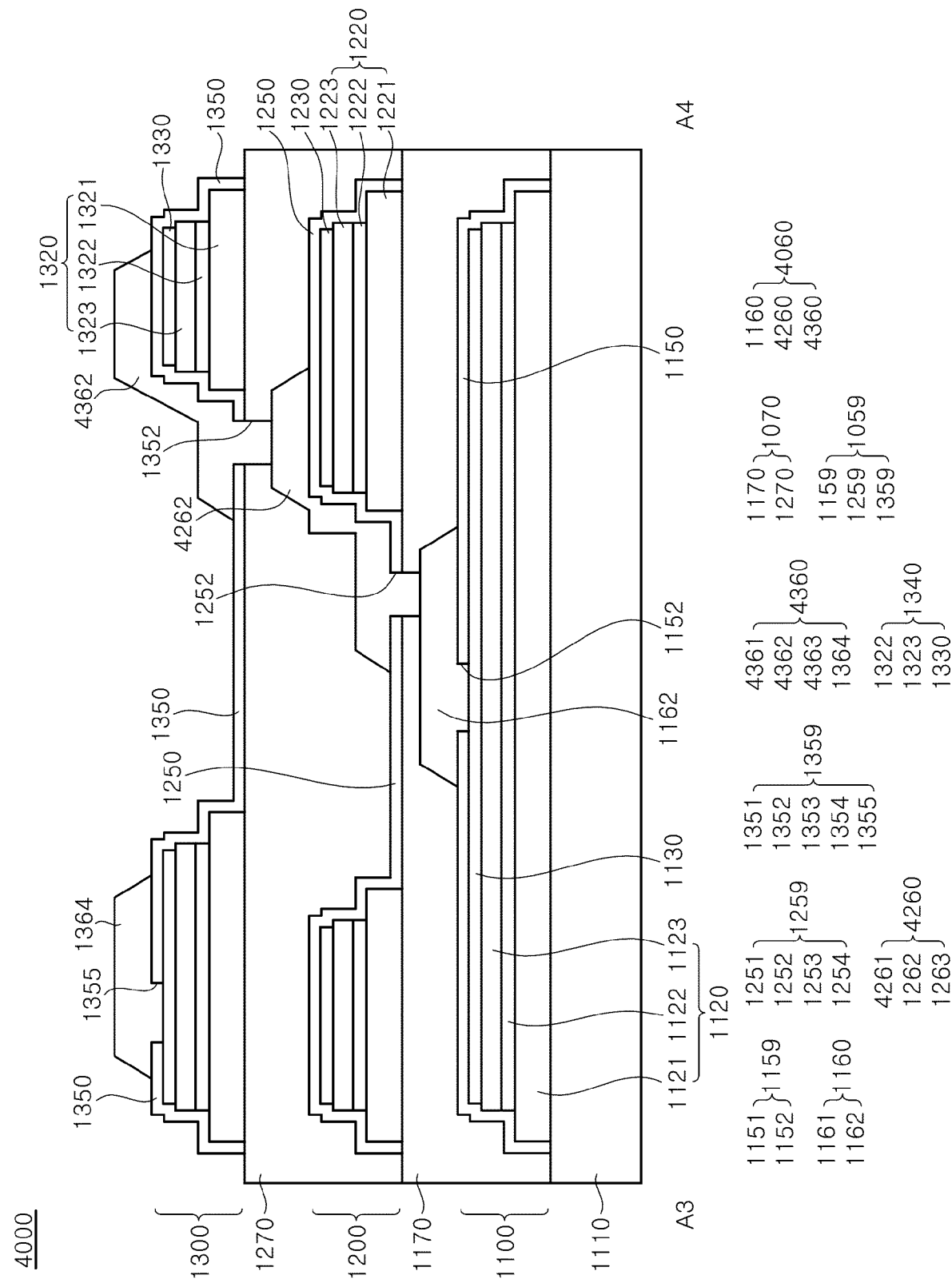
3000

[도46]

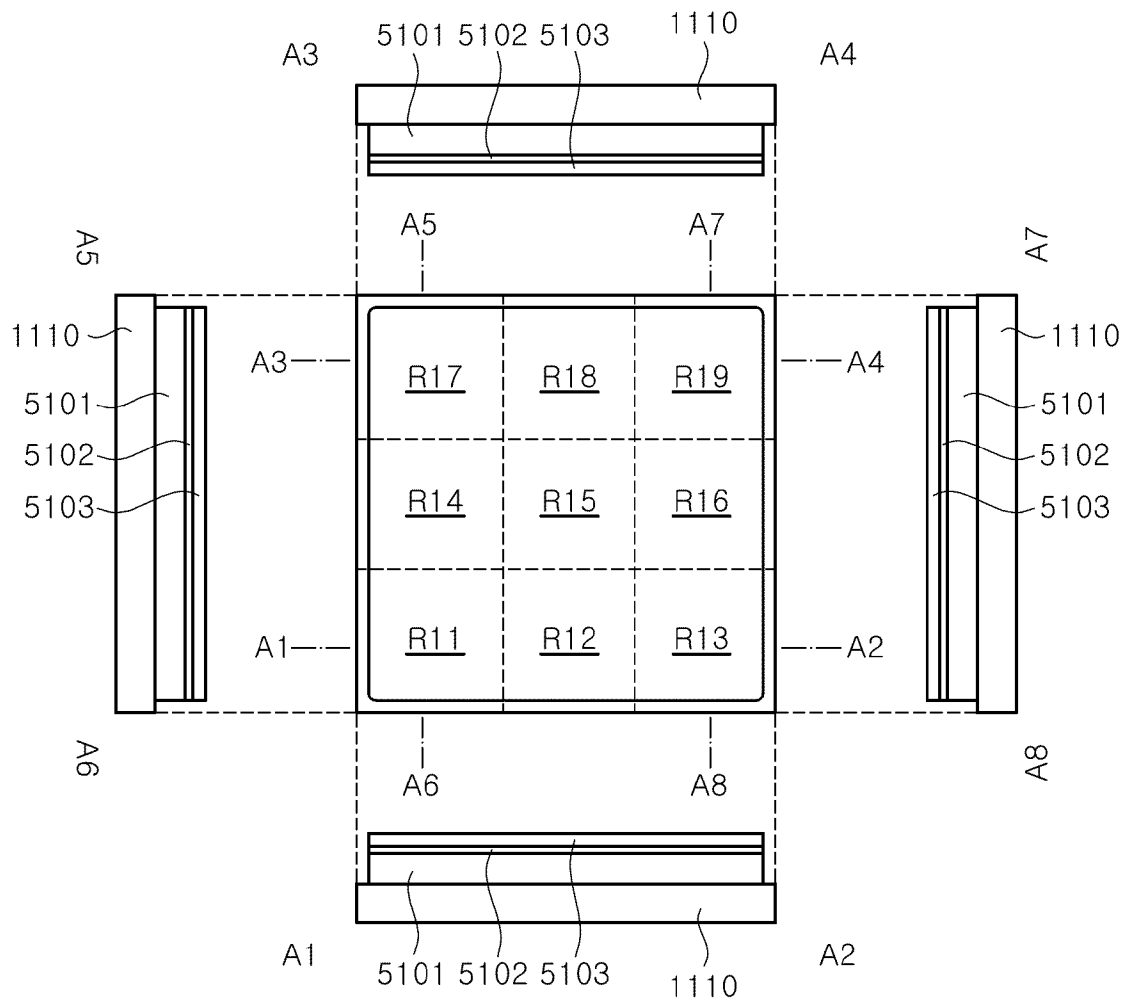
4000

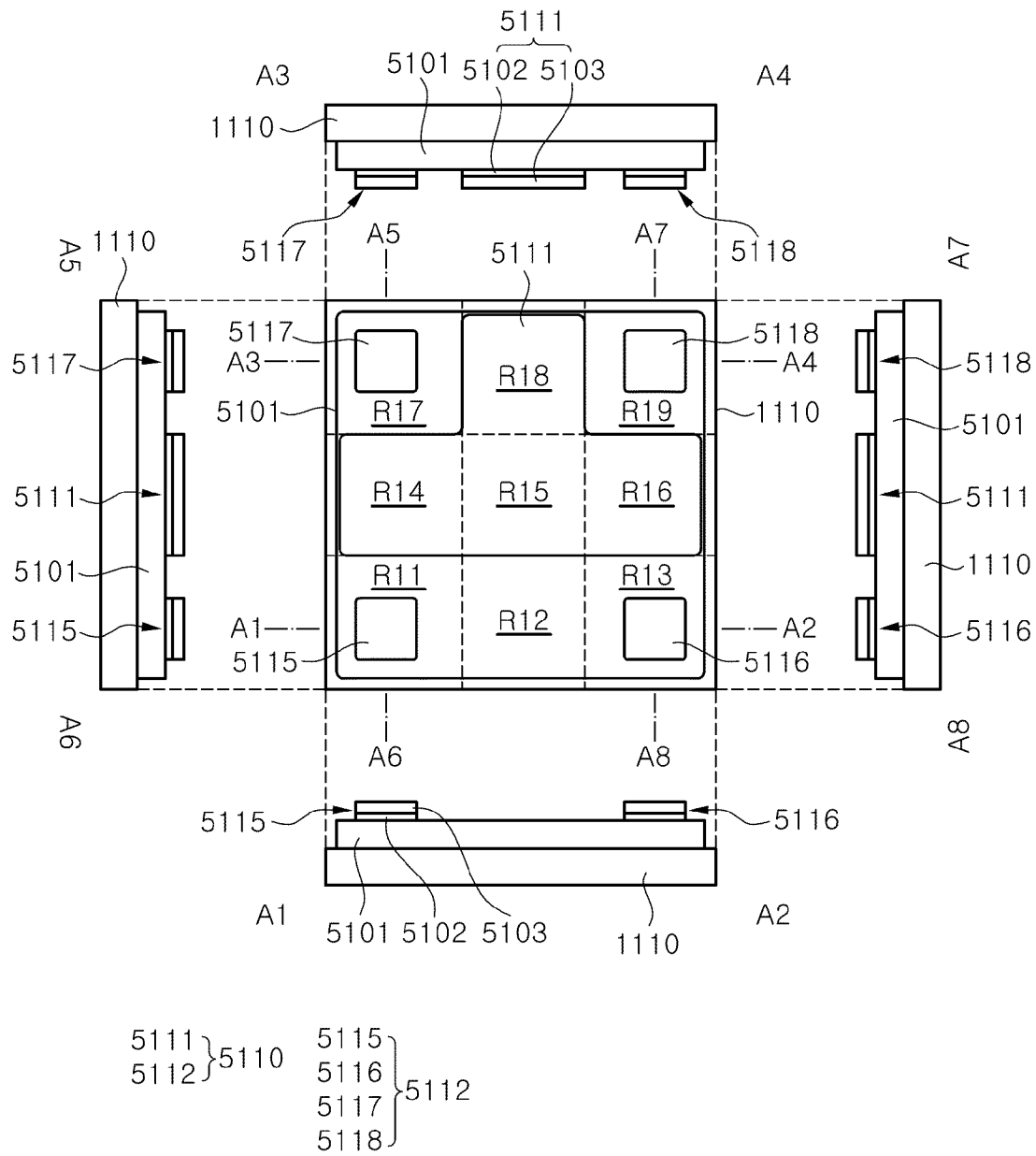


[도47]

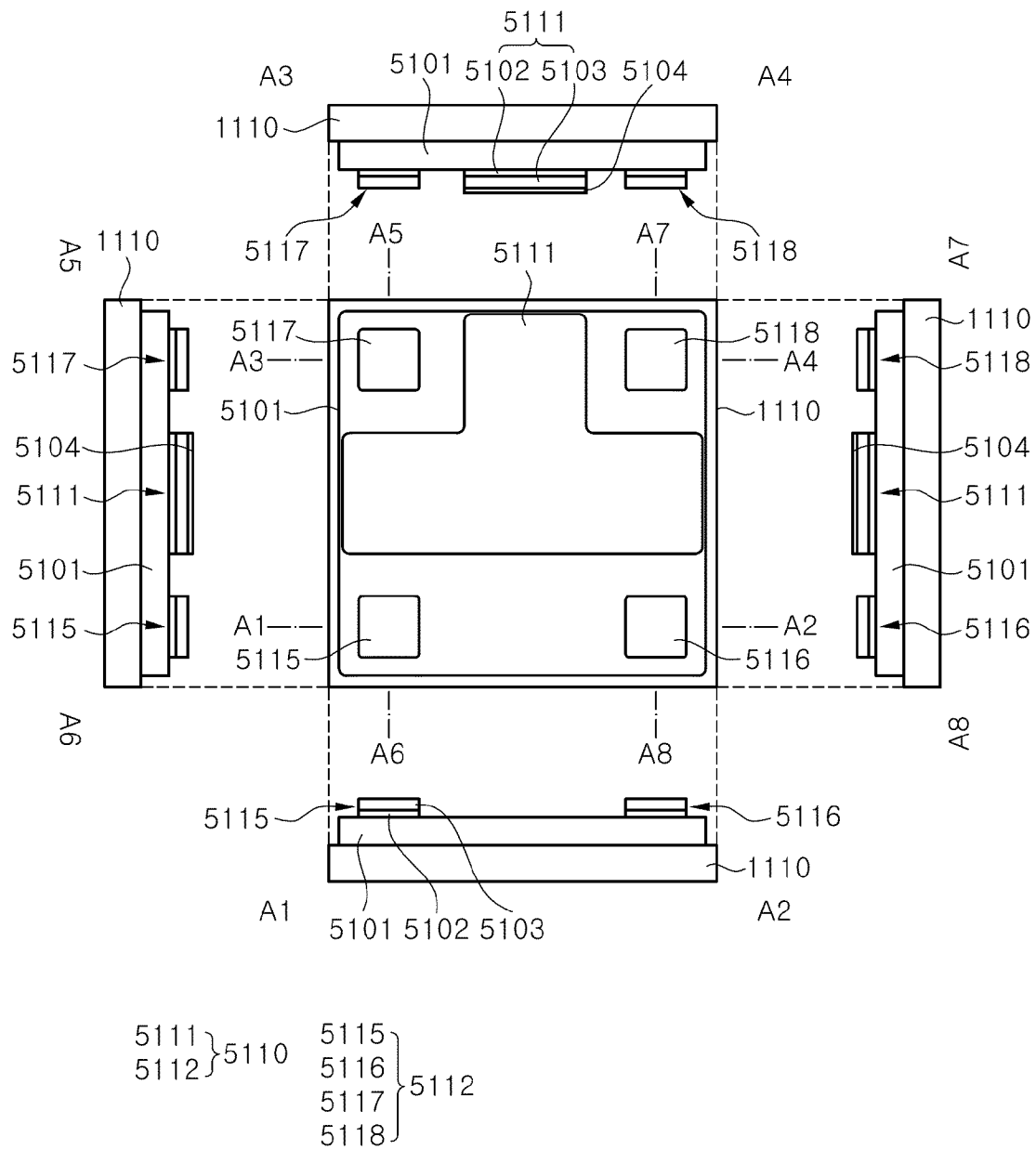


[도48]

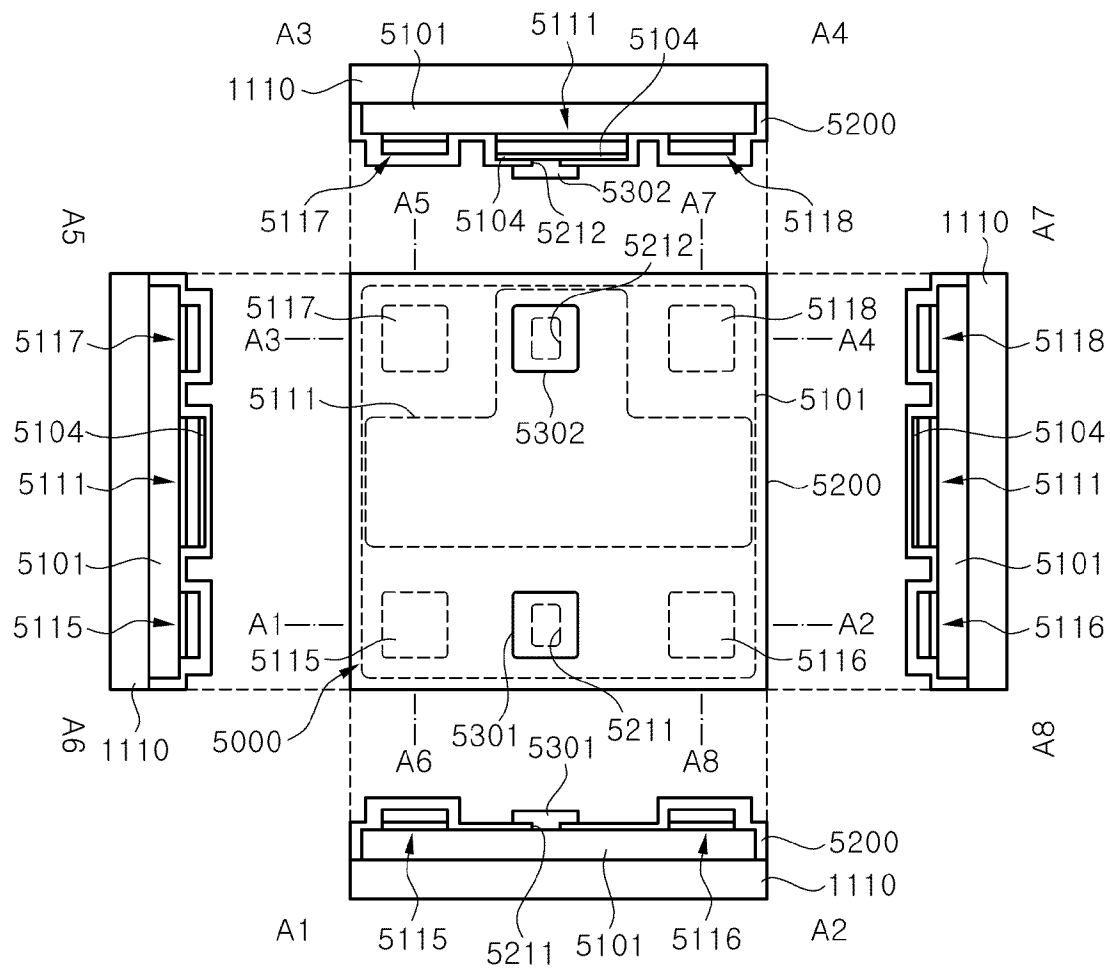




[도50]

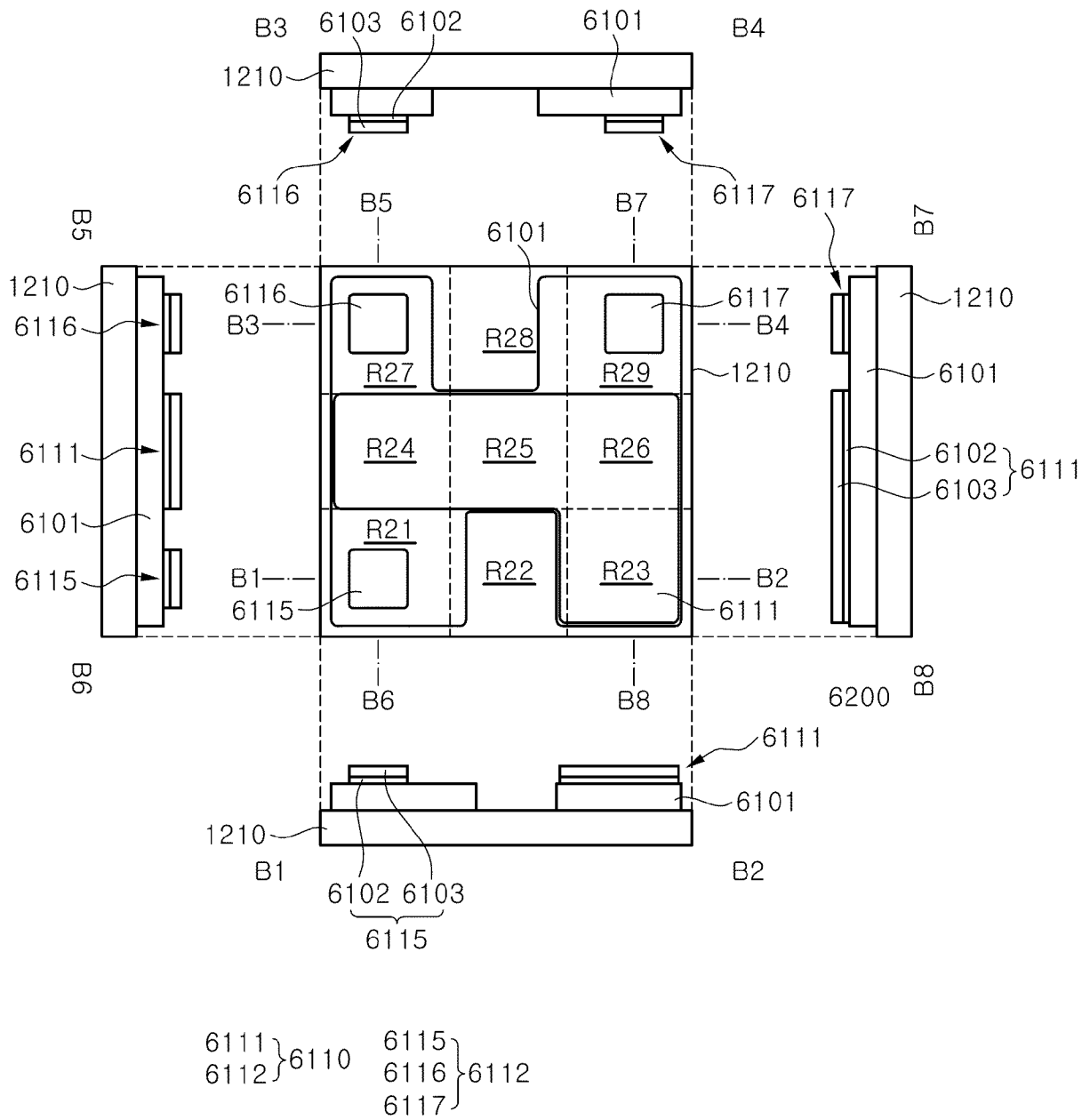


[도52]

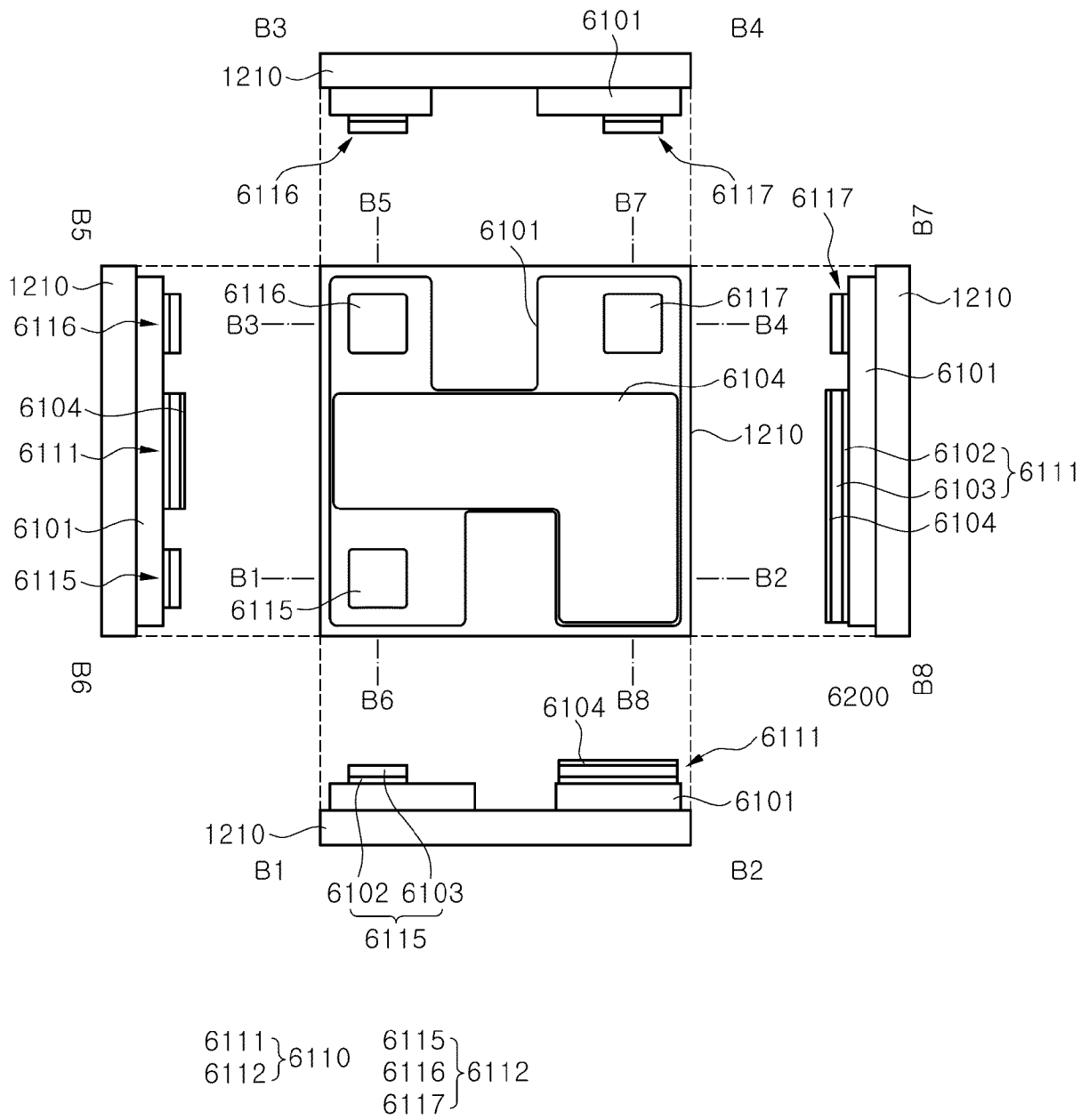


5211	} 5210	5301	} 5300	5104	} 5000
5212		5302		5110	
5111	} 5110			5200	
5112				5300	

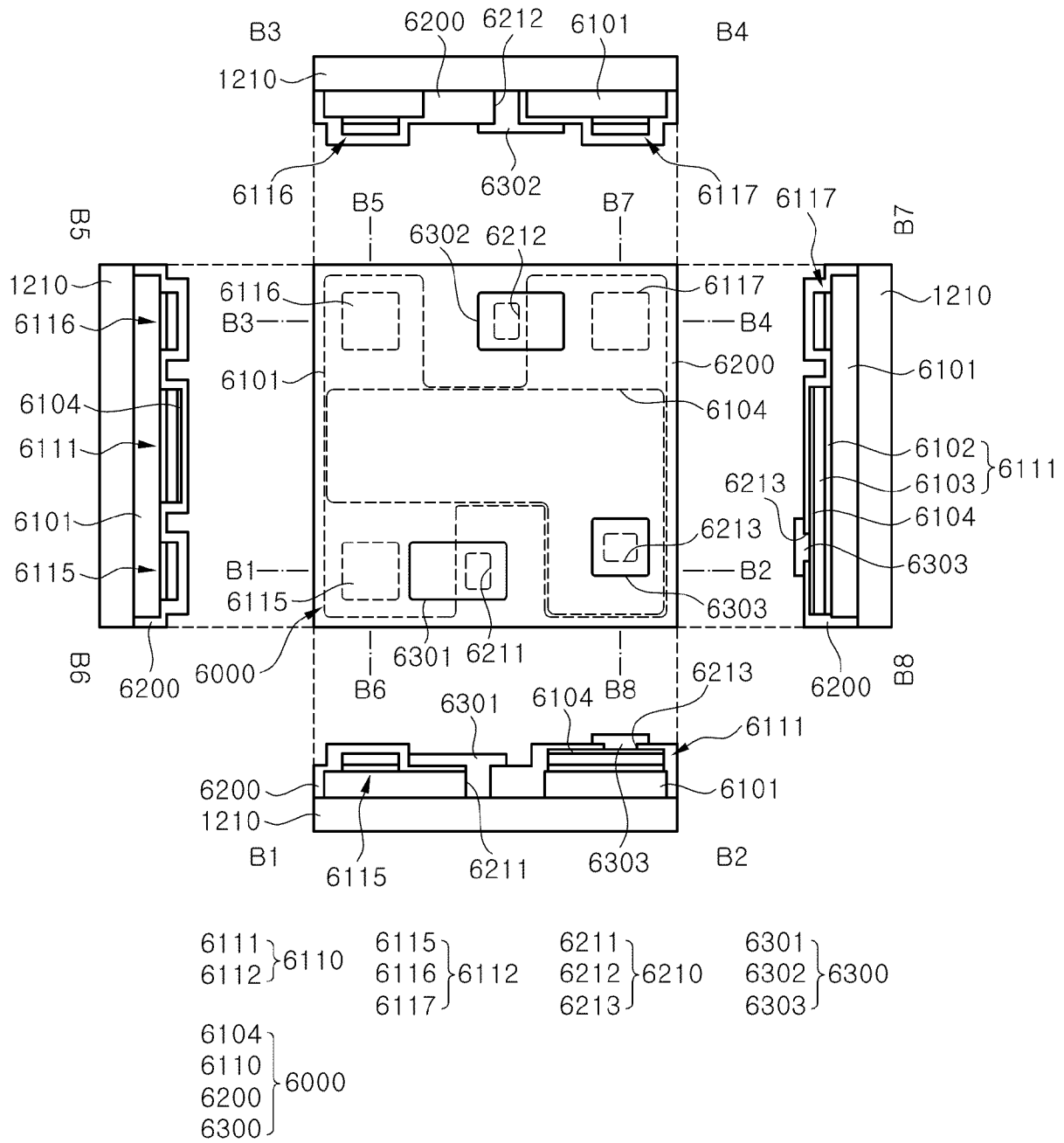
[도54]



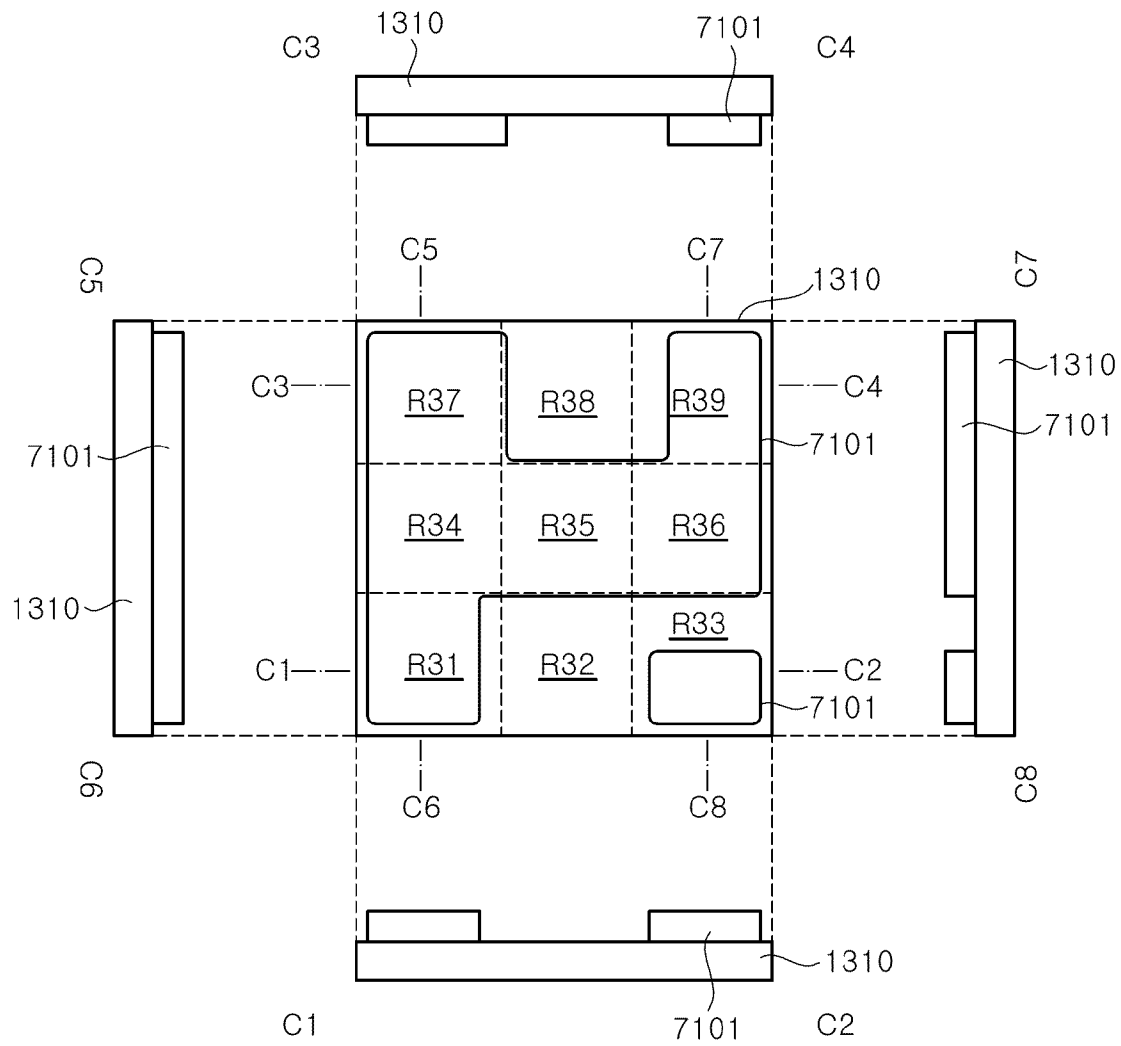
[도55]



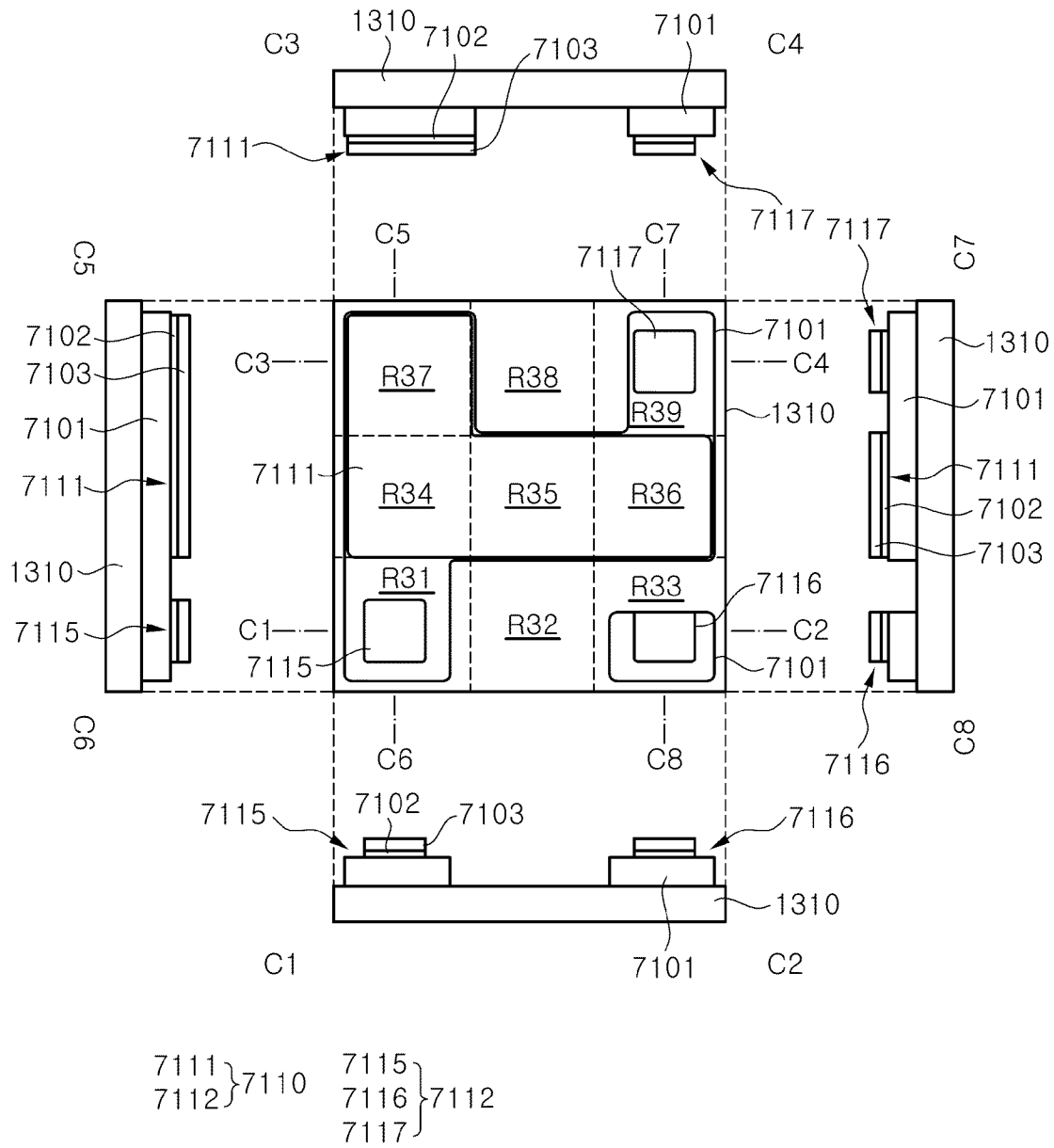
[도57]



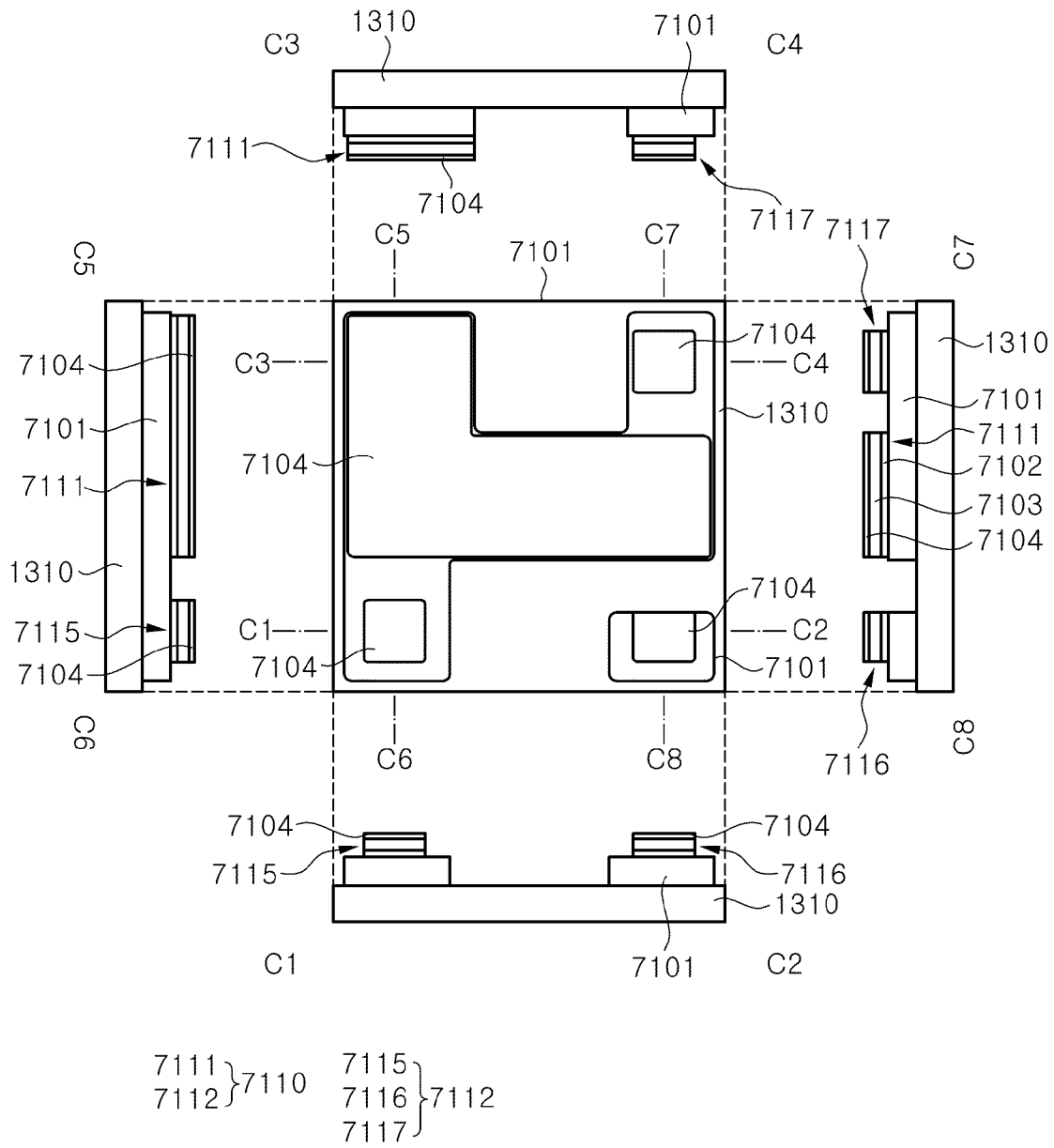
[도58]



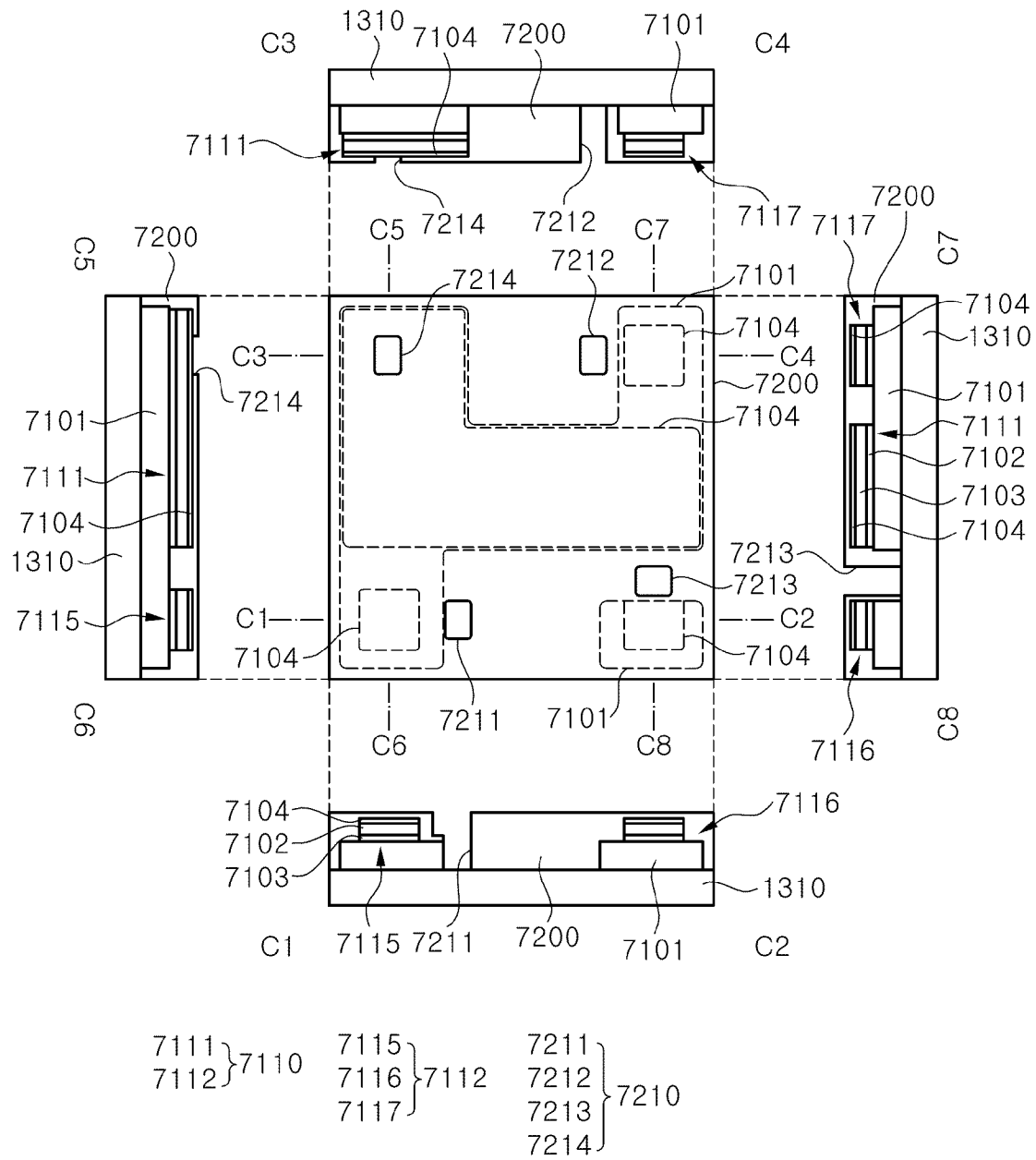
[도59]



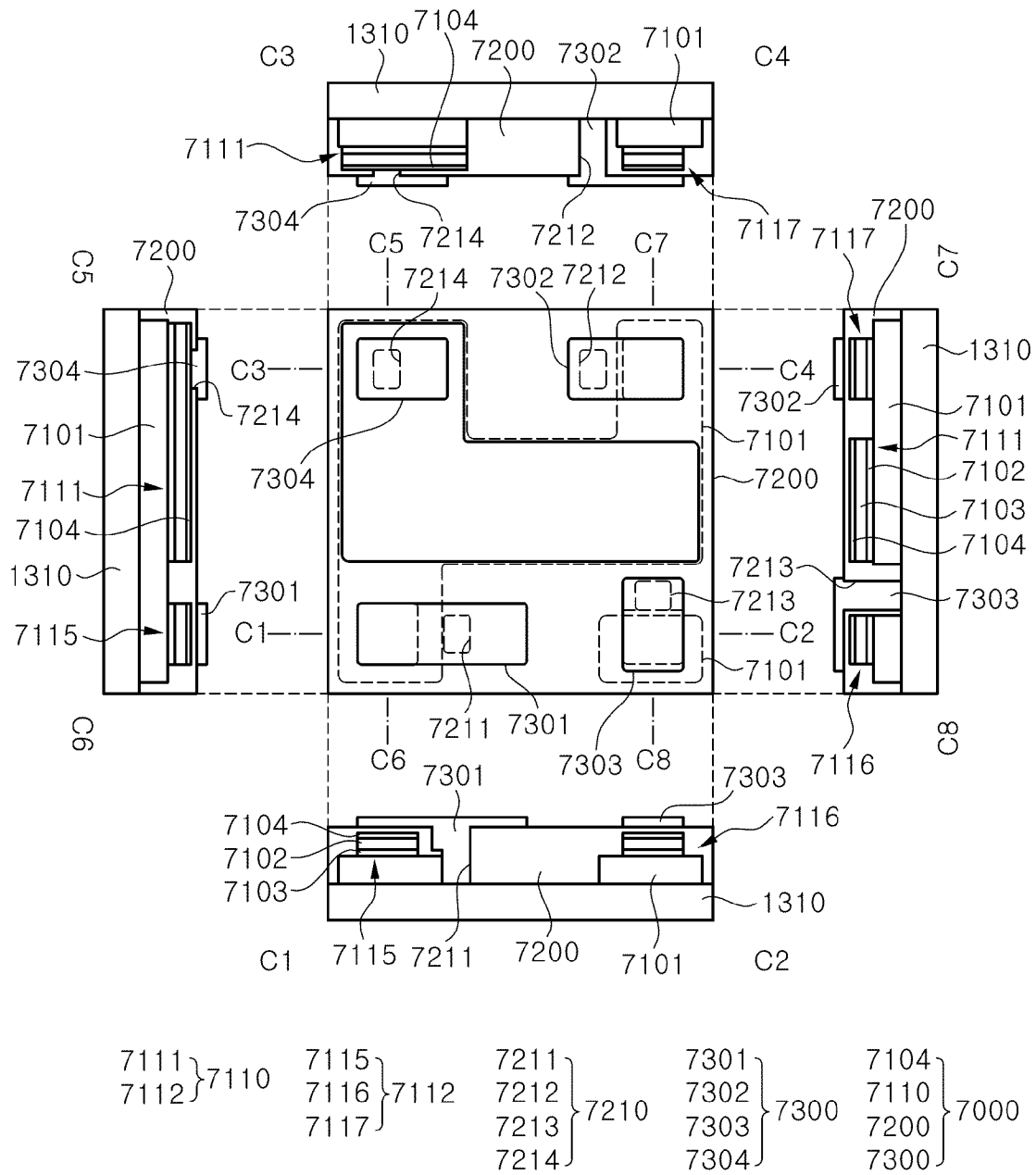
[도60]



[도61]



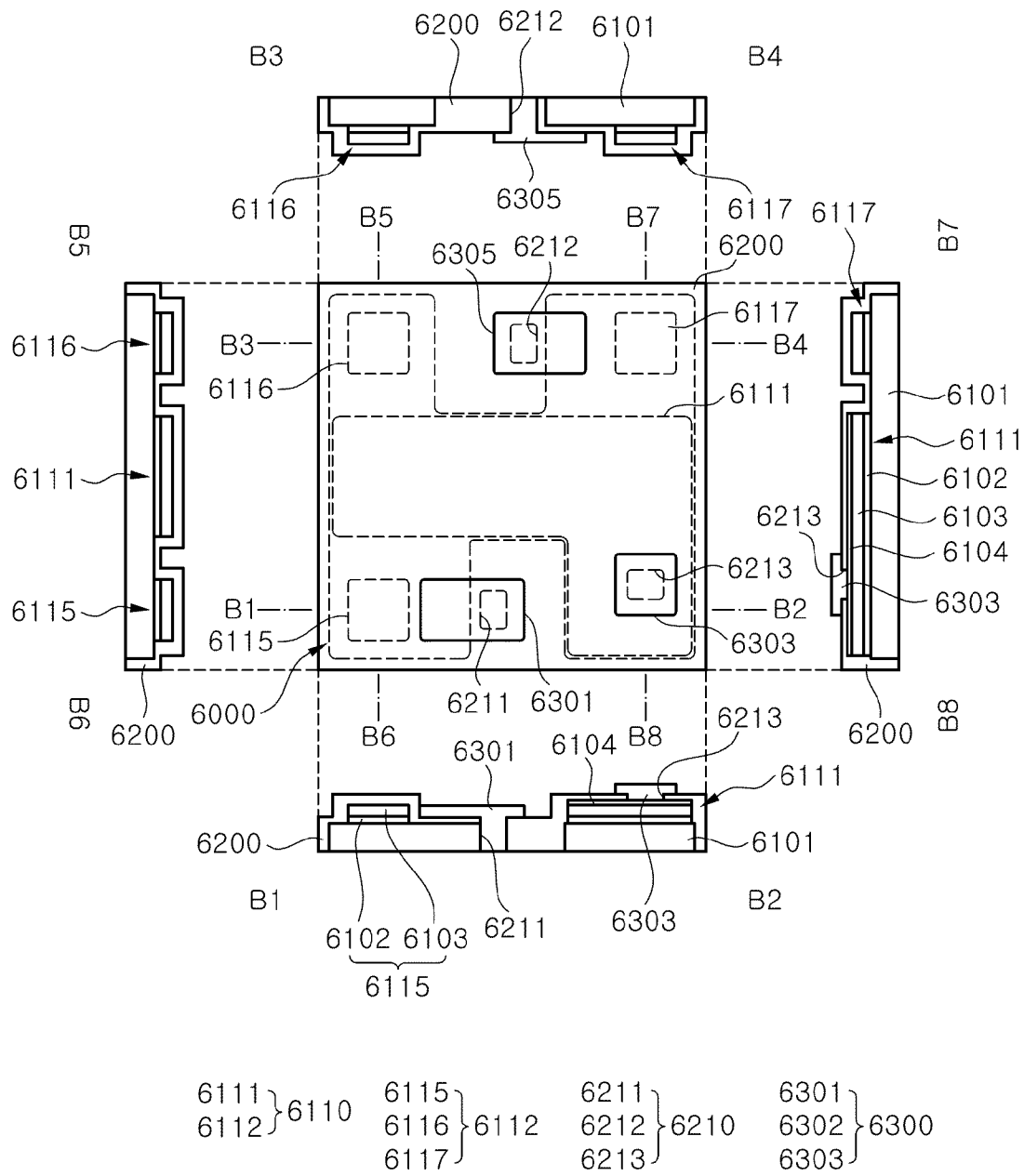
[도62]



$$\begin{array}{ccc} \begin{array}{l} 5211 \\ 5212 \end{array} \} 5210 & \begin{array}{l} 5301 \\ 5302 \end{array} \} 5300 & \begin{array}{l} 8111 \\ 8112 \end{array} \} 8110 \end{array}$$

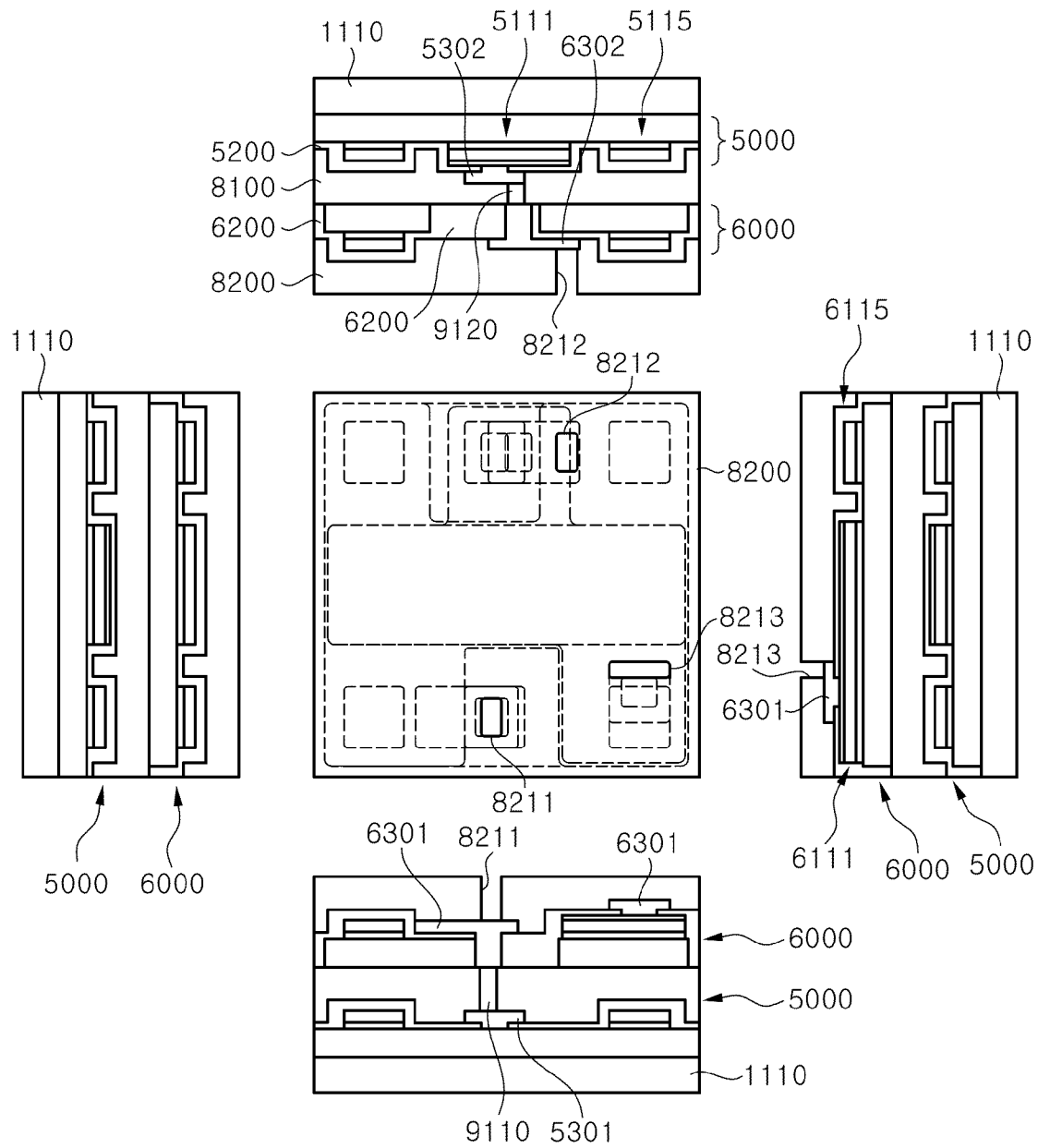
Figure 1 illustrates a semiconductor device in plan and cross-sectional views. The plan view (bottom) shows a central region 9100 with four sub-regions 8111, 8112, 9110, and 9120. The cross-sectional views (top and bottom) show the device structure along lines A1-A8. The top cross-section shows layers 1110, 5111, 5117, 5118, 5200, and 5212. The bottom cross-section shows layers 5115, 5211, 5301, 5302, 8100, and 8110. The device includes a central region 9100, a surrounding region 8100, and a top layer 1110.

[도65]

6000

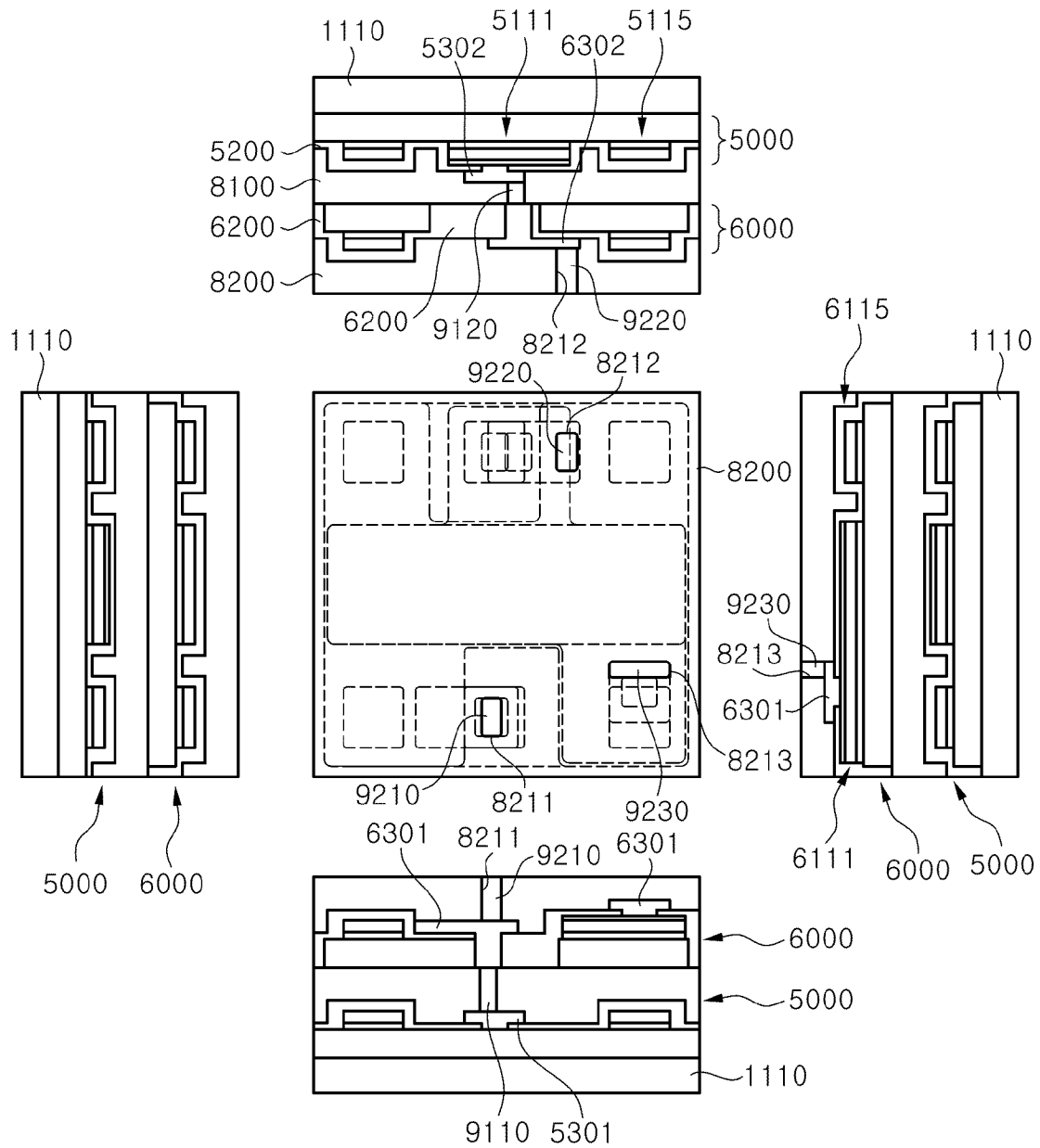
$$\begin{array}{ccccc} \left. \begin{array}{l} 5111 \\ 5112 \end{array} \right\} 5110 & \left. \begin{array}{l} 5211 \\ 5212 \end{array} \right\} 5210 & \left. \begin{array}{l} 5301 \\ 5302 \end{array} \right\} 5300 & \left. \begin{array}{l} 8111 \\ 8112 \end{array} \right\} 8110 & \left. \begin{array}{l} 9110 \\ 9120 \end{array} \right\} 9100 \\ \\ \left. \begin{array}{l} 6111 \\ 6112 \end{array} \right\} 6110 & \left. \begin{array}{l} 6301 \\ 6302 \\ 6303 \end{array} \right\} 6300 & & & \end{array}$$

[도67]



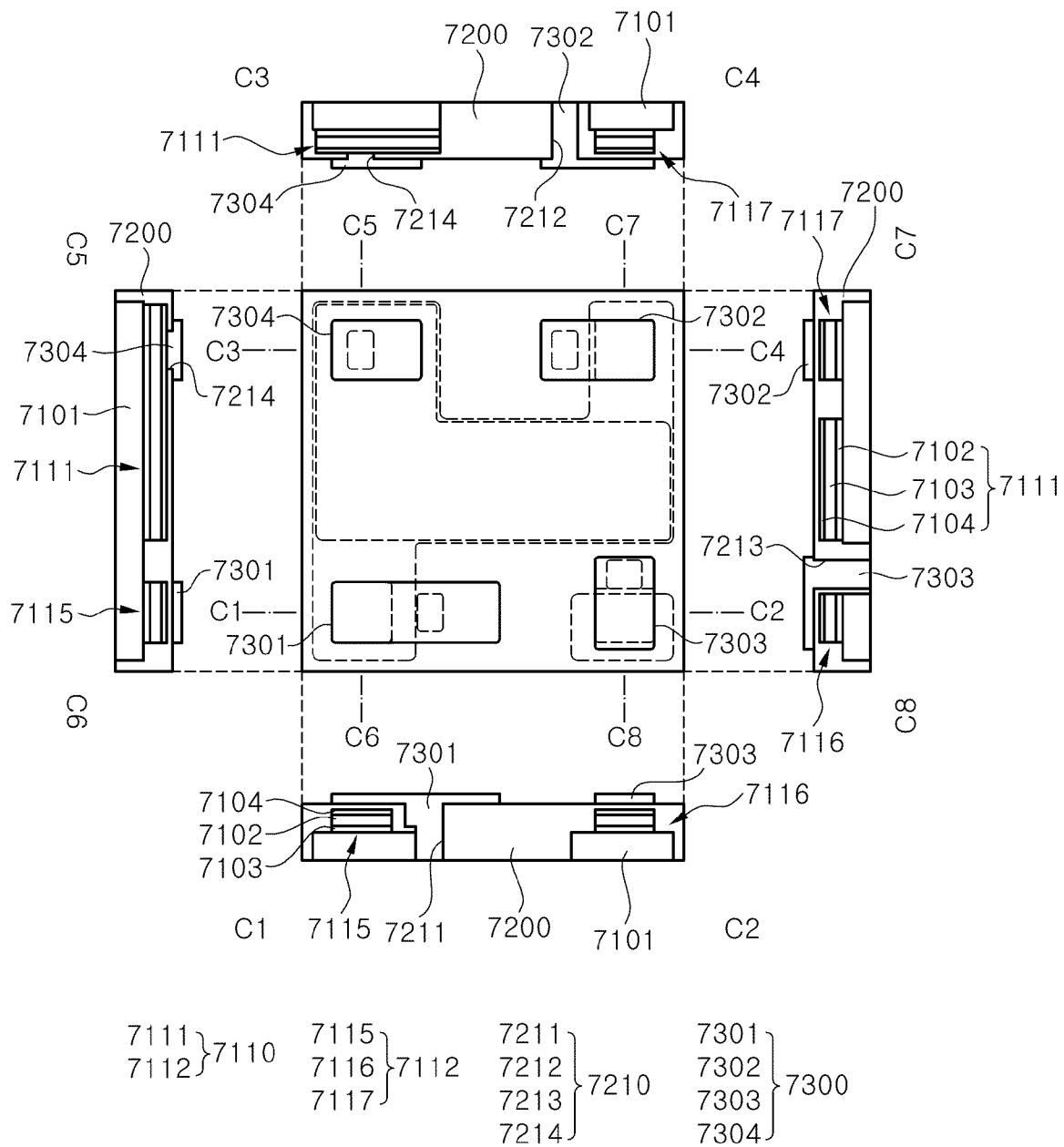
5111	5112	5110	5211	5212	5210	5301	5302	5300	8111	8112	8110	9110	9120	9100
6111	6112	6110	6301	6302	6303	6300	8211	8212	8213	8210				

[도68]

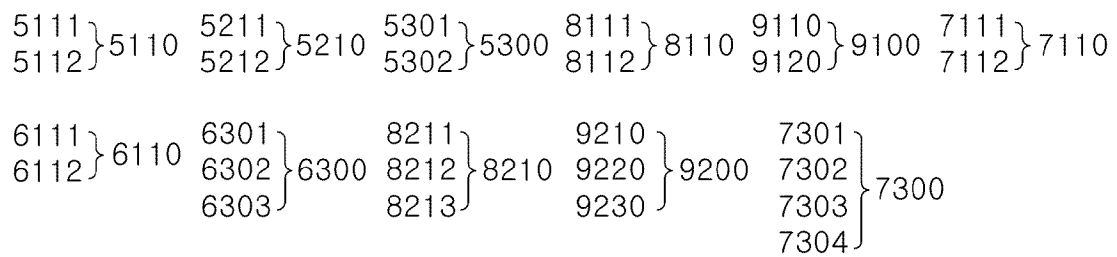


5111	5211	5301	8111	9110
5112	5212	5302	8112	9120
6111	6301	8211	9210	
6112	6302	8212	9220	
	6303	8213	9230	

[도69]

7000

5001



$$\begin{array}{ccccccccc} \left. \begin{array}{l} 6111 \\ 6112 \end{array} \right\} & 6110 & \left. \begin{array}{l} 6301 \\ 6302 \\ 6303 \end{array} \right\} & 6300 & \left. \begin{array}{l} 8211 \\ 8212 \\ 8213 \end{array} \right\} & 8210 & \left. \begin{array}{l} 9210 \\ 9220 \\ 9230 \end{array} \right\} & 9200 & \left. \begin{array}{l} 7301 \\ 7302 \\ 7303 \\ 7304 \end{array} \right\} & 7300 \end{array}$$

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/008915

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/15(2006.01)i; **H01L 33/08**(2010.01)i; **H01L 33/44**(2010.01)i; **H01L 33/38**(2010.01)i; **H01L 33/56**(2010.01)i;
H01L 33/58(2010.01)i; **H01L 33/62**(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/15(2006.01); G09F 9/30(2006.01); G09F 9/33(2006.01); H01L 25/16(2006.01); H01L 33/00(2010.01);
H01L 33/10(2010.01); H01L 33/36(2010.01); H01L 33/38(2010.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 픽셀 소자(pixel device), 제1 발광부(first light emitting unit), 제2 발광부
(second light emitting unit), 제3 발광부(third light emitting unit), 적층(stack), 공통 전극(common electrode), 제1 전극(first
electrode), 제2 전극(second electrode), 제3 전극(third electrode), 버퍼 구조물(buffer structure)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2021-0127932 A (SEOUL VIOSYS CO., LTD.) 25 October 2021 (2021-10-25) See paragraphs [0049]-[0103]; claims 1-2; and figures 3a-3d.	1-20
Y		26-32,35
X	KR 10-2023-0022942 A (JADE BIRD DISPLAY(SHANGHAI) LIMITED) 16 February 2023 (2023-02-16) See paragraphs [0166]-[0167], [0392]-[0394] and [0398]; and figure 8.	21-25,33-34
Y		26-32,35
Y	KR 10-2020-0085771 A (SEOUL VIOSYS CO., LTD.) 15 July 2020 (2020-07-15) See paragraphs [0068]-[0118]; and figures 1a-1c.	35
A	KR 10-2503578 B1 (LG ELECTRONICS INC.) 24 February 2023 (2023-02-24) See paragraphs [0112]-[0173]; and figures 10-17.	1-35



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 November 2024

Date of mailing of the international search report

21 November 2024

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/008915

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2023-032326 A (OKI ELECTRIC IND. CO., LTD.) 09 March 2023 (2023-03-09) See paragraphs [0031]-[0098]; and figures 4-8.	1-35

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/008915

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention of group 1: claims 1-20 pertain to a pixel element comprising first to third light-emitting parts that are stacked, a common electrode and first to third electrodes,

The invention of group 2: claims 21-35 pertain to a pixel element comprising first to third light-emitting parts that are stacked and first to third buffer structures.

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/008915

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2021-0127932	A	25 October 2021	BR	112021018020	A2	23 November 2021
				CN	113557606	A	26 October 2021
				CN	211929519	U	13 November 2020
				EP	3940775	A1	19 January 2022
				JP	2022-524838	A	10 May 2022
				JP	7460650	B2	02 April 2024
				MX	2021010505	A	18 January 2022
				US	11211528	B2	28 December 2021
				US	2020-0295228	A1	17 September 2020
				US	2022-0158031	A1	19 May 2022
				WO	2020-185006	A1	17 September 2020
KR	10-2023-0022942	A	16 February 2023	AU	2021-259592	A1	08 December 2022
				AU	2021-261321	A1	08 December 2022
				AU	2021-282566	A1	02 February 2023
				AU	2021-283948	A1	09 February 2023
				CN	114766065	A	19 July 2022
				CN	114793476	A	26 July 2022
				CN	115413371	A	29 November 2022
				CN	115413372	A	29 November 2022
				CN	115836341	A	21 March 2023
				CN	115843393	A	24 March 2023
				DE	20825423	T1	09 November 2023
				DE	20827064	T1	09 November 2023
				DE	21792139	T1	22 June 2023
				DE	21792668	T1	22 June 2023
				DE	21817305	T1	06 July 2023
				DE	21818011	T1	06 July 2023
				EP	3987580	A1	27 April 2022
				EP	3987582	A1	27 April 2022
				EP	4139956	A1	01 March 2023
				EP	4139957	A1	01 March 2023
				EP	4162481	A1	12 April 2023
				EP	4162538	A1	12 April 2023
				JP	2022-536911	A	22 August 2022
				JP	2022-537156	A	24 August 2022
				JP	2023-525648	A	19 June 2023
				JP	2023-525649	A	19 June 2023
				JP	2023-527963	A	03 July 2023
				JP	2023-528829	A	06 July 2023
				JP	7529700	B2	06 August 2024
				KR	10-2022-0024706	A	03 March 2022
				KR	10-2022-0024710	A	03 March 2022
				KR	10-2023-0003505	A	06 January 2023
				KR	10-2023-0003506	A	06 January 2023
				KR	10-2023-0022943	A	16 February 2023
				KR	10-2024-0149971	A	15 October 2024
				TW	202147645	A	16 December 2021
				TW	202201818	A	01 January 2022
				TW	202205688	A	01 February 2022
				TW	202228111	A	16 July 2022

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/008915

Patent document cited in search report			Publication date (day/month/year)		Patent family member(s)		Publication date (day/month/year)	
					US	11538850	B2	27 December 2022
					US	11804582	B2	31 October 2023
					US	11811005	B2	07 November 2023
					US	12027509	B2	02 July 2024
					US	12074151	B2	27 August 2024
					US	2020-0403026	A1	24 December 2020
					US	2021-0328108	A1	21 October 2021
					US	2021-0328116	A1	21 October 2021
					US	2021-0384181	A1	09 December 2021
					US	2021-0384182	A1	09 December 2021
					US	2022-0344313	A1	27 October 2022
					US	2023-0077969	A1	16 March 2023
					WO	2020-257391	A1	24 December 2020
					WO	2020-257680	A1	24 December 2020
					WO	2021-216684	A1	28 October 2021
					WO	2021-216689	A1	28 October 2021
					WO	2021-247887	A1	09 December 2021
					WO	2021-247894	A1	09 December 2021
KR	10-2020-0085771	A	15 July 2020	BR	112020010671	A2		10 November 2020
				BR	112020010682	A2		10 November 2020
				BR	112020010688	A2		10 November 2020
				BR	112020010695	A2		10 November 2020
				BR	112020012281	A2		24 November 2020
				CN	110192276	A		30 August 2019
				CN	110690248	A		14 January 2020
				CN	110729283	A		24 January 2020
				CN	110770920	A		07 February 2020
				CN	110770920	B		14 May 2024
				CN	110785841	A		11 February 2020
				CN	110828435	A		21 February 2020
				CN	110870065	A		06 March 2020
				CN	110870065	B		13 August 2024
				CN	110959192	A		03 April 2020
				CN	111063774	A		24 April 2020
				CN	111063774	B		05 July 2024
				CN	111180479	A		19 May 2020
				CN	111180479	B		08 December 2023
				CN	111180480	A		19 May 2020
				CN	111223845	A		02 June 2020
				CN	111223845	B		14 June 2024
				CN	111244078	A		05 June 2020
				CN	111261622	A		09 June 2020
				EP	3718137	A1		07 October 2020
				EP	3718138	A1		07 October 2020
				EP	3718139	A1		07 October 2020
				EP	3718140	A1		07 October 2020
				EP	3729519	A1		28 October 2020
				EP	3913668	A1		24 November 2021
				EP	3913669	A1		24 November 2021
				EP	3913670	A1		24 November 2021

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/008915

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
		EP 3923327 A1	15 December 2021
		EP 3923328 A1	15 December 2021
		JP 2021-504752 A	15 February 2021
		JP 2021-504753 A	15 February 2021
		JP 2021-504754 A	15 February 2021
		JP 2021-504944 A	15 February 2021
		JP 2021-508170 A	25 February 2021
		JP 2023-027328 A	01 March 2023
		JP 2023-052124 A	11 April 2023
		JP 7199435 B2	05 January 2023
		JP 7206276 B2	17 January 2023
		JP 7330967 B2	22 August 2023
		JP 7345469 B2	15 September 2023
		JP 7387606 B2	28 November 2023
		JP 7413494 B2	15 January 2024
		JP 7568705 B2	16 October 2024
		KR 10-2020-0085770 A	15 July 2020
		KR 10-2020-0087168 A	20 July 2020
		KR 10-2020-0087169 A	20 July 2020
		KR 10-2020-0090841 A	29 July 2020
		KR 10-2632225 B1	02 February 2024
		KR 10-2703109 B1	06 September 2024
		SA 520412047 B1	18 June 2023
		US 10892296 B2	12 January 2021
		US 10892297 B2	12 January 2021
		US 11177413 B2	16 November 2021
		US 11222994 B2	11 January 2022
		US 11244982 B2	08 February 2022
		US 11251335 B2	15 February 2022
		US 11282981 B2	22 March 2022
		US 11289536 B2	29 March 2022
		US 11302746 B2	12 April 2022
		US 11476298 B2	18 October 2022
		US 11527513 B2	13 December 2022
		US 11527514 B2	13 December 2022
		US 11527519 B2	13 December 2022
		US 11532664 B2	20 December 2022
		US 11552057 B2	10 January 2023
		US 11563052 B2	24 January 2023
		US 11610939 B2	21 March 2023
		US 11664409 B2	30 May 2023
		US 11664410 B2	30 May 2023
		US 11935912 B2	19 March 2024
		US 2019-0164944 A1	30 May 2019
		US 2019-0165037 A1	30 May 2019
		US 2019-0165038 A1	30 May 2019
		US 2019-0165207 A1	30 May 2019
		US 2019-0189596 A1	20 June 2019
		US 2020-0066690 A1	27 February 2020
		US 2020-0066691 A1	27 February 2020

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/008915

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
				US	2020-0303451 A1	24 September 2020
				US	2020-0328250 A1	15 October 2020
				US	2021-0335886 A1	28 October 2021
				US	2021-0335887 A1	28 October 2021
				US	2021-0351230 A1	11 November 2021
				US	2022-0005971 A1	06 January 2022
				US	2022-0085239 A1	17 March 2022
				US	2022-0130898 A1	28 April 2022
				US	2022-0392950 A1	08 December 2022
				US	2022-0393063 A1	08 December 2022
				US	2023-0107772 A1	06 April 2023
				US	2023-0143510 A1	11 May 2023
				US	2023-0223424 A1	13 July 2023
				US	2023-0261033 A1	17 August 2023
				WO	2019-103566 A1	31 May 2019
				WO	2019-103568 A1	31 May 2019
				WO	2019-103577 A1	31 May 2019
				WO	2019-103579 A1	31 May 2019
				WO	2019-124952 A1	27 June 2019
KR	10-2503578	B1	24 February 2023	CN	110809824 A	18 February 2020
				CN	110809824 B	08 March 2024
				EP	3648164 A1	06 May 2020
				EP	3648164 B1	30 August 2023
				KR	10-2019-0003162 A	09 January 2019
				US	11322488 B2	03 May 2022
				US	11942457 B2	26 March 2024
				US	2020-0219858 A1	09 July 2020
				US	2022-0231000 A1	21 July 2022
				WO	2019-004508 A1	03 January 2019
JP	2023-032326	A	09 March 2023	CN	115732530 A	03 March 2023
				EP	4141930 A1	01 March 2023
				US	2023-0063063 A1	02 March 2023

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 27/15(2006.01)i; H01L 33/08(2010.01)i; H01L 33/44(2010.01)i; H01L 33/38(2010.01)i; H01L 33/56(2010.01)i;
H01L 33/58(2010.01)i; H01L 33/62(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 27/15(2006.01); G09F 9/30(2006.01); G09F 9/33(2006.01); H01L 25/16(2006.01); H01L 33/00(2010.01);
H01L 33/10(2010.01); H01L 33/36(2010.01); H01L 33/38(2010.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 픽셀 소자(pixel device), 제1 발광부(first light emitting unit), 제2 발광부(second light emitting unit), 제3 발광부(third light emitting unit), 적층(stack), 공통 전극(common electrode), 제1 전극(first electrode), 제2 전극(second electrode), 제3 전극(third electrode), 버퍼 구조물(buffer structure)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2021-0127932 A (서울바이오시스 주식회사) 2021.10.25 단락 [0049]-[0103]; 청구항 1-2; 및 도면 3a-3d	1-20
Y		26-32,35
X	KR 10-2023-0022942 A (제이드 버드 디스플레이(상하이) 리미티드) 2023.02.16 단락 [0166]-[0167], [0392]-[0394], [0398]; 및 도면 8	21-25,33-34
Y		26-32,35
Y	KR 10-2020-0085771 A (서울바이오시스 주식회사) 2020.07.15 단락 [0068]-[0118]; 및 도면 1a-1c	35
A	KR 10-2503578 B1 (엔지전자 주식회사) 2023.02.24 단락 [0112]-[0173]; 및 도면 10-17	1-35

☒ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2024년11월21일(21.11.2024)

국제조사보고서 발송일

2024년11월21일(21.11.2024)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동,
정부대전청사)

팩스 번호 +82-42-481-8578

심사관

이강하

전화번호 +82-42-481-5687

제3기재란 발명의 단일성이 결여된 경우의 의견(첫 번째 용지의 3의 계속)

본 국제조사기관은 본 국제출원에 다음과 같이 다수의 발명이 있다고 봅니다.

제1군 발명: 청구항 1-20은 적층되어 형성되는 제1 내지 제3 발광부, 공통 전극, 제1 내지 제3 전극을 포함하는 픽셀 소자에 관한 것이고,

제2군 발명: 청구항 21-35는 적층되어 형성되는 제1 내지 제3 발광부, 제1 내지 제3 버퍼 구조물을 포함하는 픽셀 소자에 관한 것입니다.

1. ☒ 출원인이 모든 추가수수료를 기간 내에 납부하였으므로, 본 국제조사보고서는 모든 조사 가능한 청구항을 대상으로 합니다.
2. ☐ 추가수수료 납부를 요구하지 않고도 모든 조사 가능한 청구항을 조사할 수 있었으므로, 본 기관은 추가수수료 납부를 요구하지 아니하였습니다.
3. ☐ 출원인이 추가수수료의 일부만을 기간 내에 납부하였으므로, 본 국제조사보고서는 수수료가 납부된 청구항만을 대상으로 합니다. 구체적인 청구항은 아래와 같습니다.
4. ☐ 출원인이 기간 내에 추가수수료를 납부하지 아니하였습니다. 따라서 본 국제조사보고서는 청구범위에 처음 기재된 발명에 한정되어 있으며, 해당 청구항은 아래와 같습니다.

- 이의신청에 관한 기재 ☐ 출원인의 이의신청 및 이의신청료 납부(해당하는 경우)와 함께 추가수수료가 납부되었습니다.
- ☐ 출원인의 이의신청과 함께 추가수수료가 납부되었으나 이의신청료가 보정요구서에 명시된 기간 내에 납부되지 아니하였습니다.
- ☒ 이의신청 없이 추가수수료가 납부되었습니다.

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2021-0127932 A	2021/10/25	BR 112021018020 A2	2021/11/23
		CN 113557606 A	2021/10/26
		CN 211929519 U	2020/11/13
		EP 3940775 A1	2022/01/19
		JP 2022-524838 A	2022/05/10
		JP 7460650 B2	2024/04/02
		MX 2021010505 A	2022/01/18
		US 11211528 B2	2021/12/28
		US 2020-0295228 A1	2020/09/17
		US 2022-0158031 A1	2022/05/19
		WO 2020-185006 A1	2020/09/17
KR 10-2023-0022942 A	2023/02/16	AU 2021-259592 A1	2022/12/08
		AU 2021-261321 A1	2022/12/08
		AU 2021-282566 A1	2023/02/02
		AU 2021-283948 A1	2023/02/09
		CN 114766065 A	2022/07/19
		CN 114793476 A	2022/07/26
		CN 115413371 A	2022/11/29
		CN 115413372 A	2022/11/29
		CN 115836341 A	2023/03/21
		CN 115843393 A	2023/03/24
		DE 20825423 T1	2023/11/09
		DE 20827064 T1	2023/11/09
		DE 21792139 T1	2023/06/22
		DE 21792668 T1	2023/06/22
		DE 21817305 T1	2023/07/06
		DE 21818011 T1	2023/07/06
		EP 3987580 A1	2022/04/27
		EP 3987582 A1	2022/04/27
		EP 4139956 A1	2023/03/01
		EP 4139957 A1	2023/03/01
		EP 4162481 A1	2023/04/12
		EP 4162538 A1	2023/04/12
		JP 2022-536911 A	2022/08/22
		JP 2022-537156 A	2022/08/24
		JP 2023-525648 A	2023/06/19
		JP 2023-525649 A	2023/06/19
		JP 2023-527963 A	2023/07/03
		JP 2023-528829 A	2023/07/06
		JP 7529700 B2	2024/08/06
		KR 10-2022-0024706 A	2022/03/03
		KR 10-2022-0024710 A	2022/03/03
		KR 10-2023-0003505 A	2023/01/06
		KR 10-2023-0003506 A	2023/01/06
		KR 10-2023-0022943 A	2023/02/16
		KR 10-2024-0149971 A	2024/10/15
		TW 202147645 A	2021/12/16
		TW 202201818 A	2022/01/01
		TW 202205688 A	2022/02/01
		TW 202228111 A	2022/07/16

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		US 11538850 B2	2022/12/27
		US 11804582 B2	2023/10/31
		US 11811005 B2	2023/11/07
		US 12027509 B2	2024/07/02
		US 12074151 B2	2024/08/27
		US 2020-0403026 A1	2020/12/24
		US 2021-0328108 A1	2021/10/21
		US 2021-0328116 A1	2021/10/21
		US 2021-0384181 A1	2021/12/09
		US 2021-0384182 A1	2021/12/09
		US 2022-0344313 A1	2022/10/27
		US 2023-0077969 A1	2023/03/16
		WO 2020-257391 A1	2020/12/24
		WO 2020-257680 A1	2020/12/24
		WO 2021-216684 A1	2021/10/28
		WO 2021-216689 A1	2021/10/28
		WO 2021-247887 A1	2021/12/09
		WO 2021-247894 A1	2021/12/09
KR 10-2020-0085771 A	2020/07/15	BR 112020010671 A2	2020/11/10
		BR 112020010682 A2	2020/11/10
		BR 112020010688 A2	2020/11/10
		BR 112020010695 A2	2020/11/10
		BR 112020012281 A2	2020/11/24
		CN 110192276 A	2019/08/30
		CN 110690248 A	2020/01/14
		CN 110729283 A	2020/01/24
		CN 110770920 A	2020/02/07
		CN 110770920 B	2024/05/14
		CN 110785841 A	2020/02/11
		CN 110828435 A	2020/02/21
		CN 110870065 A	2020/03/06
		CN 110870065 B	2024/08/13
		CN 110959192 A	2020/04/03
		CN 111063774 A	2020/04/24
		CN 111063774 B	2024/07/05
		CN 111180479 A	2020/05/19
		CN 111180479 B	2023/12/08
		CN 111180480 A	2020/05/19
		CN 111223845 A	2020/06/02
		CN 111223845 B	2024/06/14
		CN 111244078 A	2020/06/05
		CN 111261622 A	2020/06/09
		EP 3718137 A1	2020/10/07
		EP 3718138 A1	2020/10/07
		EP 3718139 A1	2020/10/07
		EP 3718140 A1	2020/10/07
		EP 3729519 A1	2020/10/28
		EP 3913668 A1	2021/11/24
		EP 3913669 A1	2021/11/24
		EP 3913670 A1	2021/11/24

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		EP 3923327 A1	2021/12/15
		EP 3923328 A1	2021/12/15
		JP 2021-504752 A	2021/02/15
		JP 2021-504753 A	2021/02/15
		JP 2021-504754 A	2021/02/15
		JP 2021-504944 A	2021/02/15
		JP 2021-508170 A	2021/02/25
		JP 2023-027328 A	2023/03/01
		JP 2023-052124 A	2023/04/11
		JP 7199435 B2	2023/01/05
		JP 7206276 B2	2023/01/17
		JP 7330967 B2	2023/08/22
		JP 7345469 B2	2023/09/15
		JP 7387606 B2	2023/11/28
		JP 7413494 B2	2024/01/15
		JP 7568705 B2	2024/10/16
		KR 10-2020-0085770 A	2020/07/15
		KR 10-2020-0087168 A	2020/07/20
		KR 10-2020-0087169 A	2020/07/20
		KR 10-2020-0090841 A	2020/07/29
		KR 10-2632225 B1	2024/02/02
		KR 10-2703109 B1	2024/09/06
		SA 520412047 B1	2023/06/18
		US 10892296 B2	2021/01/12
		US 10892297 B2	2021/01/12
		US 11177413 B2	2021/11/16
		US 11222994 B2	2022/01/11
		US 11244982 B2	2022/02/08
		US 11251335 B2	2022/02/15
		US 11282981 B2	2022/03/22
		US 11289536 B2	2022/03/29
		US 11302746 B2	2022/04/12
		US 11476298 B2	2022/10/18
		US 11527513 B2	2022/12/13
		US 11527514 B2	2022/12/13
		US 11527519 B2	2022/12/13
		US 11532664 B2	2022/12/20
		US 11552057 B2	2023/01/10
		US 11563052 B2	2023/01/24
		US 11610939 B2	2023/03/21
		US 11664409 B2	2023/05/30
		US 11664410 B2	2023/05/30
		US 11935912 B2	2024/03/19
		US 2019-0164944 A1	2019/05/30
		US 2019-0165037 A1	2019/05/30
		US 2019-0165038 A1	2019/05/30
		US 2019-0165207 A1	2019/05/30
		US 2019-0189596 A1	2019/06/20
		US 2020-0066690 A1	2020/02/27
		US 2020-0066691 A1	2020/02/27

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		US 2020-0303451 A1	2020/09/24
		US 2020-0328250 A1	2020/10/15
		US 2021-0335886 A1	2021/10/28
		US 2021-0335887 A1	2021/10/28
		US 2021-0351230 A1	2021/11/11
		US 2022-0005971 A1	2022/01/06
		US 2022-0085239 A1	2022/03/17
		US 2022-0130898 A1	2022/04/28
		US 2022-0392950 A1	2022/12/08
		US 2022-0393063 A1	2022/12/08
		US 2023-0107772 A1	2023/04/06
		US 2023-0143510 A1	2023/05/11
		US 2023-0223424 A1	2023/07/13
		US 2023-0261033 A1	2023/08/17
		WO 2019-103566 A1	2019/05/31
		WO 2019-103568 A1	2019/05/31
		WO 2019-103577 A1	2019/05/31
		WO 2019-103579 A1	2019/05/31
		WO 2019-124952 A1	2019/06/27

KR 10-2503578 B1	2023/02/24	CN 110809824 A	2020/02/18
		CN 110809824 B	2024/03/08
		EP 3648164 A1	2020/05/06
		EP 3648164 B1	2023/08/30
		KR 10-2019-0003162 A	2019/01/09
		US 11322488 B2	2022/05/03
		US 11942457 B2	2024/03/26
		US 2020-0219858 A1	2020/07/09
		US 2022-0231000 A1	2022/07/21
		WO 2019-004508 A1	2019/01/03

JP 2023-032326 A	2023/03/09	CN 115732530 A	2023/03/03
		EP 4141930 A1	2023/03/01
		US 2023-0063063 A1	2023/03/02
