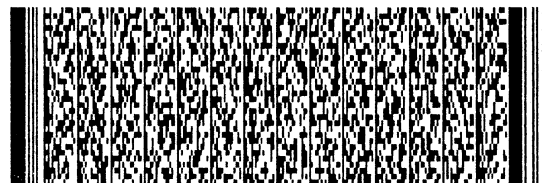
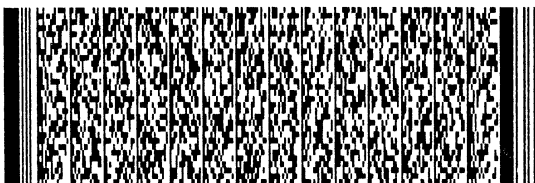


申請日期： 92-3-21	IPC分類
申請案號： 92106269	H01L 21/266

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	使用襯層氧化物植入以防止摻雜質自延伸部分離之方法
	英文	USE OF LINER OXIDE IMPLANT TO PREVENT DOPANT SEGREGATION FROM EXTENSIONS
二、 發明人 (共3人)	姓名 (中文)	1. 魏安迪·C 2. 馬克·B·福舍里爾 3. 葉秉津
	姓名 (英文)	1. ANDY C. WEI 2. MARK B. FUSELIER 3. PING-CHIN YEH
	國籍 (中英文)	1. 美國 US 2. 美國 US 3. 中華民國 TW
	住居所 (中文)	1. 美國·德州78748·奧斯汀·蔓查卡路9323-125號 2. 美國·德州78748·奧斯汀·巴樂爾朋得12232號 3. 美國·加州95120·聖荷西·鵝鶉園谷1137號
	住居所 (英文)	1. 9323 Manchaca Road #125, Austin, TX 78748, U.S.A. 2. 12232 Barrel Bend, Austin, TX 78748, U.S.A. 3. 1137 Valley Quail Circle, San Jose, CA 95120, U.S.A.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 高級微裝置公司
	名稱或 姓名 (英文)	1. ADVANCED MICRO DEVICES, INC.
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國·加州94088-3453·桑尼威·第1AMD區·M/S 68·郵政信箱3453號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453, U.S.A.
	代表人 (中文)	1. 丹尼爾·R·柯洛皮
	代表人 (英文)	1. DANIEL R. COLLOPY



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

美國 US

2002/03/26

10/105,522

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

[發明所屬之技術領域]

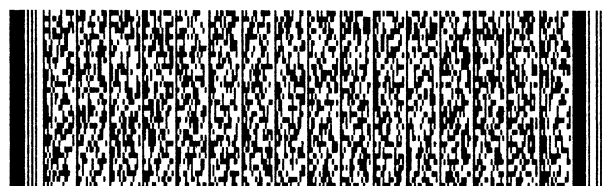
本發明係有關於改善電晶體效能之半導體裝置以及可行方法。本發明特別適合應用於製造具有次微米圖樣特徵以及淺層接合深度之高速積體電路的高密度半導體裝置。

[先前技術]

由於對高密度及高效能需求的增加，在半導體製造技術上亦需要更嚴苛的要求，特別是電晶體效能與高操作速度的提昇。電晶體效能係由許多不同的因素決定，且容易在製造過程中受到不同操作影響而降低，例如，會使基材暴露在高溫及電漿氣氛下的電漿沈積技術，如電漿促進之化學氣相沈積的過程中。由於對於高操作速度的需求因而需要使用具有相對低介電常數的介電材料，介電常數例如約 3.9 或以下。文中所示之介電常數 (K) 係以真空下為 1 作為基準。

如第 1 圖所示，在施行習知的製造技術時，通常閘極電極 11 係形成於半導體基材 10 上，該閘極電極 11 與該基材 10 之間形成有閘極介電層 12，如閘極氧化層。接著，進行離子植入，以植入源極 / 汲極之淺層延伸部 13。然後，在閘極電極 11 之側表面以及基材 10 之上表面形成厚度約 50Å 至約 200Å 之氧化物襯層 15，俾於後續形成側壁間隔 16 之蝕刻過程保護該基材表面，該側壁間隔通常係由氮化矽形成。參考符號 14 係說明中等或高濃度摻雜之源極 / 汲極區域，通常於形成側壁間隔 16 之後植入。

在實行例如用以形成第 1 圖所示之結構的習知半導體



五、發明說明 (2)

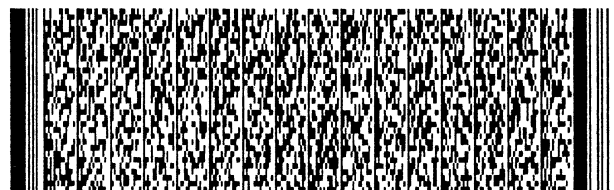
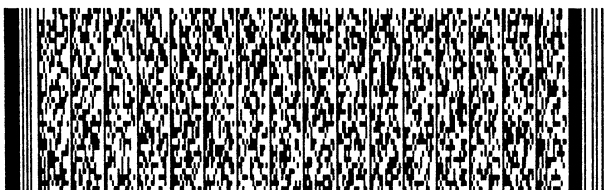
製造技術時會遭遇困難。實例係例如藉由低壓化學氣相沈積形成氧化矽襯層 15 之沈積過程的高溫製程中，其溫度通常為約 700°C 或更高，植入源極 / 汲極區域 13 之摻雜雜質會擴散並分離至氧化物襯層 15 中，該摻雜雜質的實例包括 P-型雜質，如硼 (B) 以及二氟化硼 (BF_2)。400°C 之低溫 CVD 襯層氧化物可用於防止此種擴散以及摻雜質之減損。然而，在活化退火所需之高溫過程中，例如高於 100°C 之溫度歷時 5 至 10 秒，亦會發生摻雜質之減損。此種自源極 / 汲極延伸部擴散之減損係不利的，亦如增加該源極 / 汲極延伸部之電阻。以往，用以解決此項問題之方法包括，以高於所需之植入劑量，離子植入摻雜雜質，例如 B 或 BF_2 ，以抵銷摻雜質擴散所造成之減損。然而，此種方法將不利地導致較深的接合深度 (X_j)，而無法符合朝向小型化發展的持續性需求。

[發明內容]

本發明之優點係提供一種具有改善之電晶體效能之高密度半導體裝置的製造方法。

本發明之其他優點與特徵將揭示於後文之說明書中，熟悉該項技術者可根據試驗輕易地了解，或藉由實行本發明而知悉該等優點與特徵。由所附之申請專利範圍所記載之內容亦可瞭解或獲知本發明之優點。

根據本發明之觀點，前述及其他優點均可藉由半導體裝置之製造方法加以達成，該方法包括：在半導體基材上形成具有側表面之閘極電極，且該基材與該閘極電極之間



五、發明說明 (3)

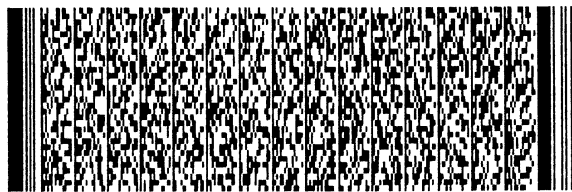
覆蓋有閘極介電層；使用閘極電極作為罩幕，藉由離子植入將摻雜質導入基材，形成源極/汲極之淺層延伸部；在該閘極電極之側表面與該基材之上表面形成氧化物襯層；以及藉由離子植入將摻雜質導入該氧化物襯層。

本發明之具體實例包含：藉由離子植入將 B 或 BF 導入基材，形成具有第一雜質濃度的源極/汲極之淺層延伸部；該閘極電極之上表面、側表面以及該基材之上表面沈積共形之氧化物襯層；藉由離子植入將 B 或 BF 導入氧化物襯層，使其實質上與源極/汲極之淺層延伸部具有相同之雜質濃度，例如約 1×10^{20} 至約 6×10^{20} 個原子/立方公分；沈積間隔層，例如氮化矽或氧氮化矽；以及進行蝕刻形成側壁間隔層。接著，可以移除該閘極電極上表面之氧化物襯層部分。移除該閘極電極上表面之氧化物襯層部分之前或之後，進行離子植入形成深層中等或高濃度之摻雜源極/汲極區域。隨後，可進行活化退火。

熟習該項技術者由後文之詳細敘述中可以輕易地了解本發明之其他優點與觀點，其中僅揭示較佳之具體實例，以簡潔的方法說明施行本發明之最佳模式。應瞭解，本發明亦可藉由其他不同的具體實例加以施行，其各項細節亦可基於不同觀點在不悖離本發明之下進行修飾。此外，圖式與說明書本身僅係用以說明，而非用以限制本發明。

[實施方式]

本發明針對高密度以及小型化之高信賴半導體裝置仍有持續性需求。本發明係藉由增加雜質自源極/汲極之淺



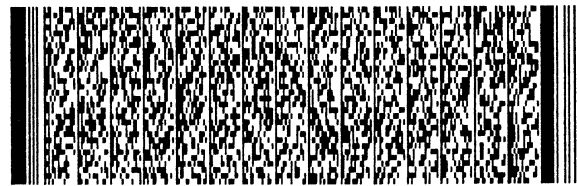
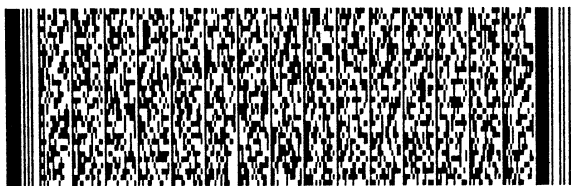
五、發明說明 (4)

層延伸部擴散至氧化物襯層的阻礙，提供一種改善電晶體效能之半導體裝置以及可行的方法。本發明中，用以達成該項目的之具體實例係藉由離子植入將雜質導入氧化物襯層。因此，本發明係提供一種方法，該方法可以避免或明顯減少雜質（例如，P-型雜質，如B以及 BF_2 ）擴散出來，同時，使淺層接合的深度（ X_j ）維持在約200Å至約300Å。

本發明的具體實例包括：在半導體基材上形成閘極電極，且該基材與該閘極電極之間覆蓋有閘極介電層；使用閘極電極作為罩幕，藉由離子植入將摻雜質（例如， BF_2 ）導入基材，形成源極/汲極之淺層延伸部。此種離子植入可以使用習知的方法進行，例如在植入劑量係約 5×10^{14} 至約 2×10^{15} 個離子/平方公分以及植入能量係約1至約3KeV的條件下離子植入 BF_2 ；通常，所形成之雜質濃度約為 1×10^{20} 至約 6×10^{20} 個原子/立方公分。

接著，在該閘極電極之上表面、側表面以及該基材之上表面沈積氧化物襯層，該氧化物襯層之厚度為約50Å至約200Å。然後進行離子植入，在實質上與該種形成源極/汲極之淺層延伸部所使用之相同條件下，例如植入劑量係約 5×10^{14} 至約 2×10^{15} 個離子/平方公分以及植入能量係約1至約3KeV的條件，將BF雜質植入氧化物襯層，而形成雜質濃度約為 1×10^{20} 至約 6×10^{20} 個原子/立方公分之氧化物襯層。

接著，沈積厚度約600Å至約1200Å之間隔層，例如氮化矽或氮氧化矽。然後進行非等向性蝕刻形成側壁間

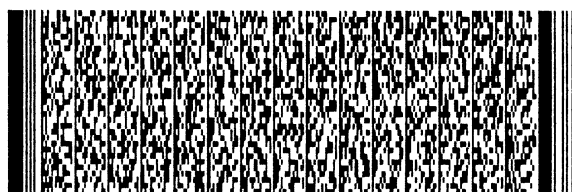
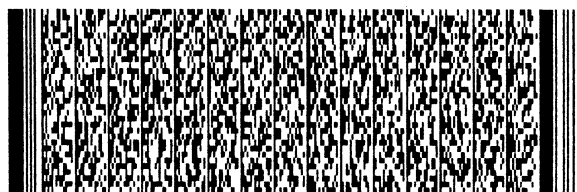


五、發明說明 (5)

隔。接著進行 BF_2 之離子植入，形成相對深層的中等或高濃度之源極 / 汲極植入層。在形成相對深層的中等或高濃度之源極 / 汲極植入層的離子植入之前或之後，可利用氫氟酸移除該閘極電極上表面部分的氧化矽襯層。然後，進行活化退火。將摻雜雜質植入氧化矽襯層可增加擴散阻礙，進而防止或明顯地減少後續製程中（例如，間隔層之沈積以及活化退火的過程），該等雜質自源極 / 汲極之淺層延伸部擴散出來。

本發明之具體實例係示於第 2 至 4 圖中；其中，類似的特徵或元件係以類似的參考符號與數字表示。如第 2 圖所示，閘極電極 21（通常係摻雜之複晶）係形成於基材 20（通常係摻雜之單晶矽）或磊晶層上，該磊晶層（epitaxial layer）係形成於半導體基材或井區域上。使用閘極電極 21 作為罩幕，以離子植入將雜質（例如， BF_2 ）導入基材 20，形成源極 / 汲極之淺層延伸部 23。接著，如第 3 圖所示，在該閘極電極 21 之上表面與側表面以及該基材 20 之上表面沈積氧化物襯層 30，該氧化物襯層 30 之厚度為約 $50\text{\AA}$ 至約 $200\text{\AA}$ 。然後進行離子植入，如第 3 圖中的箭號 31 所示，將 BF_2 雜質植入氧化物襯層，使其與該源極 / 汲極之淺層延伸部 23 之植入有實質相同之濃度，藉此增加 BF_2 原子自該源極 / 汲極之淺層延伸部 23 擴散出來之阻礙。

隨後，沈積間隔材料層並進行非等向性蝕刻，形成側壁間隔 40，如第 4 圖所示，該側壁間隔 40 在該基材表面之厚度通常係約 $600\text{\AA}$ 至約 $1200\text{\AA}$ 。在形成側壁間隔 40 的蝕



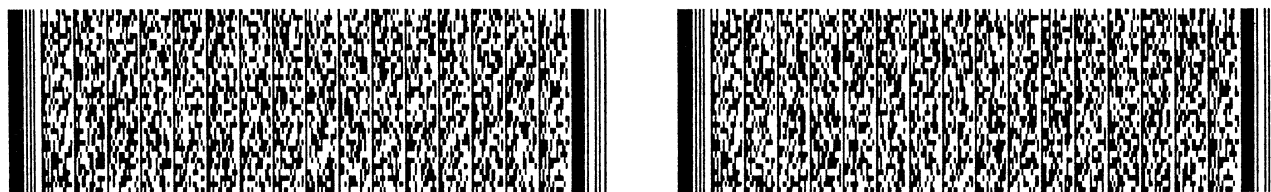
五、發明說明 (6)

刻過程中，氧化矽層 30 係作為蝕刻終止層，故可避免損及基材 20。後續製程包含：利用如氫氟酸移除該閘極電極 21 與該基材 20 上表面的氧化矽襯層 30。在移除該閘極電極 21 與該基材上表面的矽或氧化矽層 40 部分前或移除後進行離子植入，形成深層的中等或高濃度摻雜之源極 / 汲極區域 (41)，形成如第 4 圖所示之結構。

本發明之另一觀點係包括能夠使雙層埋入式氧化層 BOX (dual buried oxide) 之絕緣層上覆矽 SOI (silicon-on-insulative) 結構中之源極與汲極區域厚度選擇性地最佳化的方法。此種方法係示於第 5 至 8 圖；其中，類似的特徵或元件係以類似的參考符號表示。如第 5 圖所示，雙層 BOX 結構包括由矽 50、BOX 51、矽層 52、BOX 53、以及矽層 54 所成之基材。閘極電極 55 係形成於雙層 BOX 基材上，且該閘極電極 55 與該基材之間係形成有閘極介電層 56，側壁間隔 57 係形成於閘極電極 55 之側表面上。

如第 6 圖所示，接著在該結構之源極側邊上形成光阻劑罩幕 60。如第 7 圖所示，接著進行蝕刻自汲極邊移除頂部的矽層 54 以及上層的 BOX 層 53。接著，如第 8 圖所示，矽係由下層的矽層 52 磊晶成長 54A (epitaxially grown)。在此一方法中，可獨立地形成源極區域 54B 與較深的汲極區域 54A。

本發明能夠製造表現出改善之電晶體效能以及例如約 $200\text{\AA}$ 至約 $300\text{\AA}$ 之淺接合深度 (X_j) 的半導體裝置。將雜質植入氧化物襯層，該植入之雜質與源極 / 汲極之淺層延伸



五、發明說明 (7)

部係屬相同類型且具有實質相同的濃度，因而可以防止或實質減少雜質自源極 / 汲極之淺層延伸部擴散出來，進而改善源極 / 汲極之延伸部的電阻，同時明顯地改善電晶體效能，符合小型化的持續需求。

本發明係有利於應用在產業上，製造各種不同類型之半導體裝置。本發明特別有利於在產業上，製造約 0.12 微米之設計規則之高密度半導體裝置。

前述內容中已具體揭示多項細節，例如特定材料、結構、反應物、製程等，以使本發明獲得更詳盡之說明；惟，本發明之施行並非僅侷限於前述特定細節。在其他實例中，為使本發明之精神更臻明確，並未針對習知製程中的材料與技術加以描述。

在本發明之說明書中，僅揭示本發明之較佳具體實例及其用途的數個實例。應瞭解的是，本發明可用於其他不同組合以及環境，亦可在本發明之精神範疇下進行變更與修飾。



圖式簡單說明

[圖式簡單說明]

第 1圖係說明由習知電晶體製造技術所造成摻雜質擴散出來的概要圖式；

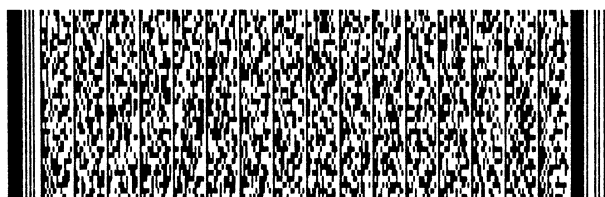
第 2至 4圖係說明根據本發明具體實例之方法的各個步驟的概要圖式；

第 5至 8圖係說明本發明另一觀點之各個階段的概要圖式；

在第 2至 4圖以及第 5至 8圖中，類似的特徵或元件係以類似的參考符號表示。

元件符號之簡單說明

10、20、50	基材	11、21、55	閘極電極
12、22、56	閘極介電層		
13、23	源極 /汲極之淺層延伸部		
14、41	源極 /汲極區域		
15、30	氧化物襯層	16、40、57	側壁間隔
31	離子植入		
51、53	埋入式氧化層 (BOX)		
52、54	矽層	54A	汲極區域
54B	源極區域	60	罩幕

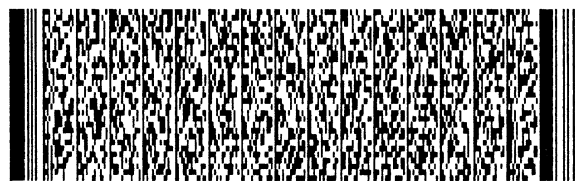
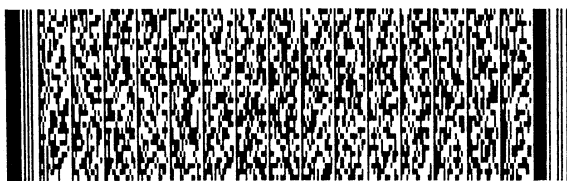


四、中文發明摘要 (發明名稱：使用襯層氧化物植入以防止摻雜質自延伸部分離之方法)

提供一種改善電晶體效能之半導體裝置之製造方法，該半導體裝置之製造係藉由離子植入(31)將摻雜質導入氧化物襯層(30)以防止或實質減少摻雜質自源極/汲極之淺層延伸部(23)擴散出來。具體實例包含離子植入P-型摻雜質，例如B或BF₂，使用閘極電極(21)作為罩幕，形成源極/汲極之淺層延伸部(23)，沈積共形的氧化物襯層(30)，及以實質上與源極/汲極之淺層延伸部(23)相同摻雜質濃度，藉由離子植入(31)將P-型雜質導入氧化物襯層(30)。後續製程包含沈積間隔層，進行蝕刻形成側壁間隔層(40)，進行離子植入形成深層中等或高濃度之源極/汲極植入物(41)，以及活化退火(activation annealing)。

六、英文發明摘要 (發明名稱：USE OF LINER OXIDE IMPLANT TO PREVENT DOPANT SEGREGATION FROM EXTENSIONS)

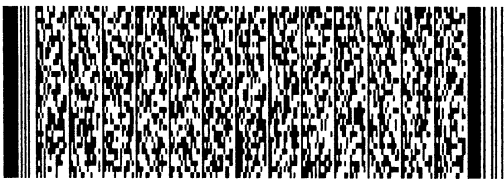
Semiconductor devices with improved transistor performance are fabricated by ion-implanting (31) a dopant into the oxide liner (30) to prevent or substantially reduce dopant out-diffusion from the shallow source/drain extensions. Embodiments include ion implanting a P-type dopant, such as B or BF₂, using the gate electrode (21) as a mask, to form shallow source/drain extension (23),



四、中文發明摘要 (發明名稱：使用襯層氧化物植入以防止摻雜質自延伸部分離之方法)

六、英文發明摘要 (發明名稱：USE OF LINER OXIDE IMPLANT TO PREVENT DOPANT SEGREGATION FROM EXTENSIONS)

depositing a conformal oxide liner (30), and ion implanting (31) the P-type impurity into the oxide liner (30) at substantially the same dopant concentration as in the shallow source/drain extensions (23). Subsequent processing includes depositing a spacer layer, etching to form sidewall spacers (40), ion implanting to form deep moderate or heavy source/drain implants (41) and



四、中文發明摘要 (發明名稱：使用襯層氧化物植入以防止摻雜質自延伸部分離之方法)

六、英文發明摘要 (發明名稱：USE OF LINER OXIDE IMPLANT TO PREVENT DOPANT SEGREGATION FROM EXTENSIONS)

activation annealing.



六、申請專利範圍

1. 一種半導體裝置之製造方法，包括下列步驟：

在基材 (20) 上表面上形成具有側表面之閘極電極 (21)，在該基材 (20) 與該閘極電極 (21) 之間覆蓋有閘極介電層 (22)；

使用閘極電極 (21) 作為罩幕，藉由離子植入將摻雜質導入基材，形成源極 / 汲極之淺層延伸部 (23)；

在該閘極電極 (21) 之側表面與該基材 (20) 之上表面上形成氧化物襯層 (30)；以及

藉由離子植入 (31) 將摻雜質導入該氧化物襯層 (30)。

2. 如申請專利範圍第 1 項之方法，復包括：

於該氧化物襯層 (30) 上沈積間隔材料層；

進行蝕刻，在該氧化物襯層 (30) 上形成側壁間隔 (40)；

藉由離子植入將摻雜質導入該基材，形成深層中等或高濃度之摻雜植入物 (41)；以及活化退火。

3. 如申請專利範圍第 2 項之方法，包括：

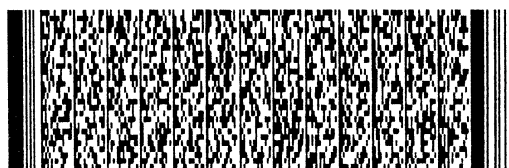
形成包括氧化矽之氧化物襯層 (30)；以及

形成包括氮化矽或氮氧化矽之間隔層 (40)。

4. 如申請專利範圍第 3 項之方法，包括離子植入 (31) P-型雜質作為摻雜質。

5. 如申請專利範圍第 4 項之方法，包括離子植入 (31) 硼 (B) 或二氟化硼 (BF_2) 作為摻雜質。

6. 如申請專利範圍第 2 項之方法，包括：

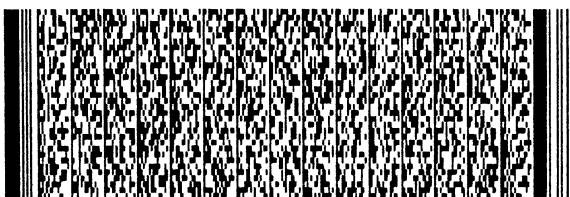


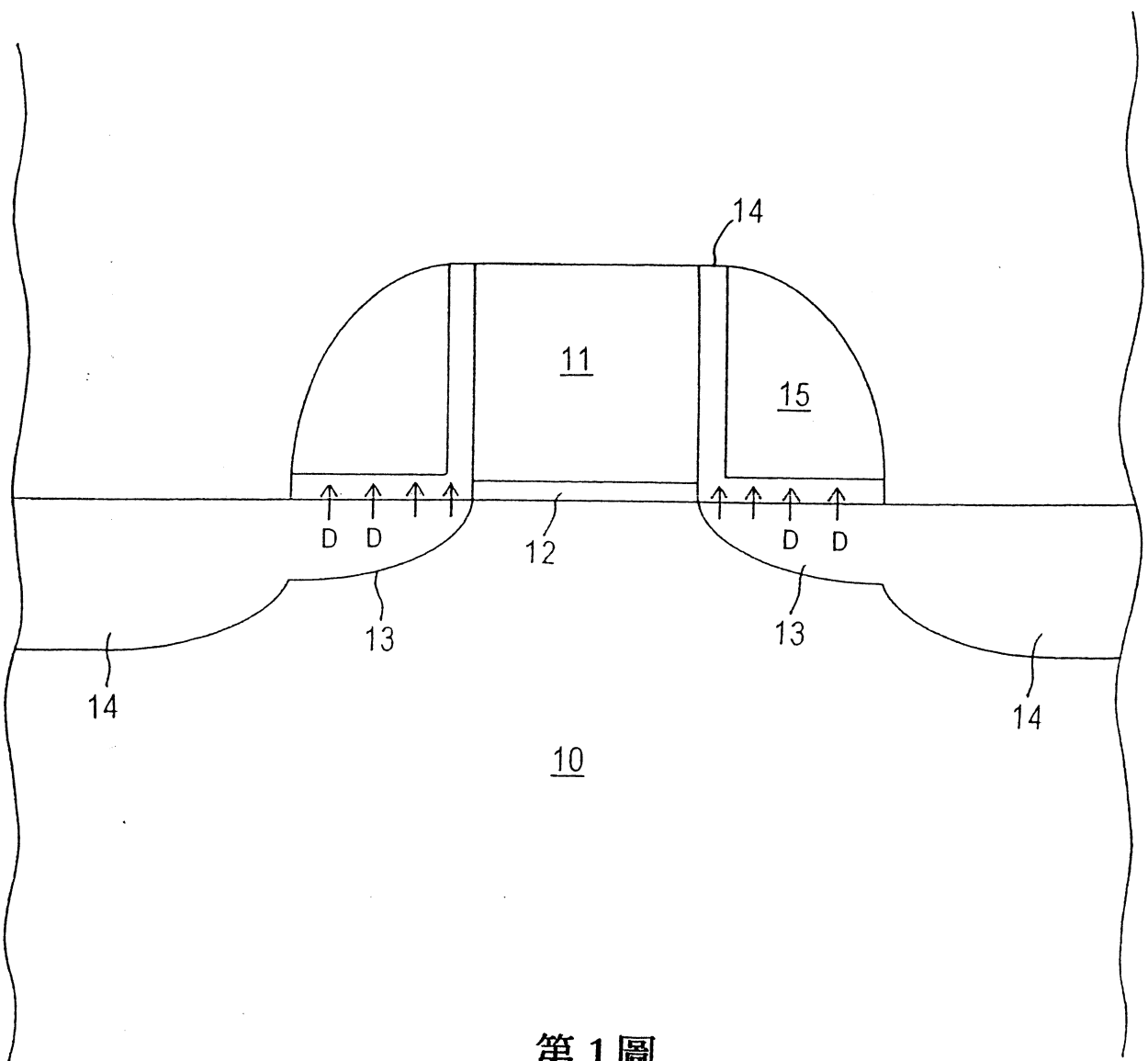
六、申請專利範圍

藉由離子植入將摻雜質導入該基材，形成第一雜質濃度的源極 /汲極之淺層延伸部 (23)；以及

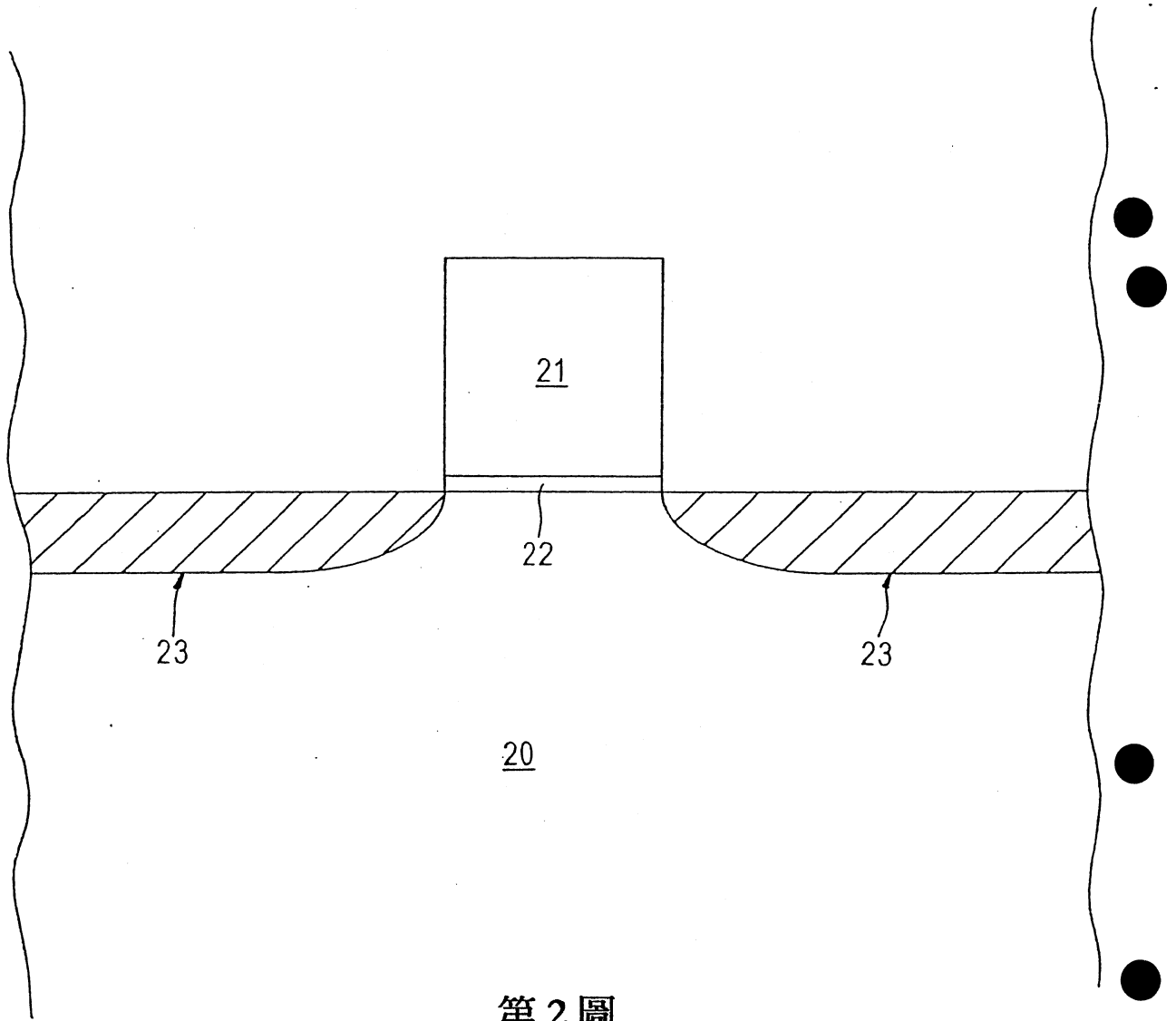
藉由離子植入將摻雜質導入該氧化物襯層 (30)，該氧化物襯層 (30)中之雜質濃度係實質上與第一雜質濃度相同。

7. 如申請專利範圍第 6 項之方法，包括藉由離子植入將摻雜質導入基材形成源極 /汲極之淺層延伸部 (23)，以及將摻雜質導入氧化物襯層 (30)，該導入之摻雜質濃度約為 1×10^{20} 至約 2×10^{20} 個原子 /立方公分。
8. 如申請專利範圍第 2 項之方法，包括藉由離子植入 (31) 將摻雜雜質導入氧化物襯層 (30)，使該氧化物襯層 (30)之摻雜質濃度為約 1 原子%。
9. 如申請專利範圍第 5 項之方法，包括藉由離子植入 (31) 將 BF₃ 導入氧化物襯層 (30)，植入劑量係約 5×10^{14} 至約 2×10^{15} 個離子 /平方公分以及植入能量係約 1 至約 3 KeV。
10. 如申請專利範圍第 1 項之方法，包括形成厚度約 50 Å 至約 200 Å 之氧化物襯層 (30)。

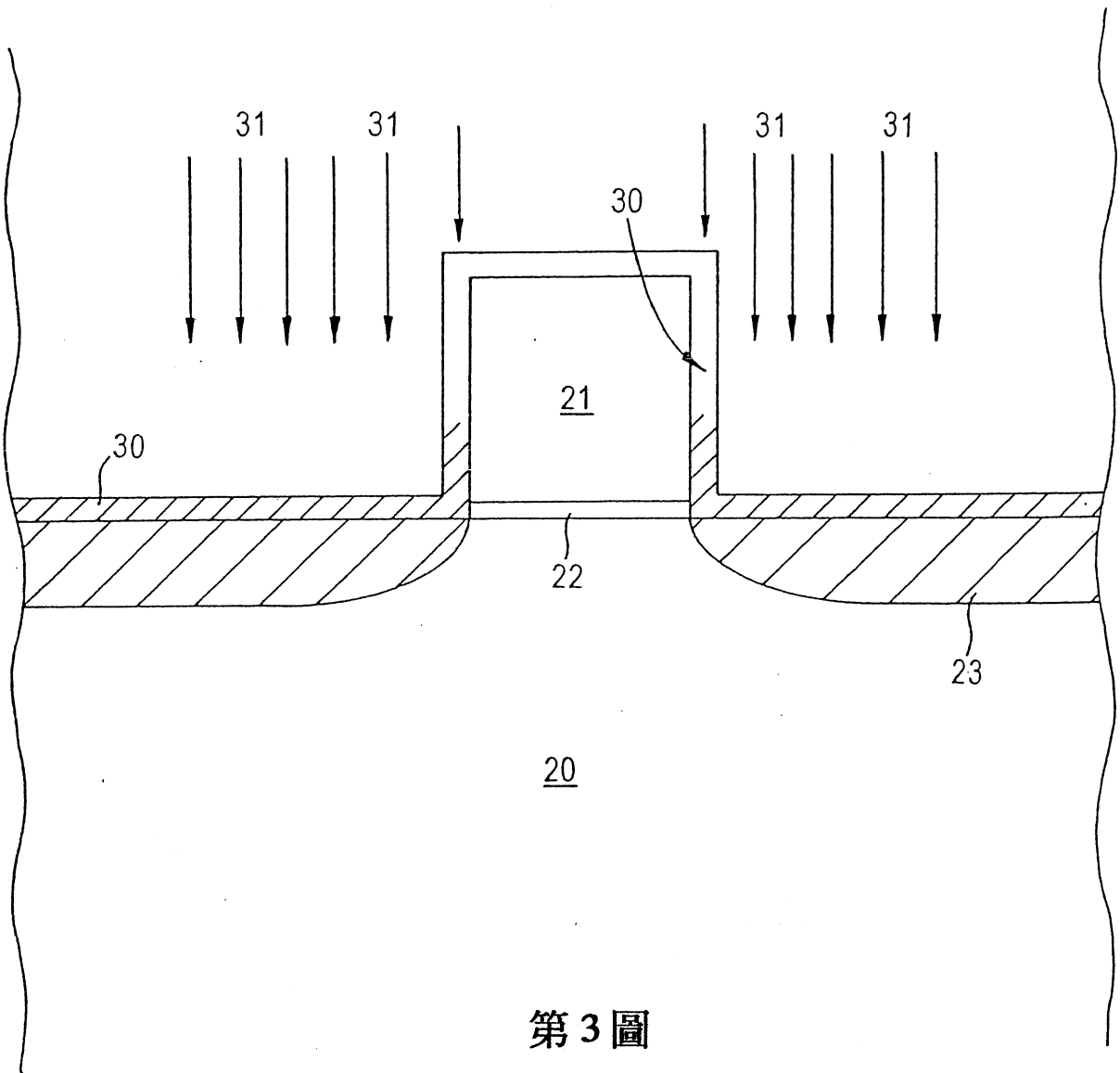




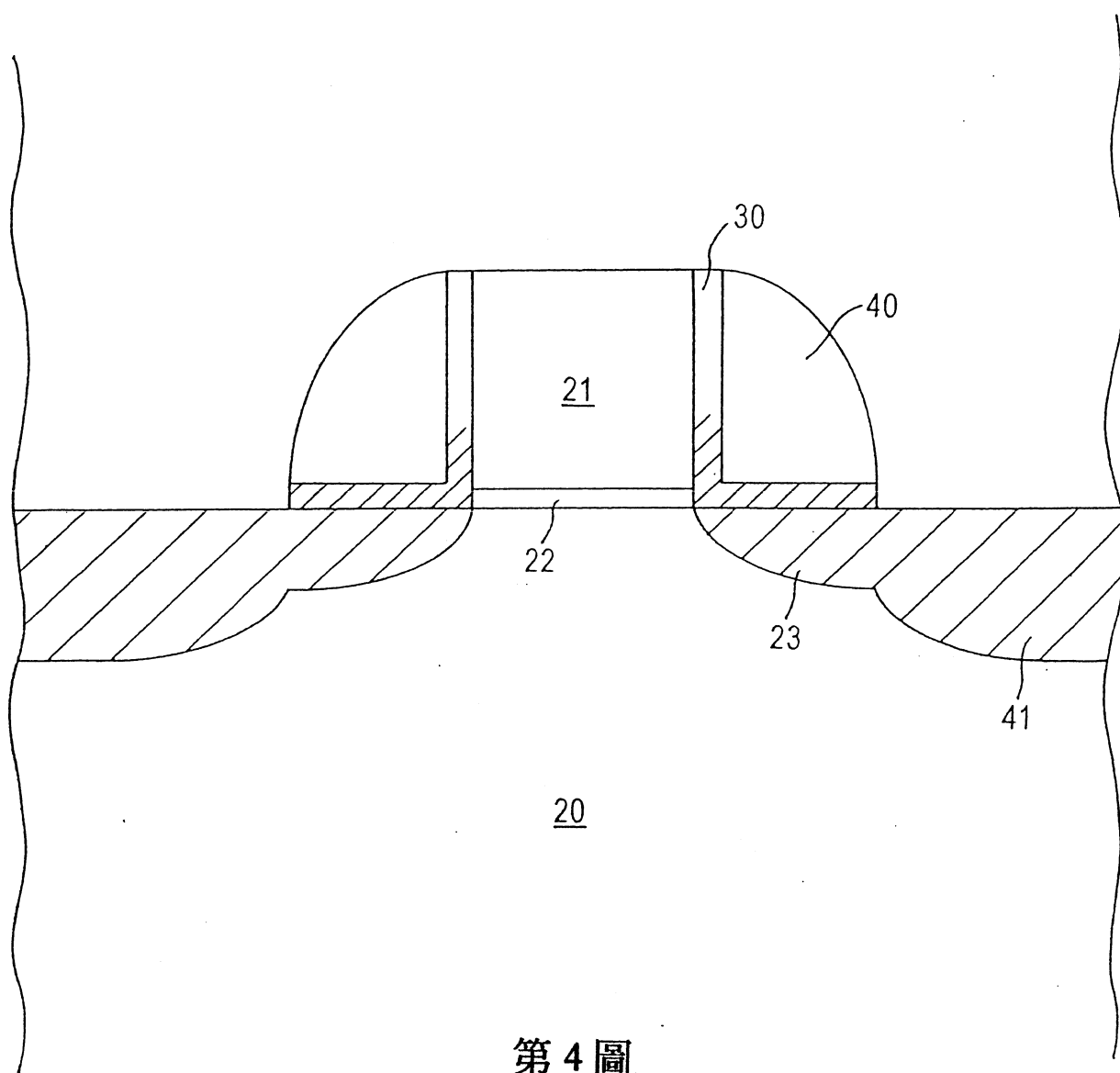
第 1 圖
(先前技術)

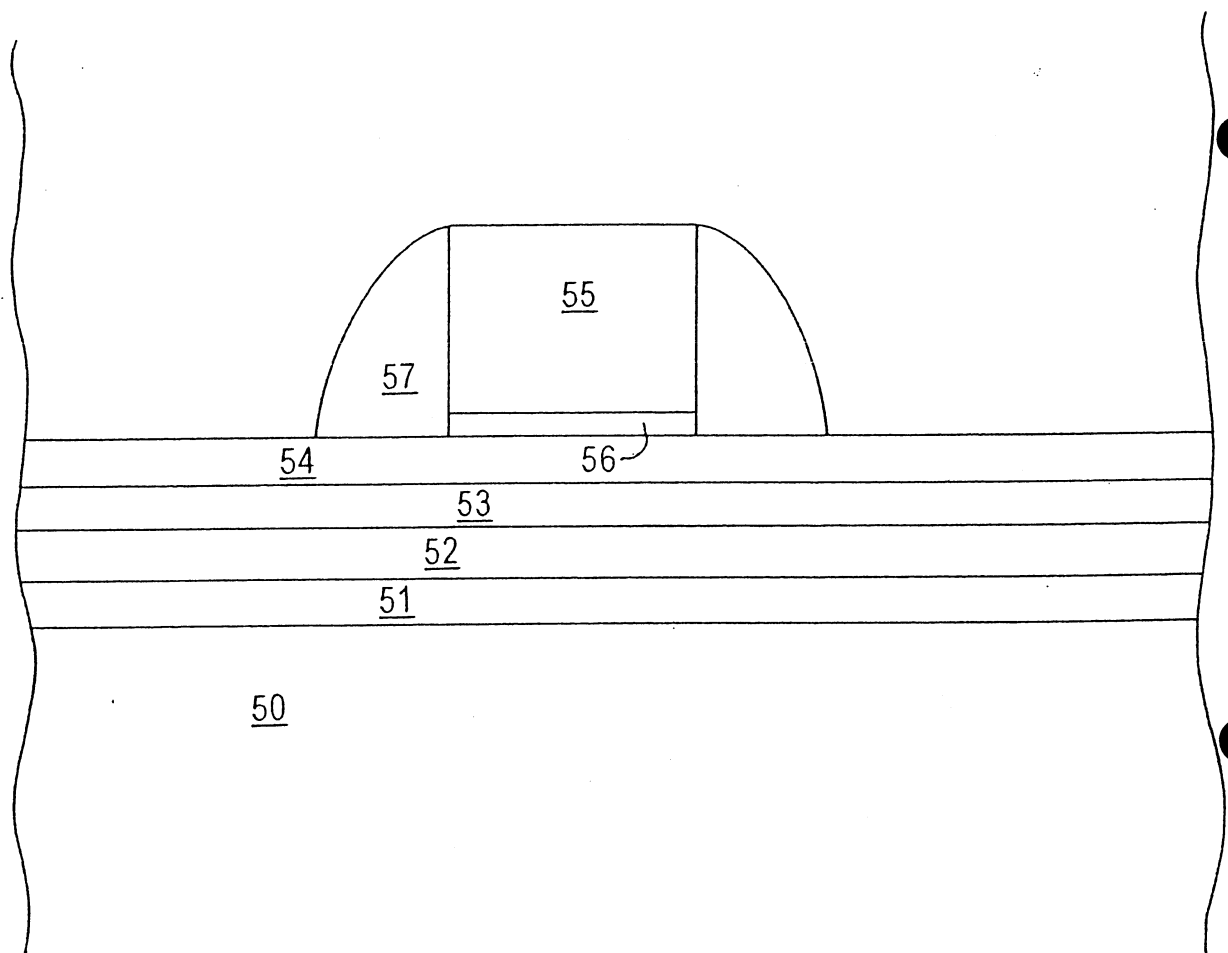


第 2 圖

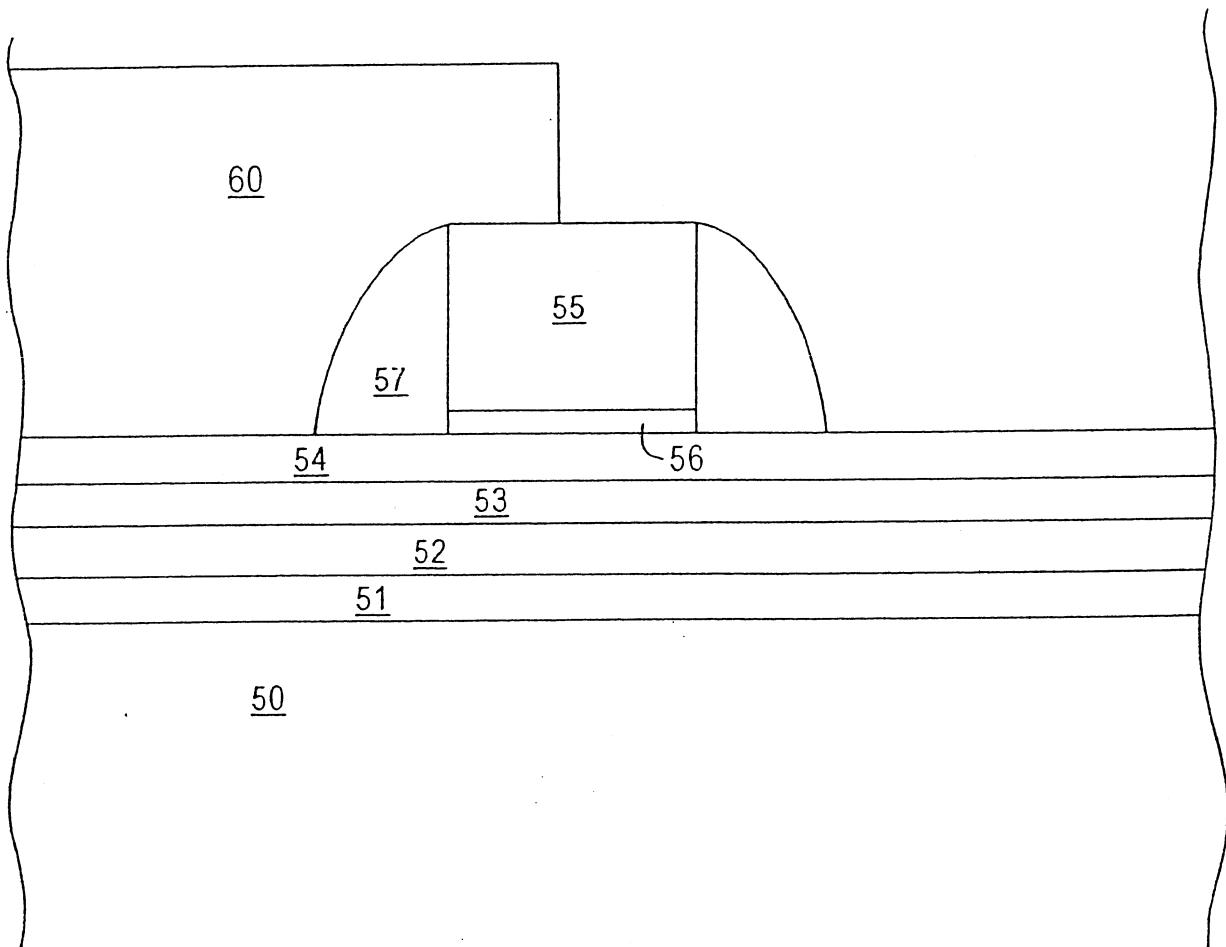


第 3 圖

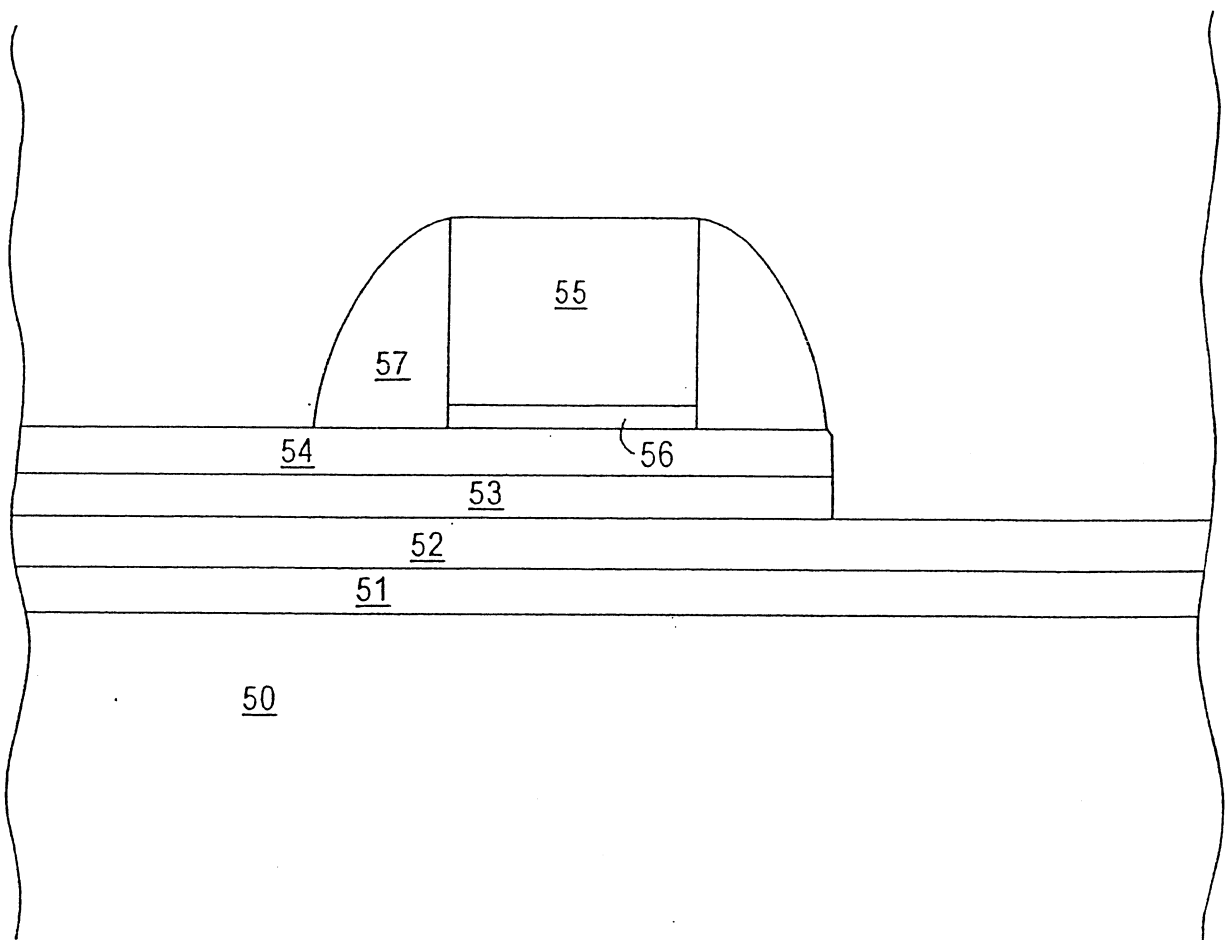




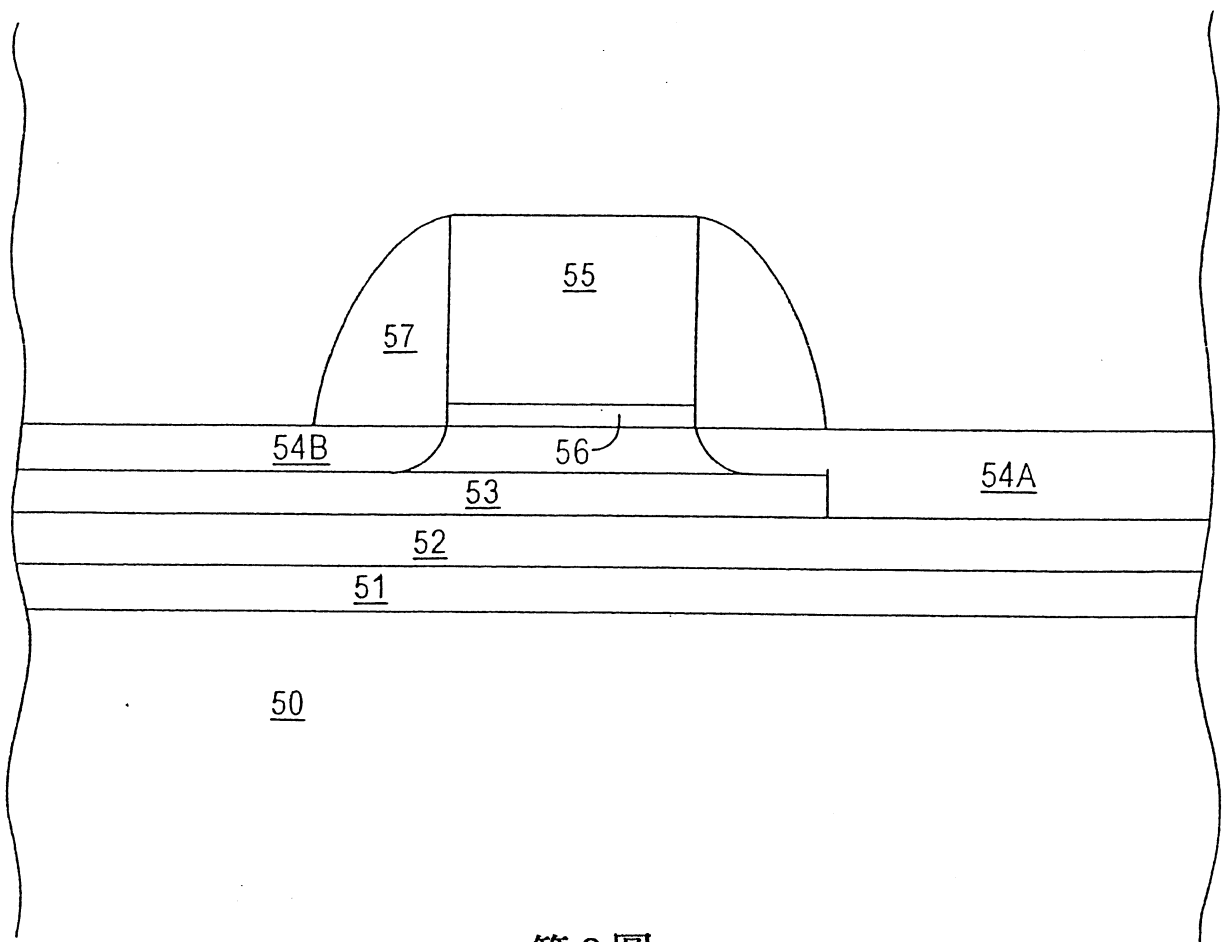
第 5 圖



第6圖



第 7 圖



第 8 圖