



(12)发明专利

(10)授权公告号 CN 104335328 B

(45)授权公告日 2018.02.06

(21)申请号 201380018092.X

(22)申请日 2013.03.14

(65)同一申请的已公布的文献号

申请公布号 CN 104335328 A

(43)申请公布日 2015.02.04

(30)优先权数据

2012-082041 2012.03.30 JP

(85)PCT国际申请进入国家阶段日

2014.09.29

(86)PCT国际申请的申请数据

PCT/JP2013/057314 2013.03.14

(87)PCT国际申请的公布数据

W02013/146328 JA 2013.10.03

(73)专利权人 富士电机株式会社

地址 日本神奈川县

(72)发明人 木下明将 辻崇 福田宪司

(74)专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 李逸雪

(51)Int.Cl.

H01L 21/28(2006.01)

H01L 21/329(2006.01)

H01L 29/47(2006.01)

H01L 29/872(2006.01)

(56)对比文件

US 2006/0273323 A1, 2006.12.07,

US 2007/0138482 A1, 2007.06.21,

US 2009/0098719 A1, 2009.04.16,

US 7790616 B2, 2010.09.07,

审查员 王建霞

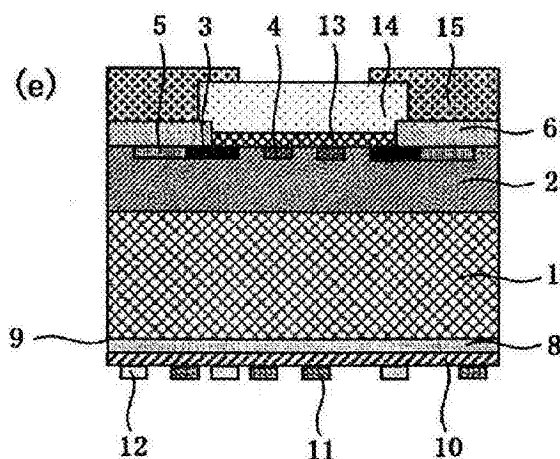
权利要求书2页 说明书8页 附图5页

(54)发明名称

碳化硅半导体装置的制造方法以及由该方法制造的碳化硅半导体装置

(57)摘要

一种碳化硅半导体装置的制造方法,具有:工序(A),准备第一导电型的碳化硅基板(1);工序(B),在上述第一导电型的碳化硅基板(1)的一个主面上形成第一导电型的外延层(2);工序(C),在上述第一导电型的碳化硅基板(1)的另一个主面上形成第一金属层;工序(D),在上述工序(C)之后,对上述碳化硅基板进行热处理,在上述第一金属层与上述碳化硅基板的另一主面之间形成欧姆结,在上述第一金属层上形成与其他金属贴紧度良好的物质(10)的层;工序(E),在上述工序(D)之后,将另一主面上的第一金属层(8)表面的杂质除去并进行清洗,在1100℃以上的温度下进行上述工序(D)的热处理。



1. 一种碳化硅半导体装置的制造方法，
具有：

工序A，准备第一导电型的碳化硅基板；

工序B，在上述碳化硅基板的一个主面上形成第一导电型的外延层；

工序C，在上述碳化硅基板的另一个主面上形成由镍与第IV族、第V族和第VI族的金属中的任意一者以上构成的第一金属层；

工序D，在上述工序C之后，对上述碳化硅基板进行热处理，在上述第一金属层与上述碳化硅基板的另一主面之间形成欧姆结，在上述第一金属层上形成与其他金属贴紧度良好的物质的层，该物质的层是具有与第IV族、第V族和第VI族的金属的任意一者的键合的碳原子的比率为20%以上且50%以下的物质的层；以及

工序E，在上述工序D之后，将上述碳化硅基板的另一主面上的第一金属层表面的杂质除去并进行清洗，

在1100℃以上且1350℃以下的温度下进行上述工序D的热处理，

上述工序D的热处理的保持时间为1秒以上且1小时以下。

2. 根据权利要求1所述的碳化硅半导体装置的制造方法，其特征为，
上述第一金属层是由镍和钛构成的层。

3. 根据权利要求1所述的碳化硅半导体装置的制造方法，其特征为，
上述工序D的热处理的升温速度为0.5℃/秒以上且20℃/秒以下。

4. 根据权利要求1所述的碳化硅半导体装置的制造方法，其特征为，
上述与其他金属贴紧度良好的物质的层是由在上述第一金属层上部分残留的层形成的。

5. 根据权利要求1所述的碳化硅半导体装置的制造方法，其特征为，
上述与其他金属贴紧度良好的物质的层是由碳化钛或钛、硅和碳的三元化合物形成的。

6. 根据权利要求1所述的碳化硅半导体装置的制造方法，其特征为，
在上述工序E中，采用使离子冲撞来除去杂质并进行清洗的逆向溅射法。

7. 根据权利要求6所述的碳化硅半导体装置的制造方法，其特征为，
上述离子是离子化后的氩。

8. 根据权利要求1所述的碳化硅半导体装置的制造方法，其特征为，
在上述工序D与上述工序E之间，还包括：

工序F，在上述碳化硅基板的一个主面的上述外延层上形成第二金属层。

9. 根据权利要求8所述的碳化硅半导体装置的制造方法，其特征为，
还包括：

工序G，在1000℃以下的温度下，对上述碳化硅基板进行热处理，在上述第二金属层与上述外延层之间形成肖特基结。

10. 根据权利要求9所述的碳化硅半导体装置的制造方法，其特征为，
上述工序G的热处理的最高温度为400℃以上且600℃以下。

11. 根据权利要求9所述的碳化硅半导体装置的制造方法，其特征为，
上述工序G的热处理的保持时间为1分钟以上且30分钟以下。

12. 根据权利要求9所述的碳化硅半导体装置的制造方法,其特征为,
上述工序G的热处理的升温速度为 $1^{\circ}\text{C}/\text{秒}$ 以上且 $10^{\circ}\text{C}/\text{秒}$ 以下。
13. 根据权利要求8所述的碳化硅半导体装置的制造方法,其特征为,
在上述工序B与上述工序C之间,还包括:
工序H,在上述外延层的成为形成上述第二金属层的区域的下部的区域,选择性地形成第二导电型区域。
14. 根据权利要求13所述的碳化硅半导体装置的制造方法,其特征为,
在上述工序H中,以带状配置上述第二导电型区域。
15. 根据权利要求1所述的碳化硅半导体装置的制造方法,其特征为,
在上述碳化硅基板的(0001)面上形成上述外延层。
16. 根据权利要求1所述的碳化硅半导体装置的制造方法,其特征为,
在上述碳化硅基板的(000-1)面上形成上述外延层。
17. 一种碳化硅半导体装置,利用权利要求1~16中任意一项所述的制造方法来制造,
在形成于上述第一金属层上的与上述其他金属贴紧度良好的物质的层上,具有与第IV族、第V族和第VI族的金属的任意一者的键合的碳原子的比率为20%以上且50%以下。
18. 根据权利要求17所述的碳化硅半导体装置,其特征为,
具有Ti-C键的碳原子的比率为20%以上且50%以下。

碳化硅半导体装置的制造方法以及由该方法制造的碳化硅半导体装置

技术领域

[0001] 本发明涉及一种碳化硅半导体装置的制造方法、特别涉及一种在具有金属/碳化硅半导体界面的碳化硅半导体装置的制造方法中提高金属沉积膜的贴紧度的方法、以及利用该方法制造的碳化硅半导体装置。

背景技术

[0002] 碳化硅 (SiC) 是化学性非常稳定的材料,带隙宽到3eV,即使在高温下也能够作为半导体极其稳定地使用。另外,最大电场强度也比硅 (Si) 大1位数以上,因此,从功率半导体元件的观点来考虑,作为代替性能界限相近的硅的材料备受瞩目(例如,参照下列非专利文献1)。

[0003] 半导体装置在制造工序的最后阶段进行用于与外部装置连接的布线用金属膜的形成。对该布线用金属膜的要求包括:接触电阻小;切割时不产生剥离;能够经受住焊接或芯片焊接后的长时间使用并不产生剥离等,但特别要求的是不会产生剥离,贴紧度强。这在以碳化硅为材料的碳化硅半导体装置中也不例外。

[0004] 在以碳化硅为材料的碳化硅半导体装置中,碳化硅含有碳,在半导体装置的制作(制造)工序中,大多使用用于与金属反应的高温处理,而且,在反应后需要通过很多工序,因此,很容易在表面形成引起石墨层等的剥离的层。因此,在引起石墨层等的剥离的层上沉积布线用等的金属膜,这就很容易引起布线用金属膜的剥离。

[0005] 特别是,如果关注在碳化硅半导体装置中形成成为低电阻连接的欧姆电极的工序,则可知:可以在将镍 (Ni) 膜沉积在碳化硅基板上之后,进行热处理,并使Ni膜中的Ni与碳化硅基板中的硅发生反应,从而在碳化硅基板上形成例如Ni硅化物膜。但是,在对Ni进行热处理形成Ni硅化物膜的情况下,由于Ni不与碳化硅基板中的碳 (C) 发生反应,因此,剩余的碳会在Ni硅化物膜上形成石墨层。而且,由于之后要经过多个工序,因此,在欧姆电极表面上会沉积使贴紧度降低的污染物。如果在沉积了该污染物的面上制作与外部装置连接用的布线用金属膜,则贴紧度降低,成为引起布线用金属膜的剥离的主要原因。

[0006] 因此,在现有技术中提出了利用以下方法来抑制布线用金属膜的剥离,即,在氧气 (O₂) 气氛或惰性气体 (氩 (Ar) 等) 气氛下,利用等离子体处理除去在Ni硅化物膜的表面上形成的石墨层,从而防止布线用金属膜的剥离的方法(例如,参照下列专利文献1);或者,在对沉积在碳化硅基板上的Ni膜进行热处理之前,事先在Ni膜上形成Ni硅化物膜,从而使石墨层不会露出到表面的方法(例如,参照下列专利文献2);或者,通过在Ni膜上沉积与碳反应的金属并进行热处理,从而在表面上形成金属碳化物层的方法(例如,参照下列专利文献3)。

[0007] 现有技术文献

[0008] 专利文献

[0009] 专利文献1:JP特开2003-243323号公报

- [0010] 专利文献2:JP特开2006-332358号公报
[0011] 专利文献3:JP特开2006-344688号公报
[0012] 非专利文献
[0013] 非专利文献1:IEEE Transactions on Electron Devices (Vol.36,p.1811,1989)

发明内容

[0014] 发明要解决的技术课题

[0015] 如上所述,在碳化硅半导体装置的制造工序中,存在很多形成成为引起布线用金属膜的剥离的石墨层等的剥离原因物质的层的原因。在如上述专利文献1等所述利用氩(Ar)溅射等物理方法来除去该剥离原因物质的情况下,不仅除去了剥离原因物质,而且连低电阻连接所需要的Ni硅化物层也被除去。很难确立正确地只将剥离原因物质除去的方法。另外,虽然如上述专利文献3等所示,通过沉积与碳形成化合物的金属并进行热处理来除去析出石墨的方法能够简化工序,但不能够避免除去析出石墨之后的工序中的污染物质导致的布线用金属膜的剥离。

[0016] 鉴于上述课题,本发明的目的是提供一种在如下所述的半导体装置的制造方法中能够抑制布线用金属膜的剥离的方法,该制造方法为:在将金属膜沉积在碳化硅基板上之后,通过退火而在金属膜与碳化硅基板之间形成欧姆结,在表面上形成与其他金属膜贴紧度良好并且针对Ar溅射等物理方法耐抗性高的层,利用Ar溅射优先地将在形成欧姆电极等的过程中产生的剥离原因物质除去,并露出与其他金属膜的贴紧度良好的表面,由此,提高所露出的用于连接的布线用金属膜与外部装置的贴紧度。

[0017] 解决技术课题的方法

[0018] 本发明的发明人为了达到上述目的而进行了不懈研究,其结果发现:当在与碳化硅基板之间的用于获得欧姆结的第一金属层上使用Ni等与碳不发生反应的元素时,通过形成与碳发生反应而生成化合物的第IV族、第V族或第VI族的金属并且形成第一金属层,由此,在1100℃以上的温度下进行热处理之后,使在第一金属层上引起剥离的石墨减少,并且形成贴紧度良好的物质。而且,还发现:即使是在第IV族、第V族或第VI族的金属中,特别是钛(Ti)也会形成硅化钛、碳化钛以及钛、硅和碳的三元化合物($Ti_xSi_yC_z$),这些化合物对物理方法具有耐抗性,因此,具有抑制布线用金属膜剥离的效果。

[0019] 本发明就是基于这些发现而完成的,本发明提供了以下的技术方案。

[0020] 为了解决上述课题而达到本发明的目的,涉及本发明的碳化硅半导体装置的制造方法具有:(A)准备第一导电型的碳化硅基板,(B)在上述碳化硅基板的一个主面上形成第一导电型的外延层。(C)在上述碳化硅基板的另一个主面上形成由镍(Ni)与第IV族、第V族和第VI族的金属中的任意一者以上构成的第一金属层。(D)接下来,对上述碳化硅基板进行热处理,在上述第一金属层与上述碳化硅基板的另一主面之间形成欧姆结,在上述第一金属层上形成与其他金属贴紧度良好的物质的层。(E)接下来,将上述碳化硅基板的另一主面上的第一金属层的表面的杂质除去并进行清洗。而且,在1100℃以上的温度下进行形成与上述其他金属贴紧度良好的物质的层的工序(D)的热处理。

[0021] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,上述第一金属层是由镍(Ni)和钛(Ti)构成的层。

[0022] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,形成与上述其他金属贴紧度良好的物质的层的工序(D)的热处理的最高温度为1100℃以上且1350℃以下。

[0023] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,形成与上述其他金属贴紧度良好的物质的层的工序(D)的热处理的保持时间为1秒以上且1小时以下。

[0024] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,形成与上述其他金属贴紧度良好的物质的层的工序(D)的热处理的升温速度为0.5℃/秒以上且20℃/秒以下。

[0025] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,上述与其他金属贴紧度良好的物质的层是由在上述第一金属层上部分残留的层形成的。

[0026] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,上述与其他金属贴紧度良好的物质的层是由碳化钛或钛、硅和碳的三元化合物($Ti_xSi_yC_z$)形成的。

[0027] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中的除去上述第一金属层的表面的杂质并进行清洗的工序(E)中,采用使离子冲撞来除去杂质并进行清洗的逆向溅射法。

[0028] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,上述离子是离子化后的氩(Ar)。

[0029] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,在形成与上述其他金属贴紧度良好的物质的层的工序(D)与除去上述第一金属层的表面的杂质并进行清洗的工序(E)之间,还包括在上述碳化硅基板的一个主面的上述外延层上形成第二金属层的工序(F)。

[0030] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,还包括在1000℃以下的温度下对上述碳化硅基板进行热处理,在上述第二金属层与上述外延层之间形成肖特基结的工序(G)。

[0031] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,形成上述肖特基结的工序(G)的热处理的最高温度为400℃以上且600℃以下。

[0032] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,形成上述肖特基结的工序(G)的热处理的保持时间为1分钟以上且30分钟以下。

[0033] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,形成上述肖特基结的工序(G)的热处理的升温速度为1℃/秒以上且10℃/秒以下。

[0034] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,在形成上述第一导电型的外延层的工序(B)与形成上述第一金属层的工序(C)之间,还包括在成为上述外延层的形成上述第二金属层的区域的下部的区域选择性地形成第二导电型区域的工序(H)。

[0035] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,在选择性形成上述第二导电型区域的工序(H)中,以带状配置上述第二导电型区域。

[0036] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,在上述碳化硅基板的(0001)面上形成上述外延层。

[0037] 本发明涉及的碳化硅半导体装置的制造方法的特征为,在上述发明中,在上述碳化硅基板的(000-1)面上形成上述外延层。

[0038] 本发明涉及的碳化硅半导体装置是利用上述碳化硅半导体装置的制造方法来制造的碳化硅半导体装置,在形成于上述第一金属层上的与上述其他金属贴紧度良好的物质的层上,具有与第IV族、第V族和第VI族的金属的任意一者的键合的碳原子的比率为20%以上。

[0039] 本发明涉及的碳化硅半导体装置的特征为,在上述发明中,具有Ti-C键的碳原子的比率为20%以上。

[0040] 发明效果

[0041] 根据本发明,在制造碳化硅半导体装置的过程中,抑制引起布线用金属膜的剥离的石墨等的剥离原因物质的形成,在表面上形成与其他金属贴紧度高的物质,提高外部装置与用于连接的布线用金属膜的贴紧度,从而提供一种不会产生剥离的结构稳定的半导体装置。

附图说明

[0042] 图1-1是表示本发明的第一实施方式的碳化硅半导体装置的制造工序的一例的剖视图。

[0043] 图1-2是表示本发明的第一实施方式的碳化硅半导体装置的制造工序的一例的剖视图。

[0044] 图1-3是表示本发明的第一实施方式的碳化硅半导体装置的制造工序的一例的剖视图。

[0045] 图1-4是表示本发明的第一实施方式的碳化硅半导体装置的制造工序的一例的剖视图。

[0046] 图1-5是表示本发明的第一实施方式的碳化硅半导体装置的制造工序的一例的剖视图。

[0047] 图1-6是表示本发明的第一实施方式的碳化硅半导体装置的制造工序的一例的剖视图。

[0048] 图2是本发明的第一实施方式的使用Ti膜、Ni膜和Au膜作为布线用金属膜时的半导体装置的剖视图。

[0049] 图3是表示本发明的第一实施方式的作为具有Ti-C键状态的物质的Ti碳化物的比例与贴紧度的关系的特性图。

[0050] 图4是表示本发明的第一实施方式的作为具有Ti-C键状态的物质的Ti碳化物的比例与烧结温度的关系的特性图。

[0051] 图5是作为本发明的第一实施方式的与其他金属贴紧度良好的物质的层,形成部分残留的层时的半导体装置的剖视图。

具体实施方式

[0052] 本发明的碳化硅半导体的制造方法的特征为,具有:工序(A),准备第一导电型的碳化硅基板;工序(B),在上述第一导电型的碳化硅基板的一个主面上形成第一导电型的外

延层;工序(C),在上述第一导电型的碳化硅基板的另一个主面上形成由镍(Ni)与第IV族、第V族或第VI族的金属中的任意一者以上构成的第一金属层;工序(D),在上述工序(C)之后,对上述碳化硅基板进行热处理,在上述第一金属层与上述碳化硅基板的另一主面之间形成欧姆结,在上述第一金属层上形成与其他金属贴紧度良好的物质的层;工序(E),在上述工序(D)之后,将上述碳化硅基板的另一主面上的第一金属层表面的杂质除去并进行清洗,在1100℃以上的温度下进行上述工序(D)的热处理。

[0053] 在本发明中,上述碳化硅基板的另一主面上的第一金属层由镍(Ni)与第IV族、第V族或第VI族的金属中的任意一者以上构成,进行均匀或不均匀的混合,或者由各种形态的层构成。在本发明中,作为与Ni一起构成第一金属层的第IV族金属,能列举出钛(Ti)和锆(Zr)等;作为第V族金属,能够列举出钒(V)、钽(Ta)等;作为第VI族金属,能够列举出铬(Cr)、钼(Mo)和钨(W)等。

[0054] 碳化硅基板的另一主面上的第一金属层由于热处理而使混合形态发生变化,成为热处理后的第一金属层。在该热处理后的第一金属层的表面上形成与其他金属贴紧度良好并且针对Ar溅射等物理方法耐抗性高的物质的层(以下,作为与其他金属贴紧度良好的物质的层),在其上形成贴紧度差并能够通过物理方法容易除去的物质。然后,在经过多个工序之后,进一步沉积了成为剥离原因的物质。如果利用物理方法来处理该表面,则只留下耐抗性高并且与其他金属贴紧度高的物质的层,因此,即使沉积了金属也不会产生剥离。因此,优选在沉积其他金属之前立即进行杂质的除去。

[0055] 在本发明中,在用于在与碳化硅基板的另一主面之间获得欧姆结的第一金属层上使用Ni等不与碳发生反应的元素的情况下,形成与碳发生反应而形成化合物的第IV族、第V族或第VI族金属并形成第一金属层,由此,使在通过1100℃以上的温度进行热处理之后的第一金属层上导致剥离的石墨减少,并且形成贴紧度良好的物质,因此,具有效果。特别是,即使是在第IV族、第V族或第VI族的金属中,Ti也形成硅化钛、碳化钛以及钛、硅和碳的三元化合物($Ti_xSi_yC_z$),这些化合物对物理方法具有耐抗性,具有抑制例如布线用金属膜等的其他金属膜的剥离的效果。

[0056] 在本发明中,上述热处理(退火)温度的最高温度在1100℃以上、1350℃以下,对物理方法具有耐抗性,具有形成抑制其他金属膜的剥离的物质的效果。另外,热处理条件的保持时间为1秒以上且1小时以下,对物理方法具有耐抗性,具有形成抑制剥离的物质的效果。另外,热处理条件的升温速度为0.5℃/秒以上且20℃/秒以下,对物理方法具有耐抗性,具有形成抑制其他金属膜的剥离的物质的效果。

[0057] 另外,在本发明中,即使由上述对物理方法具有耐抗性并且抑制其他金属膜的剥离的物质形成的层是在第一金属层的表面上部分残留的层,也具有效果。

[0058] 在本发明中,作为除去杂质并进行清洗的方法,使离子冲撞来除去杂质并进行清洗的逆向溅射法具有将剥离原因物质优先除去的效果,其中,使Ar离子冲撞来除去杂质并进行清洗的逆向溅射法为优选。

[0059] 在本发明中,进行以下的操作也有效,即,在第一金属层与碳化硅基板的另一主面之间形成欧姆结,然后,进行在碳化硅基板的一个主面上形成肖特基势垒二极管(SBD)等结构的工序,之后,进行除去碳化硅基板的另一主面上的第一金属层表面的杂质进行清洗的工序。另外,碳化硅基板的另一主面为(0001)面和(000-1)面的任何一面都具有效果。另外,

在本说明书中,米勒指数的描述中的“-”指在其之后的指数所带的横线,通过在指数之前标注“-”从而表示是负指数。

[0060] 以下,通过附图对本发明的实施方式的具体说明,但本发明不局限于以下的实施方式,只要不脱离本发明的宗旨,就能够进行各种设计变更。另外,虽然在各实施方式中,将第一导电型作为n型,将第二导电型作为p型,但在本发明中,即使将第一导电型作为p型、将第二导电型作为n型也同样成立。

[0061] (第一实施方式)

[0062] 首先,对第一实施方式进行说明。图1-1~图1-6是表示本发明的第一实施方式中的碳化硅半导体装置的制造工序的一例的剖视图。

[0063] 如图1-1(a)所示,准备掺杂了例如 $5 \times 10^{18} \text{cm}^{-3}$ 的氮的例如厚度为 $350 \mu\text{m}$ 的例如具有(0001)面作为主面的高浓度n型基板(碳化硅基板)1。接下来,如图1-1(b)所示,在该碳化硅基板1的主面上沉积掺杂了例如 $1.0 \times 10^{16} \text{cm}^{-3}$ 的氮的例如厚度为 $10 \mu\text{m}$ 的低浓度n型漂移层2。由此,形成在碳化硅基板1上沉积低浓度n型漂移层2而成的半导体基板。以下,将该半导体基板的低浓度n型漂移层2一侧的面作为表面,将碳化硅基板1一侧的面(碳化硅基板1的另一主面)作为背面。

[0064] 接下来,如图1-2(c)所示,为了在低浓度n型漂移层2的表面层(基板表面的表面层)分别选择性地形成终端结构用的p型区域3、Junction Barrier Schottky(结势垒肖特基)(JBS)结构用的p型区域4和Junction Termination Extension(结终端扩展)(JTE)结构用的p型区域5,使用例如离子注入装置从基板表面将铝(Al)注入。为了将用于形成终端结构用的p型区域3、JBS结构用的p型区域4和p型区域5而注入的铝活性化,例如,在Ar气氛中,在 1650°C 的温度下进行240秒的活性化处理。JBS结构用的p型区域4可以具有在与多个JBS结构用的p型区域4排列的方向正交的方向上延伸的带状的平面布局。通过以这种平面布局来配置JBS结构用的p型区域4,当施加逆电压时,耗尽层扩大,电场的集中会得到缓和,除了耐压会比单纯的SBD结构提高之外,还会在p型区域4与n型漂移层2的边界引起雪崩破坏,能够提高抗雪崩性。此后,为了除去活性化处理形成的表面污染层,例如,形成厚度 50nm 的热氧化层并进行除去。接下来,在低浓度n型漂移层2上形成厚度 $0.5 \mu\text{m}$ 的层间绝缘膜6。

[0065] 接下来,如图1-2(c)所示,在碳化硅基板1的另一主面上沉积例如 50nm 的Ni膜与 10nm 的Ti膜作为第一金属层7。此后,使用例如急速加热处理(RTA:Rapid Thermal Anneal:快速热退火)装置进行热处理。作为该热处理条件,例如在 $1^\circ\text{C}/\text{秒}$ 的升温速度下升温,在达到例如 $900 \sim 1300^\circ\text{C}$ 之后保持2分钟。

[0066] 由此,图1-2(c)所示的第一金属层7被硅化,如图1-3(d)所示,成为层的形态发生了变化的第一金属层8,在碳化硅基板1的另一主面与第一金属层8之间形成低电阻的欧姆接触9。在此,Ti膜中的Ti与碳化硅基板1中的Si以及碳发生反应,形成由硅化钛(TiSi)、碳化钛(TiC)以及钛、硅和碳的三元化合物($\text{Ti}_x\text{Si}_y\text{C}_z$)中的任意一者或数者的组合形成的与其他金属的贴紧度良好的物质的层10。在此,由于例如热处理的温度低等条件的原因,与Ti不发生反应而留下的碳11有时会残留在热处理后的第一金属层8的表面。

[0067] 虽然关于之后的工序未进行图示,但由于为了制造例如纵向型SBD,而要在实施本发明的面的相反侧(基板表面主面侧)制造肖特基接触等结构,因此,要通过很多工序。例如,如图1-4(e)所示,利用例如Ti形成与低浓度n型漂移层2具有肖特基结的第二金属层13,

并在例如8℃/秒的升温时间下进行升温，在达到例如500℃之后保持5分钟，从而形成肖特基结。在此，热处理（退火）温度的最高温度为1000℃以下，优选为400℃以上且600℃以下；热处理条件的保持时间为1分钟以上且30分钟以下；热处理条件的升温速度优选为1℃/秒以上且10℃/秒以下。其理由是因为：通过在上述条件的范围内处理基板，能够将正向阈值电压的变化抑制在从中央值起10%以内这一较窄的范围内。

[0068] 之后，在第二金属层13上用例如厚度5μm的Al-Si形成第三金属层14作为连接用电极焊盘，并且以在第三金属层14上延伸的方式在层间绝缘膜6上形成聚酰亚胺15。因此，如图1-4 (e) 所示，由于在进行这些多个工序的过程中形成的污染、例如抗蚀剂的残渣所形成的剥离原因物质12会被补加到碳化硅基板1的另一主面的表面上。

[0069] 在此，如果为了使例如离子化后的氩 (Ar) 冲撞来除去杂质并进行清洗而利用逆向溅射法来处理背面，则如图1-5 (f) 所示，在基板背面的表面会出现与其他金属贴紧度良好的物质的层10。

[0070] 在基板背面的清洗化处理之后，在与其他金属贴紧度良好的物质的层10露出到表面的状态下，如图1-6 (g) 所示，在与其他金属贴紧度良好的物质的层10上形成第四金属层16。在此，图2是表示作为成为本发明的第一实施方式中的布线用金属膜的第四金属层16而使用Ti膜、Ni膜和Au膜时的半导体装置的剖视图。例如，如果如图2所示，在真空中利用蒸镀装置来形成例如厚度100nm的Ti膜17、例如厚度500nm的Ni膜18以及例如厚度200nm的Au膜19，则能够形成不会剥离并且电阻小的用于与外部装置连接的第四金属层16。

[0071] 为了调查剥离的原因，本发明的发明人在剥离较多的碳化硅半导体装置与不产生剥离的碳化硅半导体装置中通过ESCA (化学分析电子能谱法) 测定了与其他金属贴紧度良好的物质的层10。图3是表示本发明的第一实施方式中的作为具有Ti-C键状态的物质的碳化钛的比例与贴紧度的关系的特性图。如图3所示，在与其他金属贴紧度良好的物质的层10的所有原子中，具有Ti-C 键的碳原子的比率为20%以上，变得不会出现第四金属层16的剥离。

[0072] 而且，进行研究之后发现：具有Ti-C键的碳原子的比率与上述图1-3 (d) 所示工序中的加热 (sintering: 烧结) 温度有关。图4是表示本发明的第一实施方式中的作为具有Ti-C键状态的物质的碳化钛的比例与烧结温度的关系的特性图。如图4所示，如果烧结温度为1100℃以上，则具有Ti-C键的碳原子的比率成为20%以上。

[0073] 由此，具有Ti-C键的TiC以及Ti、Si与碳的三元系化合物 ($Ti_xSi_yC_z$) 中的任意一者或它们的混合物是贴紧度强的物质，可以认为能够利用1100℃以上的烧结来制造贴紧度高的层。

[0074] 另外，在本实施方式中，虽然使用Ti作为与碳发生反应而形成化合物的金属，但同样的效果也能够通过使用Ti以外的第IV族、第V族或第VI族的金属来获得。图5是作为本发明的第一实施方式中的与其他金属的贴紧度良好的物质的层而部分残留的层形成时的半导体装置的剖视图。如图5所示，从与其他金属贴紧度良好的物质的层10的存在比来看，能够认为，与其他金属贴紧度良好的物质的层10即使是部分残留的层也有效。

[0075] (第二实施方式)

[0076] 在上述第一实施方式中，虽然对制造SBD装置的情况进行了说明，但在基板表面侧能够制造其他装置、例如MOS栅 (由金属-氧化膜-半导体形成的绝缘栅) 等的表面结构。涉及

第二实施方式的碳化硅半导体装置的表面结构以外的构成与涉及第一实施方式的碳化硅半导体装置相同。因此,涉及第二实施方式的碳化硅半导体装置的制造工序,可以当在涉及第一实施方式的碳化硅半导体装置的制造工序中形成表面结构时形成例如MOS栅即可。

[0077] (第三实施方式)

[0078] 在上述第一实施方式中,虽然作为碳化硅基板1的主面以(0001)面为例进行了阐述,但也可以使用(000-1)面作为碳化硅基板1的主面。涉及第三实施方式的碳化硅半导体装置的碳化硅基板1以外的结构与涉及第一实施方式的碳化硅半导体装置相同。因此,涉及第三实施方式的碳化硅半导体装置的制造工序,可以在涉及第一实施方式的碳化硅半导体装置的制造工序中使用具有(000-1)面的碳化硅基板1作为主面。

[0079] 另外,在上述第一实施方式中,虽然根据在基板整个面上形成均匀的电极的剖视图进行了说明,但本发明能够对应于在基板主面表面上部分形成电极的碳化硅半导体装置、例如MPS(Merged PiN and Schottky Barrier:合并肖特基势垒)结构的二极管的触点。

[0080] 产业上的可利用性

[0081] 如上所述,本发明所涉及的碳化硅半导体装置的制造方法以及由该方法制造的碳化硅半导体装置,对于在金属膜与碳化硅基板之间具有欧姆结的半导体装置来讲是有用的。

[0082] 附图标记的说明

- [0083] 1 第一导电型碳化硅基板
- [0084] 2 第一导电型碳化硅外延层
- [0085] 3 第二导电型杂质离子注入区域(JBS)
- [0086] 4 第二导电型杂质离子注入区域(终端)
- [0087] 5 第二导电型杂质离子注入区域(JTE)
- [0088] 6 层间绝缘膜
- [0089] 7 第一金属层
- [0090] 8 热处理后的第一金属层
- [0091] 9 欧姆结
- [0092] 10 与其他金属贴紧度良好的物质的层
- [0093] 11 由于未发生反应而残留的碳
- [0094] 12 在工序中附着的剥离原因物质
- [0095] 13 第二金属层(肖特基结用金属)
- [0096] 14 第三金属层(电极焊盘)
- [0097] 15 聚酰亚胺
- [0098] 16 第四金属层
- [0099] 17 Ti层
- [0100] 18 Ni层
- [0101] 19 Au层

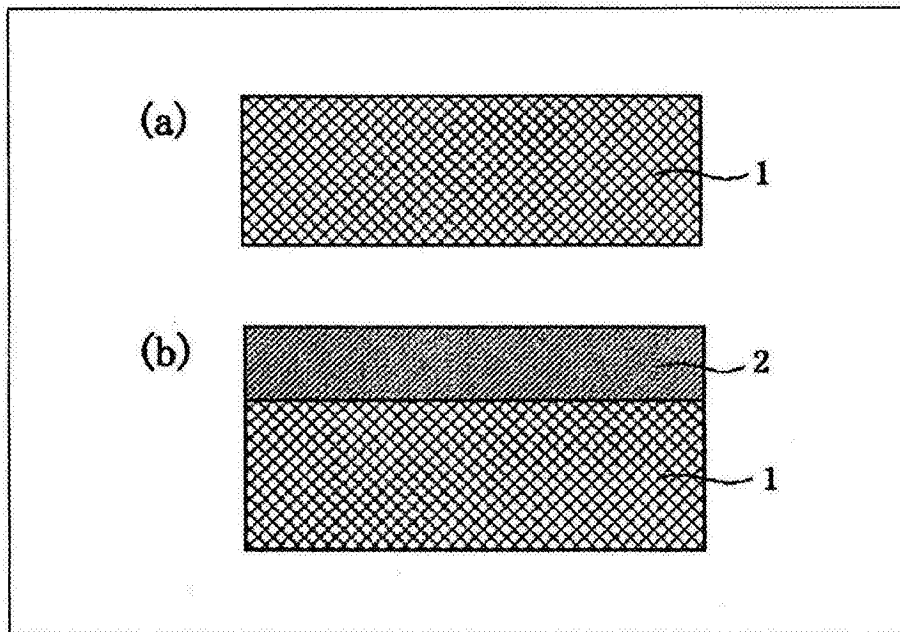


图1-1

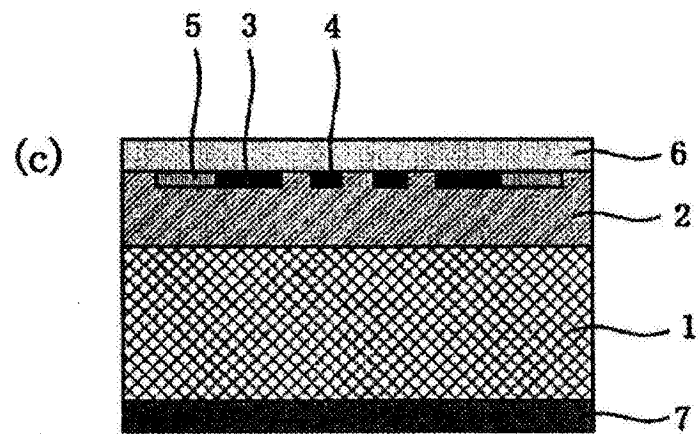


图1-2

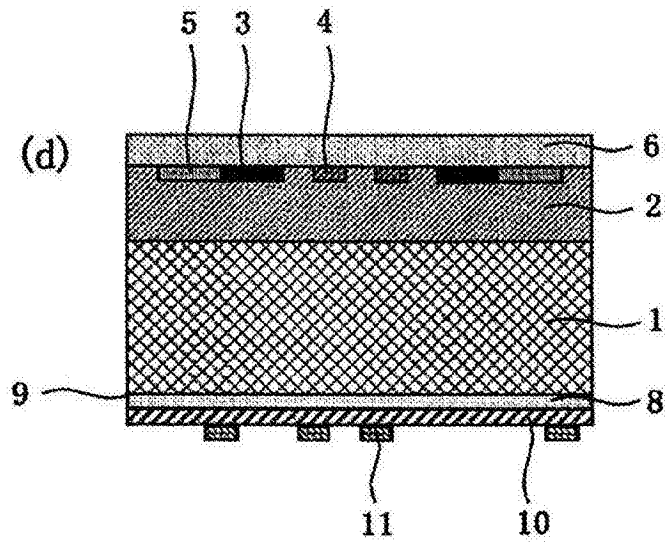


图1-3

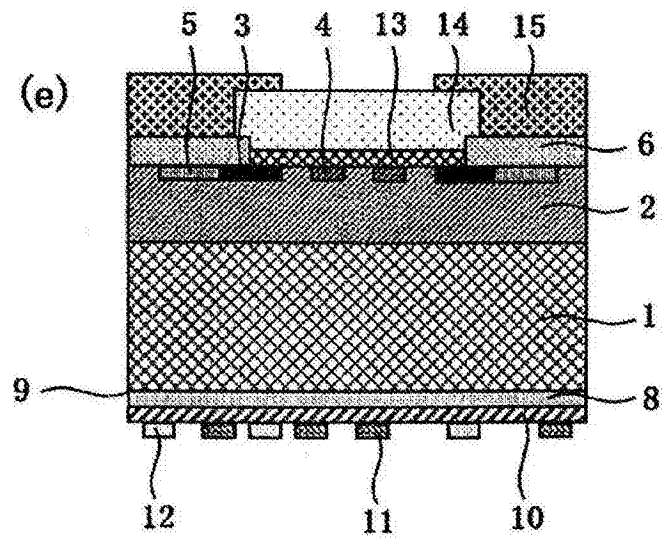


图1-4

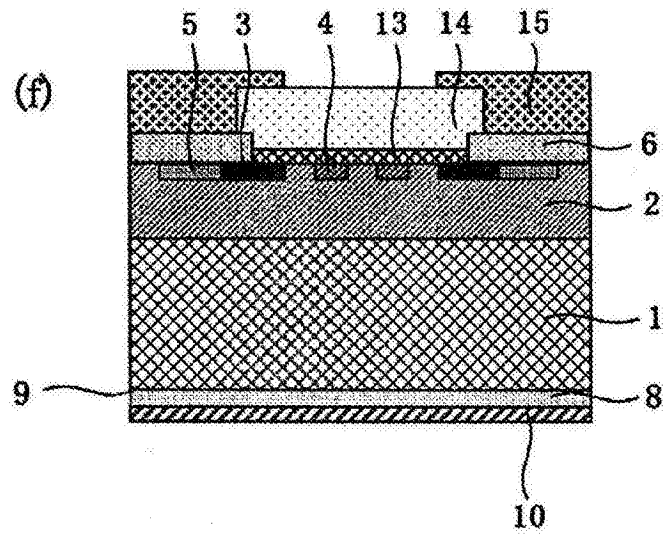


图1-5

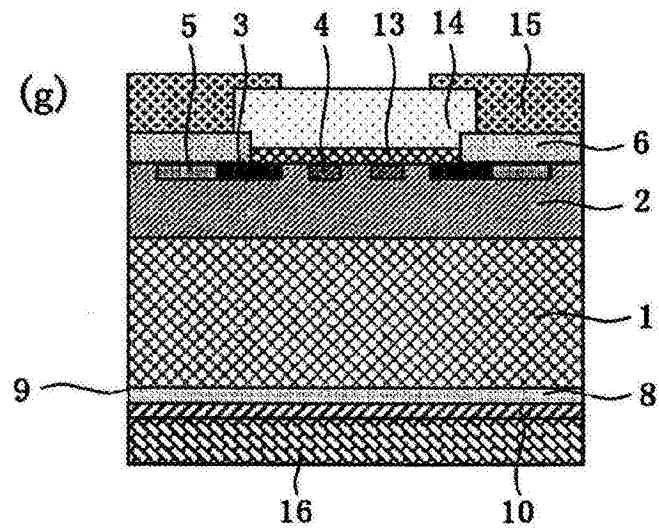


图1-6

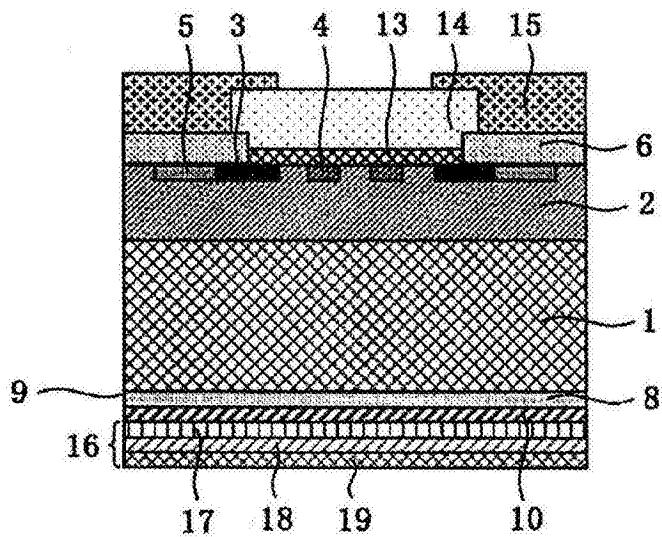


图2

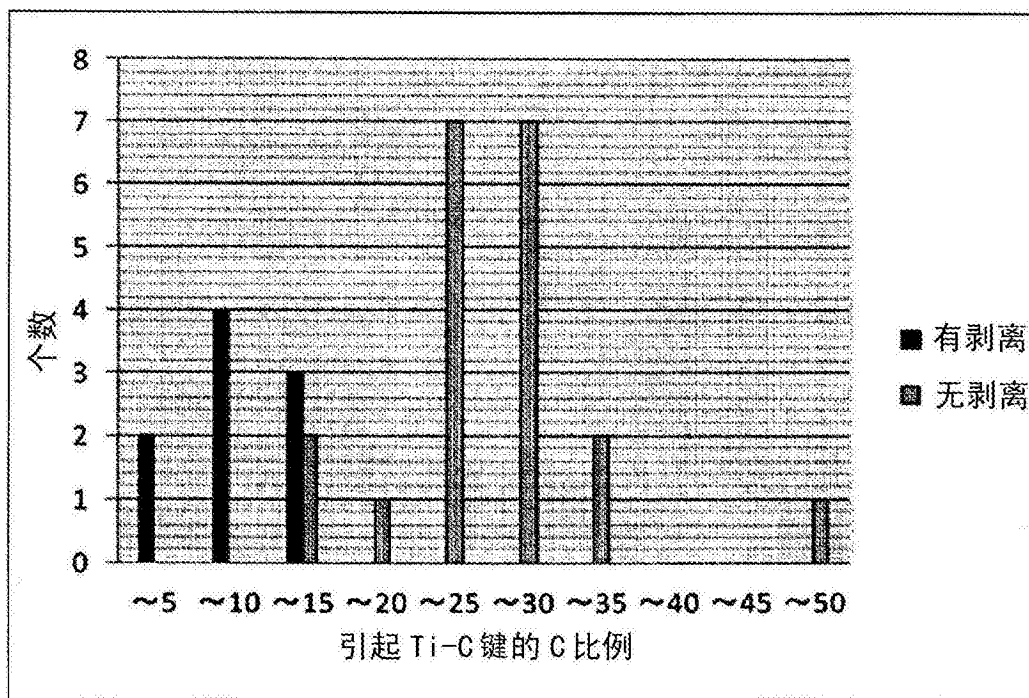


图3

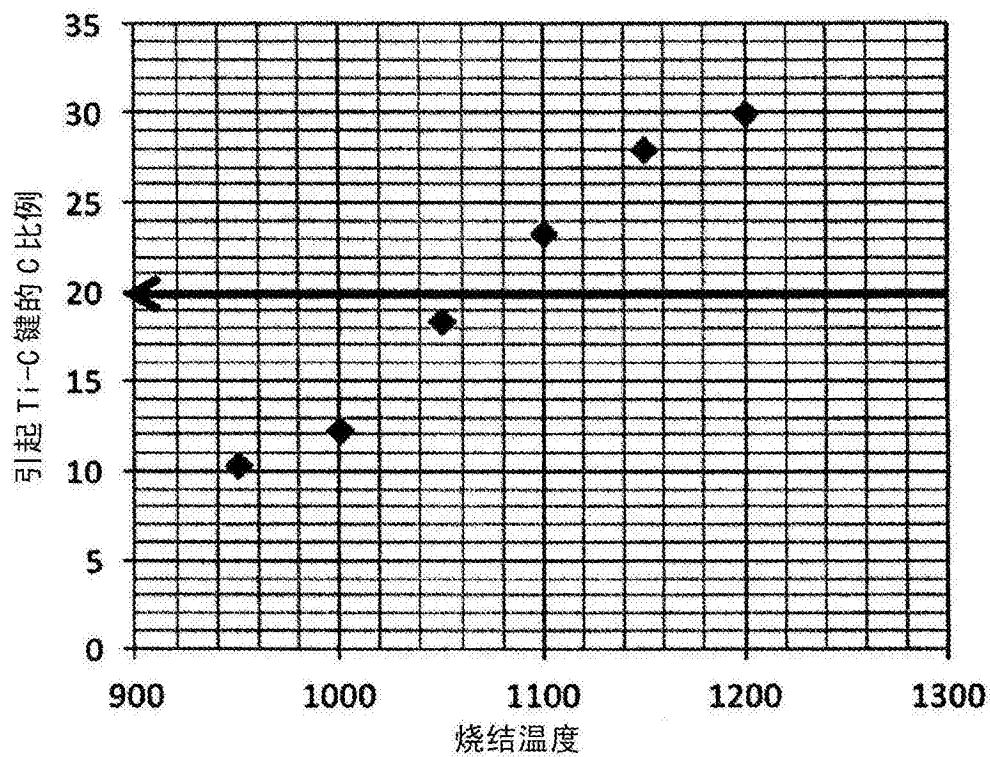


图4

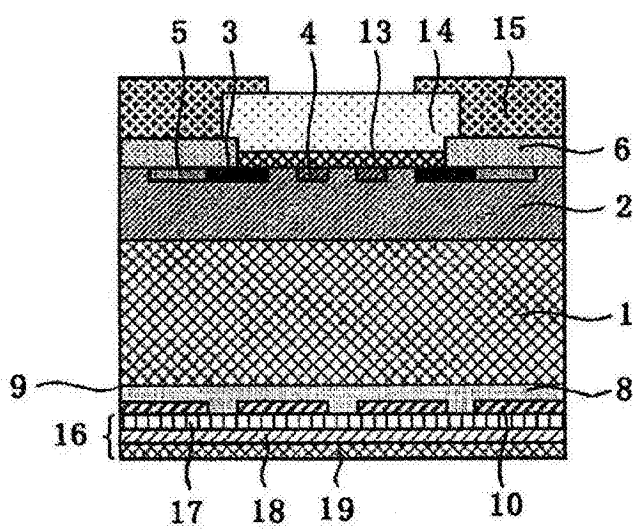


图5