



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년02월01일
(11) 등록번호 10-1824123
(24) 등록일자 2018년01월25일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01) H01L 27/12 (2006.01)
H04N 5/3745 (2011.01)
(52) CPC특허분류
H01L 27/14612 (2013.01)
H01L 27/1203 (2013.01)
(21) 출원번호 10-2017-7003692(분할)
(22) 출원일자(국제) 2010년10월12일
심사청구일자 2017년02월09일
(85) 번역문제출일자 2017년02월09일
(65) 공개번호 10-2017-0018482
(43) 공개일자 2017년02월17일
(62) 원출원 특허 10-2012-7014506
원출원일자(국제) 2010년10월12일
심사청구일자 2015년09월08일
(86) 국제출원번호 PCT/JP2010/068234
(87) 국제공개번호 WO 2011/055626
국제공개일자 2011년05월12일
(30) 우선권주장
JP-P-2009-255271 2009년11월06일 일본(JP)
(56) 선행기술조사문헌
KR1020080094772 A*
JP2003197890 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
교야마 준
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
야마자키 순페이
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 12 항

심사관 : 김진우

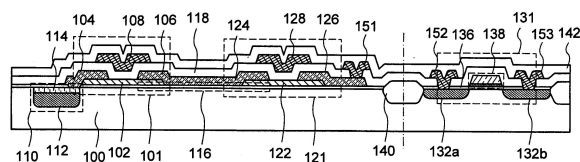
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 안정된 전기 특성을 가지는 박막 트랜지스터를 가지는 전위 보유 기능이 높은 고체 촬상 소자를 제공한다.

산화물 반도체층을 이용하여 박막 트랜지스터의 오프 전류를 1×10^{-13} A 이하로 하고, 이 박막 트랜지스터를 고체 (뒷면에 계속)

대표도



활상 소자의 리셋 트랜지스터 및 전송 트랜지스터의 양쪽에 이용함으로써 신호 전하 축적부의 전위가 일정하게 유지되고, 다이내믹 레인지를 향상시킬 수 있다. 또한, 주변 회로에 상보형 금속 산화물 반도체 소자가 제작 가능한 실리콘 반도체를 이용함으로써 고속 또한 저소비 전력의 반도체 장치를 제작할 수 있다.

(52) CPC특허분류

H01L 27/1214 (2013.01)

H01L 27/1225 (2013.01)

H01L 27/14616 (2013.01)

H01L 27/14627 (2013.01)

H01L 27/14632 (2013.01)

H01L 27/14643 (2013.01)

H04N 5/37457 (2013.01)

명세서

청구범위

청구항 1

반도체 장치로서,
 광전 변환 소자;
 제 1 트랜지스터;
 제 2 트랜지스터; 및
 제 3 트랜지스터를 포함하고,
 상기 제 1 트랜지스터의 게이트 전극은 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 상기 게이트 전극은 상기 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 제 1 라인에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 게이트 전극은 제 2 라인에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 한쪽은 상기 광전 변환 소자에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 게이트 전극은 제 3 라인에 전기적으로 접속되고,
 상기 광전 변환 소자는 상기 제 2 트랜지스터를 통해 상기 제 1 트랜지스터의 상기 게이트 전극에 전기적으로 접속되어, 상기 제 1 트랜지스터의 상기 게이트 전극이 전하를 축적할 수 있고,
 상기 제 1 트랜지스터의 채널은 산화물 반도체층을 포함하고,
 상기 광전 변환 소자 위에 층간 절연막이 설치되고,
 상기 층간 절연막 위에 상기 제 3 트랜지스터가 설치되는, 반도체 장치.

청구항 2

반도체 장치로서,
 광전 변환 소자;
 제 1 트랜지스터;
 제 2 트랜지스터; 및
 제 3 트랜지스터를 포함하고,
 상기 제 1 트랜지스터의 게이트 전극은 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 상기 게이트 전극은 상기 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 제 1 라인에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 게이트 전극은 제 2 라인에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 한쪽은 상기 광전 변환 소자에 전기적으로

로 접속되고,

상기 제 3 트랜지스터의 게이트 전극은 제 3 라인에 전기적으로 접속되고,

상기 광전 변환 소자는 상기 제 2 트랜지스터를 통해 상기 제 1 트랜지스터의 상기 게이트 전극에 전기적으로 접속되어, 상기 제 1 트랜지스터의 상기 게이트 전극이 전하를 축적할 수 있고,

상기 제 1 트랜지스터의 채널은 제 1 산화물 반도체층을 포함하고,

상기 제 3 트랜지스터의 채널은 제 2 산화물 반도체층을 포함하고,

상기 광전 변환 소자 위에 층간 절연막이 설치되고,

상기 층간 절연막 위에 상기 제 3 트랜지스터가 설치되는, 반도체 장치.

청구항 3

반도체 장치로서,

광전 변환 소자;

제 1 트랜지스터;

제 2 트랜지스터; 및

제 3 트랜지스터를 포함하고,

상기 제 1 트랜지스터의 게이트 전극은 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 게이트 전극은 상기 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 제 1 라인에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트 전극은 제 2 라인에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 한쪽은 상기 광전 변환 소자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 게이트 전극은 제 3 라인에 전기적으로 접속되고,

상기 광전 변환 소자는 상기 제 2 트랜지스터를 통해 상기 제 1 트랜지스터의 상기 게이트 전극에 전기적으로 접속되어, 상기 제 1 트랜지스터의 상기 게이트 전극이 전하를 축적할 수 있고,

상기 제 3 트랜지스터의 채널은 산화물 반도체층을 포함하고,

상기 광전 변환 소자 위에 층간 절연막이 설치되고,

상기 층간 절연막 위에 상기 제 3 트랜지스터가 설치되는, 반도체 장치.

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 항 또는 제 2 항에 있어서,

소스-드레인 전압이 6V이고 온도가 120℃인 상태에서, 상기 제 1 트랜지스터의 채널 폭 1μm 당의 오프 전류는

100 aA/ μm 이하인, 반도체 장치.

청구항 7

제 3 항에 있어서,

소스-드레인 전압이 6V이고 온도가 120℃인 상태에서, 상기 제 3 트랜지스터의 채널 폭 1 μm 당의 오프 전류는 100 aA/ μm 이하인, 반도체 장치.

청구항 8

제 1 항 또는 제 2 항에 있어서,

드레인 전압이 1V 내지 10V 일 때, 상기 제 1 트랜지스터의 오프 전류는 1×10^{-13} A 이하인, 반도체 장치.

청구항 9

제 3 항에 있어서,

드레인 전압이 1V 내지 10V 일 때, 상기 제 3 트랜지스터의 오프 전류는 1×10^{-13} A 이하인, 반도체 장치.

청구항 10

제 1 항 또는 제 3 항에 있어서,

상기 산화물 반도체층은 In, Ga, 및 Zn을 포함하는, 반도체 장치.

청구항 11

제 2 항에 있어서,

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층은 각각 In, Ga, 및 Zn을 포함하는, 반도체 장치.

청구항 12

제 1 항 또는 제 3 항에 있어서,

상기 산화물 반도체층에서의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만인, 반도체 장치.

청구항 13

제 2 항에 있어서,

상기 제 1 산화물 반도체층에서의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만인, 반도체 장치.

청구항 14

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 광전 변환 소자는 결정질 실리콘을 포함하는, 반도체 장치.

발명의 설명

기술 분야

- [0001] 본 발명의 일형태는 산화물 반도체를 이용한 전계 효과형 트랜지스터를 가지는 반도체 장치에 관한 것이다.
- [0002] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자기기는 모두 반도체 장치이다.

배경 기술

- [0003] 절연 표면을 가지는 기판 위에 형성된 반도체 박막을 이용하여 박막 트랜지스터를 구성하는 기술이 주목되고 있다. 박막 트랜지스터에 적용 가능한 반도체 박막으로서는 실리콘계 반도체 재료가 공지되어 있지만, 그 외의 재료로서 산화물 반도체가 주목되고 있다.
- [0004] 산화물 반도체의 재료로서는, 산화 아연 또는 산화 아연을 포함하는 재료가 알려져 있다. 그리고, 전자 캐리어 농도가 $10^{18}/\text{cm}^3$ 미만인 비정질 산화물(산화물 반도체)로 형성된 박막 트랜지스터가 개시되어 있다(특허문헌 1 내지 특허문헌 3).

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본국 특개 2006-165527호 공보
(특허문헌 0002) 일본국 특개 2006-165528호 공보
(특허문헌 0003) 일본국 특개 2006-165529호 공보

발명의 내용

해결하려는 과제

- [0006] 한편으로, 표시 장치에 가깝게 구성되어 있으면서도, 우수한 전기 특성이 요구되는 고체 촬상 소자 등에서는 SOI 기판이나 벌크의 단결정 실리콘 기판을 이용한 전계 효과형 트랜지스터가 일반적으로 이용되고 있다.
- [0007] 하지만, 단결정 실리콘을 이용한 전계 효과형 트랜지스터이어도 이상적인 전기 특성을 가지고 있다고는 할 수 없고, 예를 들어 오프 전류(리크 전류 등이라고도 칭함)는 실질적으로 제로라고 말할 수 있을 정도로 작진 않다. 또한, 실리콘은 온도 특성의 변화가 비교적 큰 재료이기도 하고, 특히 오프 전류는 변화하기 쉽다. 따라서, 고체 촬상 소자 등 전하 보유형의 반도체 장치를 구성하는 경우에는, 주위의 환경에 좌우되지 않고, 충분한 전위 보유 기간의 확보가 가능하고, 보다 오프 전류가 저감된 디바이스의 개발을 바라고 있다.
- [0008] 그래서, 개시하는 본 발명의 일양태는 안정된 전기 특성(예를 들어, 오프 전류가 매우 낮음)을 가지는 박막 트랜지스터를 포함하는 고체 촬상 소자를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0009] 본 발명의 일양태는 실리콘 반도체를 이용하여 형성된 광전 변환 소자 및 증폭 트랜지스터를 적어도 가지고, 리셋 트랜지스터 및 전송 트랜지스터가 산화물 반도체로 형성된 화소를 가지는 고체 촬상 소자에 관한 것이다.
- [0010] 또한, 본 발명의 일양태에 있어서의 산화물 반도체는 전자 공여체(도너)가 되는 불순물을 제거함으로써, 진성 또는 실질적으로 진성인 반도체이고, 실리콘 반도체보다도 에너지 갭이 크다.
- [0011] 즉, 본 발명의 일양태는 산화물 반도체에 포함되는 수소의 농도가, 이차 이온 질량 분석법(SIMS : Secondary Ion Mass Spectroscopy)에 의해 측정된 최저값으로서 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 보다

바람직하게는 $5 \times 10^{17} / \text{cm}^3$ 이하 또는 $1 \times 10^{16} / \text{cm}^3$ 미만인 되도록 산화물 반도체에 포함되는 수소 또는 OH기를 제거하고, 캐리어 농도를 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 이하로 한 산화물 반도체막으로 채널 영역이 형성되는 박막 트랜지스터를 가지는 고체 촬상 소자이다.

[0012] 산화물 반도체의 에너지 갭은 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상으로 하고, 도너를 형성하는 수소 등의 불순물을 극력 저감하고, 캐리어 농도를 $1 \times 10^{14} / \text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 이하가 되도록 한다.

[0013] 이와 같이 고순도화된 산화물 반도체는 박막 트랜지스터의 채널 형성 영역에 이용함으로써, 전기 특성이 노멀리 오프를 나타내고, 1 V부터 10 V의 드레인 전압에 있어서, 그 오프 전류는 $1 \times 10^{-13} \text{ A}$ 이하, 또는 $100 \text{ aA} / \mu\text{m}$ (μm 는 박막 트랜지스터의 채널 폭) 이하, 바람직하게는 $10 \text{ aA} / \mu\text{m}$ 이하, 더욱 바람직하게는 $1 \text{ aA} / \mu\text{m}$ 이하가 된다.

[0014] 본 명세서에서 개시하는 본 발명의 일양태는 실리콘 반도체 기판에 매설된 광전 변환 소자부와, 전송 트랜지스터를 통하여 광전 변환 소자부와 전기적으로 접속되는 신호 전하 축적부와, 신호 전하 축적부와 전기적으로 접속되는 리셋 트랜지스터와, 신호 전하 축적부에 게이트 전극이 전기적으로 접속되는 증폭 트랜지스터를 가지고, 전송 트랜지스터 및 리셋 트랜지스터의 채널 형성 영역은 산화물 반도체로 형성되어 있고, 증폭 트랜지스터의 채널 형성 영역은 실리콘 반도체로 형성된 화소부를 가지는 것을 특징으로 하는 반도체 장치이다.

[0015] 또한, 상기 증폭 트랜지스터도 산화물 반도체를 이용한 박막 트랜지스터로 형성하여도 좋다. 상기 화소부에는 선택 트랜지스터가 더 형성되어 있어도 좋다. 또한, 화소부와 접속되는 주변 회로부는 실리콘 반도체를 포함하는 벌크 트랜지스터를 이용하여 상보형 트랜지스터가 형성되는 것이 바람직하다.

[0016] 본 명세서 등에 있어서 「전극」이나 「배선」이란 용어는 이것들의 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들어, 「전극」은 「배선」의 일부로서 이용되는 경우가 있고, 「배선」은 「전극」의 일부로서 이용되는 경우가 있다. 또한, 「전극」이나 「배선」이라는 용어는, 예컨대 복수의 「전극」이나 「배선」이 일체가 되어 형성되어 있는 경우 등도 포함한다.

[0017] 또한, 「SOI 기판」에는 실리콘 웨이퍼 등의 반도체 기판에 한정되지 않고, 유리 기판이나 석영 기판, 사파이어 기판, 금속 기판 등의 비반도체 기판도 포함된다. 즉, 절연체 기판 위에 반도체 재료로 이루어지는 층을 가지는 것도, 넓게는 「SOI 기판」에 포함된다. 또한, 본 명세서 등에 있어서, 「반도체 기판」은 반도체 재료만으로 이루어지는 기판을 가리킬 뿐만 아니라, 반도체 재료를 포함하는 기판 전반을 가리키기로 한다. 즉, 본 명세서 등에 있어서는 「SOI 기판」도 「반도체 기판」에 포함된다.

발명의 효과

[0018] 본 발명의 일형태에 의하면, 오프 전류가 매우 작은 산화물 반도체를 이용한 박막 트랜지스터를 리셋 트랜지스터 및 전송 트랜지스터의 양쪽에 이용함으로써 신호 전하 축적부의 전위가 일정하게 유지되고, 다이내믹 레인지를 향상시킬 수 있다. 또한, 주변 회로에 상보형 트랜지스터용으로 이용될 수 있는 실리콘 반도체를 이용함으로써 동작이 고속이고, 저소비 전력의 반도체 장치를 제작할 수 있다.

도면의 간단한 설명

[0019] 도 1은 고체 촬상 소자의 화소의 구성에 대하여 설명한 단면도.

도 2는 고체 촬상 소자의 화소의 구성에 대하여 설명한 단면도.

도 3은 고체 촬상 소자의 화소의 구성에 대하여 설명한 단면도.

도 4는 고체 촬상 소자의 제작 방법에 대하여 설명한 단면도.

도 5는 고체 촬상 소자의 제작 방법에 대하여 설명한 단면도.

도 6은 산화물 반도체를 이용한 박막 트랜지스터의 $V_g - I_d$ 특성을 나타낸 도면.

도 7은 산화물 반도체를 이용한 박막 트랜지스터의 사진.

도 8은 산화물 반도체를 이용한 박막 트랜지스터의 $V_g - I_d$ 특성(온도 특성)을 나타낸 도면.

도 9는 산화물 반도체를 이용한 역스태거형의 박막 트랜지스터의 종(縱)단면도.

도 10은 도 9에 나타난 A-A' 단면에 있어서의 에너지 밴드도(모식도).

도 11은 도 9에 나타난 B-B' 단면에 있어서의 에너지 밴드도(모식도)이고, 도 11(A)는 게이트(G1)에 정(正)의 전위(+VG)가 인가된 상태를 나타내고, 도 11(B)는 게이트(G1)에 부(負)의 전위(-VG)가 인가된 상태를 나타낸 도면.

도 12는 진공 준위와 금속의 일함수(Φ_M), 산화물 반도체의 전자 친화력(χ)의 관계를 나타낸 도면.

도 13은 고체 촬상 소자의 화소의 구성에 대하여 설명한 도면.

도 14는 고체 촬상 소자의 화소의 동작에 대하여 설명한 도면.

도 15는 포토 다이오드의 동작에 대하여 설명한 도면.

도 16은 고체 촬상 소자의 화소의 구성에 대하여 설명한 도면.

도 17은 고체 촬상 소자의 화소의 동작에 대하여 설명한 도면.

도 18은 고체 촬상 소자의 화소의 구성에 대하여 설명한 도면.

도 19는 고체 촬상 소자의 화소의 동작에 대하여 설명한 도면.

도 20는 고체 촬상 소자의 화소의 구성에 대하여 설명한 도면.

도 21은 고체 촬상 소자의 화소의 동작에 대하여 설명한 도면.

도 22는 고체 촬상 소자의 화소의 구성에 대하여 설명한 도면.

도 23은 고체 촬상 소자의 화소의 동작에 대하여 설명한 도면.

도 24는 고체 촬상 소자의 구성에 대하여 설명한 도면.

도 25는 리셋 단자 구동 회로 및 전송 단자 구동 회로의 구성에 대하여 설명한 도면.

도 26는 수직 출력선 구동 회로의 구성에 대하여 설명한 도면.

도 27은 시프트 레지스터와 버퍼 회로의 일례를 나타낸 도면.

도 28은 고체 촬상 소자의 화소의 구성에 대하여 설명한 단면도.

발명을 실시하기 위한 구체적인 내용

[0020] 본 발명의 실시형태에 대하여, 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명으로 한정되지 않고, 본 발명의 취지 및 그 범위로부터 이탈하지 않고 그 형태 및 상세한 사항을 여러 가지로 변경할 수 있는 것은 당업자이라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타난 실시형태의 기재 내용으로 한정하여 해석되지 않는다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 동일한 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통으로 이용하고, 그 반복 설명은 생략한다.

[0021] 또한, 본 명세서에서 설명하는 각 도면에 있어서, 각 구성 요소이나 영역의 크기 및 층의 두께 등은 명료화를 위하여 과장된 경우가 있다. 따라서, 반드시 그 스케일로 한정되지 않는다.

[0022] 또한, 본 명세서에서 이용하는 제 1, 제 2, 제 3 등의 용어는 구성 요소의 혼동을 피하기 위하여 붙인 것이며, 순서 등을 한정하지 않는다. 그 때문에, 예를 들어 「제 1」을 「제 2」 또는 「제 3」 등과 적절히 치환하여 설명할 수 있다.

[0023] (실시형태 1)

[0024] 본 발명의 일양태는, 금속 절연물 반도체 소자, 소위 MIS(Metal Insulator Semiconductor) 트랜지스터를 이용한 반도체 장치이다. 본 명세서에서는 채널 형성 영역에 박막 반도체를 이용한 소자를 박막 트랜지스터라고 칭하고, 채널 형성 영역에 벌크 반도체를 이용한 소자를 벌크 트랜지스터라고 칭한다. 단, SOI(Silicon on Insulator) 기판에 형성되어 있는 반도체층은 박막이라고 할 수 있지만, 본 명세서에서는 이 반도체층에서 형성한 트랜지스터는 벌크 트랜지스터의 일종으로 한다.

[0025] 본 발명의 일양태에 있어서의 박막 트랜지스터를 포함하는 고체 촬상 소자의 화소를 구성하는 예를 이하에 설명한다. 본 실시형태에서는 일례로서, 고체 촬상 소자에 있어서의 화소가 가지는 박막 트랜지스터와, 이 박막 트

랜지스터에 접속된 광전 변환 소자 및 실리콘 반도체에서 형성된 벌크 트랜지스터에 대하여 설명한다. 또한 화소란, 고체 촬상 소자에 형성된 각 소자, 예를 들어 광전 변환 소자, 트랜지스터 및 배선 등으로 이루어지고, 전기적인 신호의 입출력으로 화상을 출력시키기 위한 소자로 구성되는 소자군인 것을 말한다.

[0026] 또한 화소는 도 28(A)의 단면도에 나타난 바와 같이 기판 표면 측에 형성된 렌즈(600), 컬러 필터(602) 및 층간 절연막(606) 등을 통하여 입사광을 광전 변환 소자(608)에 수광시키는 구조로 할 수 있다. 단, 점선 테로 둘러싸인 영역에 나타난 바와 같이, 화살표로 나타난 광로의 일부가 배선층(604)의 일부에 의하여 차광되게 되는 경우가 있고, 도 28(B)에 나타난 바와 같이 기판 이면 측에 렌즈(610) 및 컬러 필터(612)를 형성하여 입사광을 광전 변환 소자(618)에 효율 좋게 수광시키는 구조로 하여도 좋다.

[0027] 또한, A와 B가 접속된다고 기재하는 경우는 A와 B가 전기적으로 접속되는 경우와, A와 B가 직접 접속된 경우를 포함하기로 한다. 여기에서, A, B는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0028] 본 발명의 일양태인 고체 촬상 소자의 화소 부분의 일례를 도 1에 단면도로 나타낸다. 도 1은 전송 트랜지스터(101) 및 리셋 트랜지스터(121)에 산화물 반도체를 가지는 박막 트랜지스터를 이용한 예이고, 증폭 트랜지스터(131)는 단결정 실리콘 기판(100)에 형성된 n채널형의 벌크 트랜지스터로 형성한다. 광전 변환 소자(110)는 n형 영역(112)과 얇은 p형 영역(114)을 포함하는 포토 다이오드이고, 전송 트랜지스터(101)의 소스 전극(104)으로 접속된다. 또한, 전송 트랜지스터(101)의 드레인 전극 하방 및 리셋 트랜지스터의 소스 전극 하방에는 신호 전하 축적부(116)(플로팅 디퓨전(floating diffusion)이라고도 함)이 형성된다. 전송 트랜지스터(101) 및 리셋 트랜지스터(121)은 산화물 반도체층이 채널 영역이 되는 탑 게이트 구조를 하고 있고, 전송 트랜지스터(101)의 드레인 전극(106)이 리셋 트랜지스터의 소스 전극(124)과 전기적으로 접속된다. 증폭 트랜지스터(131)는 n형 영역(132a, 132b)과 게이트 전극(138)을 포함하는 n채널형의 벌크 트랜지스터이고, 도시하지는 않았지만, 증폭 트랜지스터의 게이트 전극(138)은 신호 전하 축적부(116)와 전기적으로 접속된다.

[0029] 또한, 도 1의 구조에 있어서, 벌크 트랜지스터의 게이트 절연층(136)은 박막 트랜지스터인 전송 트랜지스터(101) 및 리셋 트랜지스터(121)의 베이스 절연층을 겹하고, 신호 전하 축적부(116)는 게이트 절연층(136)을 유전체로서 용량을 형성한다. 또한, 박막 트랜지스터의 게이트 절연층(118)은 벌크 트랜지스터의 층간 절연층의 일부로서 기능한다.

[0030] 산화물 반도체를 채널 형성 영역에 이용한 박막 트랜지스터는 탑 게이트형을 예로서 나타내었지만, 역스태거 구조 등의 보텀 게이트형을 이용하여도 좋다. 또한, 광전 변환 소자(110)에 광을 조사할 필요가 있기 때문에, 전송 트랜지스터(101)의 소스 전극의 일부를 광전 변환 소자(110)의 수광부에 접속시키는 예를 들었지만, 소스 전극을 투광성 도전 재료로 형성하고, 광전 변환 소자(110)와의 접속 상태를 바꿔도 좋다. 예를 들어, 도 2(A)에 나타난 바와 같이, 투광성 도전 재료로 형성한 소스 전극(204)을 가지는 트랜지스터(201)를 전송 트랜지스터로서 이용하면, 소스 전극은 광전 변환 소자(210)의 수광면의 일부 또는 전면에 접속할 수 있다. 또한, 도 2(B)에 나타난 바와 같이 광전 변환 소자(310)로의 광로를 확보할 수 있도록, 저항이 낮은 금속층을 소스 전극(304) 및 드레인 전극(306)로 하고, 투광성 도전 재료층을 버퍼층(305, 307)으로 하여 적층한 트랜지스터(301)을 전송 트랜지스터로서 이용하여도 좋다.

[0031] 광전 변환 소자로서는, p형 단결정 실리콘 기판(SOI의 경우는 p형 단결정 실리콘층)에 n형 영역을 형성하고, 그 상부에 얇은 p형 영역을 형성한 소위 매립형 포토 다이오드를 형성한다. 포토 다이오드의 표면에 p형 영역을 형성함으로써 표면에서 발생하는 암(暗)전류, 즉 노이즈를 저감할 수 있다.

[0032] 또한, 상기에서는 단결정 반도체 기판을 이용한 예를 나타내었지만, SOI 구조의 기판이어도 좋다. 또한, 벌크 트랜지스터의 구조는 이것으로 한정되지 않고, 게이트 전극단에 사이드 월을 형성한 LDD(Lightly Doped Drain) 구조나 소스 또는 드레인 영역의 일부에 저저항의 실리사이드 등을 형성한 구조이어도 좋다.

[0033] 또한, 상기 화소부에는 증폭 트랜지스터(131)와 전기적으로 접속되는 선택 트랜지스터를 설치하여도 좋다. 증폭 트랜지스터 및 선택 트랜지스터는 동시에 실리콘 반도체, 산화물 반도체 중 어느 것을 이용하여도 형성할 수 있다. 단, 증폭 트랜지스터는 보다 증폭율이 높은 실리콘 반도체층을 이용한 벌크 트랜지스터로 형성하는 것이 바람직하다.

[0034] 또한, 벌크 트랜지스터의 상부에 절연층을 형성하고, 그 위에 박막 트랜지스터를 형성할 수도 있다. 예를 들어, 박막 트랜지스터에서 형성하는 전송 트랜지스터, 또는 리셋 트랜지스터 중 어느 한쪽을 벌크 트랜지스터에서 설치하는 증폭 트랜지스터의 상부에 설치하면, 한 화소 당 필요한 트랜지스터의 면적이 2/3 정도가 되고,

집적도의 향상이나 포토 다이오드의 수광 면적을 증가시킬 수 있고, 노이즈를 저감시킬 수도 있다. 도 3(A)는 그 일례이다. 박막 트랜지스터로 형성된 전송 트랜지스터(401)와 벌크 트랜지스터로 형성된 증폭 트랜지스터(431)가 병설되고, 그 상부에 절연층(441)을 통하여 박막 트랜지스터로 형성된 리셋 트랜지스터(421)가 설치된 구조를 하고 있다. 또한, 도 3(B)는, 하층에 광전 변환 소자(510)와 벌크 트랜지스터로 형성된 증폭 트랜지스터(531)를 형성하고, 절연막(541)을 통하여 상층에 박막 트랜지스터로 형성된 전송 트랜지스터(501)와 리셋 트랜지스터(521)를 설치한 예가 있고, 광전 변환 소자 및 벌크 트랜지스터와 박막 트랜지스터의 제작 공정이 분리될 수 있기 때문에, 공정의 제어가 용이하게 된다. 단, 신호 전하 축적부(516)를 형성하기 위한 용량 전극(540)을 설치해 두는 것이 바람직하다.

[0035] 이상의 박막 트랜지스터와 벌크 트랜지스터를 조합시키는 구성에 의하여, 신호 전하 축적부의 전위의 보유 기능을 높이고, 다이내믹 레인지가 넓은 고체 촬상 소자의 화소부를 형성할 수 있다. 단, 본 발명의 일양태를 실현하기 위해서는 오프 전류가 매우 낮은 박막 트랜지스터를 이용하는 것이 바람직하다. 다음에 그 제작 방법을 설명한다.

[0036] 본 발명의 일양태는, 단결정 실리콘 반도체를 이용한 벌크 트랜지스터와 전기 특성이 매우 양호한 산화물 반도체를 이용한 박막 트랜지스터를 조합시킴으로써 고체 촬상 소자의 화소부를 형성하는 것이다. 따라서, 산화물 반도체를 이용한 박막 트랜지스터의 제작 방법을 중심으로 상세하게 설명한다.

[0037] 일례로서, 도 1의 구조의 제작 방법을 도 4 및 도 5의 단면도를 이용하여 설명한다. 먼저, P형의 단결정 실리콘 기판(100)에 절연막(140)(필드 산화막이라고도 함)으로 분리한 소자 형성 영역을 형성한다. 소자 분리 영역의 형성은 LOCOS법(Local Oxidation Of Silicon법)이나 STI법(Shallow Trench Isolation) 등을 이용할 수 있다.

[0038] 여기에서 기판은 단결정 실리콘 기판으로 한정되지 않고, SOI(Silicon On Insulator) 기판 등을 이용할 수도 있다.

[0039] 또한, 본 실시형태에서는 매립형의 포토 다이오드 및 n채널형의 벌크 트랜지스터를 이용하는 구성이기 때문에, p형 단결정 실리콘 기판을 이용하지만, p웰(p-well)을 형성하면 n형 단결정 실리콘 기판을 이용할 수도 있다.

[0040] 다음에, 소자 형성 영역을 덮도록 게이트 절연층(136)을 형성한다. 예를 들어, 열처리를 행하여 단결정 실리콘 기판(100)에 형성된 소자 형성 영역의 표면을 산화시킴으로써 산화 실리콘막을 형성할 수 있다. 또한, 열산화법에 의하여 산화 실리콘막을 형성한 후에, 질화 처리를 행함으로써 산화 실리콘막의 표면을 질화시킴으로써, 산화 실리콘막과 산질화 실리콘막과의 적층 구조로 형성하여도 좋다.

[0041] 다른 방법으로는 예를 들어, 단결정 실리콘 기판(100)에 형성된 소자 형성 영역의 표면에 고밀도 플라즈마 처리에 의하여 산화 처리 또는 질화 처리를 행함으로써, 게이트 절연층(136)으로서 산화 실리콘막 또는 질화 실리콘막으로 형성할 수 있다. 또한, 고밀도 플라즈마 처리에 의하여 소자 형성 영역의 표면에 산화 처리를 행한 후에, 재차 고밀도 플라즈마 처리를 행함으로써 질화 처리를 행하여도 좋다. 이 경우, 소자 형성 영역의 표면에 접하여 산화 실리콘막이 형성되고, 이 산화 실리콘막 위에 산질화 실리콘막이 형성되고, 게이트 절연층(136)은 산화 실리콘막과 산질화 실리콘막이 적층된 층이 된다.

[0042] 다음에, 게이트 절연층(136)을 덮도록 도전층을 형성한다. 여기에서는 도전층(138a)과 도전층(138b)을 순서대로 적층하여 형성한다. 물론, 도전층은 단층 또는 2층 이상의 적층 구조로 형성하여도 좋다.

[0043] 도전층(138a, 138b)으로서는, 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오브(Nb) 등에서 선택된 원소 또는 이것들의 원소를 주성분으로 하는 합금 재료나 화합물 재료로 형성할 수 있다. 또한, 이것들의 원소를 질화한 금속 질화막으로 형성할 수도 있다. 그 외에도, 인 등의 불순물 원소를 도핑한 단결정 실리콘으로 대표되는 반도체 재료에 의하여 형성할 수도 있다.

[0044] 여기에서는, 도전층(138a)으로서 질화 탄탈을 이용하여 형성하고, 그 위에 도전층(138b)으로서 텅스텐을 이용하여 적층 구조로 형성한다. 또한, 그 외에도 도전층(138a)으로서 질화 텅스텐, 질화 몰리브덴 또는 질화 티탄에서 선택된 단층 또는 적층막을 이용하고, 도전층(138b)으로서 탄탈, 몰리브덴, 티탄에서 선택된 단층 또는 적층막을 이용할 수 있다.

[0045] 다음에, 적층하여 형성된 도전층(138a, 138b)을 선택적으로 에칭하여 제거함으로써, 게이트 절연층(136) 상방의 일부에 도전층(138a, 138b)을 잔존시켜, 게이트 전극(138)을 형성한다.

[0046] 다음에, 소자 형성 영역 이외를 덮도록 레지스트 마스크를 선택적으로 형성하고, 이 레지스트 마스크 및 게이트

전극(138)을 마스크로 하여 불순물 원소를 도입함으로써 n형 영역(132a, 132b)의 불순물 영역을 형성한다. 여기에서는 n채널형의 벌크 트랜지스터를 형성하기 때문에, 불순물 원소로서는 n형을 부여하는 불순물 원소인 인(P)나 비소(As) 등을 이용할 수 있다.

- [0047] 다음에, 광전 변환 소자인 포토 다이오드를 제작하기 위하여 레지스트 마스크를 선택적으로 형성한다. 먼저, n형을 부여하는 불순물 원소인 인(P)이나 비소(As)를 p형 단결정 실리콘 기판에 도입시켜 pn 접합을 형성한 후, p형을 부여하는 불순물 원소인 붕소(B)를 n형 영역의 표층으로 도입함으로써 매립형의 포토 다이오드를 형성할 수 있다.
- [0048] 이 단계에서, 도 4(A)의 우측에 나타난 벌크 트랜지스터와 좌측에 나타난 포토 다이오드의 구조가 완성된다.
- [0049] 다음에 산화물 반도체층을 채널 영역으로 하는 박막 트랜지스터의 제작 방법에 대하여 설명한다.
- [0050] 본 실시형태에서는 이미 단결정 실리콘 기판(100)에 형성된 벌크 트랜지스터의 게이트 절연층(136) 위에 박막 트랜지스터를 형성한다. 즉, 게이트 절연층(136)은 박막 트랜지스터의 베이스막과 벌크 트랜지스터의 게이트 절연층을 겸할 수 있다. 단, 다음의 방법을 이용하여 절연층을 성막하고, 베이스막을 적층하여도 좋다.
- [0051] 산화물 반도체층과 접하는 절연층으로는 산화 실리콘층, 산화 질화 실리콘층, 산화 알루미늄층 또는 산화 질화 알루미늄층 등의 산화물 절연층을 이용하는 것이 바람직하다. 절연층의 형성 방법으로서, 플라즈마 CVD법 또는 스퍼터링법 등을 이용할 수 있지만, 절연층 중에 수소가 다량으로 포함되지 않도록 하기 위해서는, 스퍼터링법으로 절연층을 성막하는 것이 바람직하다.
- [0052] 절연층으로서, 스퍼터링법에 의하여 산화 실리콘층을 형성하는 예를 설명한다. 단결정 실리콘 기판(100)를 처리실로 반송하고, 수소 및 수분이 제거된 고순도 산소를 포함하는 스퍼터링 가스를 도입하여 실리콘 타겟을 이용하고, 그런 방법으로 단결정 실리콘 기판(100)에 절연층으로서 산화 실리콘층을 성막한다. 또한 단결정 실리콘 기판(100)은 실온이어도 좋고, 가열되어도 좋다.
- [0053] 예를 들어, 석영(바람직하게는 합성 석영)을 타겟으로서 이용하고, 기판 온도 108℃, 기판과 타겟 사이의 거리(T-S 사이 거리)를 60 mm, 압력 0.4 Pa, 고주파 전원 1.5 kW 산소 및 아르곤(산소 유량 25 sccm : 아르곤 유량 25 sccm=1 : 1)분위기 하에서 RF 스퍼터링법에 의하여 산화 실리콘층을 성막한다. 막 두께는 100 nm로 한다. 또한, 석영을 대신하여 실리콘을 산화 실리콘층을 성막하기 위한 타겟으로서 이용할 수 있다. 이 때, 스퍼터링 가스로서는 산소 또는 산소 및 아르곤의 혼합 가스를 이용하여 행한다.
- [0054] 이 경우에서, 처리실 내의 잔류 수분을 제거하면서 절연층을 성막하는 것이 바람직하다. 절연층에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위함이다.
- [0055] 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프에 콜드 트랩을 더한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 처리실은 예를 들어, 수소 원자나, 물(H₂O) 등 수소 원자를 포함하는 화합물 등이 배기되기 때문에, 이 처리실에서 성막하여 절연층에 포함되는 불순물의 농도를 저감할 수 있다.
- [0056] 절연층을 성막할 때에 이용하는 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이 ppm정도의 농도 또는 ppb정도의 농도까지 제거된 고순도 가스를 이용하는 것이 바람직하다.
- [0057] 스퍼터링법에는 스퍼터링용 전원에 고주파 전원을 이용하는 RF 스퍼터링법, DC 스퍼터링법, 또한 펄스적으로 바이어스를 주는 펄스 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 이용되고, DC 스퍼터링법은 주로 도전막을 성막하는 경우에 이용된다.
- [0058] 또한, 재료가 상이한 타겟을 복수 설치할 수 있는 다원 스퍼터링 장치도 있다. 다원 스퍼터링 장치는 동일 챔버에서 상이한 재료막을 적층 성막하는 것도, 동일 챔버에서 복수 종류의 재료의 막을 동시에 방전시켜 성막할 수도 있다.
- [0059] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 이용하는 스퍼터링 장치나, 글로 방전을 사용하지 않고 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터링을 이용하는 스퍼터링 장치가 있다.
- [0060] 또한, 스퍼터링법을 이용하는 성막 방법으로서, 성막 중에 타겟 물질과 스퍼터링 가스 성분을 서로 화학 반응시킨 그것들의 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막 중에 기판에도 전압을 가하는 바이어스 스

퍼터링법도 있다.

- [0061] 또한, 절연층은 적층 구조이어도 좋고, 예를 들어, 기판 측으로부터 질화 실리콘층, 질화 산화 실리콘층, 질화 알루미늄층, 또는 질화 산화 알루미늄층 등의 질화물 절연층과, 상기 산화물 순서로 절연층의 적층 구조로 하여도 좋다.
- [0062] 예를 들어, 산화 실리콘층과 기판의 사이에 수소 및 수분이 제거된 고순도 질소를 포함하는 스퍼터링 가스를 도입하고 실리콘 타겟을 이용하여 질화 실리콘층을 성막한다. 이 경우에서도, 산화 실리콘층과 마찬가지로, 처리실 내의 잔류 수분을 제거하면서 질화 실리콘층을 성막하는 것이 바람직하다.
- [0063] 질화 실리콘층을 형성하는 경우도, 성막 시에 기판을 가열하여도 좋다.
- [0064] 절연층으로서 질화 실리콘층과 산화 실리콘층을 적층하는 경우, 질화 실리콘층과 산화 실리콘층을 같은 처리실에서, 공통의 실리콘 타겟을 이용하여 성막할 수 있다. 먼저 질소를 포함하는 스퍼터링 가스를 도입하고, 처리실 내에 장착된 실리콘 타겟을 이용하여 질화 실리콘층을 형성하고, 다음에 스퍼터링 가스를 산소를 포함하는 스퍼터링 가스로 변경하여 같은 실리콘 타겟을 이용하여 산화 실리콘층을 성막한다. 질화 실리콘층과 산화 실리콘층을 대기에 노출시키지 않고 연속하여 형성할 수 있기 때문에, 질화 실리콘층 표면에 수소나 수분 등의 불순물이 흡착하는 것을 방지할 수 있다.
- [0065] 다음으로, 절연층 위(본 실시형태에서는 게이트 절연층(136) 위)에, 막 두께 2 nm 이상 200 nm 이하의 산화물 반도체막을 스퍼터링법으로 형성한다.
- [0066] 또한, 산화물 반도체막에 수소, 수산기 그룹 및 수분이 되도록 포함되지 않도록 하기 위하여, 성막의 전처리로서, 스퍼터링 장치의 예비 가열실에서 단결정 실리콘 기판(100)을 예비 가열하고, 이 기판에 흡착한 수소, 수분 등의 불순물을 이탈하여 배기하는 것이 바람직하다. 또한, 예비 가열실에 형성하는 배기 수단은 크라이오 펌프가 바람직하다. 또한, 이 예비 가열 처리는 생략할 수 있다. 또한, 이 예비 가열은 후에 형성하는 박막 트랜지스터의 게이트 절연층(118)의 성막 전에 행하여도 좋고, 후에 형성하는 소스 전극 및 드레인 전극이 되는 도전층의 성막 전에 행하여도 좋다.
- [0067] 또한, 산화물 반도체막을 스퍼터링법에 의하여 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하고, 절연층의 표면에 부착한 먼지를 제거하는 것이 바람직하다. 역스퍼터링이란, 아르곤 분위기 하에서 기판 측에 RF 전원을 이용하여 전압을 인가하고, 이온화된 아르곤을 기판에 충돌시켜 표면을 개질하는 방법이다. 또한, 아르곤을 대신하여 질소, 헬륨, 산소 등을 이용하여도 좋다.
- [0068] 산화물 반도체막은 스퍼터링법에 의하여 성막한다. 산화물 반도체막으로서는 사원계 금속 산화물인 In-Sn-Ga-Zn-O막이나, 삼원계 금속 산화물인 In-Ga-Zn-O막, In-Sn-Zn-O막, In-Al-Zn-O막, Sn-Ga-Zn-O막, Al-Ga-Zn-O막, Sn-Al-Zn-O막이나, 이원계 금속 산화물인 In-Zn-O막, Sn-Zn-O막, Al-Zn-O막, Zn-Mg-O막, Sn-Mg-O막, In-Mg-O막이나, In-O막, Sn-O막, Zn-O막 등의 산화물 반도체막을 이용할 수 있다. 또한, 상기 산화물 반도체막에 SiO₂를 포함하여도 좋다.
- [0069] 또한, 산화물 반도체막은 InMO₃(ZnO)_m(m>0)으로 표기되는 박막을 이용할 수 있다. 여기에서, M은 Ga, Al, Mn 및 Co에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어 M으로서 Ga, Ga 와 Al, Ga 와 Mn 또는 Ga 와 Co 등이 있다. InMO₃(ZnO)_m(m>0)으로 표기되는 구조의 산화물 반도체막 중, M으로서 Ga를 포함하는 구조의 산화물 반도체를 In-Ga-Zn-O 산화물 반도체라고 칭하고, 그 박막을 In-Ga-Zn-O막이라고도 칭하기로 한다.
- [0070] 본 실시형태에서는, 산화물 반도체막을 In-Ga-Zn-O계 금속 산화물 타겟을 이용하여 스퍼터링법에 의하여 성막한다. 또한, 산화물 반도체막은 회가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하 또는 그것들의 혼합 분위기 하에 있어서 스퍼터링법에 의하여 형성할 수 있다.
- [0071] 산화물 반도체막을 성막할 때에 이용하는 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이 ppm 정도의 농도 또는 ppb 정도의 농도까지 제거된 고순도 가스를 이용하는 것이 바람직하다.
- [0072] 산화물 반도체막을 스퍼터링법으로 제작하기 위한 타겟으로서 산화 아연을 주성분으로 하는 금속 산화물의 타겟을 이용할 수 있다. 예를 들어, 조성비로서, In₂O₃:Ga₂O₃:ZnO=1:1:1[mol수비]의 금속 산화물 타겟을 이용하면 좋다. 또한, In₂O₃:Ga₂O₃:ZnO=1:1:2[mol수비]의 금속 산화물 타겟을 이용하여도 좋다. 금속 산화물

타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 금속 산화물 타겟을 이용함으로써, 성막한 산화물 반도체막은 치밀한 막이 된다.

[0073] 산화물 반도체막은 감압 상태로 보유된 처리실 내에 기관을 보유하고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 금속 산화물을 타겟으로 하여 절연층 위에 산화물 반도체막을 성막한다. 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로는 터보 펌프에 콜드 트랩을 더한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 처리실은 예를 들어, 수소 원자, 물(H_2O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되기 때문에, 이 처리실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 저감할 수 있다. 또한, 산화물 반도체막 성막 시에 기관을 가열하여도 좋다.

[0074] 성막 조건의 일례로서는, 기관 온도는 실온으로 기관과 타겟 사이의 거리를 110 mm, 압력 0.4 Pa, 직류(DC) 전원 0.5 kW, 산소 및 아르곤(산소 유량 15 sccm : 아르곤 유량 30 sccm) 분위기 하의 조건이 적용된다. 또한, 펄스 직류(DC) 전원을 이용하면, 성막 시에 발생하는 분상 물질(파티클, 먼지라고도 함)이 경감되고, 막 두께 분포도 균일하게 되기 때문에 바람직하다. 산화물 반도체막은 바람직하게는 5 nm 이상 30 nm 이하로 한다. 또한, 산화물 반도체막의 적절한 두께는 재료에 따라 상이하고, 재료에 따라서 적절히 두께를 선택하면 좋다.

[0075] 다음으로, 산화물 반도체막을 제 1 포토리소그래피 공정 및 에칭 공정에 의하여 섬 형상의 산화물 반도체층(102, 122)으로 가공한다(도 4(B) 참조). 여기에서, 산화물 반도체층(102)은 제 1 박막 트랜지스터의 채널 영역을 형성하는 반도체층이고, 산화물 반도체층(122)은 제 2 박막 트랜지스터의 채널 영역을 형성하는 반도체층이다.

[0076] 또한, 섬 형상의 산화물 반도체층을 형성하기 위하여 이용된 레지스트 마스크는 잉크젯법으로 형성하여도 좋다. 잉크젯법에서는 포토 마스크를 사용하지 않기 때문에, 제조 원가를 저감할 수 있다. 또한, 여기에서의 산화물 반도체막의 에칭은 건식 에칭이어도 습식 에칭이어도 좋고, 둘 다 이용하여도 좋다.

[0077] 건식 에칭에 이용하는 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들어 염소(Cl_2), 염화 붕소(BCl_3), 염화 규소($SiCl_4$), 사염화탄소(CCl_4) 등)가 바람직하다.

[0078] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들어 사불화 탄소(CF_4), 육불화 유황(SF_6), 삼불화 질소(NF_3), 트리플루오로메탄(CHF_3) 등), 브롬화 수소(HBr), 산소(O_2), 이것들의 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 이용할 수 있다.

[0079] 건식 에칭법으로서, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma : 유도 결합형 플라스마) 에칭법을 이용할 수 있다. 소망의 가공 형상으로 에칭될 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기관 축의 전극에 인가되는 전력량, 기관 축의 전극 온도 등)을 적절히 조절한다.

[0080] 습식 에칭에 이용하는 에칭액으로서, 인산과 초산과 질산을 섞은 용액, 암모니아 과수 혼합액(31 중량 % 과산화 수소수 : 28 중량 % 암모니아수 : 물 = 5 : 2 : 2) 등을 이용할 수 있다. 또한, ITO-07N(KANTO CHEMICAL CO., INC 제작)을 이용하여도 좋다.

[0081] 또한, 습식 에칭 후의 에칭액은 에칭된 재료와 함께 세정에 의하여 제거된다. 그 제거된 재료를 포함하는 에칭액의 폐액을 정제하고, 포함되는 재료를 재이용하여도 좋다. 이 에칭 후의 폐액에서 산화물 반도체층에 포함되는 인듐 등의 재료를 회수하여 재이용함으로써, 자원을 유효 활용하여 원가를 저감할 수 있다.

[0082] 소망의 형상으로 에칭할 수 있도록, 재료에 맞추어 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적절히 조절한다.

[0083] 본 실시형태에서는, 에칭액으로서 인산과 초산과 질산을 섞은 용액을 이용한 습식 에칭법에 의하여, 산화물 반도체막을 섬 형상의 산화물 반도체층(102, 122)으로 가공한다.

[0084] 본 실시형태에서는 산화물 반도체층(102, 122)에 대하여 질소 또는 헬륨, 네온, 아르곤 등의 희가스 분위기 하에서 제 1 가열 처리를 행한다. 제 1 가열 처리의 온도는 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기관의 변형점 미만으로 한다. 여기에서는 가열 처리 장치 중 하나인 전기로에 기관을 도입하고, 산화물 반도체층에 대하여 질소 분위기 하 450℃에서 1시간의 가열 처리를 행한다. 가열 처리 온도로부터의 강온(降溫)일 때에는, 분위기를 산소로 대신하여도 좋다. 이 제 1 가열 처리에 의하여 산화물 반도체층(102, 122)의 탈수화 또

는 탈수소화를 행할 수 있다.

- [0085] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의하여, 피처리물을 가열하는 장치를 구비하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Annealing) 장치, LRTA(Lamp Rapid Thermal Annealing) 장치 등의 RTA(Rapid Thermal Annealing) 장치를 이용할 수 있다. LRTA 장치는 할로젠 램프, 메탈헬라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의하여, 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 가열 처리를 행하는 장치이다. 기체에는 아르곤 등의 희가스 또는 질소와 같이 가열 처리에 의하여 피처리물과 반응하지 않는 불활성 기체가 이용된다.
- [0086] 예를 들어, 제 1 가열 처리로서, 650℃ 이상 700℃ 이하의 고온으로 가열한 불활성 가스 중에 기판을 넣고, 수분간 가열한 후에 기판 불활성 가스 중에서부터 꺼내는 GRTA를 행하여도 좋다. GRTA를 이용하면 단시간에서의 고온 가열 처리가 가능하게 된다.
- [0087] 또한, 제 1 가열 처리에서는 질소, 헬륨, 네온 또는 아르곤 등의 분위기 가스에 물, 수소 등이 포함되지 않은 것이 바람직하다. 또는, 이 분위기 가스의 순도를 6 N(99.9999%) 이상, 바람직하게는 7 N(99.99999%) 이상, (즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다. 분위기 가스로서 산소를 이용하는 경우도 동일한 순도인 것이 바람직하다.
- [0088] 또한, 제 1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라서는 산화물 반도체층이 결정화하고, 미결정층 또는 다결정층이 되는 경우도 있다. 예를 들어, 결정화율이 90% 이상 또는 80% 이상의 미결정의 산화물 반도체층이 되는 경우도 있다. 또한, 제 1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라서는 결정 성분을 포함하지 않은 비정질의 산화물 반도체층이 되는 경우도 있다. 또한, 비정질의 산화물 반도체층의 중에 미결정부(입경 1 nm 이상 20 nm 이하(대표적으로는 2 nm 이상 4 nm 이하))가 혼재하는 산화물 반도체층이 되는 경우도 있다.
- [0089] 또한, 산화물 반도체층의 제 1 가열 처리는 섬 형상의 산화물 반도체층에 가공하기 전의 산화물 반도체막에 행할 수도 있다.
- [0090] 산화물 반도체층에 대한 탈수화, 탈수소화의 효과를 얻는 가열 처리는 산화물 반도체층 성막 후, 산화물 반도체층 위에 소스 전극 및 드레인 전극을 적층시킨 후, 소스 전극 및 드레인 전극 위에 게이트 절연층을 형성한 후, 둘 중 어느 것을 행하여도 좋다.
- [0091] 다음으로, 제 2 포토리소그래피 공정 및 에칭 공정에 의하여 포토 다이오드 상층의 P⁺층에 달하는 개구부를 절연층에 형성하고, 절연층 및 산화물 반도체층(102, 122) 위에 도전층을 형성한다. 도전층을 스퍼터링법이나 진공 증착법으로 형성하면 좋다. 도전층의 재료로서는 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텅스텐에서 선택된 원소 또는 상기 원소를 성분으로 하는 합금이나, 상기한 원소를 조합한 합금막 등을 들 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 이트륨 중 어느 하나 또는 복수에서 선택된 재료를 이용하여도 좋다. 또한, 금속 도전층은 단층 구조이어도 좋고, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막을 적층하는 2층 구조, 티탄막과, 그 티탄막 위에 겹쳐서 알루미늄막을 적층하고, 그 위에 티탄막을 더 성막하는 3층 구조 등을 들 수 있다. 또한, 알루미늄에 티탄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오븀, 스칸듐에서 선택된 원소를 단수 또는 복수 조합한 막, 합금막, 또는 질화막을 이용하여도 좋다.
- [0092] 다음에, 제 3 포토리소그래피 공정에서 도전층 위에 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여, 제 1 박막 트랜지스터의 소스 전극(104) 및 드레인 전극(106), 제 2 박막 트랜지스터의 소스 전극(124) 및 드레인 전극(126)을 형성한 후, 레지스트 마스크를 제거한다(도 4(C) 참조). 여기에서, 제 1 박막 트랜지스터의 드레인 전극(106)과 제 2 박막 트랜지스터의 소스 전극(124)은 전기적으로 접속된 상태로 형성되지만 절연된 상태여도 좋고, 후에 배선을 이용하여 전기적으로 접속하여도 좋다. 또한, 형성된 소스 전극, 드레인 전극의 단부가 테이퍼라면, 위에 적층하는 게이트 절연층의 피복성이 향상되기 때문에 바람직하다.
- [0093] 본 실시형태에서는 소스 전극(104, 124), 드레인 전극(106, 126)으로서, 스퍼터링법에 의하여 막 두께 150 nm의 티탄막을 형성한다.
- [0094] 또한, 도전층의 에칭 시에, 산화물 반도체층(102, 122)은 산화물 반도체층의 일부가 제거되지 않고, 그 아래의 절연층이 노출하지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다.

- [0095] 본 실시형태에서는 도전층으로서 티탄막을 이용하고, 산화물 반도체층(102, 122)에는 In-Ga-Zn-O계 산화물 반도체를 이용하고, 암모니아 과수 혼합액(암모니아, 물, 과산화 수소수의 혼합액)을 이용한다.
- [0096] 또한, 제 3 포토리소그래피 공정 및 에칭 공정으로는 산화물 반도체층(102, 122)은 일부만이 에칭되고, 홈부(오목부)를 가지는 산화물 반도체층이 되는 것도 있다. 또한, 소스 전극(104, 124), 드레인 전극(106, 126)을 형성하기 위하여 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 잉크젯법은 포토 마스크를 사용하지 않기 때문에, 제조 원가를 저감할 수 있다.
- [0097] 제 3 포토리소그래피 공정에서의 레지스트 마스크 형성 시의 노광에는 적외선이나 KrF 레이저광이나 ArF 레이저광을 이용한다. 산화물 반도체층(102, 122) 위에서 서로 인접하는 소스 전극의 하단부와 드레인 전극의 하단부의 간격 폭에 의하여 후에 형성되는 박막 트랜지스터의 채널 길이(L)가 결정된다. 또한, 채널 길이(L)=25 nm 미만의 노광을 행하는 경우에는, 수 nm~수 10 nm와 파장이 매우 짧은 초적외선(Extreme Ultraviolet)을 이용하여 제 2 포토리소그래피 공정에서의 레지스트 마스크 형성 시의 노광을 행한다. 초적외선에 의하여 노광은 해상도가 높고 초점 심도도 크다. 따라서, 후에 형성되는 박막 트랜지스터의 채널 길이(L)를 10 nm 이상 1000 nm 이하로 하는 것도 가능하고, 회로의 동작 속도를 고속화할 수 있고 또한, 오프 전류값이 매우 작기 때문에, 저소비 전력화도 도모할 수 있다.
- [0098] 다음으로, 절연층, 산화물 반도체층(102, 122), 소스 전극(104, 124), 드레인 전극(106, 126) 위에 게이트 절연층(118)을 형성한다(도 5(A) 참조). 이 때, 벌크 트랜지스터 위에도 게이트 절연층(118)은 성막되고, 층간 절연막의 일부가 된다.
- [0099] 여기에서, 불순물을 제거함으로써 i형화 또는 실질적으로 i형화된 산화물 반도체(고순도화된 산화물 반도체)는 계면 준위, 계면 전하에 대하여 매우 민감하기 때문에, 게이트 절연층과의 계면은 중요하다. 그 때문에 고순도화된 산화물 반도체에 접하는 게이트 절연층(GI)은 고품질화가 요구된다.
- [0100] 예를 들어, 마이크로파(2.45 GHz)를 이용한 고밀도 플라즈마 CVD는 치밀하고 절연 내압이 높은 고품질의 절연층을 형성할 수 있으므로 바람직하다. 고순도화된 산화물 반도체와 고품질 게이트 절연층이 밀접함으로써, 계면 준위를 저감하여 계면 특성을 양호한 것으로 할 수 있다. 물론, 게이트 절연층으로서 양질의 절연층을 형성할 수 있는 것이라면, 스퍼터링법이나 플라즈마 CVD법 등 외의 성막 방법을 적용할 수 있다. 또한, 성막 후의 열처리에 의하여 게이트 절연층의 막질, 산화물 반도체와의 계면 특성이 개질되는 절연층이어도 좋다. 어느 것으로 하여도, 게이트 절연층으로서의 막질이 양호한 것은 물론, 산화물 반도체와의 계면 준위 밀도를 저감하고, 양호한 계면을 형성할 수 있는 것이면 좋다.
- [0101] 또한, 85°C , $2 \times 10^6 \text{ V/cm}$, 12시간의 바이어스·열 스트레스 시험(BT 시험)에서는 불순물이 산화물 반도체에 첨가되어 있으면, 불순물과 산화물 반도체의 주성분과의 결합이, 강전계(B: 바이어스)와 고온(T: 온도)에 의하여 절단되고, 생성된 미결합수가 스레숄드 전압(V_{th})의 시프트를 유발하게 된다. 이것에 대하여, 본 발명의 일양태는 산화물 반도체의 불순물, 특히 수소나 물 등을 극력 제거하고, 상기와 같이 게이트 절연층과의 계면 특성을 양호하게 함으로써, BT 시험을 행하여도 안정된 박막 트랜지스터를 얻는 것을 가능하게 한다.
- [0102] 본 실시형태에 있어서, 게이트 절연층(118)의 형성은 마이크로파(2.45GHz)를 이용한 고밀도 플라즈마 CVD 장치에 의하여 행한다. 여기에서는, 고밀도 플라즈마 CVD 장치는 $1 \times 10^{11} / \text{cm}^3$ 이상의 플라즈마 밀도를 달성할 수 있는 장치를 가리킨다. 예를 들어, 3 kW 이상 6 kW 이하의 마이크로파 전력을 인가하여 플라즈마를 발생시켜 절연층의 성막을 행한다.
- [0103] 챔버에 재료 가스로서 모노실란 가스(SiH_4)와 아산화 질소(N_2O)와 희가스를 도입하고, 10 Pa~30 Pa의 압력 하에서 고밀도 플라즈마를 발생시켜 기판 위에 절연층을 형성한다. 그 후, 모노실란 가스의 공급을 정지하고, 대기에 노출되지 않고 아산화 질소(N_2O)와 희가스를 도입하여 절연층 표면에 플라즈마 처리를 행하여도 좋다. 적어도 아산화 질소(N_2O)와 희가스를 도입하여 절연층 표면에 행하는 플라즈마 처리는 절연층의 성막보다 후에 행한다. 상기 프로세스를 거친 절연층은 막 두께가 얇고, 예를 들어 100 nm 미만이어도 신뢰성을 확보할 수 있다.
- [0104] 게이트 절연층(118)의 형성 시, 챔버에 도입하는 모노실란 가스(SiH_4)와 아산화 질소(N_2O)의 유량비는 1:10에서 1:200의 범위로 한다. 또한, 챔버에 도입하는 희가스로서는 헬륨, 아르곤, 크립톤, 크세논 등을 이용할 수 있지만, 그 중에서도 저렴한 아르곤을 이용하는 것이 바람직하다.

- [0105] 또한, 고밀도 플라즈마 CVD 장치에 의하여 얻어지는 절연층은 단차 피복성이 우수하고, 막 두께를 정확하게 제어할 수 있다.
- [0106] 상기 프로세스를 거친 절연층은 종래의 평행 평판형의 PECVD 장치에서 얻어지는 절연층과는 막질이 크게 상이하고, 같은 에천트를 이용한 에칭 속도에 비교하여, 평행 평판형의 PECVD 장치에서 얻어지는 절연층의 10% 이상 또는 20% 이상 에칭 속도가 늦고, 고밀도 플라즈마 CVD 장치에서 얻어지는 절연층은 치밀한 층이라고 할 수 있다.
- [0107] 본 실시형태에서는 게이트 절연층(118)으로서 고밀도 플라즈마 CVD 장치에 의하여 막 두께 100 nm의 산화 질화 규소층(SiO_xN_y)라고도 함, 단, $x > y > 0$)을 이용한다.
- [0108] 그 외의 방법으로서, 게이트 절연층(118)은 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층 또는 산화 알루미늄층을 단층으로 또는 적층하여 형성할 수 있다. 또한, 게이트 절연층(118) 중에 수소가 다량으로 포함되지 않도록 하기 위해서는 스퍼터링법으로 게이트 절연층(118)을 성막하는 것도 바람직하다. 스퍼터링법에 의하여 산화 실리콘층을 성막하는 경우에는 타겟으로서 실리콘 또는 석영을 이용하고, 스퍼터링 가스로서 산소 또는 산소 및 아르곤의 혼합 가스를 이용하여 행한다.
- [0109] 게이트 절연층(118)은 소스 전극(104, 124) 및 드레인 전극(106, 126) 측으로 부터 산화 실리콘층과 질화 실리콘층을 적층한 구조로 할 수도 있다. 예를 들어, 제 1 게이트 절연층으로서 막 두께 5 nm 이상 300 nm 이하의 산화 실리콘층(SiO_x ($x > 0$))을 형성하고, 제 1 게이트 절연층 상에 제 2 게이트 절연층으로서 스퍼터링법에 의하여 막 두께 50 nm 이상 200 nm 이하의 질화 실리콘층(SiN_y ($y > 0$))을 적층하고, 막 두께 100 nm의 게이트 절연층으로 하여도 좋다.
- [0110] 다음으로, 제 4 포토리소그래피 공정에 의하여 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여 게이트 절연층(118)의 일부를 제거하고, 박막 트랜지스터의 드레인 전극(126) 및 벌크 트랜지스터의 소스 영역 또는 드레인 영역이 되는 n형 영역(132a, 132b)에 달하는 개구부를 형성한다(도 5(B) 참조).
- [0111] 다음에, 개구부가 형성된 게이트 절연층(118) 위에 도전층을 형성한 후, 제 5 포토리소그래피 공정 및 에칭 공정에 의하여 게이트 전극(108, 128) 및 배선층(151, 152, 153)을 형성한다. 또한, 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 잉크젯법은 포토 마스크를 사용하지 않기 때문에, 제조 원가를 저감할 수 있다.
- [0112] 또한, 게이트 전극(108, 128) 및 배선층(151, 152, 153)은 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오뮴, 스칸듐 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 이용하여, 단층 또는 적층하여 형성할 수 있다.
- [0113] 예를 들어, 게이트 전극(108, 128) 및 배선층(151, 152, 153)을 2층으로 하는 적층 구조로서는, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조 또는 구리층 위에 몰리브덴층을 적층한 2층 구조 또는 구리층 위에 질화 티탄층 또는 질화 탄탈을 적층한 2층 구조, 질화 티탄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로서는 텅스텐층 또는 질화 텅스텐층과, 알루미늄과 실리콘의 합금 또는 알루미늄과 티탄의 합금과, 질화 티탄층 또는 티탄층을 적층한 적층으로 하는 것이 바람직하다. 또한, 투광성을 가지는 도전층을 이용하여 게이트 전극을 형성할 수도 있다. 투광성을 가지는 도전층으로서 투광성 산화물 등을 그 재료의 예로 들 수 있다.
- [0114] 본 실시형태에서는 게이트 전극(108, 128) 및 배선층(151, 152, 153)으로서 막 두께 150 nm의 티탄막을 스퍼터링법에 의하여 형성한다.
- [0115] 다음으로, 불활성 가스 분위기 하 또는 산소 가스 분위기 하에서 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 행한다. 본 실시형태에서는 질소 분위기 하에서 250℃, 1시간의 제 2 가열 처리를 행한다. 또한, 제 2 가열 처리는 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 벌크 트랜지스터 위에 보호 절연층이나 평탄화 절연층을 형성하고 나서 행하여도 좋다.
- [0116] 또한 대기 중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서 가열 처리를 행하여도 좋다. 이 가열 처리는 일정한 가열 온도를 보유하고 가열하여도 좋고, 실온에서 100℃ 이상 200℃의 가열 온도로의 승온과, 가열 온도에서 실온까지의 강온을 복수회 반복하여 행하여도 좋다. 또한, 이 가열 처리를 산화물 절연층의 형성 전에, 감압 하에서 행하여도 좋다. 감압 하에서 가열 처리를 행하면, 가열 시간을 단축할 수 있다.

- [0117] 이상의 공정에서 수소, 수분, 수소화물, 수산화물의 농도가 저감된 산화물 반도체층을 각각 가지는 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터를 형성할 수 있다(도 5(C) 참조). 여기에서, 제 1 박막 트랜지스터는 전송 트랜지스터(101)로서 적용할 수 있고, 제 2 박막 트랜지스터는 리셋 트랜지스터(121)로서 적용할 수 있고, 벌크 트랜지스터는 증폭 트랜지스터(131)로서 적용할 수 있다.
- [0118] 또한, 박막 트랜지스터 및 벌크 트랜지스터 위에 보호 절연층(142)이나, 평탄화를 위한 평탄화 절연층을 형성하여도 좋다. 예를 들어, 보호 절연층(142)으로서 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층 또는 산화 알루미늄층을 단층 또는 적층하여 형성할 수 있다.
- [0119] 또한, 평탄화 절연층으로서는 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의, 내열성을 가지는 유기 재료를 이용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 이용할 수 있다. 또한, 이것들의 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연층을 형성하여도 좋다.
- [0120] 또한, 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는, 치환기로서는 유기기(예를 들어 알킬기나 아릴기)를 이용하여도 좋다. 또한, 유기기는 플루오로기를 가져도 좋다.
- [0121] 평탄화 절연층의 형성법은 특별히 한정되지 않고, 그 재료에 따라서, 스퍼터링법, SOG법, 스피코트법, 딥법, 스프레이 도포법, 액적 토출법(잉크젯법, 스크린 인쇄법, 오프셋 인쇄법 등) 등의 방법이나, 닥터 나이프, 롤 코터, 커텐 코터, 나이프 코터 등의 기구를 이용할 수 있다.
- [0122] 상기와 같이 산화물 반도체막을 성막할 때에, 분위기 중의 잔류 수분을 제거함으로써, 이 산화물 반도체막 중의 수소 및 수소화물의 농도를 저감할 수 있다. 그것에 의하여 산화물 반도체막의 안정화를 도모할 수 있다.
- [0123] 이상과 같이, 산화물 반도체층을 이용하는 박막 트랜지스터를 가지는 반도체 장치에 있어서, 안정된 전기 특성을 가진 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0124] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0125] (실시형태 2)
- [0126] 본 발명의 일형태는 산화물 반도체 중에서 캐리어의 공여체(도너 또는 억셉터)가 될 수 있는 불순물을 매우 적은 레벨까지 제거함으로써, 진성 또는 실질적으로 진성인 반도체인 산화물 반도체를 박막 트랜지스터에 적용하는 것이다. 본 실시형태에서는 평가용 소자 그룹(TEG라고도 함)으로의 오프 전류의 측정값에 대하여 이하에 설명한다.
- [0127] 도 6에 $L/W=3\mu\text{m}/50\mu\text{m}$ 의 박막 트랜지스터를 200개 병렬로 접속하고, $L/W=3\mu\text{m}/10000\mu\text{m}$ 의 박막 트랜지스터의 초기 특성을 나타낸다. 또한, 박막 트랜지스터의 상면도를 도 7(A)에 나타내고, 그 일부를 확대한 도면을 도 7(B)에 나타낸다. 도 7(B)의 점선으로 둘러싼 영역이 $L/W=3\mu\text{m}/50\mu\text{m}$, $Lov=1.5\mu\text{m}$ 의 1단분의 박막 트랜지스터이다. 박막 트랜지스터의 초기 특성을 측정하기 위하여, 기판 온도를 실온으로 하고, 소스-드레인 사이 전압(이하, 드레인 전압 또는 V_d 라고 함)을 10 V로 하고, 소스-게이트 사이 전압(이하, 게이트 전압 또는 V_g 라고 함)을 $-20\text{ V} \sim +20\text{ V}$ 까지 변화시켰을 때의 소스-드레인 전류(이하, 드레인 전류 또는 I_d 라고 함)의 변화 특성, 즉 V_g-I_d 특성을 측정하였다. 또한, 도 7에서는 V_g 를 $-20\text{ V} \sim +5\text{ V}$ 까지의 범위로 나타낸다.
- [0128] 도 6에 나타난 바와 같이 채널 폭(W)이 $10000\mu\text{m}$ 의 박막 트랜지스터는 V_d 가 1 V 및 10 V에 있어서 오프 전류는 $1 \times 10^{-13}\text{ [A]}$ 이하로 되어 있고, 측정기(반도체 파라미터 · 애널리저, Agilent 4156C; Agilent Technologies Inc 제작)의 분해능(100 fA) 이하로 되어 있다.
- [0129] 즉, 상기의 박막 트랜지스터는 전기 특성이 노멀리 오프를 나타내고, 1 V에서 10 V의 드레인 전압에 있어서, 채널 폭 $1\mu\text{m}$ 당의 오프 전류는 $100\text{ aA}/\mu\text{m}$ 이하, 바람직하게는 $10\text{ aA}/\mu\text{m}$ 이하, 더욱 바람직하게는 $1\text{ aA}/\mu\text{m}$ 이하가 되도록 작용시킬 수 있다.
- [0130] 측정된 박막 트랜지스터의 제작 방법에 대하여 설명한다.
- [0131] 먼저, 유리 기판 상에 베이스층으로서, CVD법에 의하여 질화 규소층을 형성하고, 질화 규소층 위에 산화 질화 규소층을 형성하였다. 산화 질화 규소층 위에 게이트 전극으로서 스퍼터링법에 의하여 텅스텐층을 형성하였다. 여기에서, 텅스텐층을 선택적으로 에칭하여 게이트 전극을 형성하였다.

- [0132] 다음에, 게이트 전극 상에 게이트 절연층으로서 CVD법에 의하여 두께 100 nm의 산화 질화 규소층을 형성하였다.
- [0133] 다음에, 게이트 절연층 위에, 스퍼터링법에 의하여 In-Ga-Zn-O계 산화물 반도체 타겟(mol수비로, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$)을 이용하고, 두께 50 nm의 산화물 반도체층을 형성하였다. 여기에서, 산화물 반도체층을 선택적으로 에칭하고, 섬 형상의 산화물 반도체층을 형성하였다.
- [0134] 다음에, 산화물 반도체층을 클린 오븐에서 질소 분위기 하, 450℃, 1시간의 제 1 열처리를 행하였다.
- [0135] 다음에, 산화물 반도체층 위에 소스 전극 및 드레인 전극으로서 티탄층(두께 150 nm)을 스퍼터링법에 의하여 형성하였다. 여기에서, 티탄층을 선택적으로 에칭함으로써 소스 전극 및 드레인 전극을 형성하고, 하나의 박막 트랜지스터의 채널 길이(L)가 3 μm , 채널 폭(W)이 50 μm 로 하고, 200개를 병렬로 함으로써, $L/W = 3 \mu\text{m}/10000 \mu\text{m}$ 가 되도록 하였다.
- [0136] 다음에, 산화물 반도체층에 접하도록 보호 절연층으로서 리액티브 스퍼터링법에 의하여 산화 규소층을 막 두께 300 nm로 형성하였다. 여기에서, 보호층인 산화 규소층을 선택적으로 에칭하고, 게이트 전극, 소스 전극 및 드레인 전극 위에 개구부를 형성하였다. 그 후, 질소 분위기 하, 250℃에서 1시간, 제 2 열처리를 행하였다.
- [0137] 그리고, $V_g - I_d$ 특성을 측정하기 전에 150℃, 10시간의 가열을 행하였다.
- [0138] 이상의 공정에 의하여, 보텀 게이트형의 박막 트랜지스터를 제작하였다.
- [0139] 도 6에 나타난 바와 같이 박막 트랜지스터의 오프 전류가, 1×10^{-13} [A] 정도인 것은, 상기 제작 공정에서 산화물 반도체층 중에 있어서의 수소 농도를 충분히 저감되었기 때문이다. 산화물 반도체층 중의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하 또는 1×10^{16} /cm³ 미만으로 한다. 또한, 산화물 반도체층 중의 수소 농도 측정은 이차 이온 질량 분석법(SIMS : Secondary Ion Mass Spectroscopy)으로 행한다.
- [0140] 또한, In-Ga-Zn-O계 산화물 반도체를 이용하는 예를 나타내었지만, 특별히 한정되지 않고, 다른 산화물 반도체 재료, 예를 들어, In-Sn-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, In-Sn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계 등을 이용할 수 있다. 또한, 산화물 반도체 재료로서, Al을 2.5~10 wt% 혼입한 In-Al-Zn-O계나, Si를 2.5~10 wt% 혼입한 In-Zn-O계를 이용할 수 있다.
- [0141] 또한, 홀 측정기에서 측정되는 산화물 반도체층의 캐리어 농도는 5×10^{14} /cm³ 미만, 바람직하게는 5×10^{12} /cm³ 이하, 더욱 바람직하게는 실리콘의 캐리어 농도 1.45×10^{10} /cm³ 와 동등하거나, 또는 그 이하이다. 즉, 산화물 반도체층의 캐리어 농도는 한없이 제로에 가깝게 할 수 있다.
- [0142] 또한, 박막 트랜지스터의 채널 길이(L)를 10 nm 이상 1000 nm 이하로 하는 것도 가능하고, 회로의 동작 속도를 고속화할 수 있고, 오프 전류값이 매우 작기 때문에, 저소비 전력화도 더욱 도모할 수 있다.
- [0143] 또한, 박막 트랜지스터의 오프 상태에 있어서, 산화물 반도체층은 절연체라고 간주하고 회로 설계를 행할 수 있다.
- [0144] 계속해서, 본 실시형태에서 제작한 박막 트랜지스터에 대하여 오프 전류의 온도 특성을 평가하였다. 온도 특성은 박막 트랜지스터가 사용되는 최종 제품의 내환경성이나, 성능의 유지 등을 고려할 때 중요하다. 당연히, 변화량이 작을수록 바람직하고, 제품 설계의 자유도가 증가된다.
- [0145] 온도 특성은 항온조를 이용하여, -30℃, 0℃, 25℃, 40℃, 60℃, 80℃, 100℃ 및 120℃ 각각의 온도에서 박막 트랜지스터를 형성한 기판을 일정 온도로 하고, 드레인 전압을 6 V, 게이트 전압을 -20 V ~ +20 V로 변화시킨 $V_g - I_d$ 특성을 취득하였다.
- [0146] 도 8(A)에 나타난 것은, 상기 각각의 온도에서 측정한 $V_g - I_d$ 특성을 겹쳐 쓰기 한 것이고, 점선으로 둘러싼 오프 전류의 영역을 확대한 것을 도 8(B)에 나타낸다. 도면 중의 화살표로 나타난 우단의 곡선이 -30℃, 좌단이 120℃에서 취득한 곡선에, 그 외의 온도에서 취득한 곡선은 그 사이에 위치한다. 온 전류의 온도 의존성은 거의 보이지 않는다. 한편, 오프 전류는 확대도의 도 8(B)에서도 명백하게 알 수 있는 바와 같이, 게이트 전압이 20 V 근방을 제외하고, 전부의 온도에서 측정기의 분해능 근방의 1×10^{-12} [A] 이하로 되어 있고, 온도 의존성도

없다. 즉, 120℃의 고온에서도, 오프 전류가 1×10^{-12} [A] 이하를 유지하고 있고, 채널 폭(W)이 10000 μm 인 것을 고려하면, 오프 전류가 상당히 작은 것을 알 수 있다.

[0147] 고순도화된 산화물 반도체(purified Oxide Semiconductor)를 이용한 박막 트랜지스터는, 오프 전류의 온도 의존성이 거의 나타나지 않는다. 이것은 도 10(A)의 밴드도에 나타난 바와 같이 산화물 반도체가 고순도화됨으로써, 도전형이 한없이 진성형에 가깝고, 페르미 준위가 금지대의 중앙에 위치하기 때문에, 온도 의존성을 나타내지 않게 된다고 할 수 있다. 또한, 이것은 산화물 반도체의 에너지 갭이 3 eV 이상이고, 열여기 캐리어가 매우 적은 것에도 기인한다. 또한, 소스 영역 및 드레인 영역은 축퇴한 상태이므로 온도 의존성이 나타나지 않는 요인이 된다. 박막 트랜지스터의 동작은 축퇴한 소스 영역부터 거의 산화물 반도체에 주입된 캐리어에 의한 것이고, 캐리어 밀도의 온도 의존성이 없으므로 상기 특성(오프 전류의 온도 의존성 없음)을 설명할 수 있다. 또한, 이 매우 낮은 오프 전류에 대하여, 이하에 밴드도를 이용하여 설명한다.

[0148] 도 9는 산화물 반도체를 이용한 역스태거형의 박막 트랜지스터의 종단면도이다. 게이트 전극(GE1) 위에 게이트 절연막(GI)을 통하여 산화물 반도체층(OS)이 형성되고, 그 위에 소스 전극(S) 및 드레인 전극(D)이 형성된다.

[0149] 도 10은 도 9에 나타난 A-A' 단면에서의 에너지 밴드도(모식도)이다. 도 10(A)는 소스와 드레인 사이의 전압을 등전위($V_b=0\text{V}$)로 한 경우를 나타내고, 도 10(B)는 드레인에 정의 전위($V_b>0$)를 가한 경우를 나타낸다.

[0150] 도 11은 도 9에서의 B-B'의 단면에서의 에너지 밴드도(모식도)이다. 도 11(A)는 게이트(G1)에 정의 전위(+ V_g)가 인가된 상태이고, 소스와 드레인 사이에 캐리어(전자)가 흐르는 온 상태를 나타낸다. 또한, 도 11(B)는 게이트(G1)에 부의 전위(- V_g)가 인가된 상태이고, 박막 트랜지스터가 오프 상태(소수 캐리어는 흐르지 않음)인 경우를 나타낸다.

[0151] 도 12는 진공 준위와 금속의 일함수(Φ_M), 산화물 반도체의 전자 친화력(χ)의 관계를 나타낸다.

[0152] 종래의 산화물 반도체는 일반적인 n형이고, 그 경우의 페르미 준위(EF)는 밴드 갭 중앙에 위치하는 진성 페르미 준위(Ei)에서 떨어져, 전도대 가까이 위치한다. 또한, 산화물 반도체에 있어서 수소의 일부는 도너가 되고, n형화하는 하나의 요인인 것이 알려져 있다.

[0153] 이것에 대하여 본 발명의 일양태에 관한 산화물 반도체는 n형 불순물인 수소를 산화물 반도체에서 제거하고, 산화물 반도체의 주성분 이외에 불순물이 극력 포함되지 않도록 고순도화함으로써 진성(i형)으로 하거나, 또는 진성형으로 한 것이다. 즉, 불순물을 첨가하여 i형화하는 것이 아니라, 수소나 물 등의 불순물을 극력 제거함으로써, 고순도화된 i형(진성) 반도체 또는 그것에 가까운 것을 특징으로 한다. 그렇게 함으로써, 페르미 준위(EF)는 진성 페르미 준위(Ei)와 같은 레벨로까지 할 수 있다.

[0154] 산화물 반도체의 밴드 갭(E_g)이 3.15 eV인 경우, 전자 친화력(χ)은 4.3e V라고 말한다. 소스 전극 및 드레인 전극을 구성하는 티탄(Ti)의 일함수는 산화물 반도체의 전자 친화력(χ)과 거의 같다. 이 경우, 금속-산화물 반도체 계면에 있어서, 전자에 대하여 쇼트키형의 장벽은 형성되지 않는다.

[0155] 즉, 금속의 일함수(Φ_M)와 산화물 반도체의 전자 친화력(χ)이 같은 경우, 양자가 접촉하면 도 10(A)에 나타난 바와 같이 에너지 밴드도(모식도)으로 나타난다.

[0156] 도 10(B)에 있어서 검은 동그라미(●)는 전자를 나타내고, 드레인에 정의 전위가 인가되면, 전자는 배리어(h)를 넘어서 산화물 반도체에 주입되고, 드레인을 향하여 흐른다. 이 경우, 배리어(h)의 높이는 게이트 전압과 드레인 전압에 의존하여 변화하지만, 정의 드레인 전압이 인가된 경우에는 전압 인가가 없는 도 10(A)의 배리어의 높이 즉 밴드 갭(E_g)의 1/2보다도 배리어의 높이(h)는 작은 값이 된다.

[0157] 이 때 산화물 반도체에 주입된 전자는 도 11(A)에 나타난 바와 같이 산화물 반도체를 통해 흐른다. 또한, 도 11(B)에 있어서, 게이트 전극(G1)에 부의 전위가 인가되면, 소수 캐리어인 홀은 실질적으로 제로이기 때문에, 전류는 거의 흐르지 않게 된다.

[0158] 예를 들어, 박막 트랜지스터의 채널 폭(W)이 $1 \times 10^4 \mu\text{m}$ 로 채널 길이(L)가 3 μm 의 소자이어도, 오프 전류가 10^{-13} A 이하이고, 서브 스레숄드 스윙값(S값)이 0.1 V/dec.(게이트 절연막 두께는 100 nm)인 전기 특성이 얻어진다.

[0159] 실리콘 반도체의 진성 캐리어 밀도는 $1.45 \times 10^{10}/\text{cm}^3$ (300K)이고, 실온에서도 캐리어가 존재한다. 이것은 실온

에서도 열여기 캐리어가 존재하는 것을 의미한다. 또한, 실리콘 반도체의 밴드 갭은 1.12 eV이기 때문에, 실리콘 반도체를 이용한 트랜지스터는 온도에 의존하여 오프 전류가 크게 변동하게 된다.

[0160] 따라서, 단지 밴드 갭이 넓은 산화물 반도체를 트랜지스터에 적용하는 것이 아니라, 산화물 반도체의 주성분 이외의 불순물이 극력 포함되지 않도록 고순도화함으로써, 산화물 반도체에서 캐리어 농도를 $1 \times 10^{14}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 이하가 되도록 함으로써, 실용적인 동작 온도에서 열적으로 여기되는 캐리어가 거의 없고, 소스 측으로부터 주입되는 전자만으로 인하여 트랜지스터를 동작시킬 수 있다. 그것에 의하여, 오프 전류를 1×10^{-13} A 이하로까지 내리는 것과 동시에, 온도 변화에 의하여 오프 전류가 거의 변화하지 않는 매우 안정적으로 동작하는 트랜지스터를 얻을 수 있다.

[0161] 본 발명의 일양태에 있어서의 기술 사상은 산화물 반도체 중에, 불순물을 더하지 않고 역으로 의도치 않게 존재하는 물, 수소와 같은 불순물을 제거함으로써, 산화물 반도체 자체를 고순도화할 수 있다. 즉, 도너 준위를 만드는 물 또는 수소를 제거하고, 이것과 동시에 산소 결핍 상태가 된 산화물 반도체에 산소를 보충함으로써, 산화물 반도체 자체를 고순도화하는 것을 특징으로 한다.

[0162] 산화물 반도체는 성막 직후에서 조차 $10^{20}/\text{cm}^3$ 의 레벨인 수소가 SIMS(이차 이온 질량 분석)으로 관찰된다. 도너 준위를 만드는 물 또는 수소와 같은 불순물을 의도적으로 제거하고, 물 또는 수소의 제거에 수반하는 동시에 감소하게 되는 산소를 더욱 보충함으로써, 산화물 반도체를 고순도화하고, 전기적으로 i형(진성) 반도체로 하는 것을 기술 사상 중 하나로 한다.

[0163] 결과로서, 수소의 양은 적으면 적을 수록 좋고, 산화물 반도체 중의 캐리어도 적으면 적을수록 좋다. 산화물 반도체는 박막 트랜지스터로 이용하는 경우에 전류를 흐르게 하기 위한 캐리어를 의도적으로 가진다기보다는, 역으로 산화물 반도체 중의 캐리어는 없애지게 되고, 소스부터 공급되는 캐리어(전자)를 통과시키는 통로로서 기능하는, 이른바 고순도화한 i형(진성) 반도체이다.

[0164] 그 결과, 산화물 반도체 중에 캐리어를 없애거나 또는 매우 작게함으로써, 트랜지스터의 오프 전류가 적게 되는 것이 본 발명의 일양태에 있어서의 기술 사상이다. 즉, 그 지표로서 수소 농도는 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하 또는 $1 \times 10^{16}/\text{cm}^3$ 미만, 또한 캐리어 밀도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 이하가 요구된다.

[0165] 또한 결과로서, 산화물 반도체는 통로(path)로서 기능하고, 산화물 반도체 자체가 캐리어를 공급하지 않거나 또는 거의 공급하지 않도록 고순도화한 i형(진성)으로 하고, 캐리어는 소스, 드레인에 의하여 공급된다. 공급의 정도는 산화물 반도체의 전자 친화력(χ) 및 페르미 레벨, 이상적으로는 진성 페르미 레벨과 일치한 페르미 레벨과, 소스, 드레인의 일함수라기 보다는, 배리어 하이트(장벽 높이)에 의해 결정된다.

[0166] 이 때문에, 오프 전류는 적으면 적을수록 좋고, 1~10 V 사이의 어느 것의 드레인 전압을 인가한 경우의 트랜지스터 특성에 있어서, 100 aA/ μm (채널 폭(W)=1 μm 당의 전류) 이하, 바람직하게는 10 aA/ μm 이하, 더욱 바람직하게는 1 aA/ μm 이하인 것을 특징으로 한다.

[0167] 이와 같이 오프 전류가 매우 작은 박막 트랜지스터를 이용하여 기억 회로(기억 소자) 등을 제작한 경우, 오프 전류가 작고 거의 리크가 없기 때문에, 전위 보유 시간이 길고, 기억 데이터를 장시간 보유하는 것이 가능하게 된다.

[0168] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0169] (실시형태 3)

[0170] 본 발명의 일양태에 있어서의 박막 트랜지스터를 포함하는 고체 촬상 소자의 동작에 대하여 설명한다.

[0171] CMOS(Complementary Metal Oxide Semiconductor) 이미지 센서는 신호 전하 축적부에 전위를 보유하고, 그 전위를 증폭 트랜지스터를 통하여 수직 출력선으로 출력하는 고체 촬상 소자이다. CMOS 이미지 센서에 포함되는 리셋 트랜지스터 및 / 또는 전송 트랜지스터에 리크 전류가 있으면, 그 리크 전류에 의한 충전 또는 방전이 일어나고, 신호 전하 축적부의 전위가 변화한다. 신호 전하 축적부의 전위가 변하면 증폭 트랜지스터의 전위도 변하게 되어, 전위들의 레벨이 본래의 전위로부터 어긋난 값이 되고, 촬상된 영상이 열화하게 된다.

[0172] 본 실시형태에서는 실시형태 1 및 실시형태 2에 나타난 박막 트랜지스터를 CMOS 이미지 센서의 리셋 트랜지스터

및 전송 트랜지스터에 적용한 경우의 동작 효과를 설명한다. 또한, 증폭 트랜지스터는 박막 트랜지스터 또는 벌크 트랜지스터 중 어느 것을 적용하여도 좋다.

[0173] 도 13은 CMOS 이미지 센서의 화소 구성의 일례를 나타낸 도면이다. 화소는 광전 변환 소자인 포토 다이오드(1002), 전송 트랜지스터(1004), 리셋 트랜지스터(1006), 증폭 트랜지스터(1008) 및 각종 배선으로 구성되고, 매트릭스 모양으로 복수 배치되어 센서를 구성한다. 또한, 증폭 트랜지스터(1008)와 전기적으로 접속되는 선택 트랜지스터를 설치하여도 좋다. 또한, 트랜지스터 기호에 적혀있는 「OS」는 산화물 반도체(Oxide Semiconductor)를 나타내고, 「Si」는 실리콘을 나타내고, 각각의 트랜지스터에 적용하면 바람직한 재료를 나타낸다. 이후의 도면에 대하여도 마찬가지이다.

[0174] 여기에서, 포토 다이오드(1002)는 전송 트랜지스터(1004)의 소스측에 접속되고, 전송 트랜지스터(1004)의 드레인 측에는 신호 전하 축적부(1010)(FD: 플로팅 디퓨전이라고도 함)가 형성된다. 신호 전하 축적부(1010)에는 리셋 트랜지스터(1006)의 소스 및 증폭 트랜지스터(1008)의 게이트가 접속된다. 다른 구성으로서 리셋 전원선(1110)을 삭제할 수도 있다. 예를 들어, 리셋 트랜지스터(1006)의 드레인을 리셋 전원선(1110)이 아닌, 전원선(1100) 또는 수직 출력선(1120)에 연결하는 방법이 있다.

[0175] 다음에 도 14의 타이밍 차트를 이용하여 동작을 설명한다. 먼저, 전원 단자에 전원 전압이 공급된다. 이어서, 리셋 트랜지스터(1006)의 게이트에 리셋 펄스가 입력되고, 리셋 트랜지스터(1006)가 온한다. 신호 전하 축적부(1010)에는 리셋 전원의 전위가 저장된다. 그 후, 리셋 트랜지스터(1006)는 오프가 되고 신호 전하 축적부(1010)는 리셋 전원의 전위에 보유된다(기간 T1). 여기에서, 리셋 트랜지스터(1006) 및 전송 트랜지스터(1004)에 리크 전류가 거의 흐르지 않으면, 다음의 트랜지스터의 동작이 시작할 때까지 전위는 보유된다. 다음에, 전송 트랜지스터(1004)가 온하면 신호 전하 축적부(1010)로부터 전류가 포토 다이오드로 흐르고, 신호 전하 축적부(1010)의 전위는 저하한다(기간 T2). 전송 트랜지스터(1004)가 오프하면, 오프한 시점에서의 전위가 신호 전하 축적부(1010)에 보유된다(기간 T3). 리셋 트랜지스터(1006) 및 전송 트랜지스터(1004)에 리크 전류가 거의 흐르지 않으면, 다음의 트랜지스터의 동작이 시작할 때까지 전위는 보유된다. 그리고, 증폭 트랜지스터(1008)를 통하여 수직 출력선(1120)으로 전위가 출력된다. 그 후, 전원 단자로의 전원 전압의 공급이 차단된다. 이와 같은 순서로 신호가 출력된다.

[0176] 즉, 리셋 트랜지스터(1006) 및 전송 트랜지스터(1004)에 실시형태 1 및 실시형태 2에 나타난 오프 전류가 매우 낮은 산화물 반도체의 박막 트랜지스터를 적용함으로써, 박막 트랜지스터를 통하여 신호 전하 축적부(1010)로부터 흐르는 리크 전류를 거의 없앨 수 있고, 상기 기간 T1 및 기간 T3의 보유 기간 중에 매우 장시간 동안 전위가 보유될 수 있다.

[0177] 다음에 포토 다이오드(1002)의 동작에 대하여 도 15를 이용하여 설명한다. 포토 다이오드는 광이 조사되지 않을 때는 통상의 다이오드와 같은 전압 전류 특성을 나타낸다(도 15에 나타난 A의 곡선). 광이 조사되면, 특히 역바이어스 인가 시에 있어서, 광 조사가 없는 경우에 비교하여 큰 전류가 흐른다(도 15에 나타난 B의 곡선). 포토 다이오드 동작점을 도 13의 화소의 동작에 맞춰 설명한다. 전송 트랜지스터(1004)가 오프 상태에서는, 포토 다이오드(1002)에 전류 경로가 없기 때문에, 광이 조사되면 포토 다이오드의 캐소드는 도 15의 c점에 위치한다. 리셋 트랜지스터(1006)가 온하여 신호 전하 축적부(1010)가 리셋 전원 전위에 보유된 후, 전송 트랜지스터(1004)가 온하면 포토 다이오드(1002)의 캐소드 전위는 리셋 전원 전위가 되고, 포토 다이오드(1002)의 캐소드 도 도 15에서는 d점으로 이동한다. 그리고, 신호 전하 축적부(1010)로부터 전송 트랜지스터(1004)를 통하여, 방전 전류가 포토 다이오드(1002)에 흐르고, 신호 전하 축적부(1010)의 전위는 저하한다. 전송 트랜지스터(1004)가 오프할 때, 방전은 멈추고, 그 때의 도 15에서의 동작점을 e로 하면 동작점 d와 동작점 e 사이의 전위차가 포토 다이오드(1002)의 방전에 의하여 얻어진 신호의 전위차가 된다.

[0178] 다음에, 리셋 트랜지스터, 증폭 트랜지스터, 각 신호선을 복수의 화소에서 겸용하는 경우의 동작에 대하여 설명한다. 도 16은 리셋 트랜지스터, 전송 트랜지스터, 증폭 트랜지스터, 포토 다이오드가 각 화소에 하나씩 있고, 또한 리셋선, 전송 스위치선, 수직 출력선이 화소에 접속된 기본 구조이다.

[0179] 기본형의 동작을 도 17의 타이밍 차트에 따라서 설명한다. 제 1 라인의 구동에 대해서는, 먼저 제 1 리셋선(1240)의 전위(RST1)가 고전위가 되면, 제 1 리셋 트랜지스터(1216)를 온시킨다. 이것으로 제 1 신호 전하 축적부(1210)의 전위(FD1)가 전원 전위(이하, VDD)까지 올라간다. 제 1 리셋선(1240)의 전위(RST1)가 저전위가 되고, 제 1 리셋 트랜지스터(1216)가 오프하여도, 전류 패스(current path)가 없으면 제 1 신호 전하 축적부(1210)의 전위는 VDD로 보유된다. 다음에, 제 1 전송 스위치선(1250)의 전위(TRF1)가 고전위가 되면, 제 1 전송 트랜지스터(1214)가 온하고, 제 1 포토 다이오드(1212)에 조사되는 광에 따른 전류가 제 1 포토 다이오드

(1212)와 제 1 전송 트랜지스터(1214)에 흐르고, 제 1 신호 전하 축적부(1210)의 전위(FD1)가 방전에 의하여 저하한다. 제 1 전송 스위치선(1250)의 전위(TRF1)가 저전위가 되면, 제 1 전송 트랜지스터(1214)가 오프하고, 다시 전류 패스가 없어지기 때문에 제 1 신호 전하 축적부(1210)의 전위(FD1)는 보유된다. 이 전위를 제 1 증폭 트랜지스터(1218)를 통하여 수직 출력선(1220)으로 출력한다. 다음에 제 2 리셋선(1340) 및 제 2 전송 스위치선(1350)을 가지는 제 2 라인의 구동이 행하여 진다. 이와 같이 하여 순서대로 구동된다. 또한, 도 17의 RST2, TRF2 및 FD2는 제 2 라인의 구동에 있어서의 타이밍 차트를 나타낸다.

[0180] 도 18은 상기의 기본형과는 상이하게, 세로 4개의 화소에 대하여, 리셋 트랜지스터, 증폭 트랜지스터, 리셋선을 겸용하는 수직 4 화소 공유형의 구성을 나타낸다. 트랜지스터 및 배선의 수를 삭감함으로써 화소 면적이 축소에 의한 미세화나, 포토 다이오드의 수광 면적 확대에 의하여 노이즈를 저감할 수 있다. 세로 4개의 각 화소의 전송 트랜지스터의 드레인 측이 전기적으로 접속되고, 신호 전하 축적부(1410)가 형성되고, 신호 전하 축적부(1410)에는 리셋 트랜지스터(1406)의 소스 및 증폭 트랜지스터(1408)의 게이트가 접속된다.

[0181] 수직 4 화소 공유형의 동작을 도 19의 타이밍 차트에 따라서 설명한다. 제 1 라인의 구동은 먼저 제 1 리셋선(1461)의 전위(RST1)가 고전위가 되고, 제 1 리셋 트랜지스터(1406)이 온한다. 이것으로, 신호 전하 축적부(1410)의 전위(FD)가 VDD까지 올라간다. 제 1 리셋선(1461)의 전위(RST1)가 저전위가 되고, 제 1 리셋 트랜지스터(1406)이 오프하여도 전류 패스가 없으면 신호 전하 축적부(1410)의 전위(FD)는 VDD로 보유된다. 다음에, 제 1 전송 스위치선(1451)의 전위(TRF1)가 고전위가 되고, 제 1 전송 트랜지스터(1414)가 온하고, 제 1 포토 다이오드(1412)에 조사되는 광에 따른 전류가 제 1 포토 다이오드(1412)와 제 1 전송 트랜지스터(1414)에 흐르고, 신호 전하 축적부(1410)의 전위(FD)가 방전에 의하여 저하한다. 제 1 전송 스위치선(1451) 전위(TRF1)가 저전위가 되면 제 1 전송 트랜지스터(1414)가 오프하고, 다시 전류 패스가 없어지기 때문에 신호 전하 축적부(1410)의 전위(FD)는 보유된다. 이 전위를 제 1 증폭 트랜지스터(1408)를 통하여 수직 출력선(1470)에 출력한다.

[0182] 제 2 라인의 구동은 다시 제 1 리셋선(1461)의 전위(RST1)가 고전위가 되고, 제 1 리셋 트랜지스터(1406)가 온한다. 이것으로, 신호 전하 축적부(1410)의 전위(FD)가 VDD까지 올라간다. 제 1 리셋선(1461)의 전위(RST1)가 저전위가 되고, 제 1 리셋 트랜지스터(1406)가 오프하여도 전류 패스가 없으면 신호 전하 축적부(1410)의 전위(FD)는 VDD로 보유된다. 다음에, 제 2 전송 스위치선(1452)의 전위(TRF2)가 고전위가 되고, 제 2 전송 트랜지스터(1424)가 온하고, 제 2 포토 다이오드(1422)에 조사되는 광에 따른 전류가 제 2 포토 다이오드(1422)와 제 2 전송 트랜지스터(1424)로 흐르고, 신호 전하 축적부(1410)의 전위(FD)가 방전에 의하여 저하한다. 제 2 전송 스위치선(1452)의 전위(TRF2)가 저전위가 되면 제 2 전송 트랜지스터(1424)가 오프하고, 다시 전류 패스가 없어지기 때문에 신호 전하 축적부(1410)의 전위(FD)는 보유된다. 이 전위를 제 1 증폭 트랜지스터(1408)를 통하여 수직 출력선(1470)에 출력한다.

[0183] 제 3 라인의 구동은 다시 제 1 리셋선(1461)의 전위(RST1)가 고전위가 되고, 제 1 리셋 트랜지스터(1406)가 온한다. 이것으로, 신호 전하 축적부(1410)의 전위(FD)가 VDD까지 올라간다. 제 1 리셋선(1461)의 전위(RST1)가 저전위가 되고, 제 1 리셋 트랜지스터(1406)가 오프하여도 전류 패스가 없으면 신호 전하 축적부(1410)의 전위(FD)는 VDD로 보유된다. 다음에, 제 3 전송 스위치선(1453)의 전위(TRF3)가 고전위가 되고, 제 3 전송 트랜지스터(1434)가 온하고, 제 3 포토 다이오드(1432)에 조사되는 광에 따른 전류가 제 3 포토 다이오드(1432)와 제 3 전송 트랜지스터(1434)에 흐르고, 신호 전하 축적부(1410)의 전위(FD)가 방전에 의하여 저하한다. 제 3 전송 스위치선(1453)의 전위(TRF3)가 저전위가 되면 제 3 전송 트랜지스터(1434)가 오프하고, 다시 전류 패스가 없어지기 때문에 신호 전하 축적부(1410)의 전위(FD)는 보유된다. 이 전위를 제 1 증폭 트랜지스터(1408)를 통하여 수직 출력선(1470)에 출력한다.

[0184] 제 4 라인의 구동은 다시 제 1 리셋선(1461)의 전위(RST1)가 고전위가 되고, 제 1 리셋 트랜지스터(1406)가 온한다. 이것으로, 신호 전하 축적부(1410)의 전위(FD)가 VDD까지 올라간다. 제 1 리셋선(1461)의 전위(RST1)가 저전위가 되고, 제 1 리셋 트랜지스터(1406)가 오프하여도 전류 패스가 없으면 신호 전하 축적부(1410)의 전위(FD)는 VDD로 보유된다. 다음에, 제 4 전송 스위치선(1454)의 전위(TRF4)가 고전위가 되고, 제 4 전송 트랜지스터(1444)가 온하고, 제 4 포토 다이오드(1442)에 조사되는 광에 따른 전류가 제 4 포토 다이오드(1442)와 제 4 전송 트랜지스터(1444)에 흐르고, 신호 전하 축적부(1410)의 전위(FD)가 방전에 의하여 저하한다. 제 4 전송 스위치선(1454)의 전위(TRF4)가 저전위가 되면 제 4 전송 트랜지스터(1444)가 오프하고, 다시 전류 패스가 없어지기 때문에 신호 전하 축적부(1410)의 전위(FD)는 보유된다. 이 전위를 제 1 증폭 트랜지스터(1408)를 통하여 수직 출력선(1470)에 출력한다. 제 5 라인에서 제 8 라인까지의 구동에 대해서는, 제 2 리셋선의 전위(RST2)를 제어함으로써, 제 1 라인에서 제 4 라인까지와 마찬가지로 순서대로 구동된다.

- [0185] 도 20은 도 18와는 상이한 화소 공유 구성으로 수직, 수평 각각 2개씩의 화소에 대하여, 리셋선, 리셋 트랜지스터, 증폭 트랜지스터를 겸용하는 수직 수평 4 화소 공유형이다. 수직 4 화소 공유형과 마찬가지로, 트랜지스터 및 배선의 수를 삭감함으로써 화소 면적의 축소에 의하여 미세화나, 포토 다이오드의 수광 면적 확대에 의한 노이즈를 저감할 수 있다. 종횡으로 서로 인접하는 4개의 화소에 대하여, 각 화소의 전송 트랜지스터의 드레인측이 전기적으로 접속되고, 신호 전하 축적부(1510)가 형성되고, 신호 전하 축적부(1510)에는 리셋 트랜지스터(1506)의 소스 및 증폭 트랜지스터(1508)의 게이트가 접속된다.
- [0186] 수직 수평 4 화소 공유형의 동작을 도 21의 타이밍 차트에 따라서 설명한다. 제 1 라인의 구동은 먼저 제 1 리셋선(1561)의 전위(RST1)가 고전위가 되고, 제 1 리셋 트랜지스터(1506)가 온한다. 이것으로 신호 전하 축적부(1510)의 전위(FD)가 VDD까지 올라간다. 제 1 리셋선(1561)의 전위(RST1)가 저전위가 되고, 제 1 리셋 트랜지스터(1506)가 오프한다. 제 1 리셋 트랜지스터(1506)가 오프하여도 전류 패스가 없으면 신호 전하 축적부(1510)의 전위(FD)는 VDD로 보유된다. 다음에, 제 1 전송 스위치선(1551)의 전위(TRF1)가 고전위가 되고, 제 1 전송 트랜지스터(1514)가 온하고, 제 1 포토 다이오드(1512)에 조사되는 광에 따른 전류가, 제 1 포토 다이오드(1512)와 제 1 전송 트랜지스터(1514)에 흐르고, 신호 전하 축적부(1510)의 전위(FD)가 방전에 의하여 저하한다. 제 1 전송 스위치선(1551)의 전위(TRF1)가 저전위가 되면, 제 1 전송 트랜지스터(1514)가 오프하고, 다시 전류 패스가 없어지기 때문에 신호 전하 축적부(1510)의 전위(FD)는 보유된다. 이 전위를 제 1 증폭 트랜지스터(1508)를 통하여 수직 출력선(1570)에 출력한다.
- [0187] 다음에, 제 2 리셋선(1561)의 전위(RST1)가 고전위가 되고, 제 1 리셋 트랜지스터(1506)가 온한다. 이것으로 신호 전하 축적부(1510)의 전위(FD)가 VDD까지 올라간다. 제 1 리셋선(1561)의 전위(RST1)가 저전위가 되고, 제 1 리셋 트랜지스터(1506)가 오프한다. 제 1 리셋 트랜지스터(1506)가 오프하여도 전류 패스가 없으면 신호 전하 축적부(1510)의 전위(FD)는 VDD로 보유된다. 다음에, 제 2 전송 스위치선(1552)의 전위(TRF2)가 고전위가 되고, 제 2 전송 트랜지스터(1524)가 온하고, 제 2 포토 다이오드(1522)에 조사되는 광에 따른 전류가 제 2 포토 다이오드(1522)와 제 2 전송 트랜지스터(1524)에 흐르고, 신호 전하 축적부(1510)의 전위(FD)가 방전에 의하여 저하한다. 제 2 전송 스위치선(1552)의 전위(TRF2)가 저전위가 되면, 제 2 전송 트랜지스터(1524)가 오프하고, 다시 전류 패스가 없어지기 때문에 신호 전하 축적부(1510)의 전위(FD)는 보유된다. 이 전위를 제 1 증폭 트랜지스터(1508)를 통하여 수직 출력선(1570)에 출력한다. 이 2개의 동작으로 제 1 라인의 화소의 출력이 순서대로 수직 출력선(1570)으로 출력된다.
- [0188] 제 2 라인의 구동은, 다시 제 1 리셋선(1561)의 전위(RST1)가 고전위가 되고, 제 1 리셋 트랜지스터(1506)가 온한다. 이것으로 신호 전하 축적부(1510)의 전위(FD)가 VDD까지 올라간다. 제 1 리셋선(1561)의 전위(RST1)가 저전위가 되고, 제 1 리셋 트랜지스터(1506)가 오프한다. 제 1 리셋 트랜지스터(1506)가 오프하여도 전류 패스가 없으면 신호 전하 축적부(1510)의 전위(FD)는 VDD로 보유된다. 다음에, 제 3 전송 스위치선(1553)의 전위(TRF3)가 고전위가 되고, 제 3 전송 트랜지스터(1534)가 온하고, 제 3 포토 다이오드(1532)에 조사되는 광에 따른 전류가 제 3 포토 다이오드(1532)와 제 3 전송 트랜지스터(1534)에 흐르고, 신호 전하 축적부(1510)의 전위(FD)가 방전에 의하여 저하한다. 제 3 전송 스위치선(1553)의 전위(TRF3)가 저전위가 되면, 제 3 전송 트랜지스터(1534)가 오프하고, 다시 전류 패스가 없어지기 때문에 신호 전하 축적부(1510)의 전위는 보유된다. 이 전위를 제 1 증폭 트랜지스터(1508)를 통하여 수직 출력선(1570)에 출력한다.
- [0189] 다음에, 제 2 리셋선(1561)의 전위(RST1)가 고전위가 되고, 제 1 리셋 트랜지스터(1506)가 온한다. 이것으로 신호 전하 축적부(1510)의 전위(FD)가 VDD까지 올라간다. 제 1 리셋선(1561)의 전위(RST1)가 저전위가 되고, 제 1 리셋 트랜지스터(1506)가 오프한다. 제 1 리셋 트랜지스터(1506)가 오프하여도 전류 패스가 없으면 신호 전하 축적부(1510)의 전위(FD)는 VDD로 보유된다. 다음에, 제 4 전송 스위치선(1554)의 전위(TRF4)가 고전위가 되고, 제 4 전송 트랜지스터(1544)가 온하고, 제 4 포토 다이오드(1542)에 조사되는 광에 따른 전류가 제 4 포토 다이오드(1542)와 제 4 전송 트랜지스터(1544)에 흐르고, 신호 전하 축적부(1510)의 전위(FD)가 방전에 의하여 저하한다. 제 4 전송 스위치선(1554)의 전위(TRF4)가 저전위가 되면, 제 4 전송 트랜지스터(1544)가 오프하고, 다시 전류 패스가 없어지기 때문에 신호 전하 축적부(1510)의 전위(FD)는 보유된다. 이 전위를 제 1 증폭 트랜지스터(1508)를 통하여 수직 출력선(1570)에 출력한다. 다음에, 제 2 리셋선(1562)의 전위(RST2)를 제어함으로써, 제 1 라인 및 제 2 라인과 마찬가지로 제 3 라인 및 제 4 라인의 구동을 순차적으로 행한다.
- [0190] 도 22는 수직, 수평 각각 2개씩의 화소에 대하여, 리셋선, 전송 스위치선, 리셋 트랜지스터, 증폭 트랜지스터를 겸용하는 전송 스위치선 공유형이다. 상기 화소 공유형에 전송 스위치선을 더 공유시킴으로서, 트랜지스터 및 배선의 수를 삭감함으로써 화소 면적의 축소에 의한 미세화나, 포토 다이오드의 수광 면적 확대에 의한 노이즈를 저감할 수 있다. 종횡으로 서로 인접하는 4개의 화소에 대하여, 각 화소의 전송 트랜지스터의 드레인측이

전기적으로 접속되고, 신호 전하 축적부가 형성되고, 신호 전하 축적부에는 리셋 트랜지스터의 소스 및 증폭 트랜지스터의 게이트가 접속된다. 또한, 이 구성은 수직 방향에 위치하는 2개의 전송 트랜지스터가 전송 스위치선을 공유함으로써, 수평 방향뿐만 아니라, 수직 방향에도 동시에 움직이는 트랜지스터가 있는 것을 특징으로 한다.

[0191] 전송 스위치선 공유형의 동작을 도 23의 타이밍 차트에 따라서 설명한다. 제 1 라인, 제 2 라인의 구동은 먼저 제 1 리셋선(1665)의 전위(RST1) 및 제 2 리셋선(1666)의 전위(RST2)가 고전위가 되고, 제 1 리셋 트랜지스터(1616) 및 제 2 리셋 트랜지스터(1626)가 온한다. 이것으로 제 1 신호 전하 축적부(1610)의 전위(FD1) 및 제 2 신호 전하 축적부(1620)의 전위(FD2)가 VDD까지 올라간다. 제 1 리셋선(1665)의 전위(RST1) 및 제 2 리셋선(1666)의 전위(RST2)가 저전위가 되고, 제 1 리셋 트랜지스터(1616) 및 제 2 리셋 트랜지스터(1626)가 오프한다. 제 1 리셋 트랜지스터(1616) 및 제 2 리셋 트랜지스터(1626)가 오프하여도 전류 패스가 없으면 제 1 신호 전하 축적부(1610)의 전위(FD1) 및 제 2 신호 전하 축적부(1620)의 전위(FD2)는 VDD로 보유된다.

[0192] 다음에 제 1 전송 스위치선(1751)의 전위(TRF1)가 고전위가 되고, 제 1 전송 트랜지스터(1614) 및 제 3 전송 트랜지스터(1634)가 온하고, 제 1 포토 다이오드(1612) 및 제 3 포토 다이오드(1632)에 조사되는 광에 따른 전류가 제 1 포토 다이오드(1612) 및 제 3 포토 다이오드(1632)와 제 1 전송 트랜지스터(1614) 및 제 3 전송 트랜지스터(1634)에 흐르고, 제 1 신호 전하 축적부(1610)의 전위(FD1) 및 제 2 신호 전하 축적부(1620)의 전위(FD2)가 방전에 의하여 저하한다. 제 1 전송 스위치선(1751)의 전위(RST1)가 저전위가 되면 제 1 전송 트랜지스터(1614) 및 제 3 전송 트랜지스터(1634)가 오프하고, 다시 전류 패스가 없어지기 때문에 제 1 신호 전하 축적부(1610)의 전위(FD1) 및 제 2 신호 전하 축적부(1620)의 전위(FD2)는 보유된다. 이것들의 전위를 제 1 증폭 트랜지스터(1618)를 통하여 제 1 수직 출력선(1675)에 출력하고, 제 2 증폭 트랜지스터(1628)를 통하여 제 2 수직 출력선(1676)에 출력한다.

[0193] 다음에, 제 1 리셋선(1665)의 전위(RST1) 및 제 2 리셋선(1666)의 전위(RST2)가 고전위가 되고, 제 1 리셋 트랜지스터(1616) 및 제 2 리셋 트랜지스터(1626)가 온한다. 이것으로 제 1 신호 전하 축적부(1610)의 전위(FD1) 및 제 2 신호 전하 축적부(1620)의 전위(FD2)가 VDD까지 올라간다. 제 1 리셋선(1665)의 전위(RST1) 및 제 2 리셋선(1666)의 전위(RST2)가 저전위가 되고, 제 1 리셋 트랜지스터(1616) 및 제 2 리셋 트랜지스터(1626)가 오프한다. 제 1 리셋 트랜지스터(1616) 및 제 2 리셋 트랜지스터(1626)가 오프하여도 전류 패스가 없으면 제 1 신호 전하 축적부(1610)의 전위(FD1) 및 제 2 신호 전하 축적부(1620)의 전위(FD2)는 VDD로 보유된다.

[0194] 다음에, 제 2 전송 스위치선(1752)의 전위(TRF2)의 전위가 고전위가 되고, 제 2 전송 트랜지스터(1624) 및 제 4 전송 트랜지스터(1644)가 온하고, 제 2 포토 다이오드(1622) 및 제 4 포토 다이오드(1642)에 조사되는 광에 따른 전류가 제 2 포토 다이오드(1622) 및 제 4 포토 다이오드(1642)와 제 2 전송 트랜지스터(1624) 및 제 4 전송 트랜지스터(1644)에 흐르고, 제 1 신호 전하 축적부(1610)의 전위(FD1) 및 제 2 신호 전하 축적부(1620)의 전위(FD2)가 방전에 의하여 저하한다. 제 2 전송 스위치선(1752)의 전위(TRF2)가 저전위가 되면 제 2 전송 트랜지스터(1624) 및 제 4 전송 트랜지스터(1644)가 오프하고, 다시 전류 패스가 없어지기 때문에 제 1 신호 전하 축적부(1610)의 전위(FD1) 및 제 2 신호 전하 축적부(1620)의 전위(FD2)는 보유된다. 이것들의 전위를 제 1 증폭 트랜지스터(1618)를 통하여 제 1 수직 출력선(1675)에 출력하고, 제 2 증폭 트랜지스터(1628)를 통하여 제 2 수직 출력선(1676)에 출력한다. 이것들의 동작으로 제 1 라인 및 제 2 라인의 화소의 출력이 순서대로 제 1 수직 출력선(1675) 및 제 2 수직 출력선(1676)에 출력된다.

[0195] 다음에 제 3 라인, 제 4 라인의 구동에 대하여 설명한다. 먼저 제 2 리셋선(1666)의 전위(RST2) 및 제 3 리셋선(1667)의 전위(RST3)가 고전위가 되고, 제 2 리셋 트랜지스터(1626) 및 제 3 리셋 트랜지스터(1636)가 온한다. 이것으로 제 2 신호 전하 축적부(1620)의 전위(FD2) 및 제 3 신호 전하 축적부(1630)의 전위(FD3)가 VDD까지 올라간다. 제 2 리셋선(1666)의 전위(RST2) 및 제 3 리셋선(1667)의 전위(RST3)가 저전위가 되고, 제 2 리셋 트랜지스터(1626) 및 제 3 리셋 트랜지스터(1636)가 오프한다. 제 2 리셋 트랜지스터(1626) 및 제 3 리셋 트랜지스터(1636)가 오프하여도 전류 패스가 없으면 제 2 신호 전하 축적부(1620)의 전위(FD1) 및 제 3 신호 전하 축적부(1630)의 전위(FD2)는 VDD로 보유된다.

[0196] 다음에, 제 3 전송 스위치선(1753)의 전위(TRF3)의 전위가 고전위가 되고, 제 5 전송 트랜지스터(1654) 및 제 7 전송 트랜지스터(1674)가 온하고, 제 5 포토 다이오드(1652) 및 제 7 포토 다이오드(1672)에 조사되는 광에 따른 전류가 제 5 포토 다이오드(1652) 및 제 7 포토 다이오드(1672)와 제 5 전송 트랜지스터(1654) 및 제 7 전송 트랜지스터(1674)에 흐르고, 제 2 신호 전하 축적부(1620)의 전위(FD2) 및 제 3 신호 전하 축적부(1630)의 전위(FD3)가 방전에 의하여 저하한다. 제 3 전송 스위치선(1753)의 전위(TRF3)가 저전위가 되면 제 5 전송 트랜지

스터(1654) 및 제 7 전송 트랜지스터(1674)가 오프하고, 다시 전류 패스가 없어지기 때문에 제 2 신호 전하 축적부(1620)의 전위(FD2) 및 제 3 신호 전하 축적부(1630)의 전위(FD3)는 보유된다. 이것들의 전위를 제 2 증폭 트랜지스터(1628)를 통하여 제 2 수직 출력선(1676)에 출력하고, 제 3 증폭 트랜지스터(1638)를 통하여 제 1 수직 출력선(1675)에 출력한다.

[0197] 다음에, 제 2 리셋선(1666)의 전위(RST2) 및 제 3 리셋선(1667)의 전위(RST3)가 고전위가 되고, 제 2 리셋 트랜지스터(1626) 및 제 3 리셋 트랜지스터(1636)가 온한다. 이것으로 제 2 신호 전하 축적부(1620)의 전위(FD2) 및 제 3 신호 전하 축적부(1630)의 전위(FD3)가 VDD까지 올라간다. 제 2 리셋선(1666)의 전위(RST2) 및 제 3 리셋선(1667)의 전위(RST3)가 저전위가 되고, 제 2 제 2 리셋 트랜지스터(1626) 및 제 3 리셋 트랜지스터(1636)가 오프한다. 제 2 리셋 트랜지스터(1626) 및 제 3 리셋 트랜지스터(1636)가 오프하여도 전류 패스가 없다면 제 2 신호 전하 축적부(1620)의 전위(FD2) 및 제 3 신호 전하 축적부(1630)의 전위(FD3)는 VDD로 보유된다.

[0198] 다음에, 제 4 전송 스위치선(1754)의 전위(TRF4)의 전위가 고전위가 되고, 제 6 전송 트랜지스터(1664) 및 제 8 전송 트랜지스터(1684)가 온하고, 제 6 포토 다이오드(1662) 및 제 8 포토 다이오드(1682)에 조사되는 광에 따른 전류가 제 6 포토 다이오드(1662) 및 제 8 포토 다이오드(1682)와 제 6 전송 트랜지스터(1664) 및 제 8 전송 트랜지스터(1684)에 흐르고, 제 2 신호 전하 축적부(1620)의 전위(FD2) 및 제 3 신호 전하 축적부(1630) 전위(FD3)가 방전에 의하여 저하한다. 제 4 전송 스위치선(1754)의 전위(TRF4)가 저전위가 되면 제 6 전송 트랜지스터(1664) 및 제 8 전송 트랜지스터(1684)가 오프하고, 다시 전류 패스가 없어지기 때문에 제 2 신호 전하 축적부(1620)의 전위(FD2) 및 제 3 신호 전하 축적부(1630)의 전위(FD3)는 보유된다. 이것들의 전위를 제 2 증폭 트랜지스터(1628)를 통하여 제 2 수직 출력선(1676)에 출력하고, 제 3 증폭 트랜지스터(1638)를 통하여 제 1 수직 출력선(1675)에 출력한다. 이것들의 동작으로 제 3 라인, 제 4 라인의 화소의 출력이 순서대로 제 2 수직 출력선(1676) 및 제 1 수직 출력선(1675)에 출력된다. 다음에 제 3 리셋선(1667)의 전위(RST3) 및 제 4 리셋선의 전위(RST4)를 제어함으로써, 제 3 라인 및 제 4 라인과 마찬가지로 제 5 라인 및 제 6 라인의 구동을 순차 행한다.

[0199] 도 24는 CMOS 이미지 센서 전체의 도면이다. 화소부(2000)를 가지는 화소 매트릭스(2100)의 양측에 리셋 단자 구동 회로(2020), 전송 단자 구동 회로(2040)가 배치된다. 도 24에서는 화소 매트릭스(2100)의 양측에 이 구동 회로를 배치하지만, 한측에 이 구동 회로를 배치하여도 좋다. 또한, 이 구동 회로로부터의 신호를 출력하는 배선에 대하여, 수직 방향에 수직 출력선 구동 회로(2060)가 배치된다. 리셋 단자 구동 회로(2020) 및 전송 단자 구동 회로(2040)는 로(저전위) 및 하이(고전위)의 2값 출력의 구동 회로이므로, 도 25에 나타난 바와 같이 시프트 레지스터(2200)와 버퍼 회로(2300)의 조합시켜 구동할 수 있다. 이것들의 구동 회로는 벌크 트랜지스터 또는 박막 트랜지스터로 구성할 수 있지만, 상보형(CMOS) 트랜지스터의 형성이 가능한 실리콘 반도체를 이용한 벌크 트랜지스터를 이용하는 것이 바람직하다.

[0200] 수직 출력선 구동 회로(2060)는 도 26에 나타난 바와 같이 시프트 레지스터(2210)와 버퍼 회로(2310)와 아날로그 스위치(2400)에 의하여 구성할 수 있다. 각 수직 출력선(2120)을 아날로그 스위치(2400)에 의하여 선택하고, 영상 출력선(2500)에 영상 신호를 출력한다. 아날로그 스위치(2400)는 시프트 레지스터(2210)와 버퍼 회로(2310)에 의해 순차 선택하는 것으로 한다. 수직 출력선 구동 회로(2060)는 벌크 트랜지스터 또는 박막 트랜지스터에서 구성할 수 있지만, 상보형 트랜지스터의 형성이 가능한 실리콘 반도체를 이용한 벌크 트랜지스터를 이용하는 것이 바람직하다.

[0201] 도 27에 시프트 레지스터와 버퍼 회로의 예를 나타낸다. 도 27에 나타난 것은 클록 인버터에 의하여 구성된 시프트 레지스터(2220)와 인버터에 의하여 구성된 버퍼 회로(2320)의 예이다. 시프트 레지스터, 버퍼 회로는 이 회로로 한정되지 않고, 리셋 단자 구동 회로(2020), 전송 단자 구동 회로(2040), 수직 출력선 구동 회로(2060)도 상기 구성에 한정되지 않는다.

[0202] 상기 실시형태에 관한 고체 촬상 소자는 여러 가지 전자기기(유기기도 포함)에 적용할 수 있다. 예를 들어, 디지털 카메라, 디지털 비디오 카메라, 휴대 전화, 휴대형 게임기, 휴대 정보 단말 등, 화상 정보를 취득하는 수단을 가지는 전자기기에 이용할 수 있다.

[0203] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

부호의 설명

[0204] 100 : 단결정 실리콘 기판 101 : 전송 트랜지스터

102 : 산화물 반도체층	104 : 소스 전극
106 : 드레인 전극	108 : 게이트 전극
110 : 광전 변환 소자	114 : p형 영역
116 : 신호 전하 축적부	118 : 게이트 절연층
121 : 리셋 트랜지스터	122 : 산화물 반도체층
124 : 소스 전극	126 : 드레인 전극
128 : 게이트 전극	131 : 증폭 트랜지스터
136 : 게이트 절연층	138 : 게이트 전극
140 : 절연막	142 : 보호 절연층
151 : 배선층	132a : n형 영역
132b : n형 영역	138a : 도전층
138b : 도전층	201 : 트랜지스터
204 : 소스 전극	210 : 광전 변환 소자
301 : 트랜지스터	304 : 소스 전극
305 : 버퍼층	306 : 드레인 전극
310 : 광전 변환 소자	112 : n형 영역
401 : 전송 트랜지스터	421 : 리셋 트랜지스터
431 : 증폭 트랜지스터	441 : 절연층
450 : 질소 분위기 하	501 : 전송 트랜지스터
510 : 광전 변환 소자	516 : 신호 전하 축적부
521 : 리셋 트랜지스터	531 : 증폭 트랜지스터
540 : 용량 전극	541 : 절연막
600 : 렌즈	602 : 컬러 필터
604 : 배선층	606 : 층간 절연막
608 : 광전 변환 소자	610 : 렌즈
612 : 컬러 필터	618 : 광전 변환 소자
1002 : 포토 다이오드	1004 : 전송 트랜지스터
1006 : 리셋 트랜지스터	1008 : 증폭 트랜지스터
1010 : 신호 전하 축적부	1100 : 전원선
1110 : 리셋 전원선	1120 : 수직 출력선
1210 : 신호 전하 축적부	1212 : 포토 다이오드
1214 : 전송 트랜지스터	1216 : 리셋 트랜지스터
1218 : 증폭 트랜지스터	1220 : 수직 출력선
1240 : 리셋선	1250 : 전송 스위치선
1340 : 리셋선	1350 : 전송 스위치선
1406 : 리셋 트랜지스터	1408 : 증폭 트랜지스터

1410 : 신호 전하 축적부	1412 : 포토 다이오드
1414 : 전송 트랜지스터	1422 : 포토 다이오드
1424 : 전송 트랜지스터	1432 : 포토 다이오드
1434 : 전송 트랜지스터	1442 : 포토 다이오드
1444 : 전송 트랜지스터	1451 : 전송 스위치선
1452 : 전송 스위치선	1453 : 전송 스위치선
1454 : 전송 스위치선	1461 : 리셋선
1470 : 수직 출력선	1506 : 리셋 트랜지스터
1508 : 증폭 트랜지스터	1510 : 신호 전하 축적부
1512 : 포토 다이오드	1514 : 전송 트랜지스터
1522 : 포토 다이오드	1524 : 전송 트랜지스터
1532 : 포토 다이오드	1534 : 전송 트랜지스터
1542 : 포토 다이오드	1544 : 전송 트랜지스터
1551 : 전송 스위치선	1552 : 전송 스위치선
1553 : 전송 스위치선	1554 : 전송 스위치선
1561 : 리셋선	1562 : 리셋선
1570 : 수직 출력선	1610 : 신호 전하 축적부
1612 : 포토 다이오드	1614 : 전송 트랜지스터
1616 : 리셋 트랜지스터	1618 : 증폭 트랜지스터
1620 : 신호 전하 축적부	1622 : 포토 다이오드
1624 : 전송 트랜지스터	1626 : 리셋 트랜지스터
1628 : 증폭 트랜지스터	1630 : 신호 전하 축적부
1632 : 포토 다이오드	1634 : 전송 트랜지스터
1636 : 리셋 트랜지스터	1638 : 증폭 트랜지스터
1642 : 포토 다이오드	1644 : 전송 트랜지스터
1652 : 포토 다이오드	1654 : 전송 트랜지스터
1662 : 포토 다이오드	1664 : 전송 트랜지스터
1665 : 리셋선	1666 : 리셋선
1667 : 리셋선	1672 : 포토 다이오드
1674 : 전송 트랜지스터	1675 : 수직 출력선
1676 : 수직 출력선	1682 : 포토 다이오드
1684 : 전송 트랜지스터	1751 : 전송 스위치선
1752 : 전송 스위치선	1753 : 전송 스위치선
1754 : 전송 스위치선	2000 : 화소부
2020 : 리셋 단자 구동 회로	2040 : 전송 단자 구동 회로
2060 : 수직 출력선 구동 회로	2100 : 화소 매트릭스

- 2120 : 각 수직 출력선

2200 : 시프트 레지스터

2210 : 시프트 레지스터

2300 : 버퍼 회로

2320 : 버퍼 회로

2500 : 영상 출력선
- 2200 : 시프트 레지스터

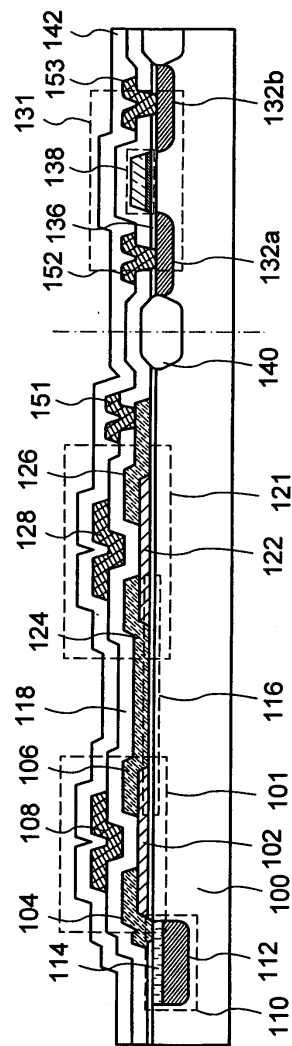
2220 : 시프트 레지스터

2310 : 버퍼 회로

2400 : 아날로그 스위치

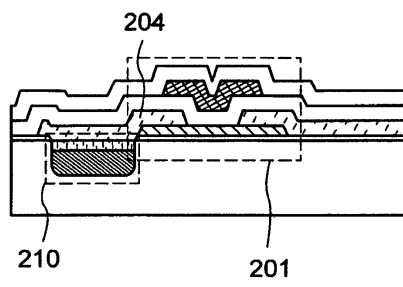
도면

도면1

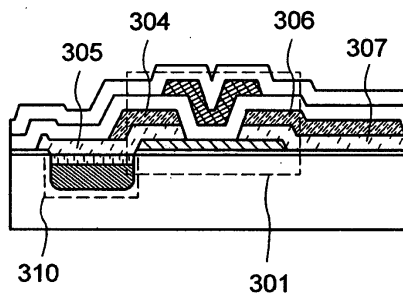


도면2

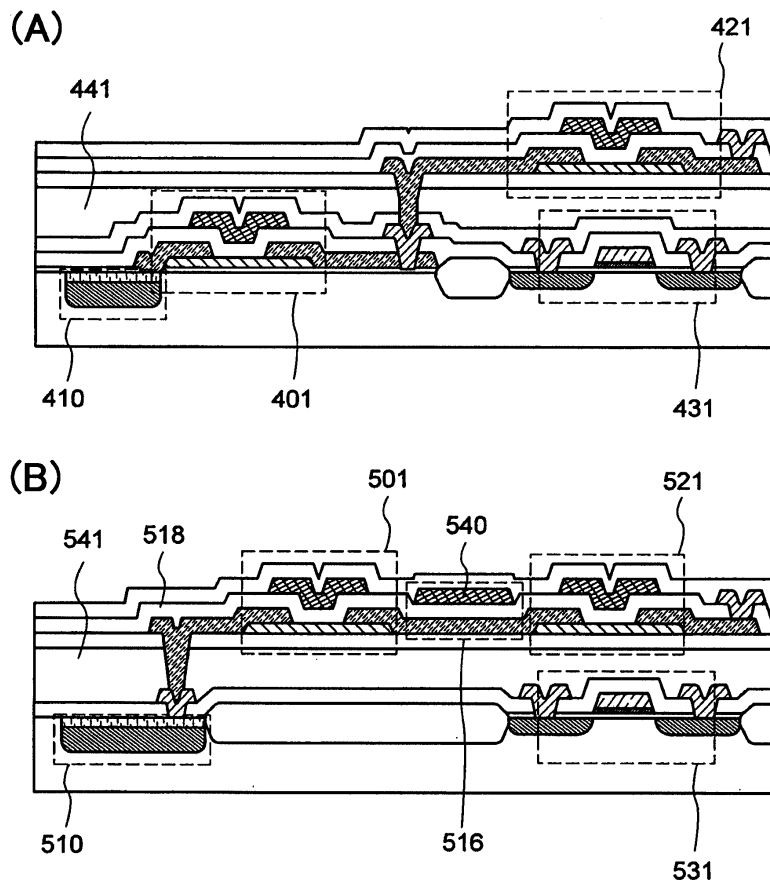
(A)



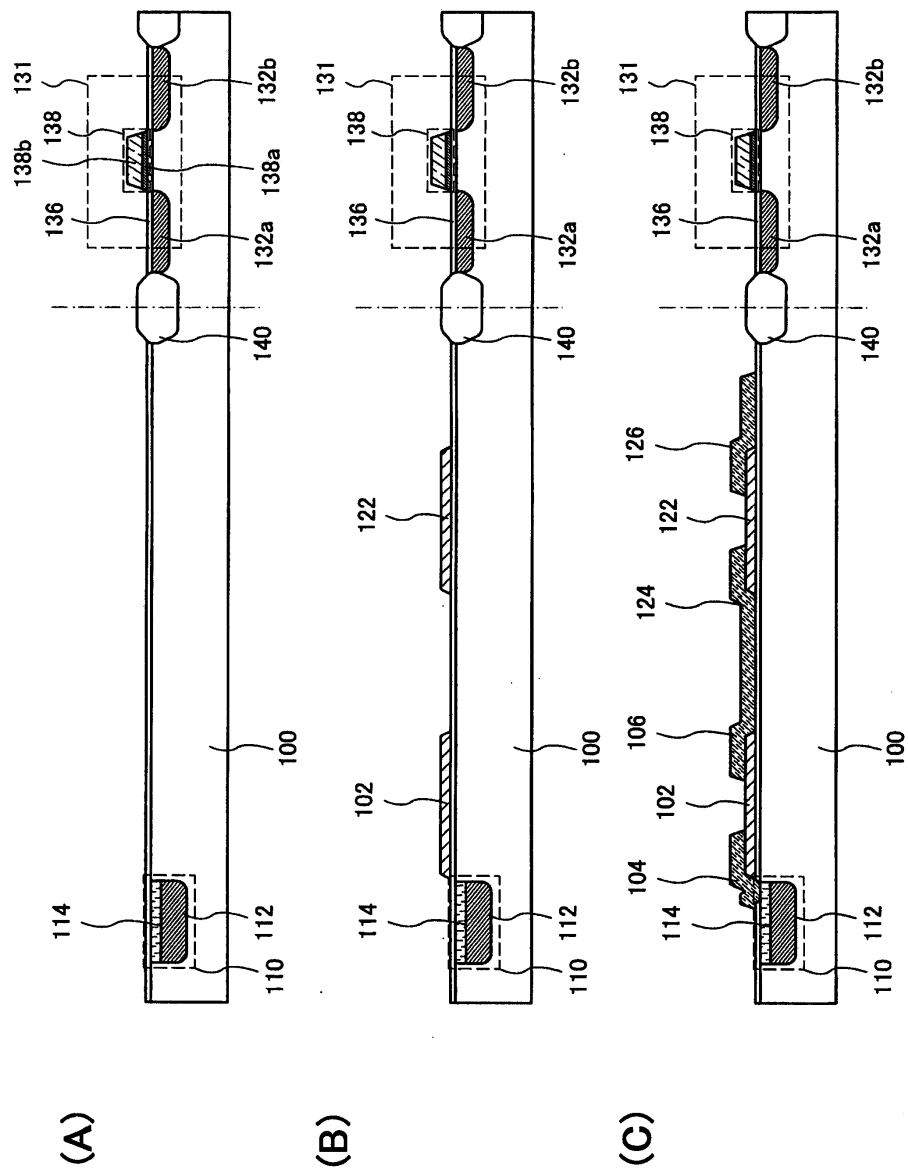
(B)



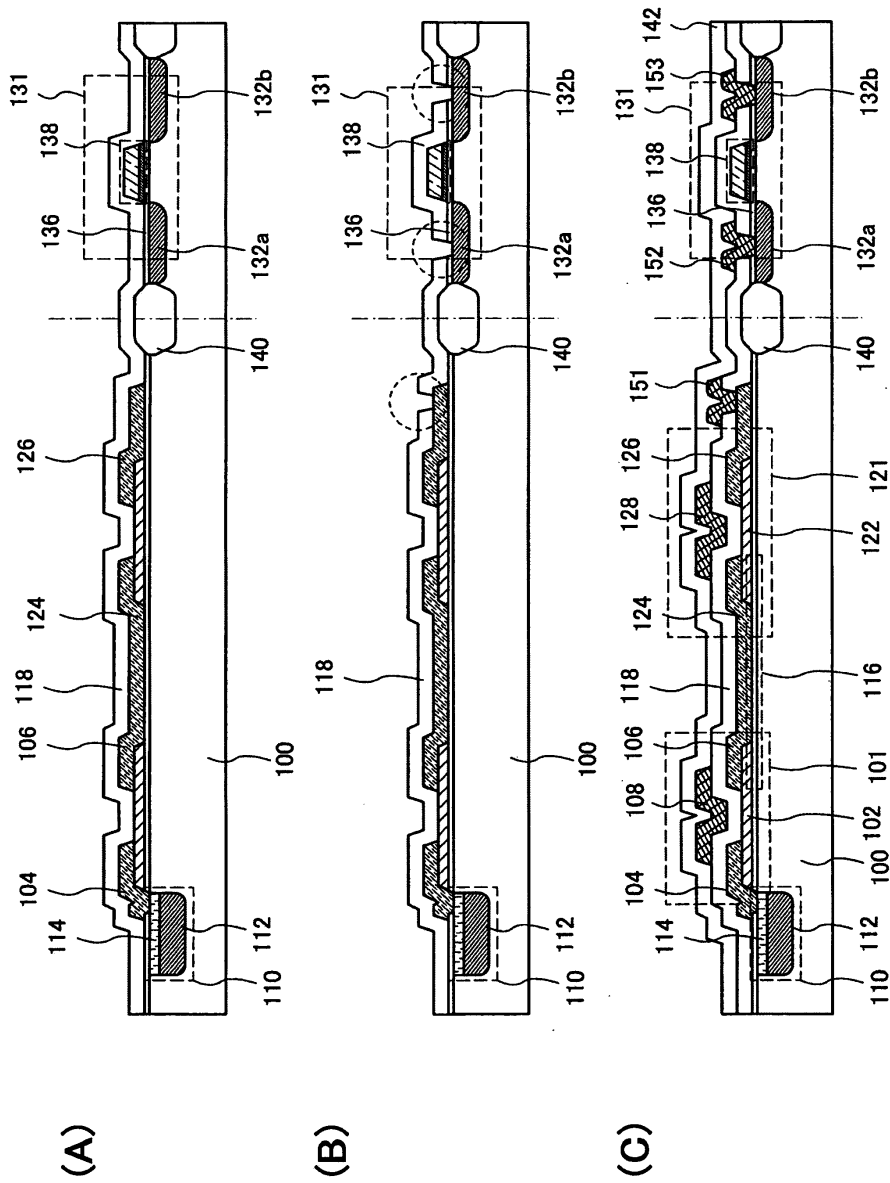
도면3



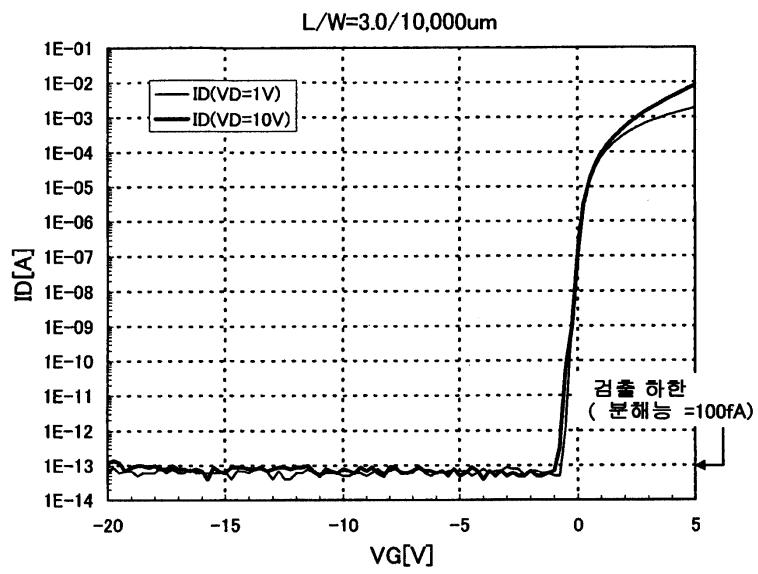
도면4



도면5

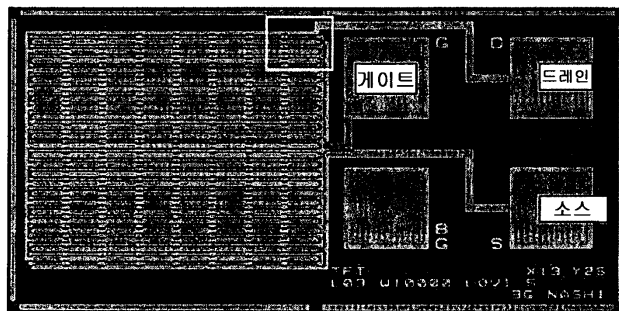


도면6

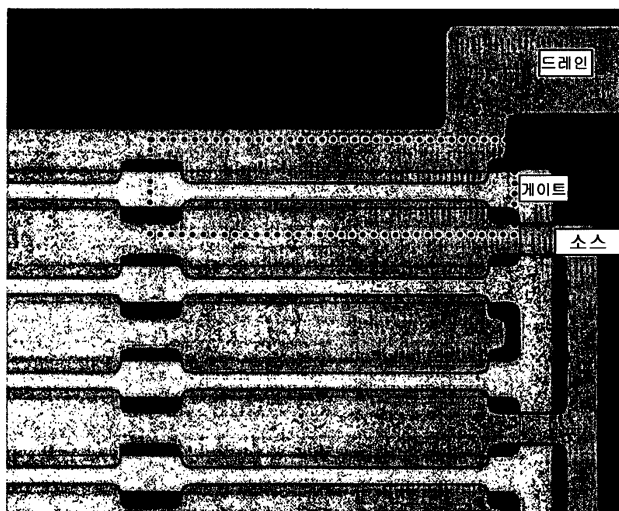


도면7

(A)

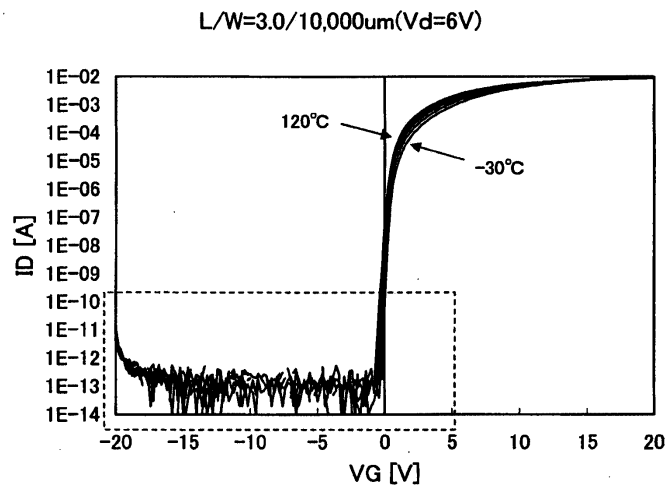


(B)

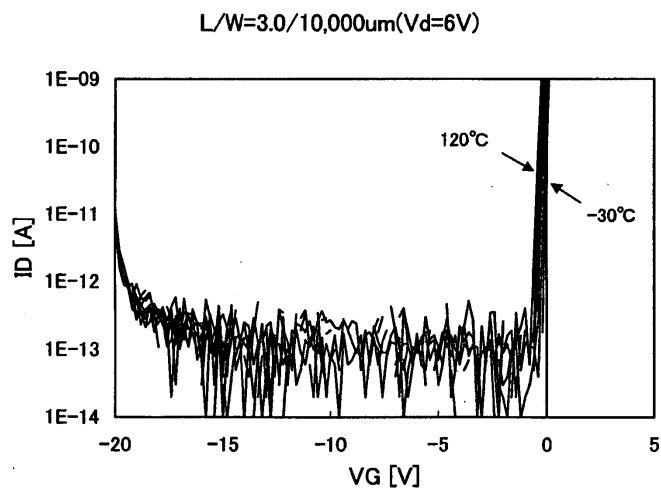


도면8

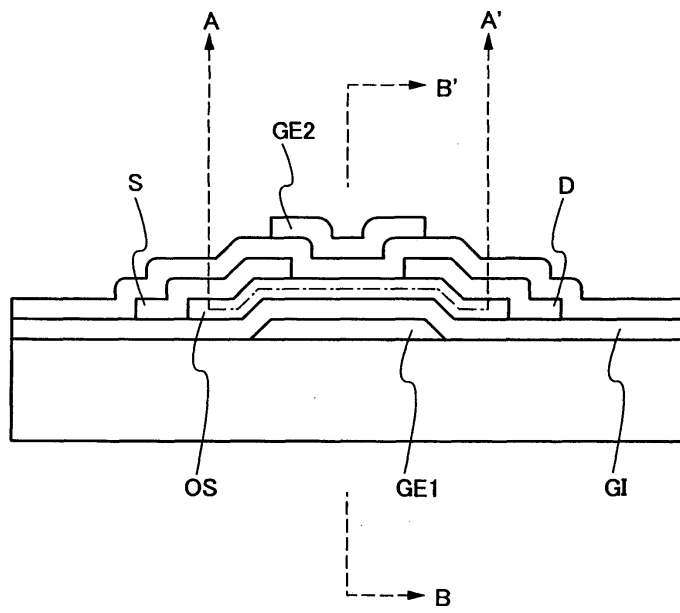
(A)



(B)

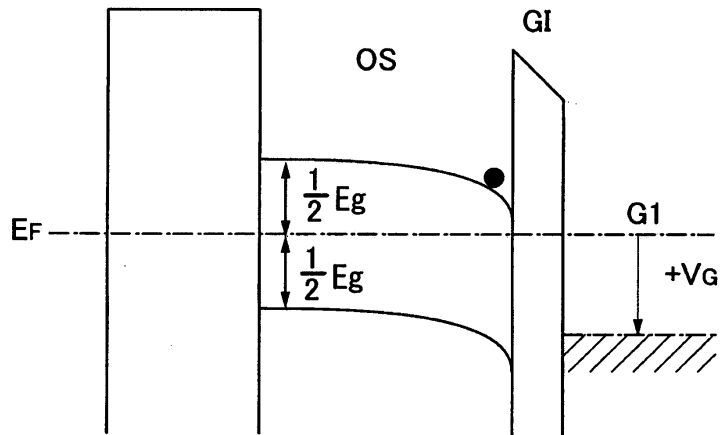


도면9

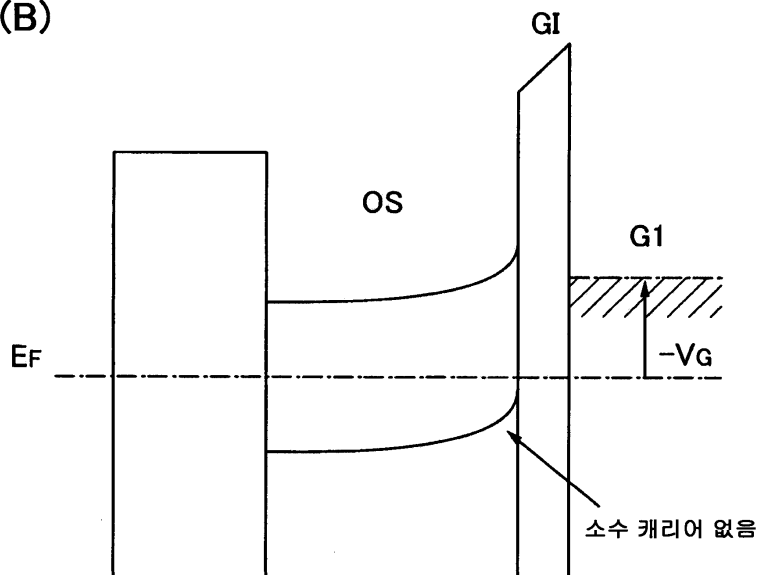


도면11

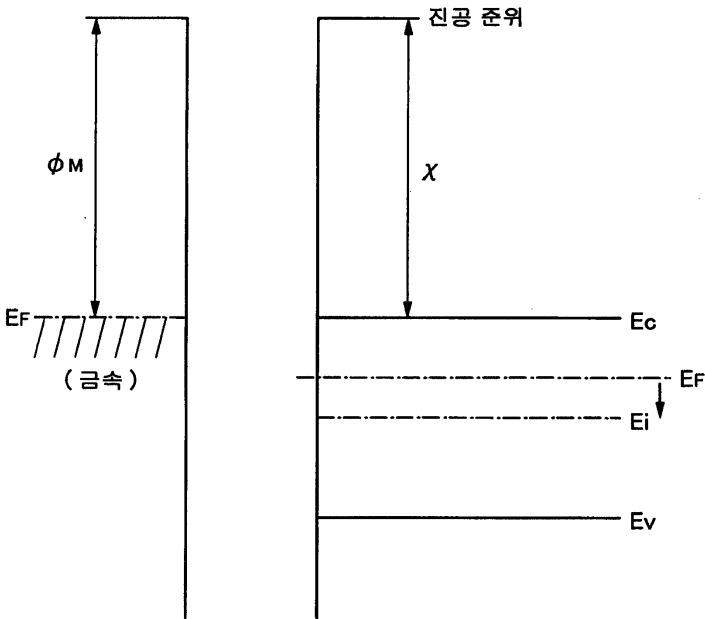
(A)



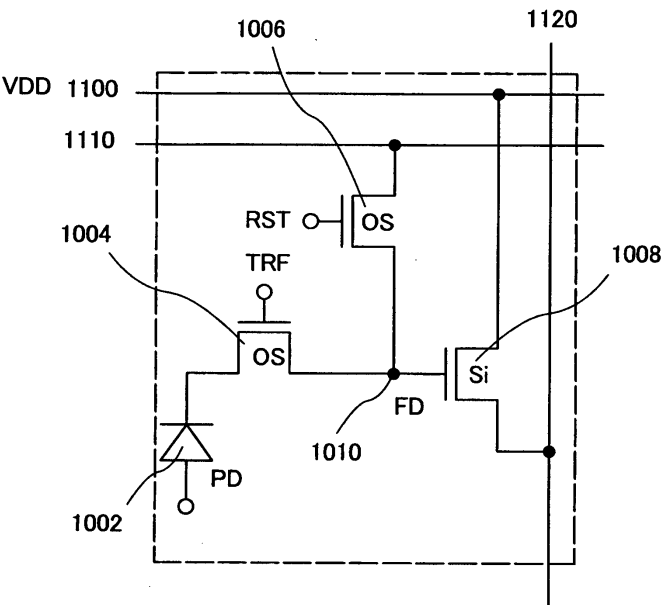
(B)



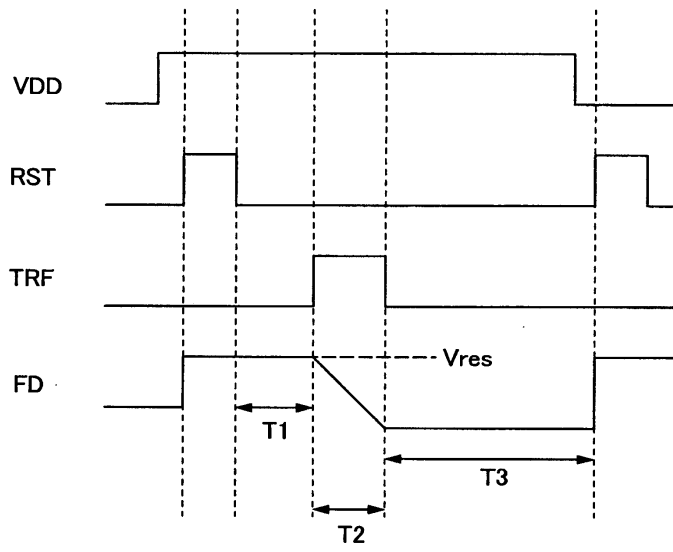
도면12



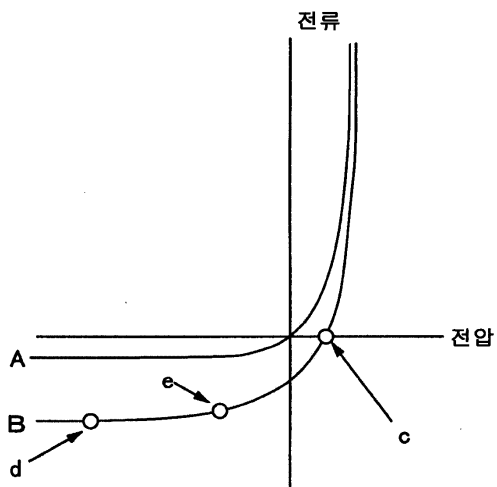
도면13



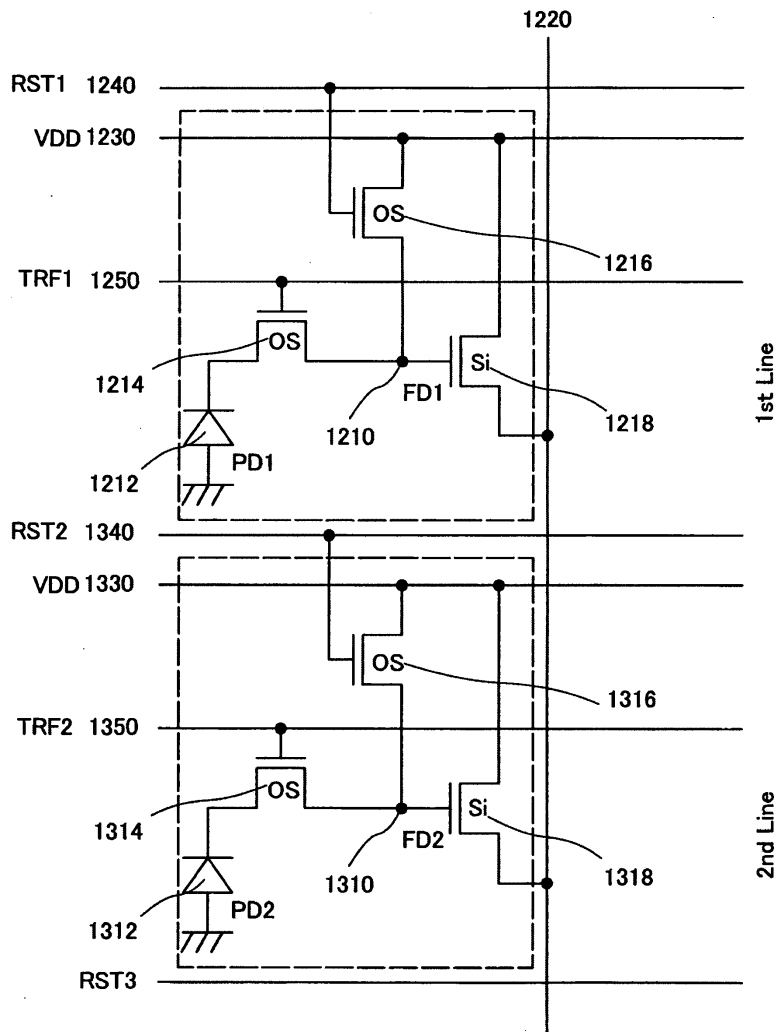
도면14



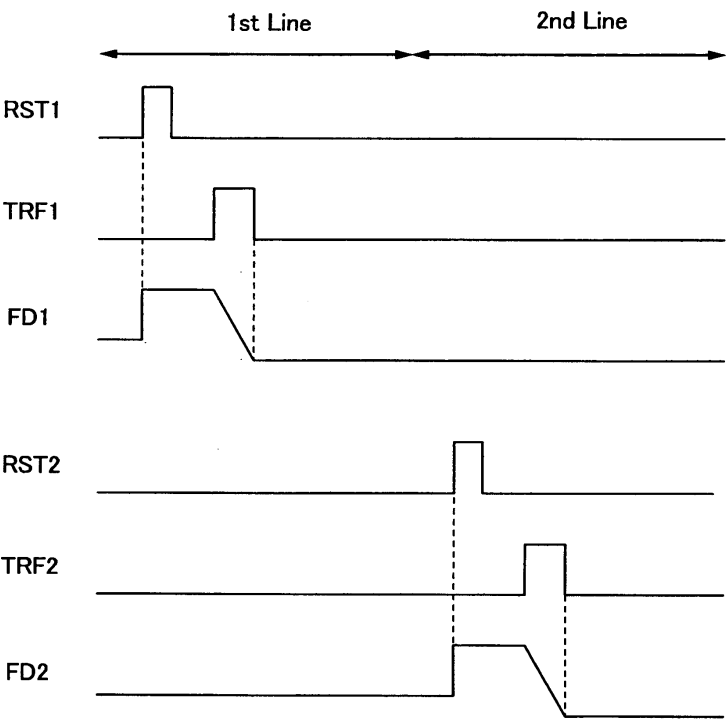
도면15



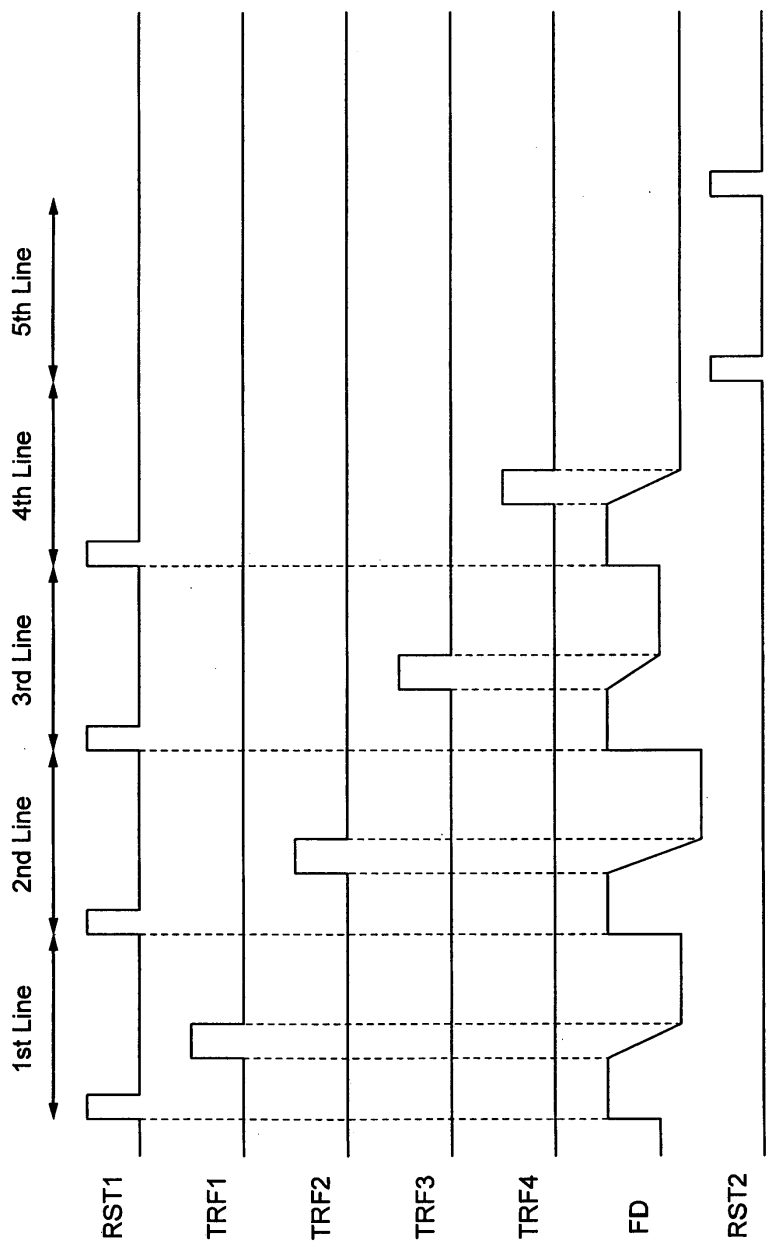
도면16



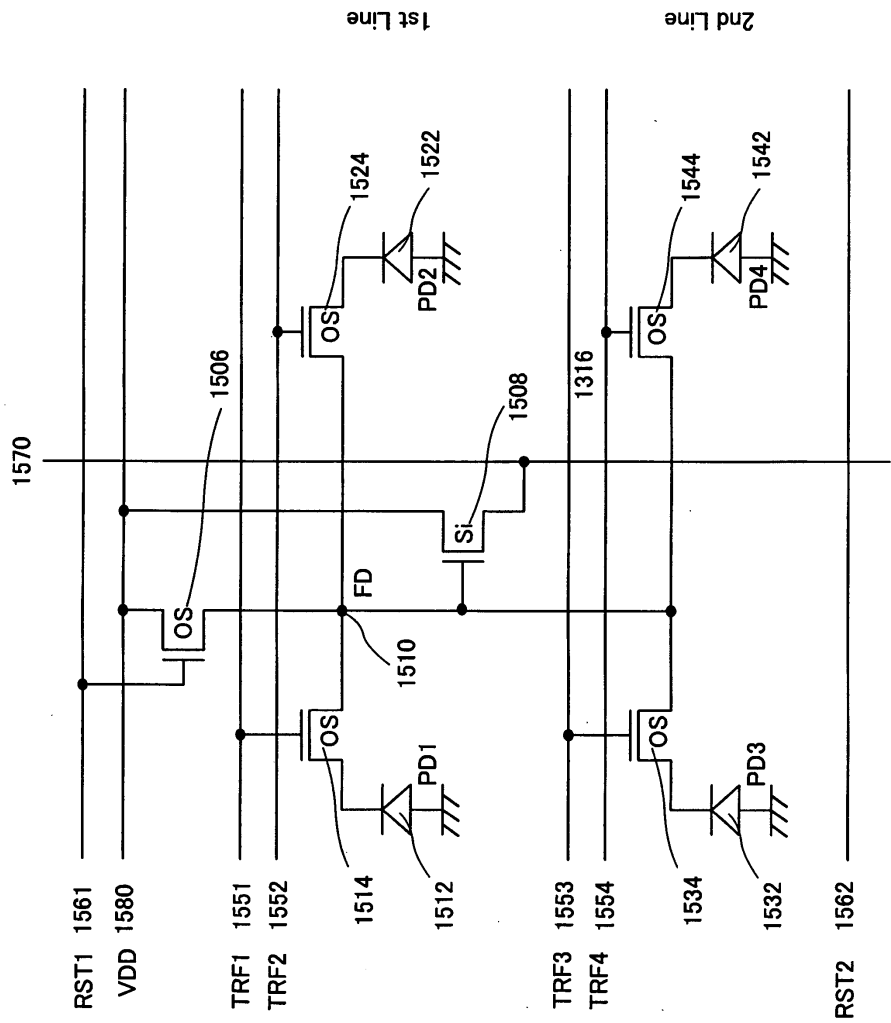
도면17



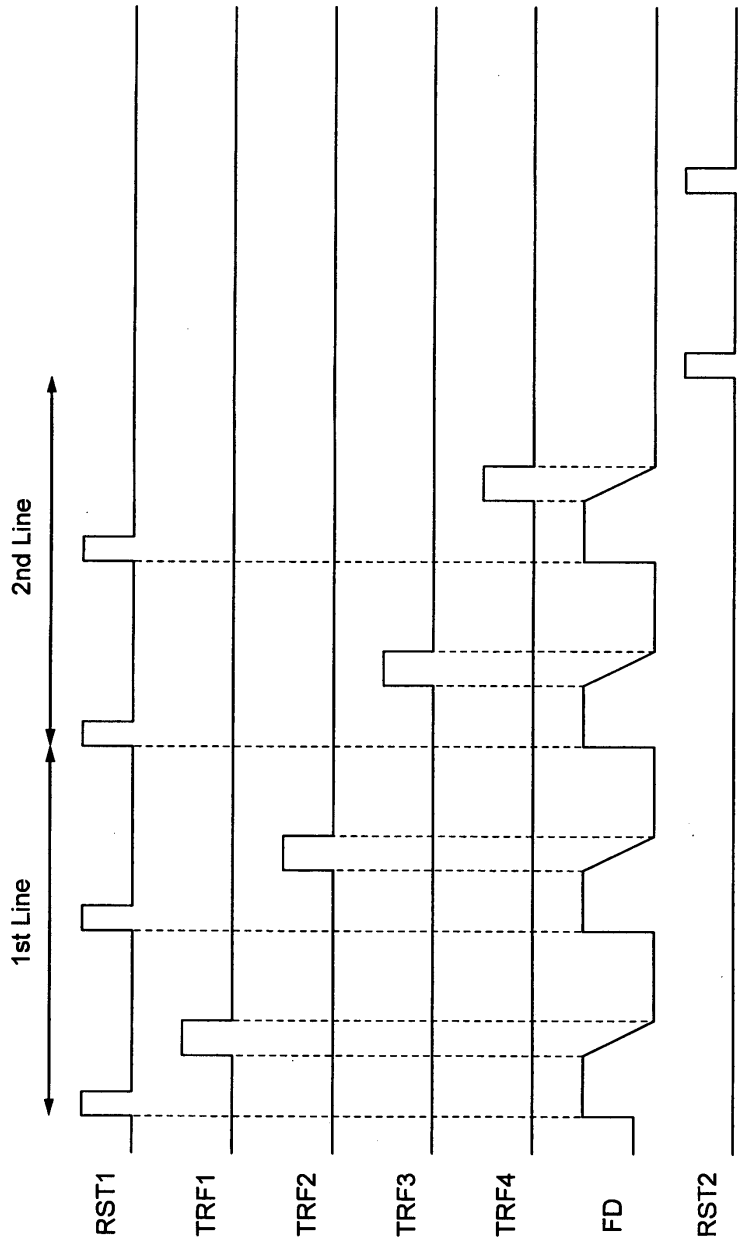
도면19



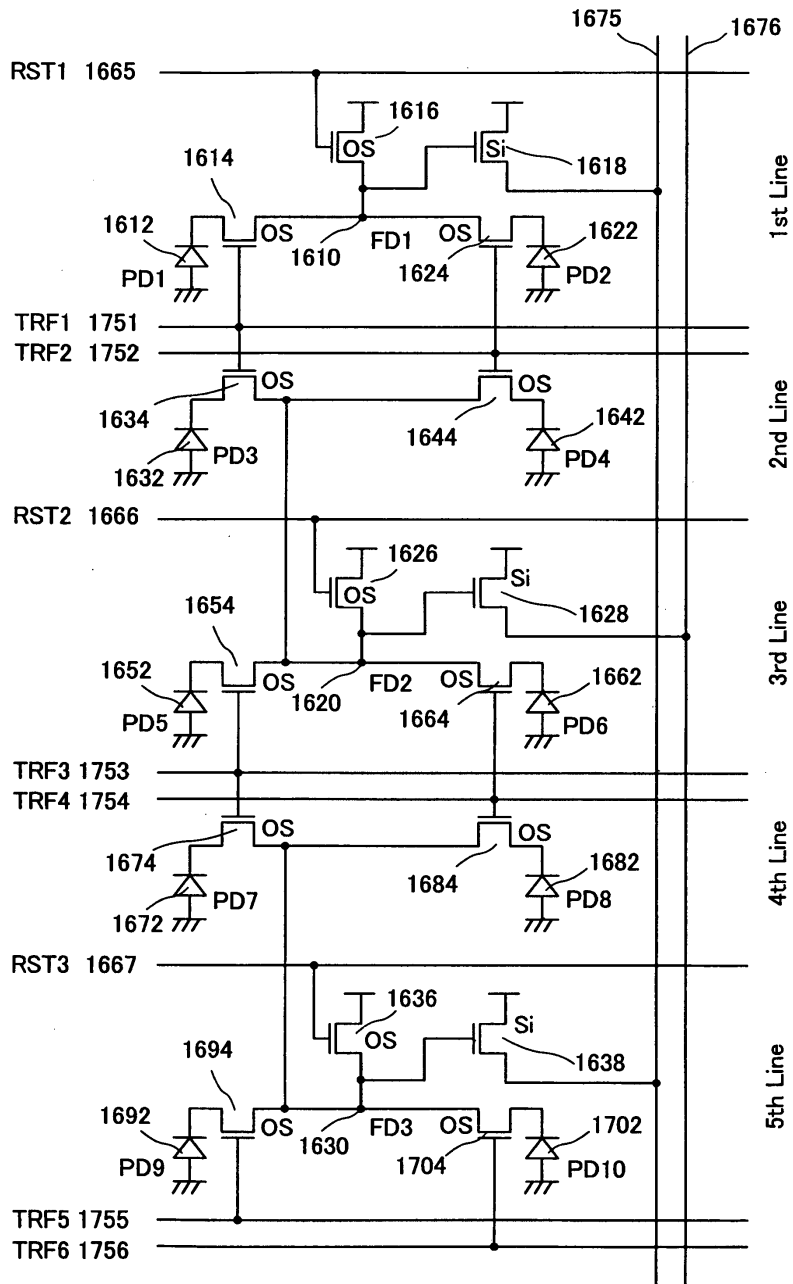
도면20



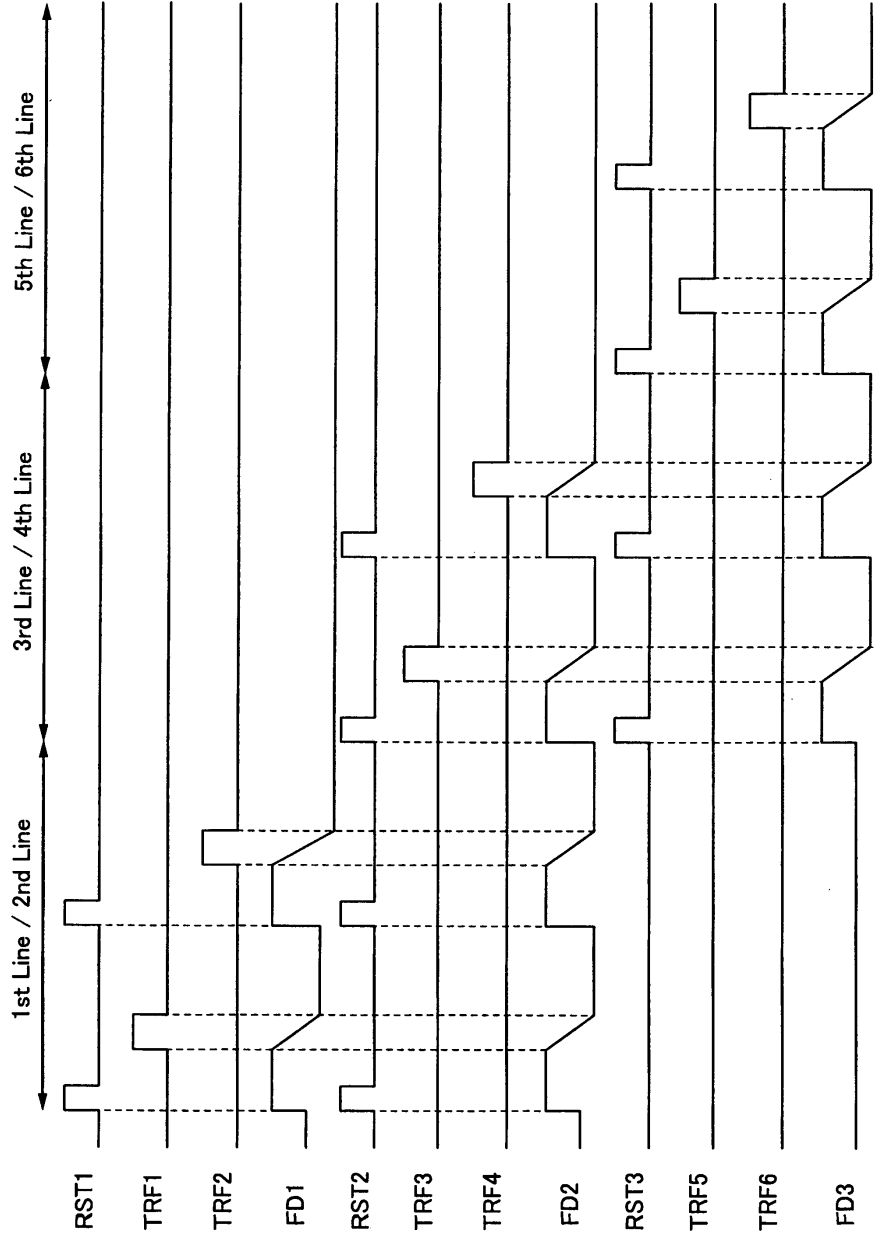
도면21



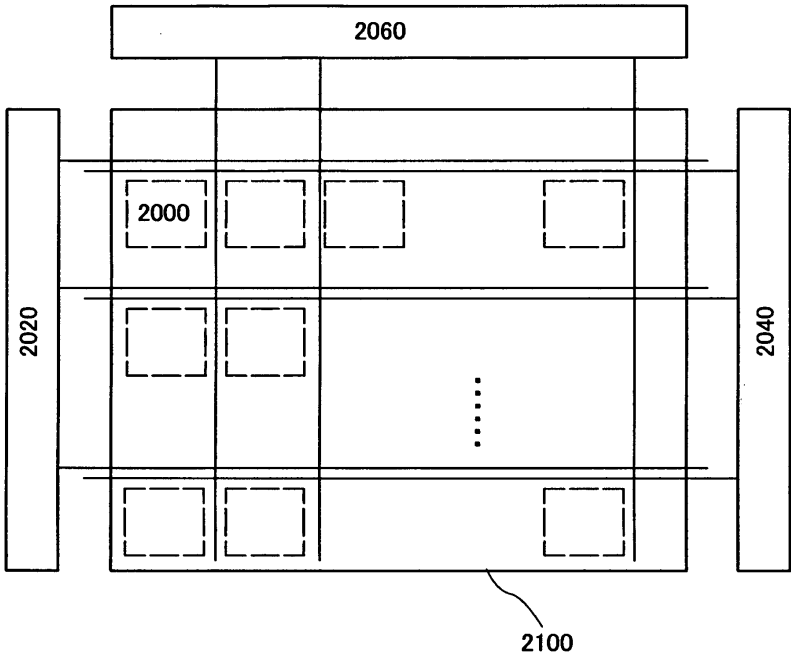
도면22



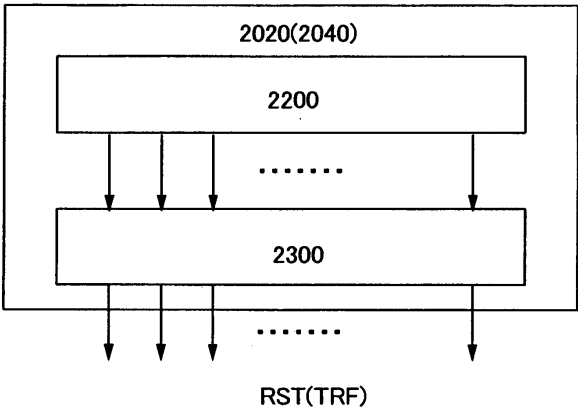
도면23



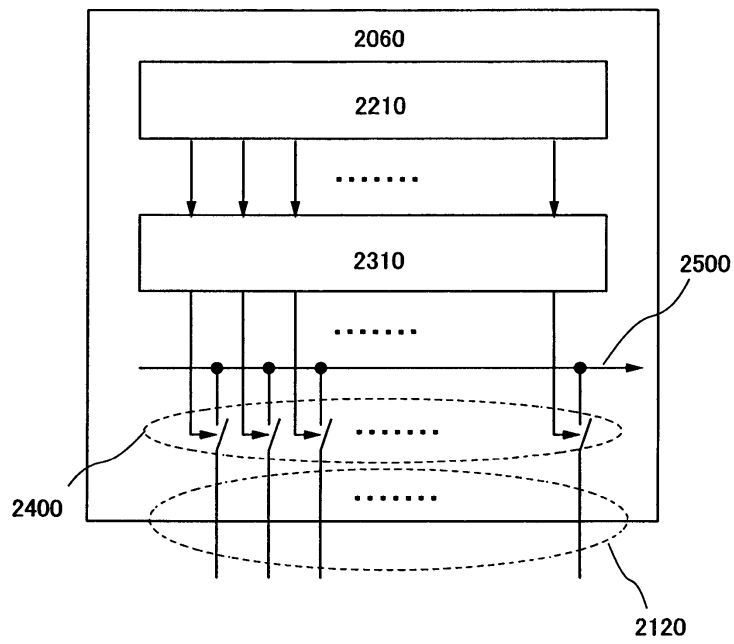
도면24



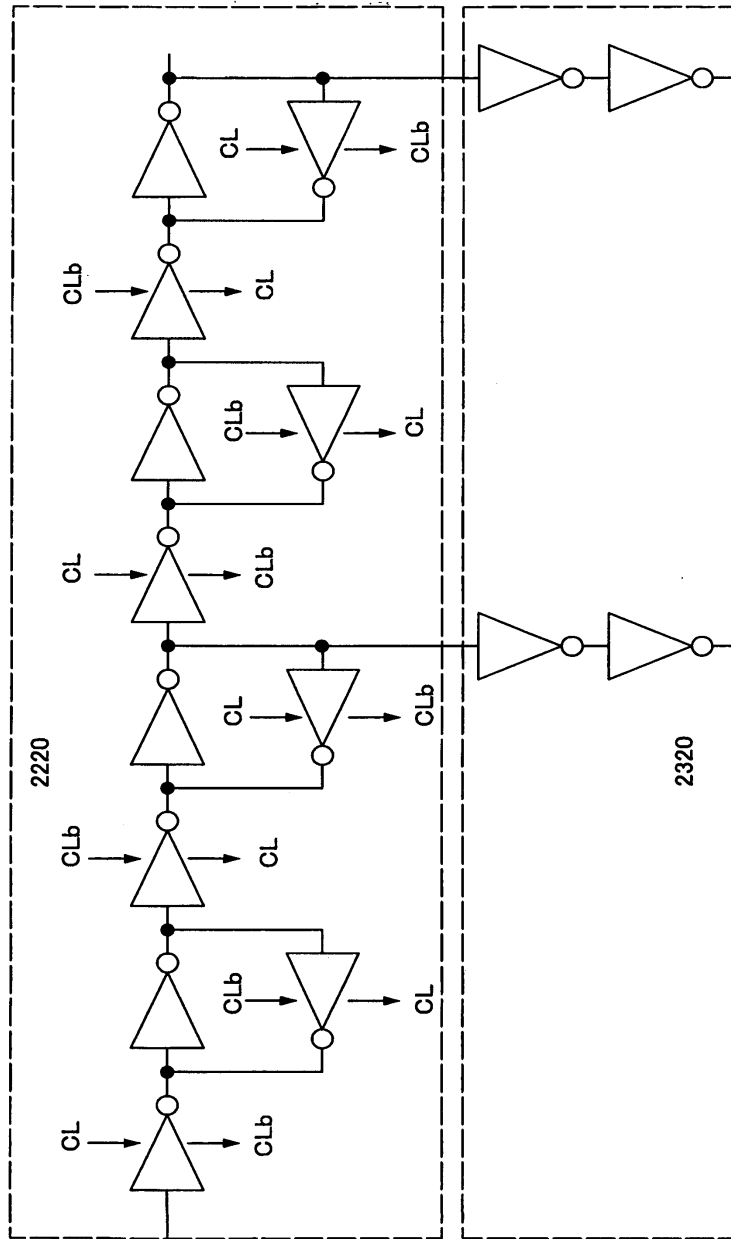
도면25



도면26

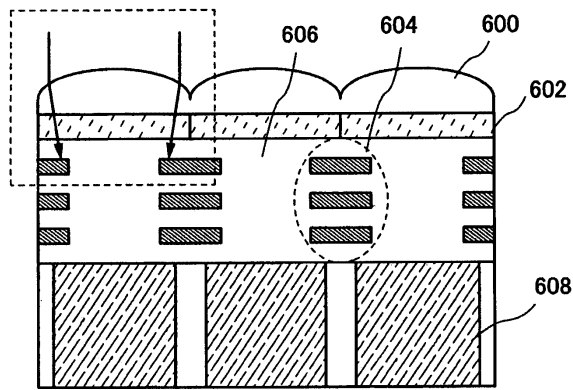


도면27



도면28

(A)



(B)

