

# 公告本

申請日期	89.8.30
案 號	84117840
類 別	H01L 27/498

A4  
C4

456015

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	被動元件整合在導線架(Lead frame)之封裝件
	英 文	
二、發明 創作人	姓 名	羅 曉 餘 何 宗 達 吳 集 銓
	國 籍	中華民國 台灣省 中華民國 台灣省 中華民國 台灣省
	住、居所	台中縣潭子鄉大豐路3段123號 台中市北屯路22641弄16號 台中市平德路82巷33弄1號
三、申請人	姓 名 (名稱)	矽品精密工業股份有限公司
	國 籍	中華民國 台灣省
	住、居所 (事務所)	台中縣潭子鄉大豐路3段123號
	代 表 人 姓 名	林 鐘 隸

經濟部智慧財產局員工消費合作社印製

裝 訂 線

## 五、發明說明( / )

### 發明領域

本發明係關於一種被動元件整合在導線架(Lead frame L/F)之封裝件，尤指一種將被動元件由電路板(PCB)上整合到封裝(PKG)中，以減少傳導線路(conductive path)及減少佔用PCB的面積，並增加其電氣特性的半導體封裝。

### 發明背景

目前在積體電路的封裝中，由於高頻或其他運用，需使用被動元件(R.L.C)，來達成電性的要求。又，一般被動元件都是設置(mount)在PCB上，而使得被動元件佔據了額外的PCB面積，US. Pat.No. 5,264,730 揭露一種將晶片及被動元件整合在一PCB(Printed Circuit Board)及將PCB整合在導線架之封裝件中，唯此法不惟製程複雜、成本高，且使封裝後之成品加大，這對於極思縮小產品體積的業者而言，是一極大之課題。

另外，被動元件設置在PCB上，其目的本是要達到預期之電性要求，但是系統運作時，每種電氣元件或多或少都會產生諸如電磁波等雜訊之干擾，而本來是要達到電氣要求之元件，卻因為設置在PCB上或因太靠近晶片而與主要部份之晶片或PCB中之線路產生互相干擾，這又對成品之電氣特性及運作產生了莫大之影響。再者，被動元件如電阻、電容、電感或電晶體等設置在PCB上，當積體電路在運作時，除了晶片本身會產生熱外，被動元件也同時會產生熱，而使得封裝後之積體電路熱效應相加並產生溫升，對整個積體電路之電氣特性及運作造成影響。是而有必要對被動元件所產生之熱

## 五、發明說明(之)

，找尋一適當逸散之途徑。

又，因被動元件係被設置在PCB上，所以必須增加PCB上傳導線路之設置，除了加大PCB之面積外，無形中亦增加了成本。

以上皆為業界極待克服之問題。

### 發明之概述

本發明主要目的在提供一種能減少佔用PCB面積之被動元件整合在導線架(Lead frame L/F)之封裝件。

本發明之次一目的乃在提供一種能減少傳導線路之被動元件整合在導線架(Lead frame L/F)之封裝件。

本發明之另一目的乃在提供一種能增加電氣特性的被動元件整合在導線架(Lead frame L/F)之封裝件。

本發明之再一目的乃在提供一種被動元件具有較佳散熱效果之被動元件整合在導線架(Lead frame L/F)之封裝件。

另外，本發明可以在既有設備與製程中生產製作，不需額外之投資及成本，是乃為本案之另一優點。

根據本發明上揭以及目的所述之被動元件整合在導線架(Lead frame L/F)之封裝件，其特徵主要在於供晶片置放之晶片座週邊適當處，由晶片座往外設具有導電性之凸出物，並令該凸出物與晶片座具有相同之電位，利用該凸出物與導線架(Lead frame)之接腳(Leads)形成相對之電性接點，而被動元件的正負極則跨接在前述之凸出物與相對應之導線架之接腳，以形成電氣連接。

## 五、發明說明(之)

### 圖式：

第一圖係本發明第一實施例之立體示意圖。

第二圖係第一圖之側視剖面圖。

第三圖係本發明第二實施例之表示圖。

第四圖係本發明第三實施例之表示圖。

第五圖係本發明第四實施例之表示圖。

第六圖係本發明第五實施例之表示圖。

第七圖係本發明第六實施例之表示圖。

第八圖係本發明第七實施例之表示圖。

### 圖號簡單說明：

- 1 晶片
- 2 晶片座
- 3 被動元件
- 4 導線架
- 21 凸出物
- 41 導線架之接腳

### 實施例：

請參第一、二圖所示，為本發明之第一實施例。本發明包含有晶片1，供晶片置放之晶片座2，被動元件3及導線架4，導線架4則具有複數個接腳41。

而本案最主要在前述晶片座2週邊適當處，由晶片座2往外設具有至少一個以上具導電性之凸出物21，並令該凸出物21與晶片座2具有相同之電位，利用此凸出物21與導線架4(Lead frame)

## 五、發明說明(4)

之接腳 41 ( Leads) 形成相對之電性接點，而被動元件 3 的正負極則跨接在前述之凸出物 21 與相對應之導線架 4 之接腳 41 間，以形成電氣連接。

請參第三～八圖所示，為本案其他不同形態之實施例，其結構與前述之第一實施例大致相同。從前圖中可知，凸出物 21 之形狀可隨需要設計成不同造型，其中可以為單一連續之凸出物，或為多個不連續之凸出物者。

第三～五圖之實施例中，凸出物 21 係架設在晶片座 2 之週邊，並令凸出物 21 與晶片座 2 間具有距離存在。

其中第三圖之實施例所表示者，為在晶片座 2 一邊適當位置架設該凸出物 21，本實施例適合被動元件集中在一側設計之使用；第四圖所示之實施例，為在晶片座 2 之三側邊適當位置架設該凸出物 21，該實施例適合被動元件分散在三側邊之設計；第五圖所示之實施例，為在晶片座 2 之二側邊適當位置架設該凸出物 21，該實施例適合被動元件設計在晶片座兩側之使用；另，凸出物 21 架設在晶片座 2 之四側邊者，如第三～五圖之實施例類推，於此則不再贅述。

第六～八圖之實施例中，凸出物 21 則係由晶片座 2 之週邊適當處延伸出來，其與晶片座 2 成為一體，之間並無空間或距離。

其中第六圖所示之實施例所表示者，為在晶片座 2 之一側邊適當位置凸設有一凸出物 21，其適用於被動元件集中於一側邊之設計；第七圖所示之實施例所表示者，為在晶片座 2 之四週邊凸設有一個以上之凸出物 21，其中該凸出物 21 可為單一連續狀或多個不連

## 五、發明說明(5)

續狀凸出物 21 者，其適合被動元件分散在四側之設計；第八圖所示者為在晶片座 2 之兩側邊凸設有連續或非連續之凸出物 21，適合被動元件分散在兩側之設計。

前述各實施例中各形狀之凸出物 21 可以混合變換使用。

另外，本案在實際之實施中，凸出物 21 之位置可依任何需要之位置來設置，適用性非常高。

在圖一～圖八之各實施例中，被動元件 3 係被設置 (mount) 在導線架 (Lead frame) 4 間，故而當積體電路運作時，被動元件 3 所產生之雜訊干擾會遠離晶片 1 及 PCB 之傳導線路，令晶片 1 及 PCB 之傳導線路受到干擾之影響較小或可減到最低，積體電路得以獲得較正常之運作，所以被動元件 3 與晶片 1 或與 PCB 傳導線路間互相干擾的情形可以獲得良好之改善。

另外，當積體電路運作時，被動元件 3 所產生之熱，會經由導線架 4 逸散到外界，系統 (指積體電路) 溫升之問題得以有效克服，不會如 US Patent No. 5,264,730 般因晶片所生之熱及被動元件之熱相加之效應而影響到積體電路之電氣特性及其運作。

本案將被動元件 3 整合在導線架 (Lead frame L/F) 4 之封裝中，可以減少 PCB 之面積，另外，由前述說明可知，本案之被動元件由 PCB 上整合到封裝 (PKG) 中，除了可以減少傳導線路之設置，並進而增加其電氣特性。

## 五、發明說明( b )

本案另具有下列之優點：

1. 本發明可以利用現有導線架製作技術來生產製造導線架，不會增加設備及成本。

2. 本發明可以利用現有之表面粘著技術(SMT)，將被動元件接合在凸出物 21 及導線架 4 (L/F) 之接腳 41 ( Leads) 上，不需額外開發新的粘著製程及設備或工具，所以不會增加製程成本。

3. 本發明封裝後外部並無變更，所以在測試時，設備及工具不需變更，亦不致產生額外成本。

以上所述為本發明之實施例，為僅用於例釋本案之特點、功效的部份具體實施例，而並非用以限制本發明之可實施範圍，舉凡一切在本發明揭示之精神與原理下所完成之等效修飾或變更，均應為本專利範圍所涵蓋。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：被動元件整合在導線架(Lead frame)之封裝件)

本發明之主要目的即在提供一種將被動元件整合在導線架(Lead frame L/F)之封裝件中，以減少佔用PCB的面積，及減少傳導線路(conductive path)，並增加其電氣特性的半導體封裝。

其特徵主要在於供晶片置放之晶片座週邊適當處，由晶片座往外設具有導電性之凸出物，並令該凸出物與晶片座具有相同之電位，利用該凸出物與導線架(Lead frame)之接腳(Leads)形成相對之電性接點，而被動元件的正負極則跨接在前述之凸出物與相對應之導線架之接腳間，以形成電氣連接。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種被動元件整合在導線架 (Lead frame L/F) 之封裝件，  
包含有至少一晶片；  
及供前述晶片置放之晶片座；  
至少一個以上之被動元件；  
一導線架，其具有複數個接腳；

其特徵為在前述晶片座週邊適當處，由晶片座往外設有至少一個以上具導電性之凸出物，利用此凸出物與導線架 (Lead frames) 之接腳 (Leads) 形成相對之電性接點，而被動元件的正負極則跨接在前述之凸出物與相對應之導線架之接腳間，以形成電氣連接。

2. 如申請專利範圍第1項中所述之~~一種~~被動元件整合在導線架 (Lead frame L/F) 之封裝件，其中該凸出物與晶片座具有相同之電位。

3. 如申請專利範圍第1項中所述之~~一種~~被動元件整合在導線架 (Lead frame L/F) 之封裝件，其中該凸出物與晶片座係一體成型者。

4. 如申請專利範圍第1項中所述之~~一種~~被動元件整合在導線架 (Lead frame L/F) 之封裝件，其中該凸出物可隨需要設在晶片座四週之任意位置。

5. 如申請專利範圍第1項中所述之~~一種~~被動元件整合在導線架 (Lead frame L/F) 之封裝件，其中該凸出物為任意形狀者。

## 六、申請專利範圍

6. 如申請專利範圍第1項中所述之  被動元件整合在導線架 (Lead frame L/F) 之封裝件，其中由晶片座週緣往外設具有一連續性之凸出物者。

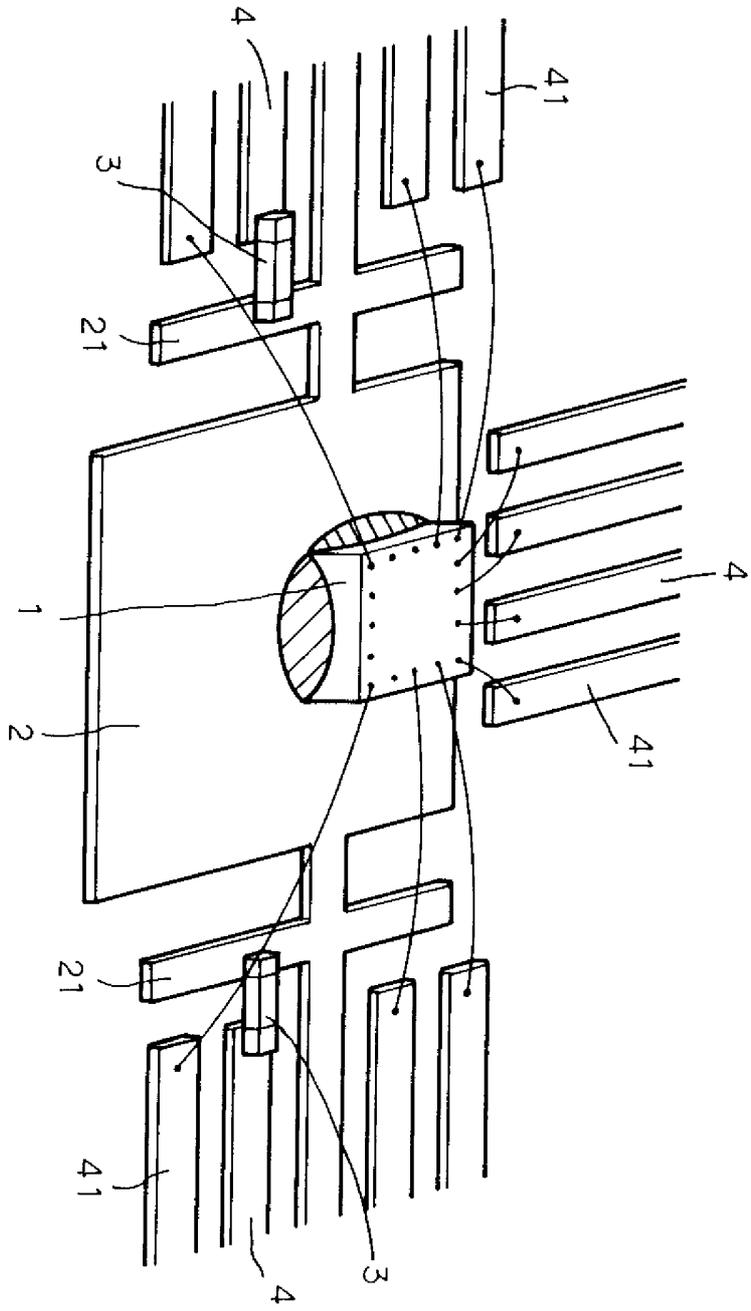
7. 如申請專利範圍第1項中所述之  被動元件整合在導線架 (Lead frame L/F) 之封裝件，其中由晶片座週緣往外設具有一個以上非連續性之凸出物者。

(請先閱讀背面之注意事項再填寫本頁)

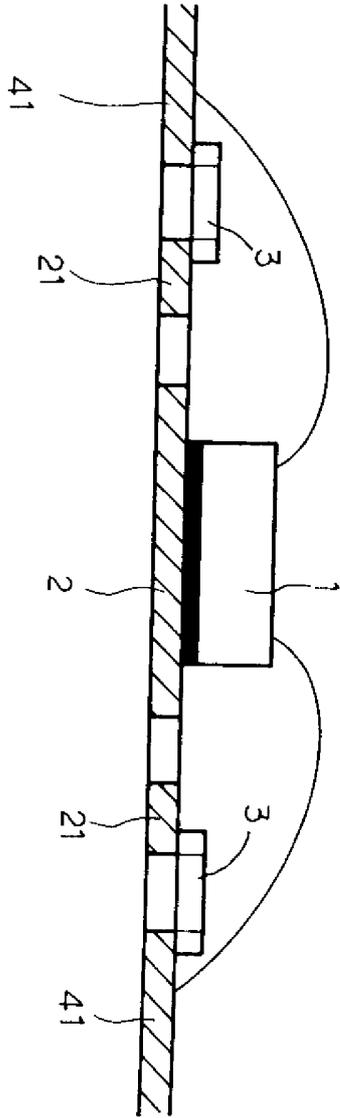
裝

訂

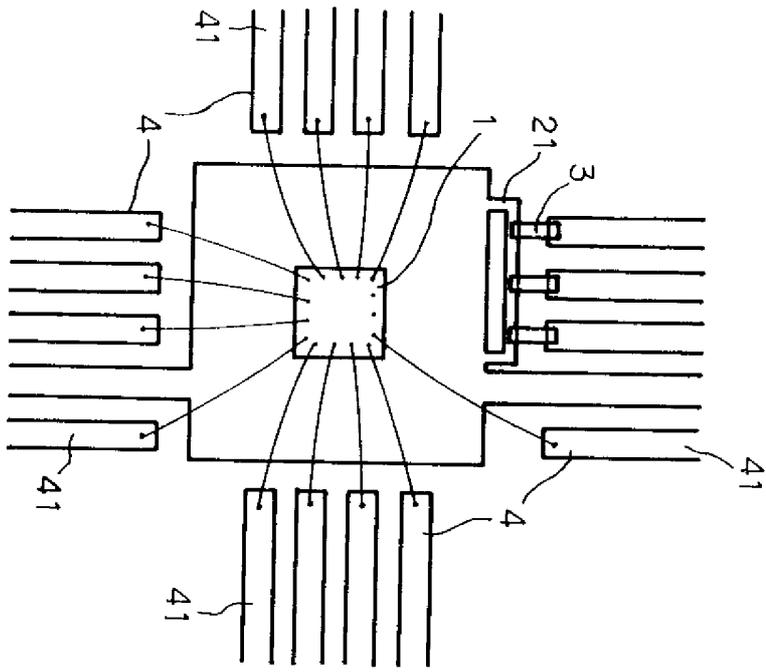
線



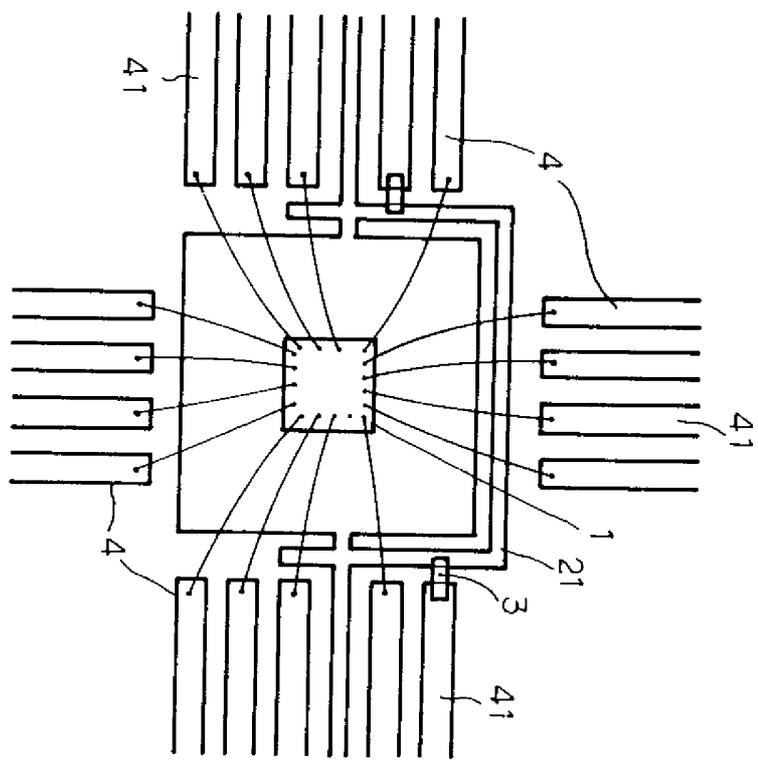
第一圖



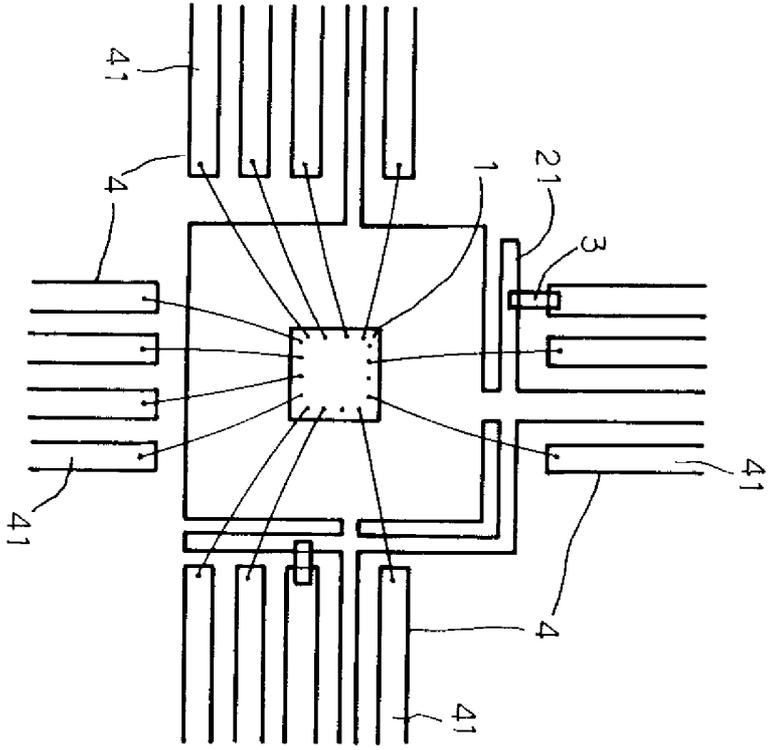
第二圖



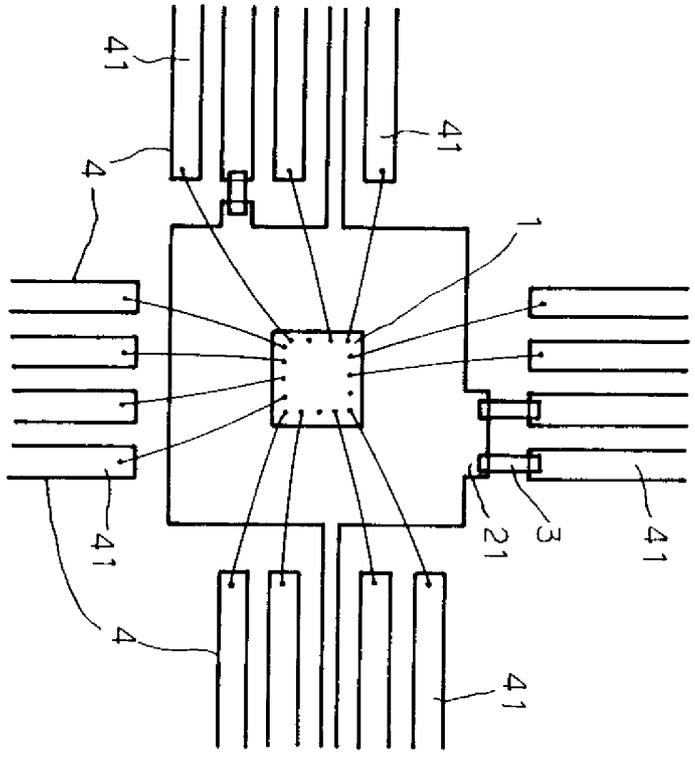
第三圖



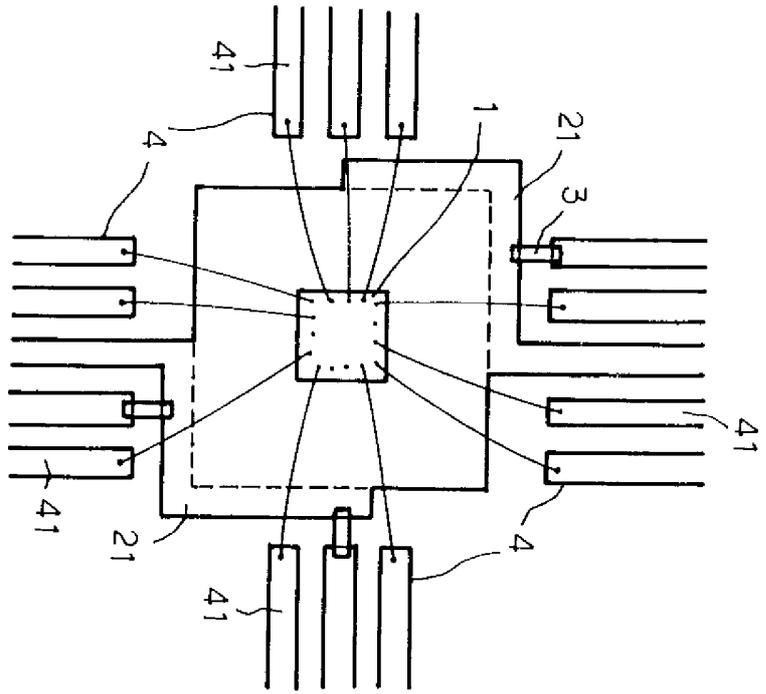
第四圖



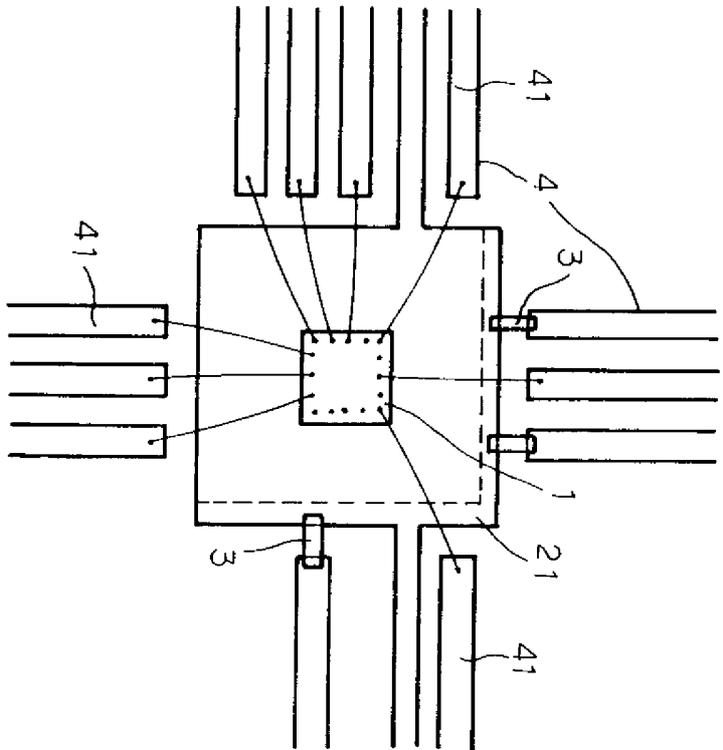
第五圖



第六圖



第七圖



第八圖