



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201722840 A

(43)公開日：中華民國 106 (2017) 年 07 月 01 日

(21)申請案號：105128381

(22)申請日：中華民國 105 (2016) 年 09 月 02 日

(51)Int. Cl.：

B81B7/02 (2006.01)

G01C19/5733(2012.01)

G01C19/5769(2012.01)

G01P15/08 (2006.01)

H01L21/768 (2006.01)

H01L43/00 (2006.01)

(30)優先權：2015/09/08

美國

14/847,521

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：周正三 CHOU, CHENG SAN (TW)；林志旻 LIN, CHIN MIN (TW)；楊辰雄 YANG,
CHEN HSIUNG (TW)

(74)代理人：陳長文；馮博生

申請實體審查：無 申請專利範圍項數：1 項 圖式數：10 共 82 頁

(54)名稱

半導體結構及其製造方法

SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREOF

(57)摘要

本發明實施例揭露一種半導體結構，其包含：一第一基板；一第二基板；一第一感測結構，其位於該第一基板上方且介於該第一基板與該第二基板之間；一通路，其延伸穿過該第二基板；及一第二感測結構，其位於該第二基板上方且包含與該通路電連接之一互連結構及至少部分覆蓋該互連結構之一感測材料。

A semiconductor structure includes a first substrate, a second substrate, a first sensing structure over the first substrate, and between the first substrate and the second substrate, a via extending through the second substrate, and a second sensing structure over the second substrate, and including an interconnect structure electrically connected with the via, and a sensing material at least partially covering the interconnect structure.

指定代表圖：

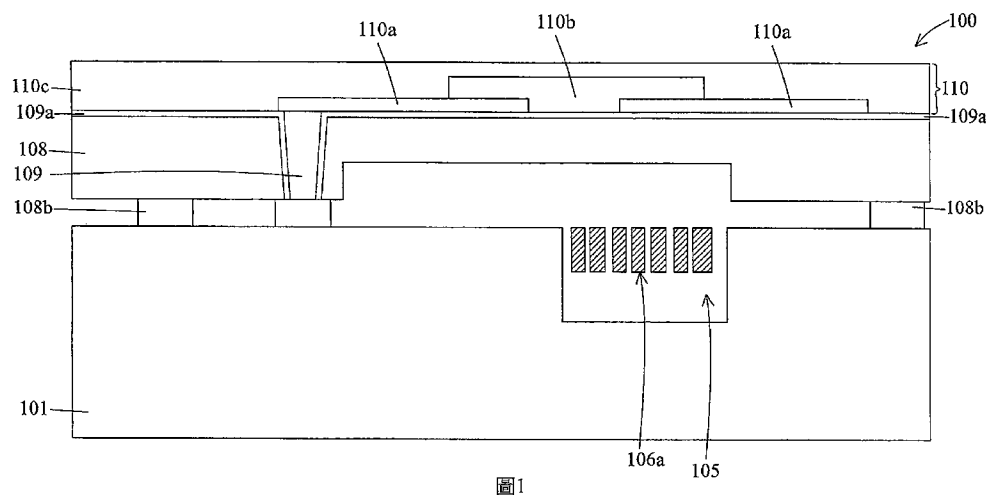


圖1

- 符號簡單說明：
- 100 . . . 半導體結構
 - 101 . . . 第一基板
 - 105 . . . 空腔/第一空腔
 - 106a . . . 第一感測結構
 - 108 . . . 第二基板
 - 108b . . . 接合墊/第二接合墊
 - 109 . . . 通路
 - 109a . . . 第一隔離層
 - 110 . . . 第二感測結構
 - 110a . . . 互連結構
 - 110b . . . 感測材料
 - 110c . . . 第二隔離層

發明摘要

※ 申請案號：105128381

※ 申請日：105/09/02

※IPC 分類：*B81B 7/02* (2006.01)

G01G 19/5733 (2012.01)

G01G 19/5769 (2012.01)

G01P 15/08 (2006.01)

H01L 21/768 (2006.01)

H01L 43/00 (2006.01)

【發明名稱】

半導體結構及其製造方法

SEMICONDUCTOR STRUCTURE AND MANUFACTURING
METHOD THEREOF

【中文】

本發明實施例揭露一種半導體結構，其包含：一第一基板；一第二基板；一第一感測結構，其位於該第一基板上方且介於該第一基板與該第二基板之間；一通路，其延伸穿過該第二基板；及一第二感測結構，其位於該第二基板上方且包含與該通路電連接之一互連結構及至少部分覆蓋該互連結構之一感測材料。

【英文】

A semiconductor structure includes a first substrate, a second substrate, a first sensing structure over the first substrate, and between the first substrate and the second substrate, a via extending through the second substrate, and a second sensing structure over the second substrate, and including an interconnect structure electrically connected with the via, and a sensing material at least partially covering the interconnect structure.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

100	半導體結構
101	第一基板
105	空腔/第一空腔
106a	第一感測結構
108	第二基板
108b	接合墊/第二接合墊
109	通路
109a	第一隔離層
110	第二感測結構
110a	互連結構
110b	感測材料
110c	第二隔離層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體結構及其製造方法

SEMICONDUCTOR STRUCTURE AND MANUFACTURING
METHOD THEREOF

【先前技術】

涉及半導體裝置之電子設備對諸多現代應用而言係必不可少的。半導體裝置已經歷快速成長。材料及設計之技術進步已產生一代又一代半導體裝置，其中各代具有比前一代更小且更複雜之電路。在進步及創新過程中，元件密度(即，每單位晶片面積之電晶體數目)已普遍增大，同時幾何大小(即，可使用一製程來產生之最小元件)已減小。此等進步已增加處理及製造半導體裝置之複雜性。

近年來，已開發微機電系統(MEMS)裝置且其通常亦涉及電子設備中。MEMS裝置係一微米級裝置，其大小通常在自小於1微米至數毫米之一範圍內。MEMS裝置包含使用半導體材料來形成機械及電特徵之製造。MEMS裝置可包含用於達成機電功能之數個元件(例如固定或可移動元件)。針對諸多應用，MEMS裝置電連接至外部電路以形成完整MEMS系統。通常，連接藉由引線接合而形成。MEMS裝置廣泛用於各種應用中。MEMS應用包含運動感測器、氣體偵測器、壓力感測器、印表機噴嘴或其類似者。而且，MEMS應用擴展至光學應用(諸如可移動反射鏡)及射頻(RF)應用(諸如RF開關或其類似者)。

隨著技術演進，裝置之設計在總尺寸減小且電路之功能及數量增加之情況下變得更複雜。在此一高效能小半導體裝置內實施諸多製造操作。小型化半導體裝置之製造變得更複雜。製造之複雜性增加會

引起諸如高產量損失、不佳電互連可靠性、翹曲等等之缺陷。因此，需要不斷修改電子設備中之裝置之結構及製造方法以便改良裝置效能以及減少製造成本及處理時間。

【發明內容】

本揭露係針對一種半導體結構，其包含整合於一基板上之多個裝置。該半導體結構包含一基板及安置於該基板上且由若干導電通路整合之一或多個裝置。由該等導電通路整合該等裝置允許該等裝置彼此上下堆疊以減小該半導體結構之一幾何大小。此外，可在完成諸如晶圓接合操作之高溫製程之後製造一磁性感測結構。因而，該磁性感測結構不會受高溫損壞或影響。

在一些實施例中，一種半導體結構包含：一第一基板；一第二基板；一第一感測結構，其位於該第一基板上且介於該第一基板與該第二基板之間；一通路，其延伸穿過該第二基板；及一第二感測結構，其位於該第二基板上且包含與該通路電連接之一互連結構及至少部分覆蓋該互連結構之一感測材料。

在一些實施例中，該通路包含導電材料或半導體材料。在一些實施例中，該通路使該互連結構與安置於該第二基板上且與該互連結構對置之一接合墊電連接。在一些實施例中，該半導體結構進一步包含位於該第一基板上之一第一接合墊及位於該通路及該第二基板上之一第二接合墊，其中藉由使該第一接合墊與該第二接合墊共晶接合而使該第二基板接合於該第一基板上。在一些實施例中，該半導體結構進一步包含位於該第二基板上且介於該第二基板與該通路之間之一第一隔離層。在一些實施例中，該半導體結構進一步包含位於該第二基板上且覆蓋該互連結構及該感測材料之一第二隔離層。在一些實施例中，該第一感測結構可在由該第一基板及該第二基板定義之一空腔內移動。在一些實施例中，該第一感測結構係一加速度

計、一陀螺儀或一運動感測裝置。在一些實施例中，該感測材料係用於感測一磁場之一磁性感測材料，且該互連結構係用於根據由該感測材料感測之該磁場而傳輸一電信號之一磁性感測電極。在一些實施例中，該感測材料包含非等向性磁阻(AMR)材料、巨磁阻(GMR)材料或穿隧磁阻(TMR)材料。在一些實施例中，該半導體結構進一步包含位於該互連結構之一部分上方且與該通路電連接之一UBM墊及位於該UBM墊上方之一導電凸塊。

在一些實施例中，一種半導體結構包含：一第一基板，其包含一第一表面及與該第一表面對置之一第二表面；一第二基板，其位於該第一基板之該第一表面上方；一第一感測結構，其位於該第一基板之該第一表面上方且介於該第一基板與該第二基板之間；一通路，其穿過該第一基板；及一第二感測結構，其位於該第一基板之該第二表面上方且包含與該通路電連接之一互連結構及至少部分覆蓋該互連結構之一感測材料。

在一些實施例中，該通路自該第一基板之該第二表面延伸至該第一基板之該第一表面。在一些實施例中，該半導體結構進一步包含位於該第一基板上上方且介於該第一基板與該通路之間的一第一隔離層。在一些實施例中，該半導體結構進一步包含位於該第一基板上上方且覆蓋該互連結構及該感測材料之一第二隔離層。在一些實施例中，該半導體結構進一步包含介於該第一基板與該第二基板之間且包圍該第一感測結構之一空腔，其中該空腔係在一真空中或具有低於約1個大氣壓(atm)之一氣壓。

在一些實施例中，一種製造一半導體結構之方法包含：接收一第一基板；安置一第一感測結構；將一第二基板安置於該第一基板及該第一感測結構上方；形成延伸穿過該第二基板之一通路；形成一第二感測結構，該第二感測結構包含安置於該第二基板上上方且與該通路

電連接之一互連結構及至少部分覆蓋該互連結構之一感測材料。

在一些實施例中，該形成該通路包含：移除該第二基板之一部分來形成一凹槽，且使用一導電材料或半導體材料來填充該凹槽。在一些實施例中，該安置該第二基板包含：藉由共晶接合操作而使該第二基板接合於該第一基板上方。在一些實施例中，該方法進一步包含：將一第一隔離層安置於該第二基板上方及該第二基板與該通路之間；安置覆蓋該互連結構及該感測材料之一第二隔離層；形成安置於該第一基板與該第二基板之間且包圍該第一感測結構之一空腔。

【圖式簡單說明】

自結合附圖閱讀之[實施方式]最佳理解本揭露之態樣。應強調的是，根據產業標準實踐，各種特徵未按比例繪製。事實上，為使討論清楚，可任意增大或減小各種特徵之尺寸。

圖1係根據本揭露之一些實施例之一半導體結構之一示意圖。

圖1A係根據本揭露之一些實施例之一半導體結構之一示意圖。

圖2係根據本揭露之一些實施例之一半導體結構之一示意圖。

圖2A係根據本揭露之一些實施例之一半導體結構之一示意圖。

圖3係根據本揭露之一些實施例之一半導體結構之一示意圖。

圖4係根據本揭露之一些實施例之一半導體結構之一示意圖。

圖5係根據本揭露之一些實施例之製造一半導體結構之一方法之一流程圖。

圖5A至圖5F係根據本揭露之一些實施例之藉由圖5之一方法而製造一半導體結構之示意圖。

圖6係根據本揭露之一些實施例之製造一半導體結構之一方法之一流程圖。

圖6A至圖6F係根據本揭露之一些實施例之藉由圖6之一方法而製造一半導體結構之示意圖。

圖7係根據本揭露之一些實施例之製造一半導體結構之一方法之一流程圖。

圖7A至圖7H係根據本揭露之一些實施例藉由圖7之一方法而製造一半導體結構之示意圖。

圖8係根據本揭露之一些實施例之製造一半導體結構之一方法之一流程圖。

圖8A至圖8H係根據本揭露之一些實施例之藉由圖8之一方法而製造一半導體結構之示意圖。

圖9係根據本揭露之一些實施例之製造一半導體結構之一方法之一流程圖。

圖9A至圖9E係根據本揭露之一些實施例之藉由圖9之一方法而製造一半導體結構之示意圖。

圖10係根據本揭露之一些實施例之製造一半導體結構之一方法之一流程圖。

圖10A至圖10E係根據本揭露之一些實施例之藉由圖10之一方法而製造一半導體結構之示意圖。

【實施方式】

下列揭露提供用於實施所提供標的之不同特徵之諸多不同實施例或實例。下文將描述組件及配置之特定實例以簡化本揭露。當然，此等僅僅為實例且不意在限制。例如，在下列描述中，使一第一特徵形成於一第二特徵上方或一第二特徵上可包含其中形成直接接觸之該第一特徵及該第二特徵之實施例，且亦可包含其中額外特徵可形成於該第一特徵與該第二特徵之間使得該第一特徵及該第二特徵可不直接接觸之實施例。另外，本揭露可在各種實例中重複元件符號及/或字

母。此重複係為簡化及清楚之目的且其本身不指示所討論之各種實施例及/或組態之間的一關係。

此外，空間相對術語(諸如「底下」、「下方」、「下」、「上方」、「上」及其類似者)在本文中可用於使用以描述一元件或特徵與另外(若干)元件或(若干)特徵之關係(如圖中所繪示)之描述較容易。空間相對術語除涵蓋圖中所描繪之定向之外，亦意欲涵蓋使用或操作中之裝置之不同定向。可以其他方式定向裝置(旋轉90度或依其他定向)且亦可相應地解譯本文中所使用之空間相對描述詞。

一電子設備可包含多個MEMS感測器，且在新一代MEMS應用中，可將該等感測器整合至一半導體晶片上。例如，在消費型電子產品(諸如智慧型電話、平板電腦、遊戲機)及汽車碰撞偵測系統中，運動或慣性感測器用於運動啟動使用者介面。為擷取三維空間內之整個移動過程，運動感測器通常組合利用一加速度計及一陀螺儀。加速度計偵測線性運動，且陀螺儀偵測角轉動運動。另外，一磁性感測器(諸如電子羅盤)亦整合至晶片上用於方向導航。磁性感測器可判定一外部磁場之一方向。為滿足消費者之低成本、高品質及小裝置佔用面積之需求，多個感測器一起整合於一相同基板上是一個重要技術發展。

MEMS感測器藉由各種製程而製造及整合於基板上。感測器橫向地或水平地整合於基板上以變成電子設備。感測器安置成彼此相鄰。然而，此整合將導致電子設備產生不期望的大幾何尺寸或大形狀因數。此外，感測器藉由打線接合而整合及電連接。此接合方式將誘發電子設備的寄生電容並產生高雜訊或不佳的總體效能。另外，感測器藉由晶圓接合操作而彼此整合，其需要一高溫製程。一些感測器容易因高溫製程而劣化。高溫會引起一些感測器受損壞且因此不利地影響

其敏感性或操作效能。

本揭露係針對一種半導體結構，其包含整合於一基板上/上方之多個裝置。該半導體結構包含一基板及安置於該基板上/上方且由若干導電通路整合之一或多個裝置。由該等導電通路整合該等裝置允許該等裝置彼此上下堆疊於該基板上以減小該半導體結構之一幾何大小或外型尺寸。此外，由該等導電通路電連接該等裝置可減少雜訊產生且改良該半導體結構之效能。此外，可在完成諸如晶圓接合操作之高溫製程之後製造該等裝置之部分。該等裝置不會因高溫而受損壞。因而，容易因高溫(大於約 300°C)而劣化之裝置(諸如包含非等向性磁阻(AMR)材料、巨磁阻(GMR)材料或穿隧磁阻(TMR)材料之一磁性裝置)不會受高溫影響且因此亦可形成於該半導體結構中。本發明亦揭露其他實施例。

圖1係根據本揭露之一些實施例之一半導體結構100之一示意性剖視圖。在一些實施例中，半導體結構100經組態以用於感測諸如運動、移動、磁場、壓力等等或其等之組合之各種特性。在一些實施例中，半導體結構100經組態以用於感測線性運動、角轉動運動、磁場方向等等。在一些實施例中，半導體結構100包含彼此上下堆疊之一或多個基板及用於感測各種預定特性之一或多個裝置。在如圖1中所展示之一些實施例中，半導體結構100包含一第一基板101、一第二基板108、一第一感測結構106a及一第二感測結構110。應瞭解，半導體結構100可包含一或多個基板及一或多個感測結構。

在一些實施例中，半導體結構100包含第一基板101。在一些實施例中，第一基板101可包含安置於第一基板101上方或安置於第一基板101中之若干電路及一或多個主動元件(諸如電晶體等等)。在一些實施例中，形成於第一基板101上方或形成於第一基板101中之該等電路可為適用於一特定應用之任何類型之電路。根據一些實施例，該等

電路可包含各種n型金屬氧化物半導體(NMOS)及/或p型金屬氧化物半導體(PMOS)裝置，諸如電晶體、電容器、電阻器、二極體、光二極體、熔絲及/或其類似者。該等電路可經互連以執行一或多個功能。在一些實施例中，第一基板101包含安置於第一基板101上方或安置於第一基板101中之ASIC組件。在一些實施例中，第一基板101包含安置於第一基板101上方或安置於第一基板101中之CMOS組件。在一些實施例中，第一基板101包含諸如矽或其他適合材料之半導體材料。在一些實施例中，第一基板101係一矽基板或矽晶圓。在一些實施例中，第一基板101係一CMOS基板。

在一些實施例中，第一感測結構106a安置於第一基板101上方。在一些實施例中，第一感測結構106a經組態以用於感測一運動，諸如一運動感測裝置。在一些實施例中，第一感測結構106a係用於量測角速度之一陀螺儀。在一些實施例中，第一感測結構106a係用於量測線性加速度之一加速度計。在一些實施例中，第一感測結構106a包含用於與沿一平面之一運動相互作用之一計測質量及用於支撐該計測質量之一支撐彈簧。在一些實施例中，第一感測結構106a係一單軸或多軸陀螺儀、一單軸或多軸加速度計或一單軸或多軸運動感測裝置。

在一些實施例中，第二基板108安置於第一基板101及第一感測結構106a上方。在一些實施例中，第二基板108垂直地堆疊於第一基板101上方。在一些實施例中，第二基板108係用於覆蓋第一基板101之一罩蓋基板或罩蓋晶圓。在一些實施例中，第二基板108包含矽或其他適合材料。

在一些實施例中，一空腔105安置於第一基板101與第二基板108之間。在一些實施例中，空腔105包圍第一感測結構106a。第一感測結構106a可在空腔105內移動。在一些實施例中，空腔105係在一真空中或具有低於約1個大氣壓(atm)之一氣壓。在一些實施例中，第一感

測結構106a密封於空腔105中。

在一些實施例中，接合墊108b可為兩個分佈式材料之一組合，其中一第一接合材料部署於第一基板101上且一第二接合材料部署於第二基板108上。該第一接合材料及該第二接合材料可為金屬-金屬或金屬-半導體。該第一接合材料及該第二接合材料可包括矽(Si)-鋁(Al)、矽(Si)-金(Au)、鍺(Ge)-鋁(Al)、鈦(Ti)-鋁(Al)、銅(Cu)-錫(Sn)、銦(In)-金(Au)或各種適當接合層。

在一些實施例中，一通路109安置於第二基板108內。在一些實施例中，通路109延伸穿過第二基板108。在一些實施例中，通路109與接合墊108b電連接。在一些實施例中，通路109安置於接合墊108b上方。在一些實施例中，第二基板108可透過通路109而與第一基板101連通。在一些實施例中，通路109係一貫穿基板通路(TSV)或一貫穿矽通路(TSV)。在一些實施例中，通路109包含導電材料、金屬材料或半導體材料。在一些實施例中，通路109包含金、銀、銅、鎳、鎢、鋁、錫及/或其等之合金。在一些實施例中，通路109係一銅柱。在一些實施例中，通路109包含矽、多晶矽等等。在一些實施例中，通路109係一矽柱。

在一些實施例中，一第一隔離層109a安置於第二基板108上方且介於第二基板108與通路109之間。在一些實施例中，第一隔離層109a與第二基板108之一表面及通路109之一側壁等形。在一些實施例中，第一隔離層109a包圍通路109。在一些實施例中，第一隔離層109a包含諸如氧化物、二氧化矽、氮化矽、氮氧化矽、碳化矽、聚合物或其類似者之介電材料。

在一些實施例中，一第二感測結構110安置於第二基板108上方。在一些實施例中，第二感測結構110經組態以用於感測或偵測一磁場、判定一方向、導航等等。在一些實施例中，第二感測結構110係

一磁場感測器、磁性感測器、單軸或多軸磁性感測器、磁力計、地磁感測器等等。在一些實施例中，第二感測結構110用作一電子或數位羅盤。在一些實施例中，第二感測結構110與第一感測結構106a協作以判定一運動之一方向。

在一些實施例中，第二感測結構110包含與通路109電連接之一互連結結構110a。在一些實施例中，互連結結構110a安置於第二基板108或第一隔離層109a上方且與通路109耦合以便與通路109電連接。在一些實施例中，互連結結構110a與通路109、接合墊108b電連接。在一些實施例中，第二感測結構110可透過互連結結構110a及通路109而與第一基板101連通。在一些實施例中，互連結結構110a係經組態以用於將一電信號傳輸至第一基板101或第二基板108之一磁性感測電極。在一些實施例中，互連結結構110a係一鈍化後互連件(PPI)或係一重佈層(RDL)之一部分。在一些實施例中，互連結結構110a包含鋁、銅、氧化鋁、鎳、金、鎢、鈦、其等之合金或其等之多層。

在一些實施例中，第二感測結構110包含至少部分覆蓋互連結結構110a之一感測材料110b。在一些實施例中，感測材料110b經組態以用於感測一磁場。在一些實施例中，感測材料110b係一磁性感測材料。在一些實施例中，互連結結構110a可根據由感測材料110b感測之磁場而傳輸一電信號。例如，當將磁場施加至感測材料或施加於半導體結構100周圍時，感測材料110b之一電阻將改變，且互連結結構110a將根據對第一基板101或第二基板108之電阻之變化而傳輸電信號用於進一步處理，且因此感測及判定磁場。在一些實施例中，感測材料110b包含非等向性磁阻(AMR)材料、巨磁阻(GMR)材料、穿隧磁阻(TMR)材料或任何適合材料。

在一些實施例中，一第二隔離層110c安置於第二基板108上方且覆蓋或包圍互連結結構110a及感測材料110b。在一些實施例中，第二隔

離層110c經組態以保護互連結構110a及感測材料110b。在一些實施例中，第二隔離層110c包含諸如氧化物、二氧化矽、氮化矽、氮氧化矽、碳化矽、聚合物或其類似者之介電材料。

圖1A係根據本揭露之一些實施例之一半導體結構100'之一示意性剖視圖。在一些實施例中，半導體結構100'經組態以用於感測諸如運動、移動、磁場、壓力等等或其等之組合之各種特性。在一些實施例中，半導體結構100'經組態以用於感測線性運動、角運動、磁場方向等等。在一些實施例中，半導體結構100'包含彼此上下堆疊之一或多個基板及用於感測各種預定特性之一或多個裝置。在如圖1A中所展示之一些實施例中，半導體結構100'包含一第一基板101、一第三基板106、一第二基板108、一第一感測結構106a及一第二感測結構110。應瞭解，半導體結構100'可包含一或多個基板及一或多個感測結構。

在一些實施例中，半導體結構100'包含第一基板101。在一些實施例中，第一基板101可包含安置於第一基板101上方或安置於第一基板101中之若干電路及一或多個主動元件(諸如電晶體等等)。在一些實施例中，形成於第一基板101上方或形成於第一基板101中之該等電路可為適用於一特定應用之任何類型之電路。根據一些實施例，該等電路可包含各種n型金屬氧化物半導體(NMOS)及/或p型金屬氧化物半導體(PMOS)裝置，諸如電晶體、電容器、電阻器、二極體、光二極體、熔絲及/或其類似者。該等電路可經互連以執行一或多個功能。在一些實施例中，第一基板101包含安置於第一基板101上方或安置於第一基板101中之ASIC組件。在一些實施例中，第一基板101包含安置於第一基板101上方或安置於第一基板101中之CMOS組件。在一些實施例中，第一基板101包含諸如矽或其他適合材料之半導體材料。在一些實施例中，第一基板101係一矽基板或矽晶圓。在一些實施例

中，第一基板101係一CMOS基板。

在一些實施例中，第一基板101包含一第一表面101a及與第一表面101a對置之一第二表面101b。在一些實施例中，第一表面101a係第一基板101之一主動側或一前側，其中若干電路或電組件安置於第一表面101a上方。在一些實施例中，第二表面101b係第一基板101之一非主動側或一背側，其中不存在電路或電組件。

在一些實施例中，一金屬間介電(IMD)層102安置於第一基板101上方。在一些實施例中，IMD層102安置於第一基板101之第一表面101a上。在一些實施例中，IMD層102包含一導電結構103及包圍導電結構103之一介電材料102a。在一些實施例中，導電結構103安置於IMD層102上方或安置於IMD層102內。在一些實施例中，導電結構103與第一基板101中之一電路或元件電連接。在一些實施例中，導電結構103包含銅、鋁、鎢等等。在一些實施例中，介電材料102a包含氧化物、二氧化矽、氮化矽、氮氧化矽、碳化矽、聚合物或其類似者。

在一些實施例中，一介電層104安置於IMD層102上方。在一些實施例中，介電層104安置於導電結構103上方或覆蓋導電結構103。在一些實施例中，介電層104包含氧化物、二氧化矽、氮化矽、氮氧化矽、碳化矽、聚合物或其類似者。在一些實施例中，一第一空腔105安置於介電層104內。第一空腔105延伸穿過介電層104。在一些實施例中，第一空腔105延伸穿過介電層104而至IMD 102之介電材料102a。在一些實施例中，介電層104包含相同於或不同於介電材料102a之材料。

在一些實施例中，第三基板106安置於第一基板101上方。在一些實施例中，第三基板106安置於介電層104上。在一些實施例中，第三基板106接合於第一基板101上方。在一些實施例中，第三基板106

垂直地堆疊於第一基板101上方。在一些實施例中，第三基板106與介電層104直接接合。在一些實施例中，第三基板106包含矽、玻璃、陶瓷或其他適合材料。在一些實施例中，第三基板106係一矽基板或矽晶圓。在一些實施例中，第三基板106係一MEMS基板。在一些實施例中，第三基板106包含形成於第三基板106上或形成於第三基板106中之電路。在一些實施例中，第三基板106包含電晶體、電容器、電阻器、二極體、光二極體及/或其類似者。在一些實施例中，第三基板106包含一MEMS裝置或一MEMS組件。

在一些實施例中，第三基板106包含一第一感測結構106a。在一些實施例中，第一感測結構106a經組態以用於感測一運動，諸如一運動感測裝置。在一些實施例中，第一感測結構106a係用於量測角速度之一陀螺儀。在一些實施例中，第一感測結構106a係用於量測線性加速度之一加速度計。在一些實施例中，第一感測結構106a包含用於與沿一平面之一運動相互作用之一計測質量及用於支撐該計測質量之一支撐彈簧。在一些實施例中，第一感測結構106a係一單軸或多軸陀螺儀、一單軸或多軸加速度計或一單軸或多軸運動感測裝置。在一些實施例中，第一感測結構106a安置於第一空腔105上方或與第一空腔105對準。在一些實施例中，第一感測結構106a可在第一空腔105內且相對於第一基板101、IMD層102或介電層104移動。

在一些實施例中，一插塞107安置於第三基板106內。在一些實施例中，插塞107穿過第三基板106且與導電結構103電連接。在一些實施例中，插塞107安置於第一基板101上方。在一些實施例中，插塞107延伸穿過第三基板106及介電層104，且與導電結構103之至少一部分耦合。在一些實施例中，插塞107包含諸如金、銀、銅、鎳、鎢、鋁、錫及/或其等之合金之導電材料。

在一些實施例中，第一接合墊106b安置於第三基板106上方。在

一些實施例中，第一接合墊106b經組態以接收一連接結構。在一些實施例中，第一接合墊106b安置於插塞107或導電結構103上方。在一些實施例中，電連接第一接合墊106b、插塞107及導電結構103。在一些實施例中，第一接合墊106b包含鋁、銅、鈦、金、鎳或其他適合材料。

在一些實施例中，第二基板108安置於第三基板106上方。在一些實施例中，第二基板108垂直地堆疊於第三基板106或第一基板101上方。在一些實施例中，第二基板108安置於介電層104及IMD層102上方。在一些實施例中，第二基板108係用於覆蓋第一基板101及第三基板106之一罩蓋基板或罩蓋晶圓。在一些實施例中，第二基板108包含矽或其他適合材料。

在一些實施例中，第二基板108包含位於第二基板108內之一第二空腔108a。在一些實施例中，第二空腔108a延伸穿過第二基板108之一部分且遠離第一基板101或第三基板106。在一些實施例中，第二空腔108a安置於第一感測結構106a及第一空腔105上方。在一些實施例中，第一空腔105及第二空腔108a彼此協作及對準以便變成允許第一感測結構106a在其內移動之一空腔(第一空腔105及第二空腔108a)。在一些實施例中，該空腔(第一空腔105及第二空腔108a)由第一基板101及第二基板108定義且包圍第一感測結構106a。第一感測結構106a可在由第一基板101及第二基板108定義之該空腔(第一空腔105及第二空腔108a)內移動。在一些實施例中，該空腔(第一空腔105及第二空腔108a)係在一真空中或具有低於約1個大氣壓(atm)之一氣壓。在一些實施例中，第一感測結構106a密封於該空腔(第一空腔105及第二空腔108a)中。

在一些實施例中，一第二接合墊108b安置於第二基板108上方。在一些實施例中，第二接合墊108b安置於第二基板108與第三基板106

之間。在一些實施例中，第二接合墊108b安置成與第一接合墊106b對置及對準。在一些實施例中，第二接合墊108b與第一接合墊106b電連接。在一些實施例中，第二接合墊108b安置於插塞107及導電結構103上方且透過第一接合墊106b而與插塞107及導電結構103電連接。在一些實施例中，第二接合墊108b包含鍺、矽或其他適合材料。在一些實施例中，第二接合墊108b與第一接合墊106b接合，使得第二基板108與第三基板106接合。在一些實施例中，第二接合墊108b與第一接合墊106b共晶接合。在一些實施例中，第一接合墊106b及第二接合墊108b可為矽(Si)-鋁(Al)、矽(Si)-金(Au)、鍺(Ge)-鋁(Al)、鈦(Ti)-鋁(Al)、銅(Cu)-錫(Sn)、銦(In)-金(Au)或各種適當接合層之一材料組合。

在一些實施例中，一通路109安置於第二基板108內。在一些實施例中，通路109穿過第二基板108且與插塞107及導電結構103電連接。在一些實施例中，通路109透過第一接合墊106b及第二接合墊108b而與插塞107電連接。在一些實施例中，通路109安置於第二接合墊108b、第一接合墊106b、插塞107或導電結構103上方。第二接合墊108b安置於通路109及第二基板108上方。在一些實施例中，第二接合墊108b與通路109耦合。在一些實施例中，第二基板108可透過通路109及插塞107而與第三基板106或第一基板101連通。在一些實施例中，通路109係一貫穿基板通路(TSV)或一貫穿矽通路(TSV)。在一些實施例中，通路109包含導電材料、金屬材料或半導體材料。在一些實施例中，通路109包含金、銀、銅、鎳、鎢、鋁、錫及/或其等之合金。在一些實施例中，通路109係一銅柱。在一些實施例中，通路109包含矽、多晶矽等等。在一些實施例中，通路109係一矽柱。

在一些實施例中，一第一隔離層109a安置於第二基板108上方且介於第二基板108與通路109之間。在一些實施例中，第一隔離層109a

與第二基板108之一表面及通路109之一側壁等形。在一些實施例中，第一隔離層109a包圍通路109。在一些實施例中，第一隔離層109a包含諸如氧化物、二氧化矽、氮化矽、氮氧化矽、碳化矽、聚合物或其類似者之介電材料。

在一些實施例中，一第二感測結構110安置於第二基板108上方。在一些實施例中，第二感測結構110經組態以用於感測或偵測一磁場、判定一方向、導航等等。在一些實施例中，第二感測結構110係一磁場感測器、磁性感測器、單軸或多軸磁性感測器、磁力計、地磁感測器等等。在一些實施例中，第二感測結構110用作一電子或數位羅盤。在一些實施例中，第二感測結構110與第一感測結構106a協作以判定一運動之一方向。

在一些實施例中，第二感測結構110包含與通路109電連接之一互連結結構110a。在一些實施例中，互連結結構110a安置於第二基板108或第一隔離層109a上方且與通路109耦合以便與通路109電連接。在一些實施例中，互連結結構110a與通路109、第二接合墊108b、第一接合墊106b、插塞107或導電結構103電連接。在一些實施例中，第二感測結構110可透過互連結結構110a及通路109而與第一基板101或第三基板106連通。在一些實施例中，互連結結構110a係經組態以用於將一電信號傳輸至第一基板101、第三基板106或第二基板108之一磁性感測電極。在一些實施例中，互連結結構110a係一鈍化後互連件(PPI)或係一重佈層(RDL)之一部分。在一些實施例中，互連結結構110a包含鋁、銅、氧化鋁、鎳、金、鎢、鈦、其等之合金或其等之多層。

在一些實施例中，第二感測結構110包含至少部分覆蓋互連結結構110a之一感測材料110b。在一些實施例中，感測材料110b經組態以用於感測一磁場。在一些實施例中，感測材料110b係一磁性感測材料。在一些實施例中，互連結結構110a可根據由感測材料110b感測之磁場而

傳輸一電信號。例如，當將磁場施加至感測材料或施加於半導體結構100周圍時，感測材料110b之一電阻將改變，且互連結構110a將根據對第一基板101、第三基板106或第二基板108之電阻之變化而傳輸電信號用於進一步處理，且因此感測及判定磁場。在一些實施例中，感測材料110b包含非等向性磁阻(AMR)材料、巨磁阻(GMR)材料、穿隧磁阻(TMR)材料或任何適合材料。

在一些實施例中，一第二隔離層110c安置於第二基板108上方且覆蓋或包圍互連結構110a及感測材料110b。在一些實施例中，第二隔離層110c經組態以保護互連結構110a及感測材料110b。在一些實施例中，第二隔離層110c包含諸如氧化物、二氧化矽、氮化矽、氮氧化矽、碳化矽、聚合物或其類似者之介電材料。

圖2係根據本揭露之一些實施例之一半導體結構200之一示意性剖視圖。在一些實施例中，半導體結構200包含一第一基板101、一第二基板108、一第一感測結構106a及一空腔105，其等具有類似於上文所描述及圖1中所繪示之組態的組態。在如同圖2之一些實施例中，半導體結構200包含安置於第一基板101之一第二表面101b或一背側上方之一第二感測結構110及延伸穿過第一基板101之一通路109。

在一些實施例中，通路109自第二表面101b延伸至第一基板101內。在一些實施例中，通路109係一TSV。在一些實施例中，通路109包含導電材料、金屬材料或半導體材料。在一些實施例中，通路109包含金、銀、銅、鎳、鎢、鋁、錫及/或其等之合金。在一些實施例中，通路109係一銅柱。在一些實施例中，通路109包含矽、多晶矽等等。在一些實施例中，通路109係一矽柱。

在一些實施例中，一第一隔離層109a安置於第一基板101之第二表面101b上方且介於通路109與第一基板101之間。在一些實施例中，第一隔離層109a與第一基板101之第二表面及通路109之一側壁等形。

在一些實施例中，第一隔離層109a包圍通路109。在一些實施例中，第一隔離層109a包含諸如氧化物、二氧化矽、氮化矽、氮氧化矽、碳化矽、聚合物或其類似者之介電材料。

在一些實施例中，第二感測結構110安置於第一基板101上方。在一些實施例中，一互連結構110a、一感測材料110b及一第二隔離層110c安置於第一基板101上方。在一些實施例中，互連結構110a安置於第一隔離層109a上方。在一些實施例中，互連結構110a安置於通路109上方且與通路109電連接。在一些實施例中，互連結構110a係經組態以用於將一電信號傳輸至第一基板101或第二基板108之一磁性感測電極。在一些實施例中，互連結構110a係一鈍化後互連件(PPI)或係一重佈層(RDL)之一部分。在一些實施例中，互連結構110a包含鋁、銅、氧化鋁、鎳、金、鎢、鈦、其等之合金或其等之多層。

在一些實施例中，感測材料110b安置於第一基板101上方且至少部分覆蓋互連結構110a。在一些實施例中，感測材料110b經組態以用於感測一磁場，諸如一磁性感測材料。在一些實施例中，互連結構110a可根據由感測材料110b感測之磁場而傳輸一電信號。在一些實施例中，感測材料110b包含AMR材料、GMR材料、TMR材料或任何適合材料。

在一些實施例中，第二隔離層110c安置於第一基板101上方且覆蓋或包圍互連結構110a及感測材料110b。在一些實施例中，第二隔離層110c經組態以保護互連結構110a及感測材料110b。在一些實施例中，第二隔離層110c包含諸如氧化物、二氧化矽、氮化矽、氮氧化矽、碳化矽、聚合物或其類似者之介電材料。

圖2A係根據本揭露之一些實施例之一半導體結構200'之一示意性剖視圖。在一些實施例中，半導體結構200'包含一第一基板101、一金屬間介電(IMD)層102、一介電層104、一第三基板106、一插塞

107、一第二基板108及一空腔(一第一空腔105及一第二空腔108a)，其等具有類似於上文所描述及圖1A中所繪示之組態的組態。在如同圖2A之一些實施例中，半導體結構200'包含安置於第一基板101之一第二表面101b或一背側上方之一第二感測結構110及延伸穿過第一基板101之一通路109。

在一些實施例中，安置於IMD層102之一介電材料102a上方或安置於IMD層102之一介電材料102a內之一導電結構103包含一頂部部分103a及一底部部分103b。在一些實施例中，頂部部分103a安置於底部部分103b上方且與底部部分103b電連接。在一些實施例中，頂部部分103a係一頂部金屬層，且底部部分103b係一底部金屬層。在一些實施例中，頂部部分103a接近於第三基板106且遠離於第一基板101，且底部部分103b接近於第一基板101。在一些實施例中，導電結構103之頂部部分103a安置於插塞107上方或與插塞107耦合。在一些實施例中，通路109自第一基板101之第二表面101b延伸至第一基板101之第一表面101a，且安置於導電結構103之底部部分103b上方或與導電結構103之底部部分103b耦合。在一些實施例中，通路109與導電結構103之底部部分103b電連接。在一些實施例中，通路109延伸穿過第一基板101而至IMD層102。在一些實施例中，通路109係一TSV。在一些實施例中，通路109包含導電材料、金屬材料或半導體材料。在一些實施例中，通路109包含金、銀、銅、鎳、鎢、鋁、錫及/或其等之合金。在一些實施例中，通路109係一銅柱。在一些實施例中，通路109包含矽、多晶矽等等。在一些實施例中，通路109係一矽柱。

在一些實施例中，一第一隔離層109a安置於第一基板101之第二表面101b上方且介於通路109與第一基板101或IMD層102之間。在一些實施例中，第一隔離層109a與第一基板101之第二表面及通路109之一側壁等形。在一些實施例中，第一隔離層109a包圍通路109。在一

些實施例中，第一隔離層109a包含諸如氧化物、二氧化矽、氮化矽、氮氧化矽、碳化矽、聚合物或其類似者之介電材料。

在一些實施例中，第二感測結構110安置於第一基板101上方。在一些實施例中，一互連結構110a、一感測材料110b及一第二隔離層110c安置於第一基板101上方。在一些實施例中，互連結構110a安置於第一隔離層109a上方。在一些實施例中，互連結構110a安置於通路109上方，使得互連結構110a透過通路109而與導電結構103電連接。在一些實施例中，電連接互連結構110a、通路109、導電結構103及插塞107。在一些實施例中，互連結構110a係經組態以用於將一電信號傳輸至第一基板101、第三基板106或第二基板108之一磁性感測電極。在一些實施例中，互連結構110a係一鈍化後互連件(PPI)或係一重佈層(RDL)之一部分。在一些實施例中，互連結構110a包含鋁、銅、氧化鋁、鎳、金、鎢、鈦、其等之合金或其等之多層。

在一些實施例中，感測材料110b安置於第一基板101上方且至少部分覆蓋互連結構110a。在一些實施例中，感測材料110b經組態以用於感測一磁場，諸如一磁性感測材料。在一些實施例中，互連結構110a可根據由感測材料110b感測之磁場而傳輸一電信號。在一些實施例中，感測材料110b包含AMR材料、GMR材料、TMR材料或任何適合材料。

在一些實施例中，第二隔離層110c安置於第一基板101上方且覆蓋或包圍互連結構110a及感測材料110b。在一些實施例中，第二隔離層110c經組態以保護互連結構110a及感測材料110b。在一些實施例中，第二隔離層110c包含諸如氧化物、二氧化矽、氮化矽、氮氧化矽、碳化矽、聚合物或其類似者之介電材料。

圖3係根據本揭露之一些實施例之一半導體結構300之一示意性剖視圖。在一些實施例中，半導體結構300具有類似於上文所描述及

圖1中所繪示之半導體結構100或上文所描述及圖1A中所繪示之半導體結構100'之組態。在如同圖3之一些實施例中，半導體結構300包含安置於第二基板108上方之一連接結構111。在一些實施例中，連接結構111將第一基板101、第三基板106或第二基板108與一外部電路或組件電連接。在一些實施例中，連接結構111包含安置於第二基板108、第二感測結構110或互連結結構110a上方之一凸塊下金屬(UBM)墊111a及一導電凸塊111b。

在一些實施例中，UBM墊111a安置於互連結結構110a之一部分上方或與互連結結構110a之一部分電連接。在一些實施例中，UBM墊111a透過互連結結構110a而與通路109電連接。在一些實施例中，UBM墊111a安置於第二隔離層110c上方或延伸穿過第二隔離層110c而至互連結結構110a。在一些實施例中，UBM墊111a安置於互連結結構110a之部分、通路109或插塞107上方。在一些實施例中，UBM墊111a用作用於接收一導電材料且用於與一外部電路或組件電連接之一平台。在一些實施例中，UBM墊111a透過互連結結構110a、通路109或插塞107而與第一基板101、第三基板106或第二基板108電連接。在一些實施例中，UBM墊111a係位於互連結結構110a及第二隔離層110c上方之一冶金層或一冶金堆疊膜。在一些實施例中，UBM墊111a包含諸如金、銀、銅、鎳、鎢、鋁、鈮及/或其等之合金之金屬或金屬合金。

在一些實施例中，導電凸塊111b安置於UBM墊111a上方。在一些實施例中，導電凸塊111b由UBM墊接收且經組態以與一外部電路或組件電連接。在一些實施例中，導電凸塊111b可安裝於另一基板或一電路板上。在一些實施例中，導電凸塊111b包含可回鍍材料，諸如鍍料、鉛、錫、銅、金、鎳等等或金屬合金，諸如鉛、錫、銅、金、鎳等等之組合。在一些實施例中，導電凸塊111b包含金屬粉末及助鍍劑之一鍍料膏混合物。在一些實施例中，導電凸塊111b係一球柵陣列

(BGA)球、受控倒疊晶片連接(C4)凸塊、微凸塊或其類似者。在一些實施例中，導電凸塊111b係呈一球形或半球形形狀。在一些實施例中，導電凸塊111b係呈一圓柱形形狀。在一些實施例中，導電凸塊111b係一焊球、一金屬柱或其類似者。

圖4係根據本揭露之一些實施例之一半導體結構400之一示意性剖視圖。在一些實施例中，半導體結構400具有類似於上文所描述及圖2中所繪示之半導體結構200或上文所描述及圖2A中所繪示之半導體結構200'之組態。在如同圖4之一些實施例中，半導體結構400包含安置於第一基板101上方之一連接結構111。在一些實施例中，連接結構111將第一基板101、第三基板106或第二基板108與一外部電路或組件電連接。在一些實施例中，連接結構111包含安置於第一基板101或第一基板101之第二表面101b上方之一UBM墊111a及一導電凸塊111b。

在一些實施例中，UBM墊111a安置於互連結結構110a之一部分上方或與互連結結構110a之一部分電連接。在一些實施例中，UBM墊111a透過互連結結構110a而與通路109電連接。在一些實施例中，UBM墊111a安置於第二隔離層110c上方或延伸穿過第二隔離層110c而至互連結結構110a。在一些實施例中，UBM墊111a透過互連結結構110a、通路109或插塞107而與第一基板101、第三基板106或第二基板108電連接。在一些實施例中，UBM墊111a係位於互連結結構110a及第二隔離層110c上方之一冶金層或一冶金堆疊膜。在一些實施例中，UBM墊111a包含諸如金、銀、銅、鎳、鎢、鋁、鈮及/或其等之合金之金屬或金屬合金。

在一些實施例中，導電凸塊111b安置於UBM墊111a上方。在一些實施例中，導電凸塊111b由UBM墊接收且經組態以與一外部電路或組件電連接。在一些實施例中，導電凸塊111b可安裝於另一基板或一電路板上方。在一些實施例中，導電凸塊111b包含可回鍍材料，諸如

鍍料、鉛、錫、銅、金、鎳等等或金屬合金，諸如鉛、錫、銅、金、鎳等等之組合。在一些實施例中，導電凸塊111b係一BGA球、C4凸塊、微凸塊或其類似者。在一些實施例中，導電凸塊111b係呈球形、半球形、圓柱形或其他適合形狀。在一些實施例中，導電凸塊111b係一焊球、一金屬柱或其類似者。

在本揭露中，亦揭露一種製造一半導體結構100'之方法。在一些實施例中，藉由一方法500而形成一半導體結構100'。方法500包含數個操作且描述及圖解說明不被視作對操作順序之一限制。圖5係製造一半導體結構100'之一方法500之一實施例。方法500包含數個操作(501、502、503、504、505及506)。

在操作501中，接收或提供一第一基板101，如圖5A中所展示。在一些實施例中，第一基板101包含一第一表面101a及與第一表面101a對置之一第二表面101b。在一些實施例中，第一基板101包含安置於第一基板101上方或安置於第一基板101中之若干電路及若干主動元件(諸如電晶體等等)。在一些實施例中，第一基板101包含安置於第一基板101上方或安置於第一基板101中之組件，諸如CMOS組件、ASIC組件等等。在一些實施例中，第一基板101包含諸如矽或其他適合材料之半導體材料。在一些實施例中，第一基板101係一矽基板或一矽晶圓。在一些實施例中，第一基板101係一CMOS基板。

在一些實施例中，使一IMD層102形成於第一基板101上方。在一些實施例中，將包含一介電材料102a及一導電結構103之IMD層102安置於第一基板101上方或安置於第一基板101內。在一些實施例中，藉由下列操作而形成IMD層102：藉由化學氣相沉積(CVD)操作或其他適合操作而將介電材料102a安置於第一基板101上方，藉由蝕刻操作或其他適合操作而移除介電材料102a之一些部分，藉由電鍍、濺鍍或其他適合操作而安置一導電材料，且藉由光微影及蝕刻操作或其他適

合操作而將導電材料圖案化成導電結構103。

在一些實施例中，將一介電層104安置於IMD層102、導電結構103或第一基板101上方。在一些實施例中，藉由CVD操作或其他適合操作而安置介電層104。在一些實施例中，形成延伸穿過介電層104之一第一空腔105。第一空腔105自介電層104延伸至IMD層102或第一基板101。在一些實施例中，藉由通過光微影及蝕刻操作或其他適合操作移除介電層104之一部分而形成第一空腔105。

在操作502中，將一第三基板106安置於第一基板101上方，如圖5B中所展示。在一些實施例中，第三基板106係一矽基板或矽晶圓。在一些實施例中，第三基板106係一MEMS基板。在一些實施例中，第三基板106包含形成於第三基板106上或形成於第三基板106中之電路。在一些實施例中，將包含一第一感測結構106a之第三基板106安置於介電層104、IMD層102或第一基板101上方。在一些實施例中，第一感測結構106a經組態以用於感測一運動，諸如一運動感測裝置。在一些實施例中，第一感測結構106a係一陀螺儀、一加速度計、一單軸或多軸陀螺儀、一單軸或多軸加速度計或一單軸或多軸運動感測裝置。在一些實施例中，將第一感測結構106a安置於第一空腔105上方或使第一感測結構106a與第一空腔105對準。在一些實施例中，第一感測結構106a可在第一空腔105內移動且相對於第一基板101、IMD層102或介電層104移動。

在一些實施例中，將第三基板106垂直地堆疊於第一基板101上方。在一些實施例中，藉由直接接合操作、熔化接合操作或其他適合操作而使第三基板106接合於第一基板101上方。在一些實施例中，藉由熔化接合操作而使第三基板106與介電層104接合。

在操作503中，形成一插塞107，如圖5C中所展示。在一些實施例中，插塞107延伸穿過第三基板106且與安置於第一基板101與第三

基板106之間的導電結構103電連接。在一些實施例中，藉由下列操作而形成插塞107：藉由光微影及蝕刻操作或其他適合操作而移除第三基板106及介電層104之一部分來形成一第一凹槽107a，且藉由沉積、電鍍或其他適合操作而將一導電材料填充於第一凹槽107a內。在一些實施例中，將插塞107安置於導電結構103上方且使其與導電結構103電連接。

在一些實施例中，使一第一接合墊106b形成於第三基板106或插塞107上方。在一些實施例中，將第一接合墊106b安置於插塞107上方且使其與插塞107電連接。在一些實施例中，藉由濺鍍、電鍍或其他適合操作而形成第一接合墊106b。在一些實施例中，第一接合墊106b包含鋁、銅或其他適合材料。

在操作504中，將一第二基板108安置於第三基板106上方，如圖5D中所展示。在一些實施例中，將第二基板108垂直地堆疊於第三基板106或第一基板101上方。在一些實施例中，第二基板108係用於覆蓋第一基板101及第三基板106之一罩蓋基板或罩蓋晶圓。在一些實施例中，第二基板108包含矽或其他適合材料。在一些實施例中，藉由共晶接合操作或其他適合操作而使第二基板108接合於第三基板106上方。在一些實施例中，將一第二接合墊108b安置於第二基板108上方且使其與第一接合墊106b對置。在一些實施例中，藉由使第一接合墊106b與第二接合墊108b接合而使第二基板108與第三基板106接合。在一些實施例中，第二接合墊108b包含鍺、矽或其他適合材料。在一些實施例中，藉由共晶接合操作而使第一接合墊106b及第二接合墊108b接合。在一些實施例中，在大於約400°C之一高溫下使第二基板108與第三基板106共晶接合。

在一些實施例中，形成延伸至第二基板108內之一第二空腔108a。在一些實施例中，藉由通過光微影及蝕刻操作或其他適合操作

移除第二基板108之一部分而形成第二空腔108a。在一些實施例中，使第二空腔108a形成於第一感測結構106a或第一空腔105上方。在一些實施例中，第一空腔105與第二空腔108a協作以變成一空腔(第一空腔105及第二空腔108a)。該空腔(第一空腔105及第二空腔108a)安置於第一基板101上方且由第一基板101及第三基板108定義。在一些實施例中，第一感測結構106a由該空腔包圍且可在該空腔內移動。

在操作505中，形成一通路109，如圖5E中所展示。在一些實施例中，通路109延伸穿過第二基板108且與插塞107電連接。在一些實施例中，藉由下列操作而形成通路109：藉由光微影及蝕刻操作或其他適合操作而移除第二基板108之一部分來形成一第二凹槽109b，且藉由沉積、電鍍或其他適合操作而將一導電材料或半導體材料填充於第二凹槽109b內。在一些實施例中，第二凹槽109b由諸如銅之一金屬填充以形成通路109作為一銅柱。在一些實施例中，第二凹槽109b由諸如矽、多晶矽等等之一半導體材料填充以形成通路109作為一矽柱。在一些實施例中，將通路109安置於插塞107、第二接合墊108b或第一接合墊106b上方且使其與插塞107、第二接合墊108b或第一接合墊106b電連接。在一些實施例中，在形成第二凹槽109b之後，將一第一隔離層109a安置於第二基板108及第二凹槽109b之一側壁上方。在一些實施例中，藉由CVD操作或其他適合操作而安置第一隔離層109a。在一些實施例中，通路109由第一隔離層109a包圍。在一些實施例中，將第一隔離層109a安置於通路109與第二基板108之間。

在操作506中，使一第二感測結構110形成於第二基板108上方，如圖5F中所展示。在一些實施例中，第二感測結構110經組態以用於感測或偵測一磁場。在一些實施例中，第二感測結構110係一磁場感測器、磁性感測器、單軸或多軸磁性感測器、磁力計、地磁感測器等。

在一些實施例中，使一互連結構110a形成且安置於第二基板108上方且使其與通路109電連接。在一些實施例中，圖案化互連結構110a且使其形成於第一隔離層109a或第二基板108上方。在一些實施例中，藉由將一導電材料安置於第二基板108上方且接著將該導電材料圖案化成互連結構110a而形成互連結構110a。藉由電鍍、濺鍍或其他適合操作而安置該導電材料。藉由光微影、蝕刻或其他適合操作而圖案化該導電材料。在一些實施例中，使互連結構110a與通路109電連接。

在一些實施例中，使一感測材料110b形成且安置於第二基板108上方。在一些實施例中，感測材料110b至少部分覆蓋互連結構110a。在一些實施例中，感測材料110b經組態以用於感測一磁場。在一些實施例中，感測材料110b係一磁性感測材料。在一些實施例中，藉由沉積、光微影、蝕刻或其他適合操作而將感測材料110b安置於第二基板108及互連結構110a之一部分上方。

在一些實施例中，第二隔離層110c安置於第二基板108上方且覆蓋互連結構110a及感測材料110b。在一些實施例中，第二隔離層110c經組態以保護互連結構110a及感測材料110b。在一些實施例中，藉由CVD或其他適合操作而形成第二隔離層110c。

在一些實施例中，形成如圖5F中所展示之半導體結構100'，其具有類似於上文所描述及圖1A中所繪示之組態的組態。使第一基板101、第三基板106及第二基板108彼此上下垂直堆疊，且因此最小化半導體結構100'之一幾何大小或外型尺寸。此外，由於在第二基板108與第三基板106之高溫接合之後形成第二感測結構110，所以容易因熱或高溫而劣化之感測材料110b不會在高溫下之接合操作期間受影響或損壞。

在一些實施例中，藉由一方法600而形成一半導體結構200'。方

法600包含數個操作且描述及圖解說明不被視作對操作順序之一限制。圖6係製造一半導體結構200'之一方法600之一實施例。方法600包含數個操作(601、602、603、604、605及606)。

在操作601中，接收或提供一第一基板101，如圖6A中所展示。操作601類似於圖5A中之操作501。在操作602中，將一第三基板106安置於第一基板101上方，如圖6B中所展示。操作602類似於圖5B中之操作502。在操作603中，形成一插塞107，如圖6C中所展示。操作603類似於圖5C中之操作503。在操作604中，安置一第二基板108，如圖6D中所展示。操作604類似於圖5D中之操作504。

在操作605中，形成一通路109，如圖6E中所展示。在一些實施例中，通路109延伸穿過第一基板101而至IMD層102且與導電結構103及插塞107電連接。在一些實施例中，藉由下列操作而形成通路109：藉由光微影及蝕刻操作或其他適合操作而移除第一基板101及IMD層102之一部分來形成一第二凹槽109b，且藉由沉積、電鍍或其他適合操作而將一導電材料或半導體材料填充於第二凹槽109b內。在一些實施例中，第二凹槽109b由諸如銅之一金屬填充以形成通路109作為一銅柱。在一些實施例中，第二凹槽109b由諸如矽、多晶矽等等之一半導體材料填充以形成通路109作為一矽柱。在一些實施例中，將通路109安置於插塞107、第二接合墊108b或第一接合墊106b上方且使其與插塞107、第二接合墊108b或第一接合墊106b電連接。在一些實施例中，使通路109與導電結構103之一底部部分103b耦合。在一些實施例中，在形成第二凹槽109b之後將一第一隔離層109a安置於第一基板101及第二凹槽109b之一側壁上方。在一些實施例中，藉由CVD操作或其他適合操作而安置第一隔離層109a。在一些實施例中，通路109由第一隔離層109a包圍。在一些實施例中，將第一隔離層109a安置於通路109與第一基板101之間。

在操作606中，使一第二感測結構110形成於第一基板101上方，如圖6F中所展示。在一些實施例中，第二感測結構110經組態以用於感測或偵測一磁場。在一些實施例中，第二感測結構110係一磁場感測器、磁性感測器、三軸或三軸以上磁性感測器、磁力計、地磁感測器等等。在一些實施例中，使一互連結結構110a形成且安置於第一基板101上方且使其與通路109電連接。在一些實施例中，圖案化互連結結構110a且使其形成於第一隔離層109a或第一基板101上方。在一些實施例中，藉由將一導電材料安置於第一基板101上方且接著將該導電材料圖案化成互連結結構110a而形成互連結結構110a。藉由電鍍、濺鍍或其他適合操作而安置該導電材料。藉由光微影、蝕刻或其他適合操作而圖案化該導電材料。在一些實施例中，使互連結結構110a與通路109電連接。

在一些實施例中，使一感測材料110b形成且安置於第一基板101上方。在一些實施例中，感測材料110b至少部分覆蓋互連結結構110a。在一些實施例中，感測材料110b經組態以用於感測一磁場。在一些實施例中，感測材料110b係一磁性感測材料。在一些實施例中，藉由沉積、光微影、蝕刻或其他適合操作而將感測材料110b安置於第一基板101及互連結結構110a之一部分上方。

在一些實施例中，第二隔離層110c安置於第一基板101上方且覆蓋互連結結構110a及感測材料110b。在一些實施例中，第二隔離層110c經組態以保護互連結結構110a及感測材料110b。在一些實施例中，藉由CVD或其他適合操作而形成第二隔離層110c。在一些實施例中，形成如圖6F中所展示之半導體結構200'，其具有類似於上文所描述及圖2A中所繪示之組態。

在一些實施例中，藉由一方法700而形成一半導體結構300。方法700包含數個操作且描述及圖解說明不被視作對操作順序之一限

制。圖7係製造一半導體結構300之一方法700之一實施例。方法700包含數個操作(701、702、703、704、705、706、707及708)。

在操作701中，接收或提供一第一基板101，如圖7A中所展示。操作701類似於圖5A中之操作501。在操作702中，將一第三基板106安置於第一基板101上方，如圖7B中所展示。操作702類似於圖5B中之操作502。在操作703中，形成一插塞107，如圖7C中所展示。操作703類似於圖5C中之操作503。在操作704中，安置一第二基板108，如圖7D中所展示。操作704類似於圖5D中之操作504。在操作705中，形成一通路109，如圖7E中所展示。操作705類似於圖5E中之操作505。在操作706中，使一第二感測結構110形成於第二基板108上方，如圖7F中所展示。操作706類似於圖5F中之操作506。

在操作707中，使一UBM墊111a形成於第二基板108或互連結構110a之一部分上方，如圖7G中所展示。在一些實施例中，使UBM墊111a與互連結構110a之部分及通路109電連接。在一些實施例中，藉由下列操作而形成UBM墊111a：藉由蝕刻或其他適合操作而移除第二隔離層110c之一部分，且藉由電鍍、濺鍍或其他適合操作而安置一導電材料。在一些實施例中，藉由通過光微影及蝕刻操作或其他適合操作圖案化該導電材料而形成UBM墊111a。

在操作708中，將一導電凸塊111b安置於UBM墊111a上方，如圖7H中所展示。在一些實施例中，藉由植球操作、模板印刷(將錫料黏合於一模板上方)操作或其他適合操作而形成導電凸塊111b。在一些實施例中，在將導電凸塊111b安置於UBM墊111a上方之後回錫或熱固化導電凸塊111b。在一些實施例中，使導電凸塊111b與UBM墊111a、互連結構110a及通路109電連接。在一些實施例中，形成如圖7H中所展示之半導體結構300，其具有類似於上文所描述及圖3中所繪示之組態的組態。

在一些實施例中，藉由一方法800而形成一半導體結構400。方法800包含數個操作且描述及圖解說明不被視作對操作順序之一限制。圖8係製造一半導體結構400之一方法800之一實施例。方法800包含數個操作(801、802、803、804、805、806、807及808)。

在操作801中，接收或提供一第一基板101，如圖8A中所展示。操作801類似於圖6A中之操作601。在操作802中，將一第三基板106安置於第一基板101上方，如圖8B中所展示。操作802類似於圖6B中之操作602。在操作803中，形成一插塞107，如圖8C中所展示。操作803類似於圖6C中之操作603。在操作804中，安置一第二基板108，如圖8D中所展示。操作804類似於圖6D中之操作604。在操作805中，使一通路109形成於第一基板101內，如圖8E中所展示。操作805類似於圖6E中之操作605。在操作806中，使一第二感測結構110形成於第一基板101上方，如圖8F中所展示。操作806類似於圖6F中之操作606。

在操作807中，使一UBM墊形成於第一基板101或互連結構110a之一部分上方，如圖8G中所展示。在一些實施例中，使UBM墊111a與互連結構110a之部分及通路109電連接。在一些實施例中，藉由下列操作而形成UBM墊111a：藉由蝕刻或其他適合操作而移除第二隔離層110c之一部分，且藉由電鍍、濺鍍或其他適合操作而安置一導電材料。在一些實施例中，藉由通過光微影及蝕刻操作或其他適合操作圖案化該導電材料而形成UBM墊111a。

在操作808中，將一導電凸塊111b安置於UBM墊111a上方，如圖8H中所展示。在一些實施例中，操作808類似於圖7H中所展示之操作708。在一些實施例中，形成如圖8H中所展示之半導體結構400，其具有類似於上文所描述及圖4中所繪示之組態的組態。

在一些實施例中，藉由一方法900而形成一半導體結構100。方

法900包含數個操作且描述及圖解說明不被視作對操作順序之一限制。圖9係製造一半導體結構100之一方法900之一實施例。方法900包含數個操作(901、902、903、904及905)。

在操作901中，接收或提供一第一基板101，如圖9A中所展示。在一些實施例中，第一基板101包含安置於第一基板101上方或安置於第一基板101中之若干電路及若干主動元件(諸如電晶體等等)。在一些實施例中，第一基板101包含安置於第一基板101上方或安置於第一基板101中之組件，諸如CMOS組件、ASIC組件等等。在一些實施例中，第一基板101包含諸如矽或其他適合材料之半導體材料。在一些實施例中，第一基板101係一矽基板或一矽晶圓。在一些實施例中，第一基板101係一CMOS基板。

在操作902中，將一第一感測結構106a安置於第一基板101上方，如圖9B中所展示。在一些實施例中，第一感測結構106a經組態以用於感測一運動，諸如一運動感測裝置。在一些實施例中，第一感測結構106a係一陀螺儀、一加速度計、一單軸或多軸陀螺儀、一單軸或多軸加速度計或一單軸或多軸運動感測裝置。

在操作903中，將一第二基板108安置於第一基板101及第一感測結構106a上方，如圖9C中所展示。在一些實施例中，將第二基板108垂直地堆疊於第一基板101上方。在一些實施例中，第二基板108係用於覆蓋第一基板101之一罩蓋基板或罩蓋晶圓。在一些實施例中，第二基板108包含矽或其他適合材料。在一些實施例中，藉由共晶接合操作或其他適合操作而使第二基板108接合於第一基板101上方。在一些實施例中，將一接合墊108b安置於第二基板108上方。在一些實施例中，由接合墊108b透過大於約300°C之一高溫下之共晶接合操作而使第二基板108接合於第一基板101上方。

在一些實施例中，藉由通過光微影及蝕刻操作或其他適合操作

移除第一基板101或第二基板108之一部分而形成一空腔105。將空腔105安置於第一基板101與第二基板108之間。在一些實施例中，第一感測結構106a由空腔105包圍且可在空腔105內移動。

在操作904中，形成一通路109，如圖9D中所展示。在一些實施例中，通路109延伸穿過第二基板108。在一些實施例中，藉由下列操作而形成通路109：藉由光微影及蝕刻操作或其他適合操作而移除第二基板108之一部分來形成一凹槽109b，且藉由沉積、電鍍或其他適合操作而將一導電材料或半導體材料填充於凹槽109b內。在一些實施例中，凹槽109b由諸如銅之一金屬填充以形成通路109作為一銅柱。在一些實施例中，凹槽109b由諸如矽、多晶矽等等之一半導體材料填充以形成通路109作為一矽柱。在一些實施例中，將通路109安置於接合墊108b上方且使其與接合墊108b電連接。在一些實施例中，在形成凹槽109b之後將一第一隔離層109a安置於第二基板108及凹槽109b之一側壁上方。在一些實施例中，藉由CVD操作或其他適合操作而安置第一隔離層109a。在一些實施例中，通路109由第一隔離層109a包圍。在一些實施例中，將第一隔離層109a安置於通路109與第二基板108之間。

在操作905中，使一第二感測結構110形成於第二基板108上方，如圖9E中所展示。在一些實施例中，第二感測結構110經組態以用於感測或偵測一磁場。在一些實施例中，第二感測結構110係一磁場感測器、磁性感測器、單軸或多軸磁性感測器、磁力計、地磁感測器等。

在一些實施例中，使一互連結構110a形成且安置於第二基板108上方且使其與通路109電連接。在一些實施例中，圖案化互連結構110a且使其形成於第一隔離層109a或第二基板108上方。在一些實施例中，藉由將一導電材料安置於第二基板108上方且接著將該導電材

料圖案化成互連結構110a而形成互連結構110a。藉由電鍍、濺鍍或其他適合操作而安置該導電材料。藉由光微影、蝕刻或其他適合操作而圖案化該導電材料。在一些實施例中，使互連結構110a與通路109電連接。

在一些實施例中，使一感測材料110b形成且安置於第二基板108上方。在一些實施例中，感測材料110b至少部分覆蓋互連結構110a。在一些實施例中，感測材料110b經組態以用於感測一磁場。在一些實施例中，感測材料110b係一磁性感測材料。在一些實施例中，藉由沉積、光微影、蝕刻或其他適合操作而將感測材料110b安置於第二基板108及互連結構110a之一部分上方。

在一些實施例中，第二隔離層110c安置於第二基板108上方且覆蓋互連結構110a及感測材料110b。在一些實施例中，第二隔離層110c經組態以保護互連結構110a及感測材料110b。在一些實施例中，藉由CVD或其他適合操作而形成第二隔離層110c。

在一些實施例中，形成如圖9E中所展示之半導體結構100，其具有類似於上文所描述及圖1中所繪示之組態的組態。使第一基板101及第二基板108彼此上下垂直堆疊，且因此最小化半導體結構100之一幾何大小或外型尺寸。此外，由於在使第二基板108高溫接合於第一基板101上方之後形成第二感測結構110，所以容易因熱或高溫而劣化之感測材料110b不會在高溫下之接合操作期間受影響或損壞。

在一些實施例中，藉由一方法1000而形成一半導體結構200。方法1000包含數個操作且描述及圖解說明不被視作對操作順序之一限制。圖10係製造一半導體結構200之一方法1000之一實施例。方法1000包含數個操作(1001、1002、1003、1004及1005)。

在操作1001中，接收或提供一第一基板101，如圖9A中所展示。操作1001類似於圖9A中之操作901。在操作1002中，將一第一感測結

構106a安置於第一基板101上方，如圖10B中所展示。操作1002類似於圖9B中之操作902。在操作1003中，安置一第二基板108，如圖10C中所展示。操作1003類似於圖9C中之操作903。

在操作1004中，形成一通路109，如圖10D中所展示。在一些實施例中，通路109延伸穿過第一基板101。在一些實施例中，藉由下列操作而形成通路109：藉由光微影及蝕刻操作或其他適合操作而移除第一基板101之一部分來形成一凹槽109b，且藉由沉積、電鍍或其他適合操作而將一導電材料或半導體材料填充於凹槽109b內。在一些實施例中，凹槽109b由諸如銅之一金屬填充以形成通路109作為一銅柱。在一些實施例中，凹槽109b由諸如矽、多晶矽等等之一半導體材料填充以形成通路109作為一矽柱。在一些實施例中，將通路109安置於第一基板101中之一導電結構上方且使其與該導電結構電連接。在一些實施例中，將一第一隔離層109a安置於第一基板101及凹槽109b之一側壁上方。在一些實施例中，藉由CVD操作或其他適合操作而安置第一隔離層109a。在一些實施例中，通路109由第一隔離層109a包圍。在一些實施例中，將第一隔離層109a安置於通路109與第一基板101之間。

在操作1005中，使一第二感測結構110形成於第一基板101上方，如圖10E中所展示。在一些實施例中，第二感測結構110經組態以用於感測或偵測一磁場。在一些實施例中，第二感測結構110係一磁場感測器、磁性感測器、三軸或三軸以上軸磁性感測器、磁力計、地磁感測器等等。在一些實施例中，使一互連結構110a形成且安置於第一基板101上方且使其與通路109電連接。在一些實施例中，圖案化互連結構110a且使其形成於第一隔離層109a或第一基板101上方。在一些實施例中，藉由將一導電材料安置於第一基板101上方且接著將該導電材料圖案化成互連結構110a而形成互連結構110a。藉由電鍍、濺鍍或

其他適合操作而安置該導電材料。藉由光微影、蝕刻或其他適合操作而圖案化該導電材料。在一些實施例中，使互連結構110a與通路109電連接。

在一些實施例中，使一感測材料110b形成且安置於第一基板101上方。在一些實施例中，感測材料110b至少部分覆蓋互連結構110a。在一些實施例中，感測材料110b經組態以用於感測一磁場。在一些實施例中，感測材料110b係一磁性感測材料。在一些實施例中，藉由沉積、光微影、蝕刻或其他適合操作而將感測材料110b安置於第一基板101及互連結構110a之一部分上方。

在一些實施例中，第二隔離層110c安置於第一基板101上方且覆蓋互連結構110a及感測材料110b。在一些實施例中，第二隔離層110c經組態以保護互連結構110a及感測材料110b。在一些實施例中，藉由CVD或其他適合操作而形成第二隔離層110c。在一些實施例中，形成如圖10E中所展示之半導體結構200，其具有類似於上文所描述及圖2中所繪示之組態的組態。

本揭露係針對一種半導體結構，其包含整合於一基板上之多個裝置。該半導體結構包含一基板及安置於該基板上方且由若干導電通路整合之一或多個裝置。由該等導電通路整合該等裝置允許該等裝置彼此上下堆疊以減小該半導體結構之一幾何大小。此外，可在完成諸如晶圓接合操作之高溫製程之後製造一磁性感測結構。因而，該磁性感測結構不會受高溫損壞或影響。

在一些實施例中，一種半導體結構包含：一第一基板；一第二基板；一第一感測結構，其位於該第一基板上方且介於該第一基板與該第二基板之間；一通路，其延伸穿過該第二基板；及一第二感測結構，其位於該第二基板上方且包含與該通路電連接之一互連結構及至少部分覆蓋該互連結構之一感測材料。

在一些實施例中，該通路包含導電材料或半導體材料。在一些實施例中，該通路使該互連結構與安置於該第二基板上方且與該互連結構對置之一接合墊電連接。在一些實施例中，該半導體結構進一步包含位於該第一基板上方之一第一接合墊及位於該通路及該第二基板上方之一第二接合墊，其中藉由使該第一接合墊與該第二接合墊共晶接合而使該第二基板接合於該第一基板上方。在一些實施例中，該半導體結構進一步包含位於該第二基板上方且介於該第二基板與該通路之間之一第一隔離層。在一些實施例中，該半導體結構進一步包含位於該第二基板上方且覆蓋該互連結構及該感測材料之一第二隔離層。在一些實施例中，該第一感測結構可在由該第一基板及該第二基板定義之一空腔內移動。在一些實施例中，該第一感測結構係一加速度計、一陀螺儀或一運動感測裝置。在一些實施例中，該感測材料係用於感測一磁場之一磁性感測材料，且該互連結構係用於根據由該感測材料感測之該磁場而傳輸一電信號之一磁性感測電極。在一些實施例中，該感測材料包含非等向性磁阻(AMR)材料、巨磁阻(GMR)材料或穿隧磁阻(TMR)材料。在一些實施例中，該半導體結構進一步包含位於該互連結構之一部分上方且與該通路電連接之一UBM墊及位於該UBM墊上方之一導電凸塊。

在一些實施例中，一種半導體結構包含：一第一基板，其包含一第一表面及與該第一表面對置之一第二表面；一第二基板，其位於該第一基板之該第一表面上方；一第一感測結構，其位於該第一基板之該第一表面上方且介於該第一基板與該第二基板之間；一通路，其穿過該第一基板；及一第二感測結構，其位於該第一基板之該第二表面上方且包含與該通路電連接之一互連結構及至少部分覆蓋該互連結構之一感測材料。

在一些實施例中，該通路自該第一基板之該第二表面延伸至該

第一基板之該第一表面。在一些實施例中，該半導體結構進一步包含位於該第一基板上且介於該第一基板與該通路之間的第一隔離層。在一些實施例中，該半導體結構進一步包含位於該第一基板上且覆蓋該互連結構及該感測材料之一第二隔離層。在一些實施例中，該半導體結構進一步包含介於該第一基板與該第二基板之間且包圍該第一感測結構之一空腔，其中該空腔係在一真空中或具有低於約1個大氣壓(atm)之一氣壓。

在一些實施例中，一種製造一半導體結構之方法包含：接收一第一基板；安置一第一感測結構；將一第二基板安置於該第一基板及該第一感測結構上方；形成延伸穿過該第二基板之一通路；形成一第二感測結構，該第二感測結構包含安置於該第二基板上且與該通路電連接之一互連結構及至少部分覆蓋該互連結構之一感測材料。

在一些實施例中，該形成該通路包含：移除該第二基板之一部分來形成一凹槽，且使用一導電材料或半導體材料來填充該凹槽。在一些實施例中，該安置該第二基板包含：藉由共晶接合操作而使該第二基板接合於該第一基板上。在一些實施例中，該方法進一步包含：將一第一隔離層安置於該第二基板上及該第二基板與該通路之間；安置覆蓋該互連結構及該感測材料之一第二隔離層；形成安置於該第一基板與該第二基板之間且包圍該第一感測結構之一空腔。

【符號說明】

100	半導體結構
100'	半導體結構
101	第一基板
101a	第一表面
101b	第二表面
102	金屬間介電(IMD)層

102a	介電材料
103	導電結構
103a	頂部部分
103b	底部部分
104	介電層
105	空腔/第一空腔
106	第三基板
106a	第一感測結構
106b	第一接合墊
107	插塞
107a	第一凹槽
108	第二基板
108a	第二空腔
108b	接合墊/第二接合墊
109	通路
109a	第一隔離層
109b	第二凹槽/凹槽
110	第二感測結構
110a	互連結構
110b	感測材料
110c	第二隔離層
111	連接結構
111a	凸塊下金屬(UBM)墊
111b	導電凸塊
200	半導體結構
200'	半導體結構

300	半導體結構
400	半導體結構
500	方法
501	操作
502	操作
503	操作
504	操作
505	操作
506	操作
600	方法
601	操作
602	操作
603	操作
604	操作
605	操作
606	操作
700	方法
701	操作
702	操作
703	操作
704	操作
705	操作
706	操作
707	操作
708	操作
800	方法

801	操作
802	操作
803	操作
804	操作
805	操作
806	操作
807	操作
808	操作
900	方法
901	操作
902	操作
903	操作
904	操作
905	操作
1000	方法
1001	操作
1002	操作
1003	操作
1004	操作
1005	操作

申請專利範圍

1. 一種半導體結構，其包括：
 - 一第一基板；
 - 一第二基板；
 - 一第一感測結構，其位於該第一基板上方且介於該第一基板與該第二基板之間；
 - 一通路，其延伸穿過該第二基板；及
 - 一第二感測結構，其位於該第二基板上方且包含與該通路電連接之一互連結構及至少部分覆蓋該互連結構之一感測材料。

圖式

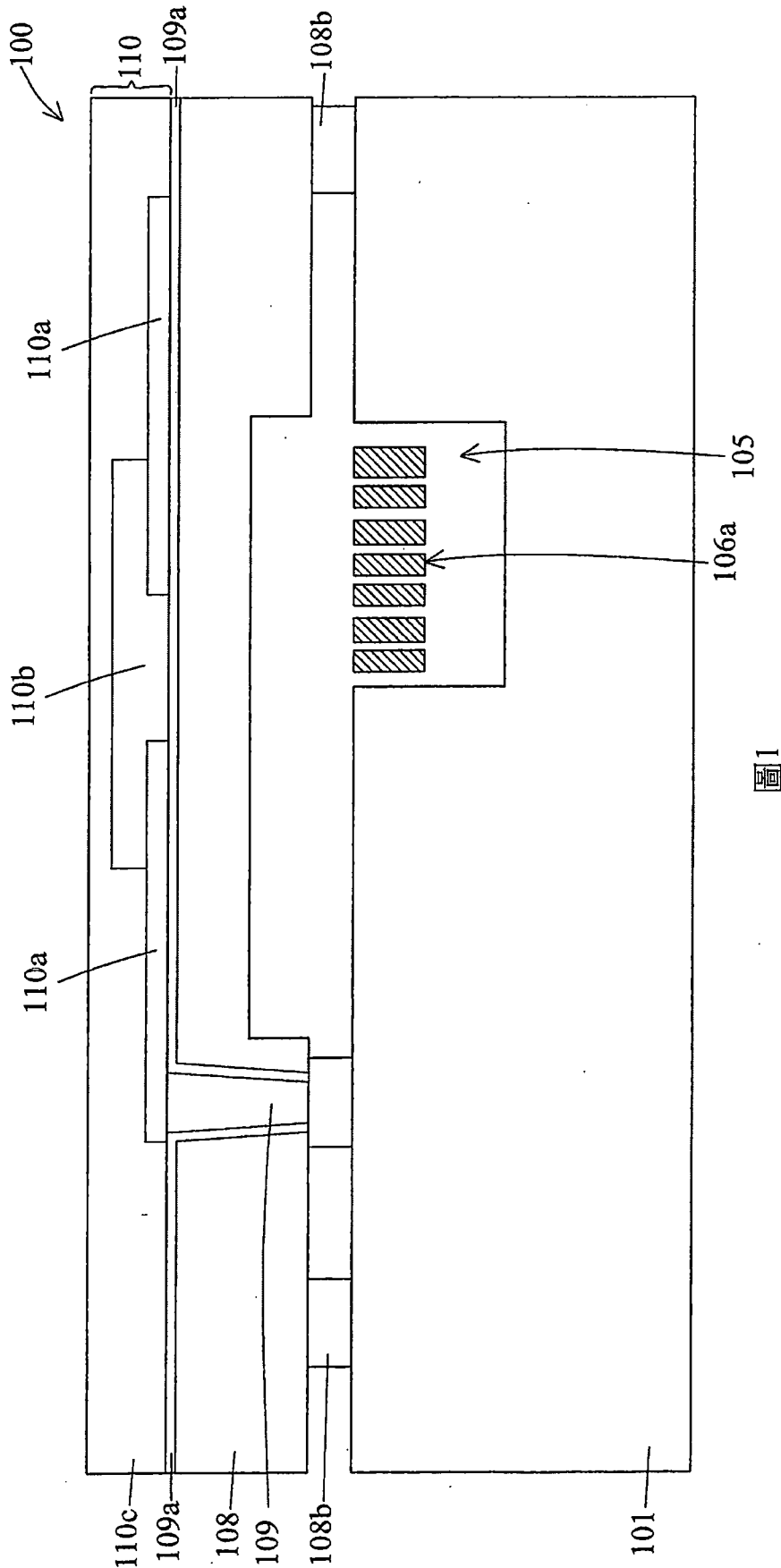


圖1

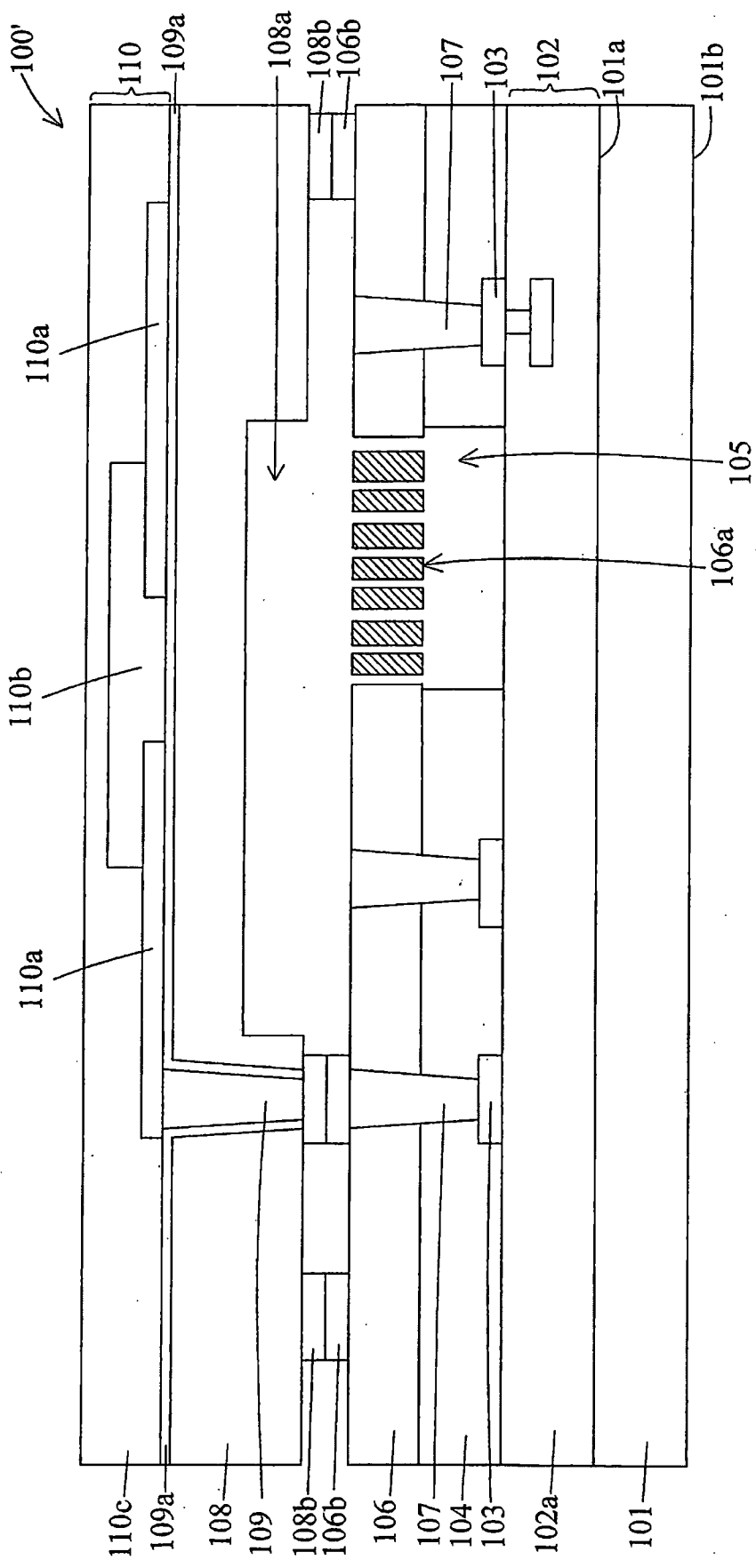


圖1A



500

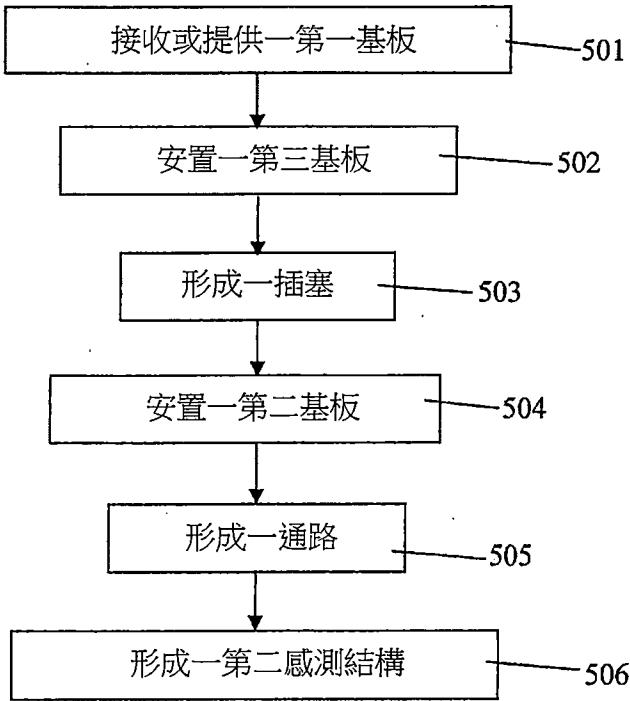


圖5

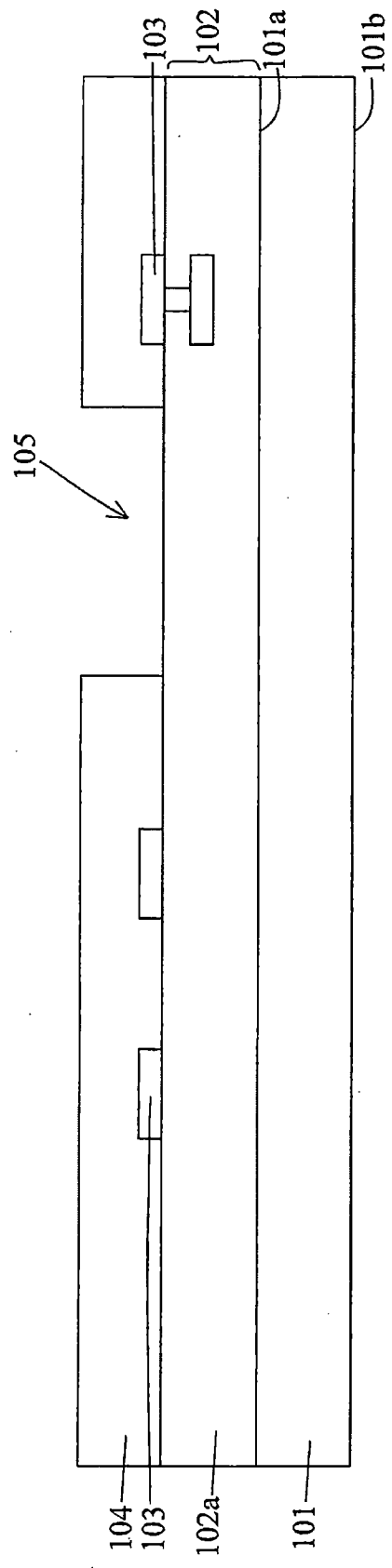


圖 5A

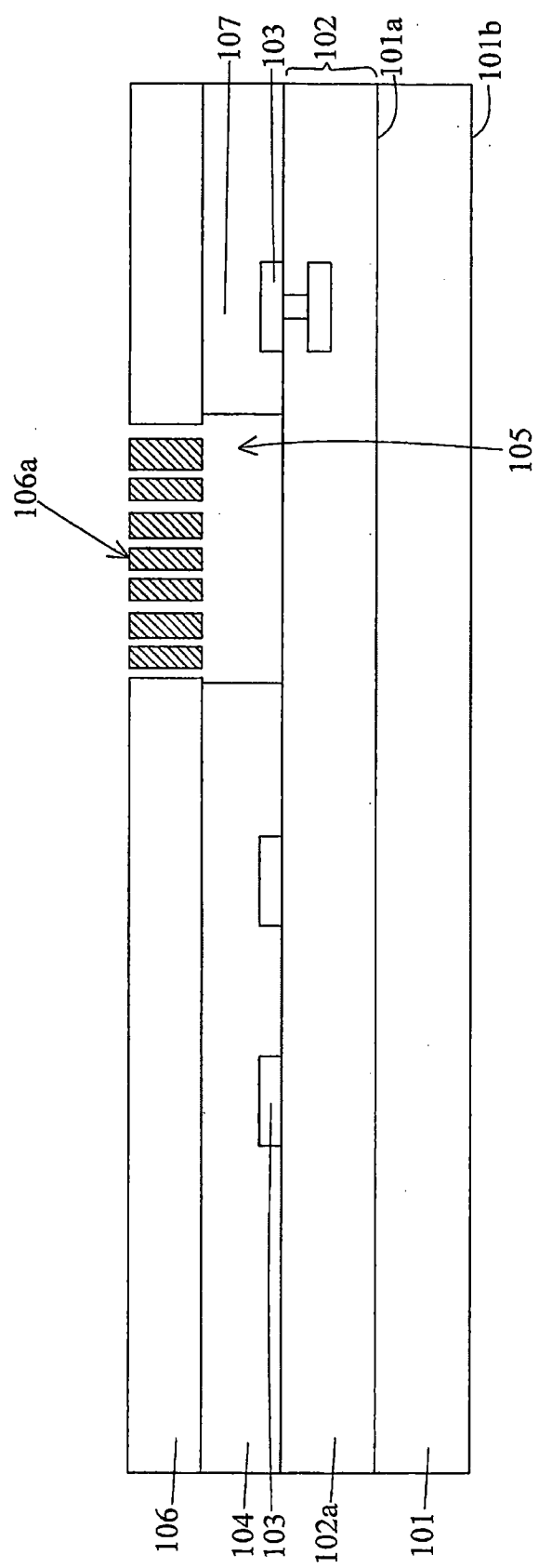
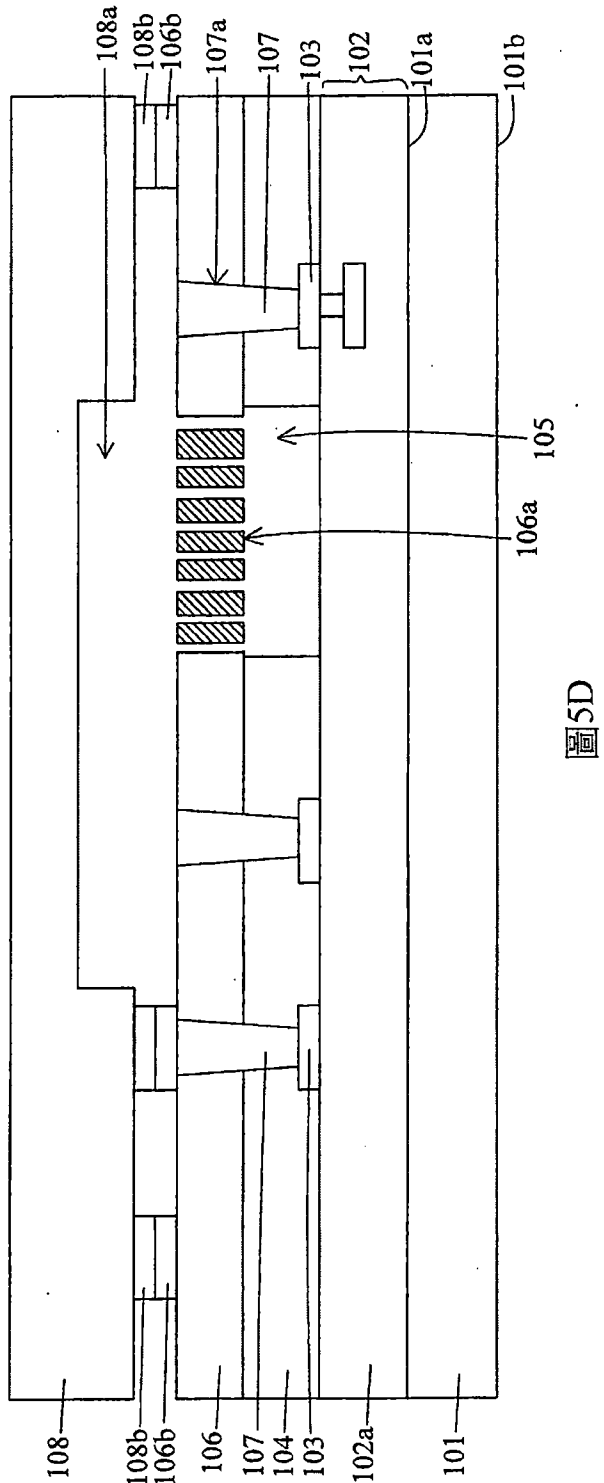
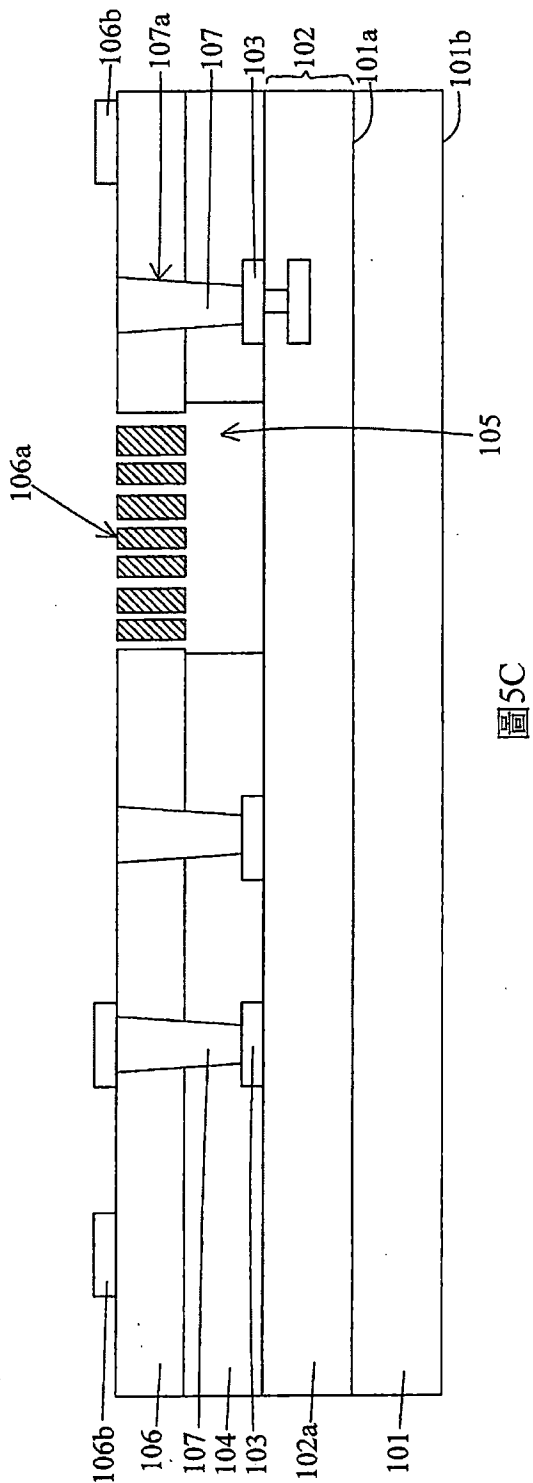


圖 5B



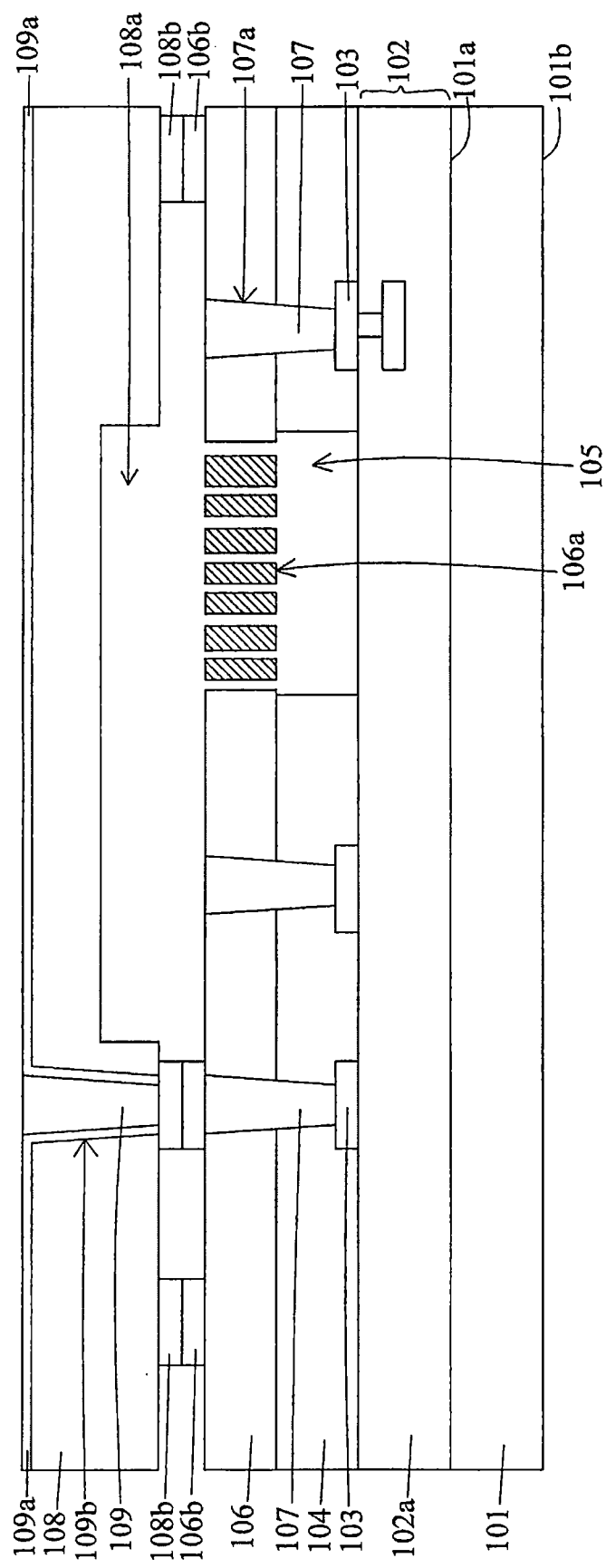


圖5E

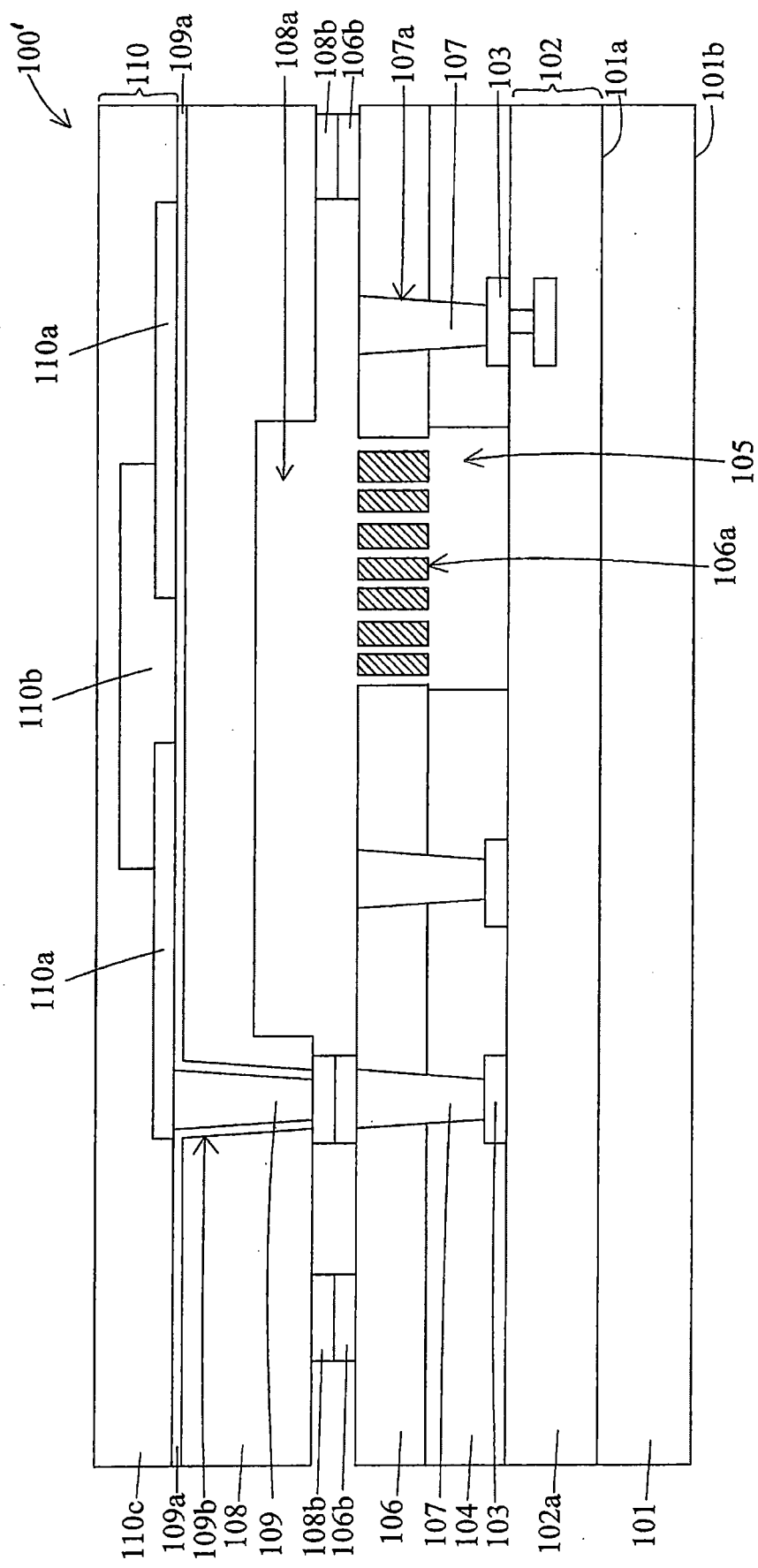


圖 5F

600

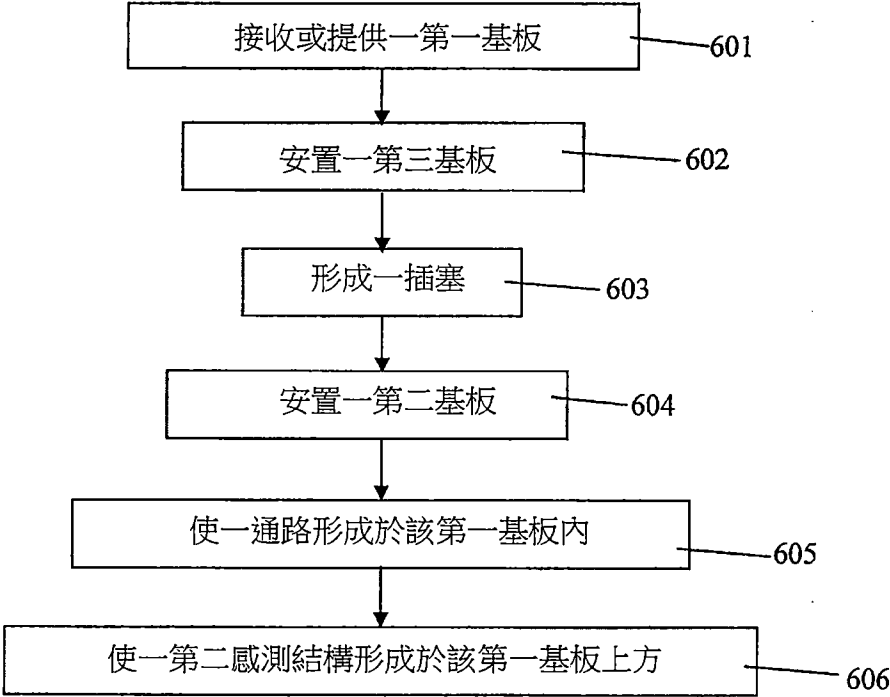


圖6

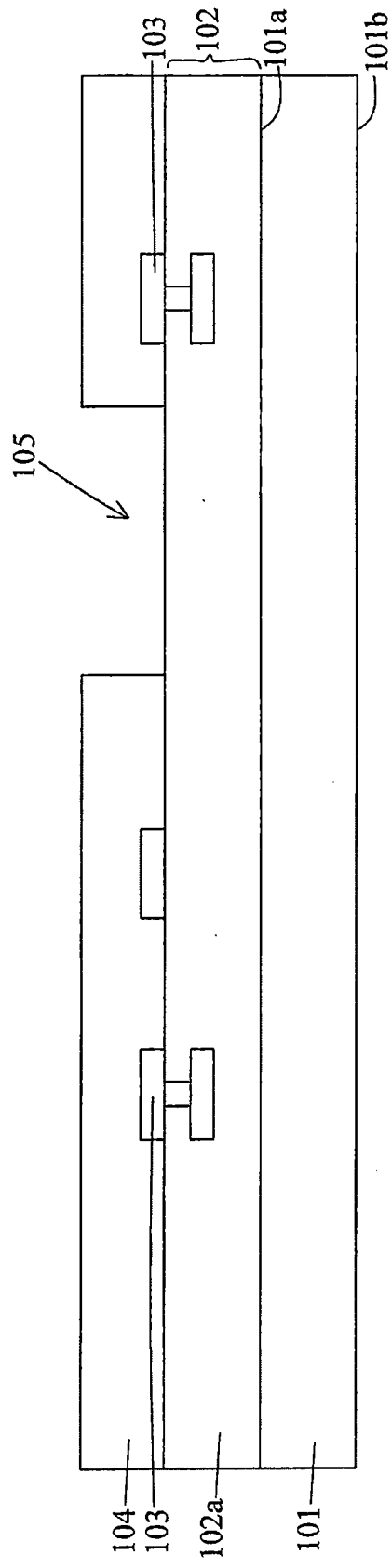


圖6A

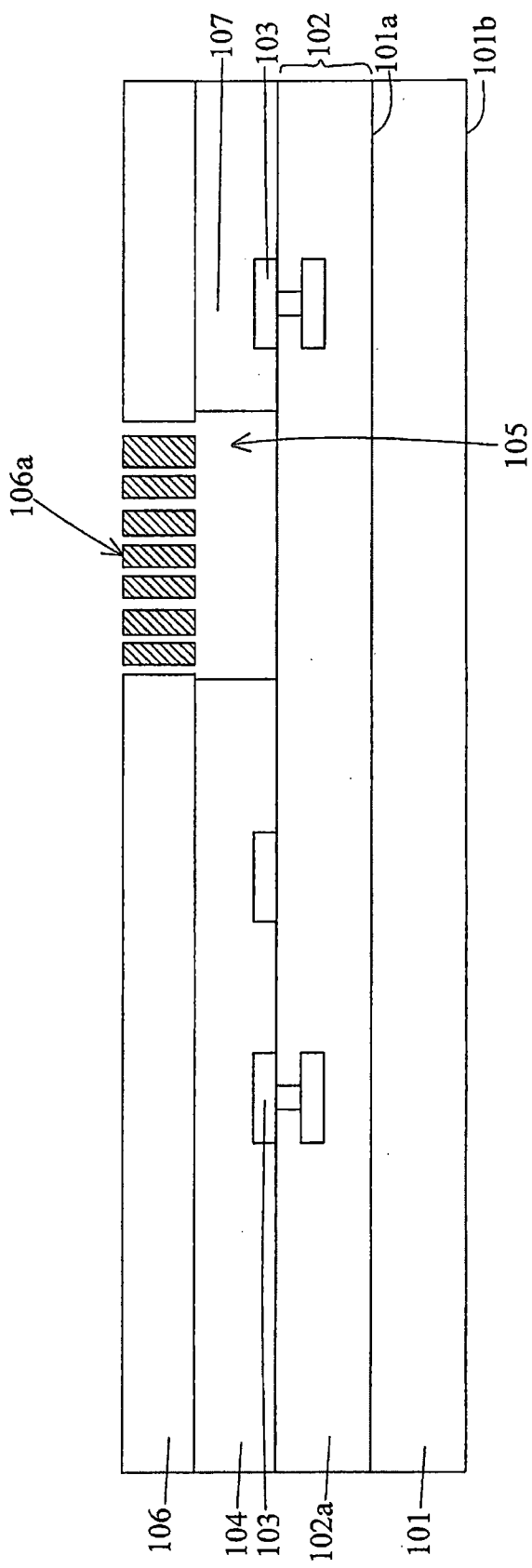


圖6B

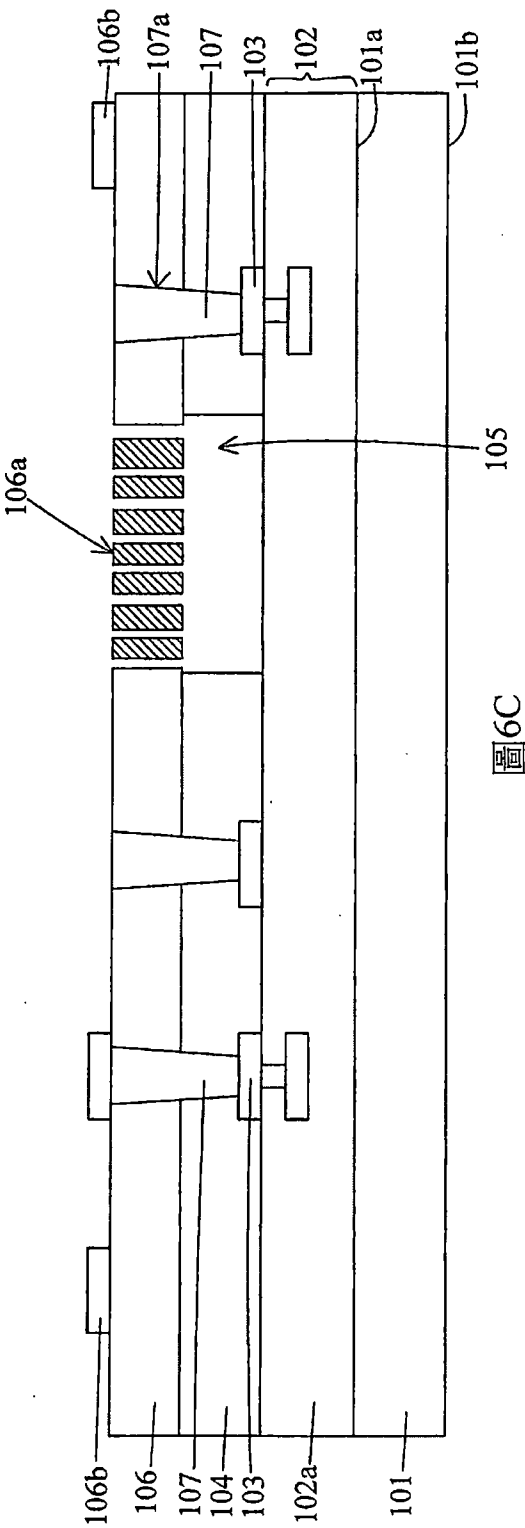


圖6C

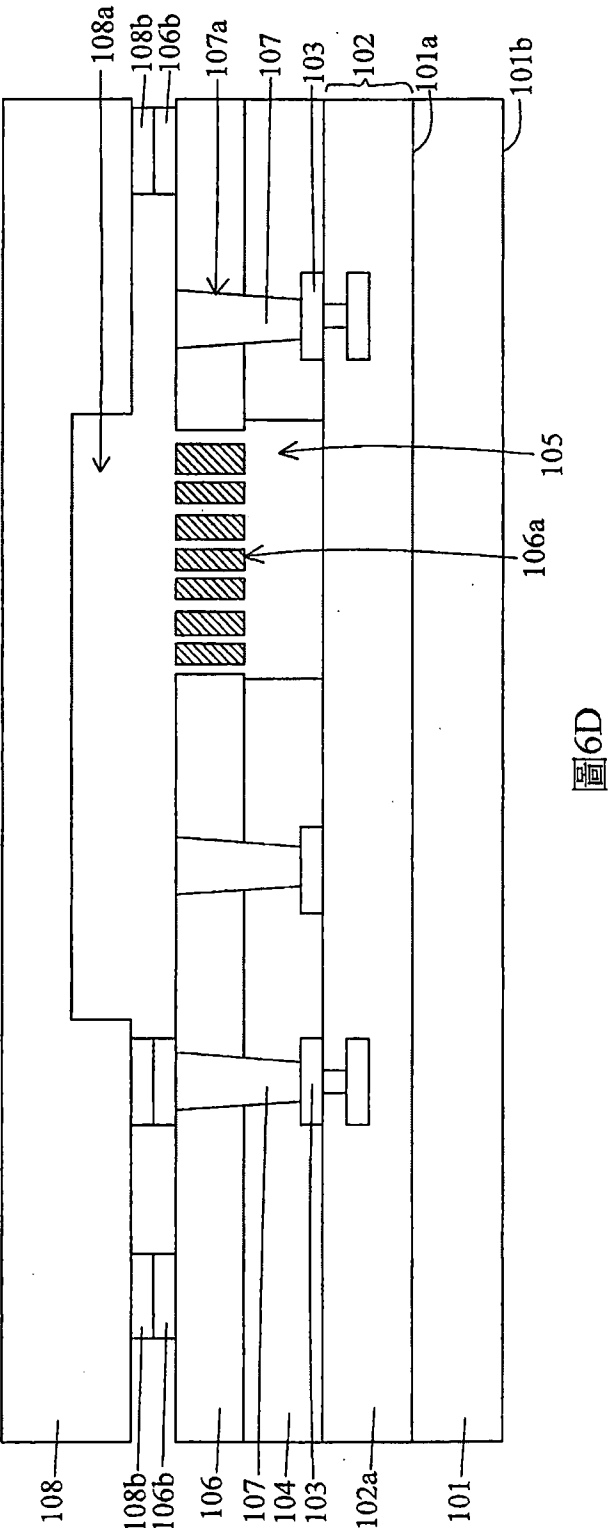


圖6D

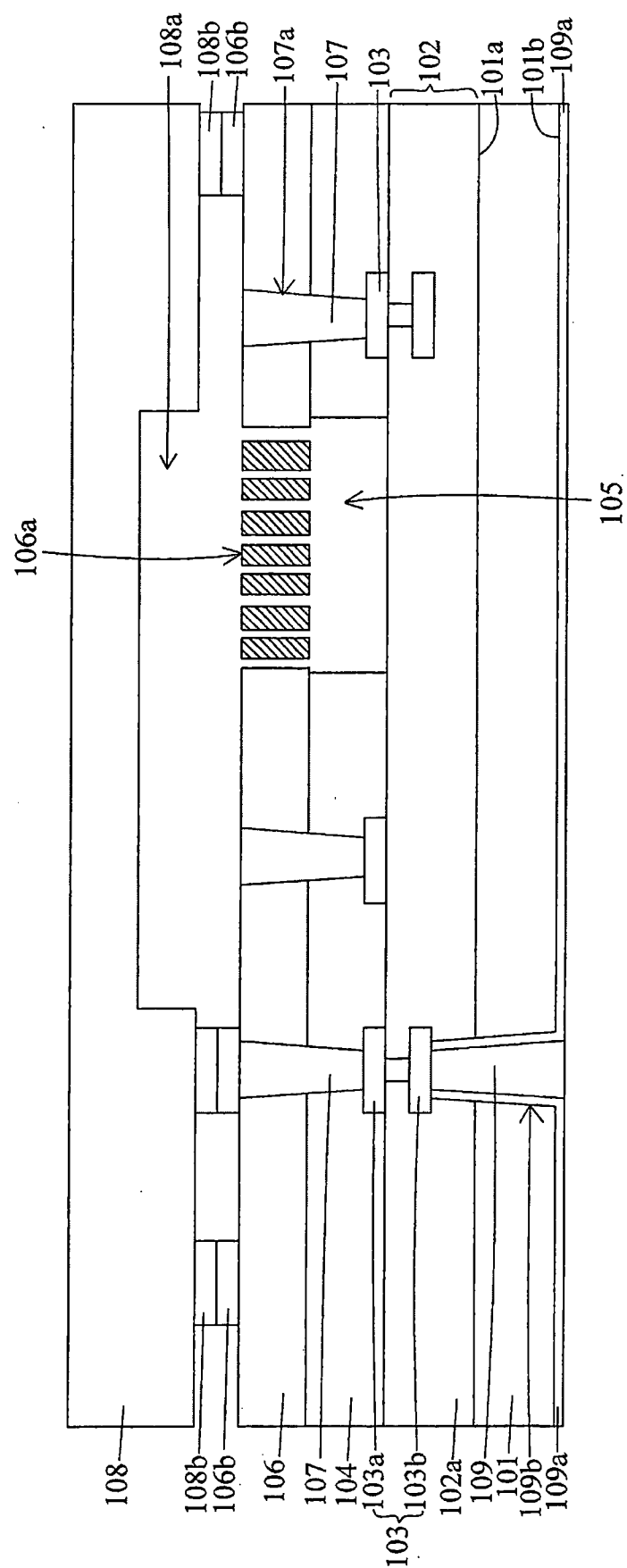


圖 69

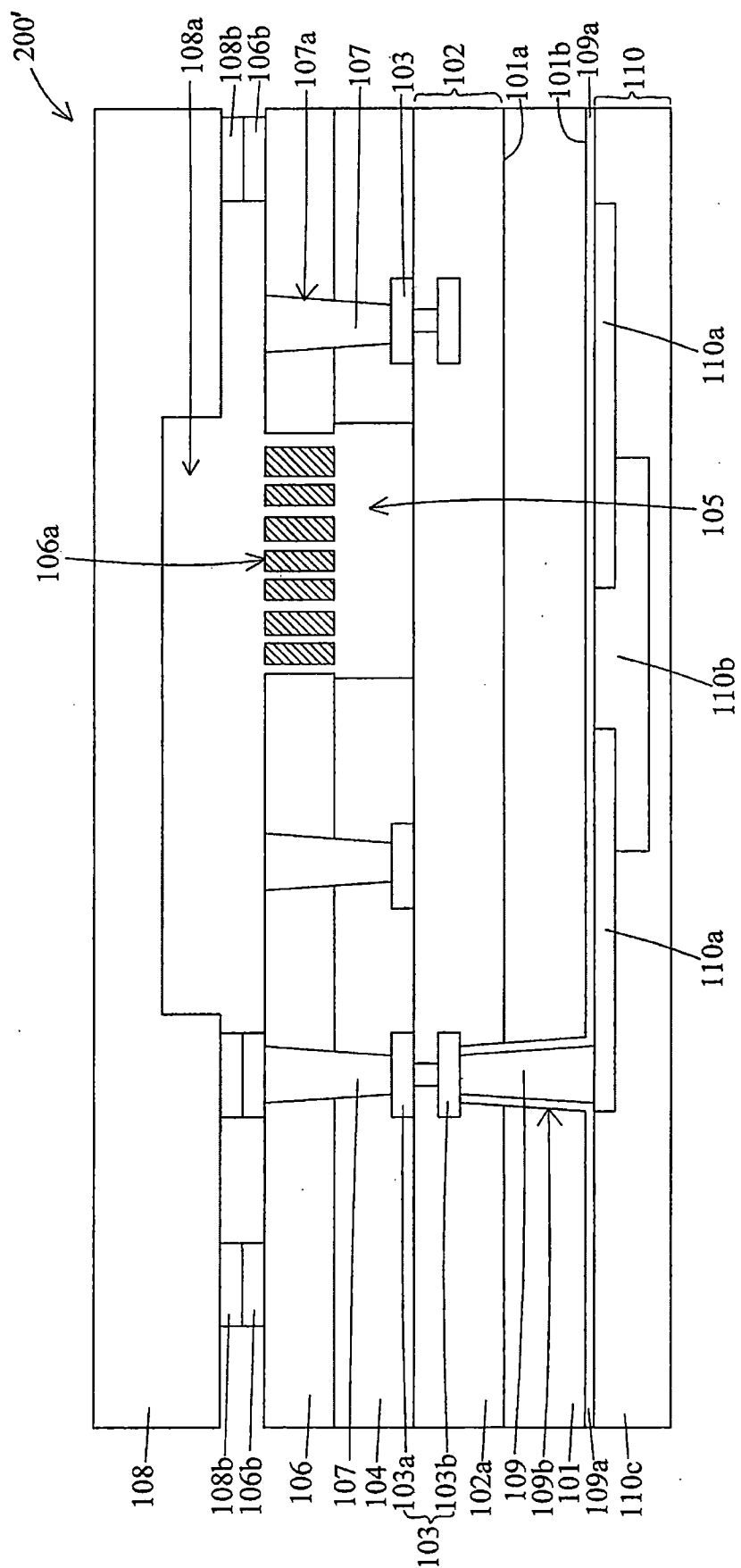


圖 6F

700

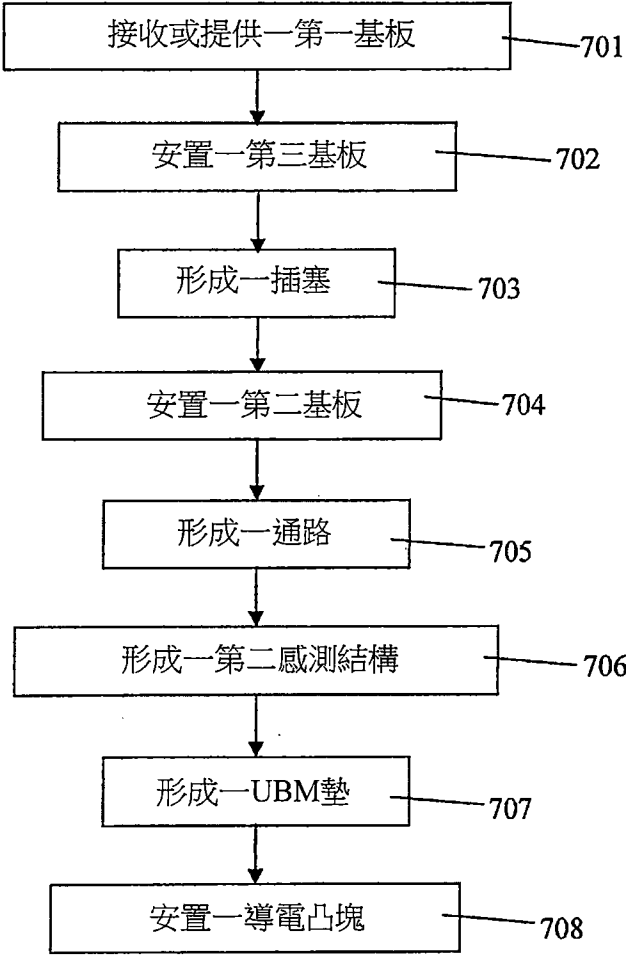
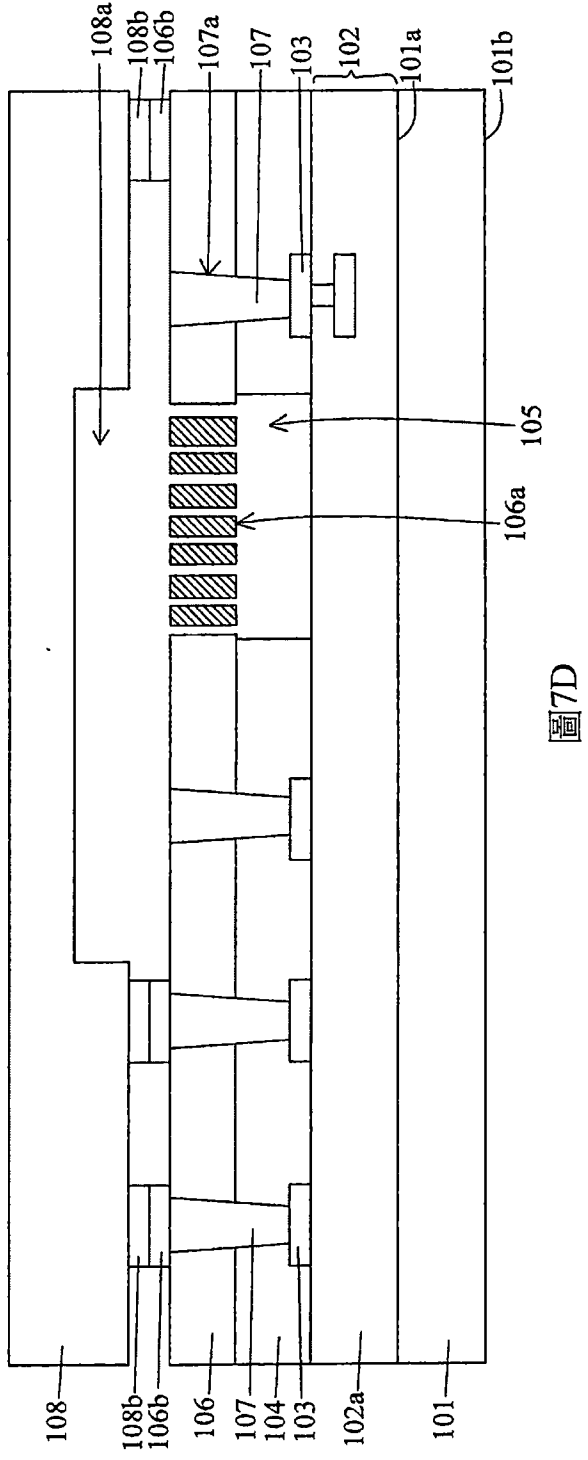
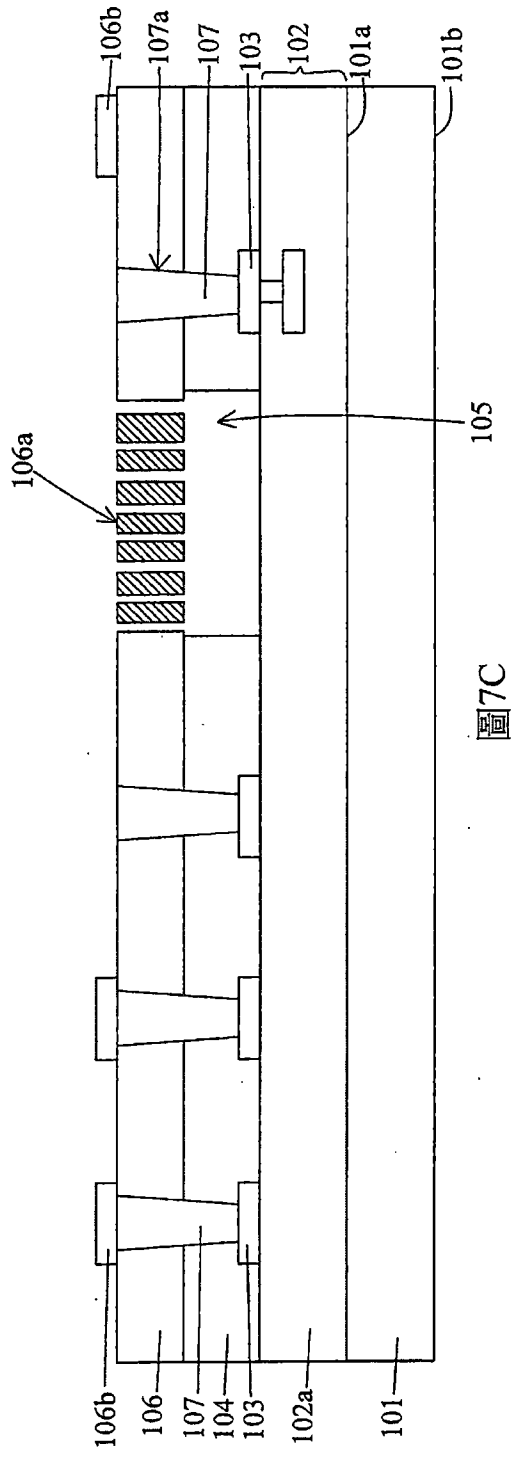


圖7



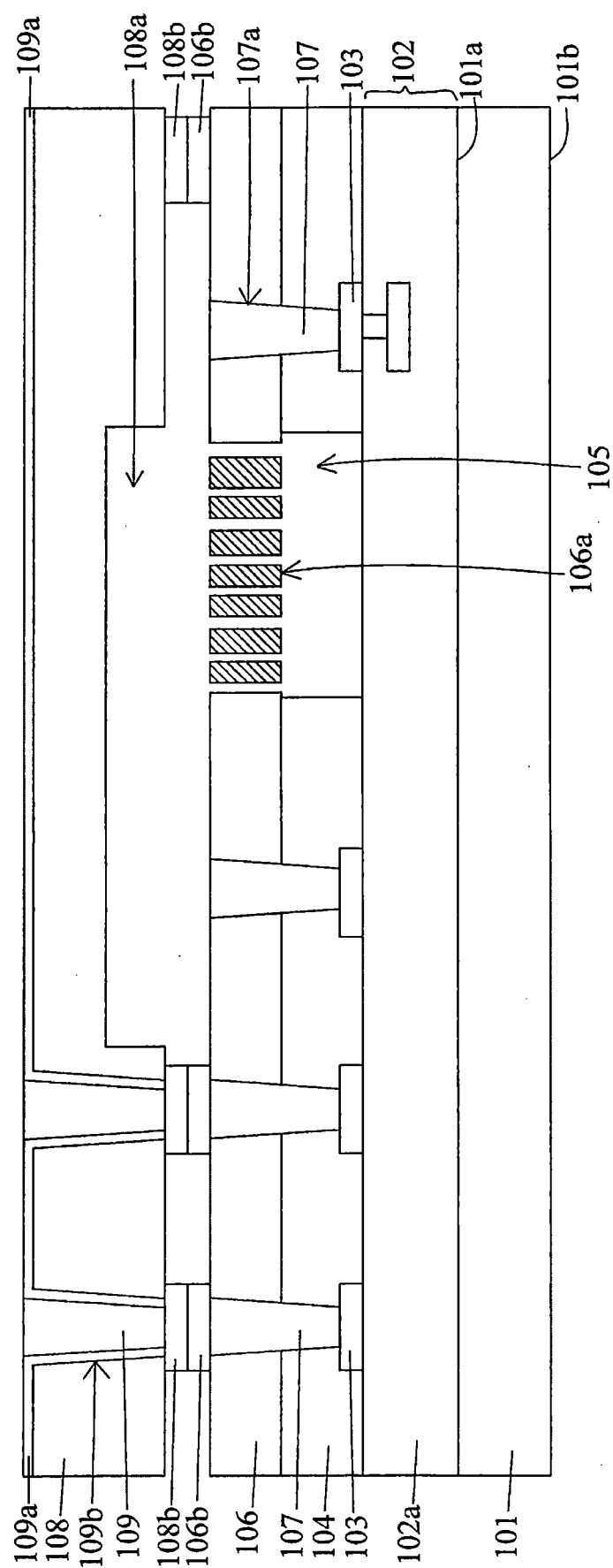
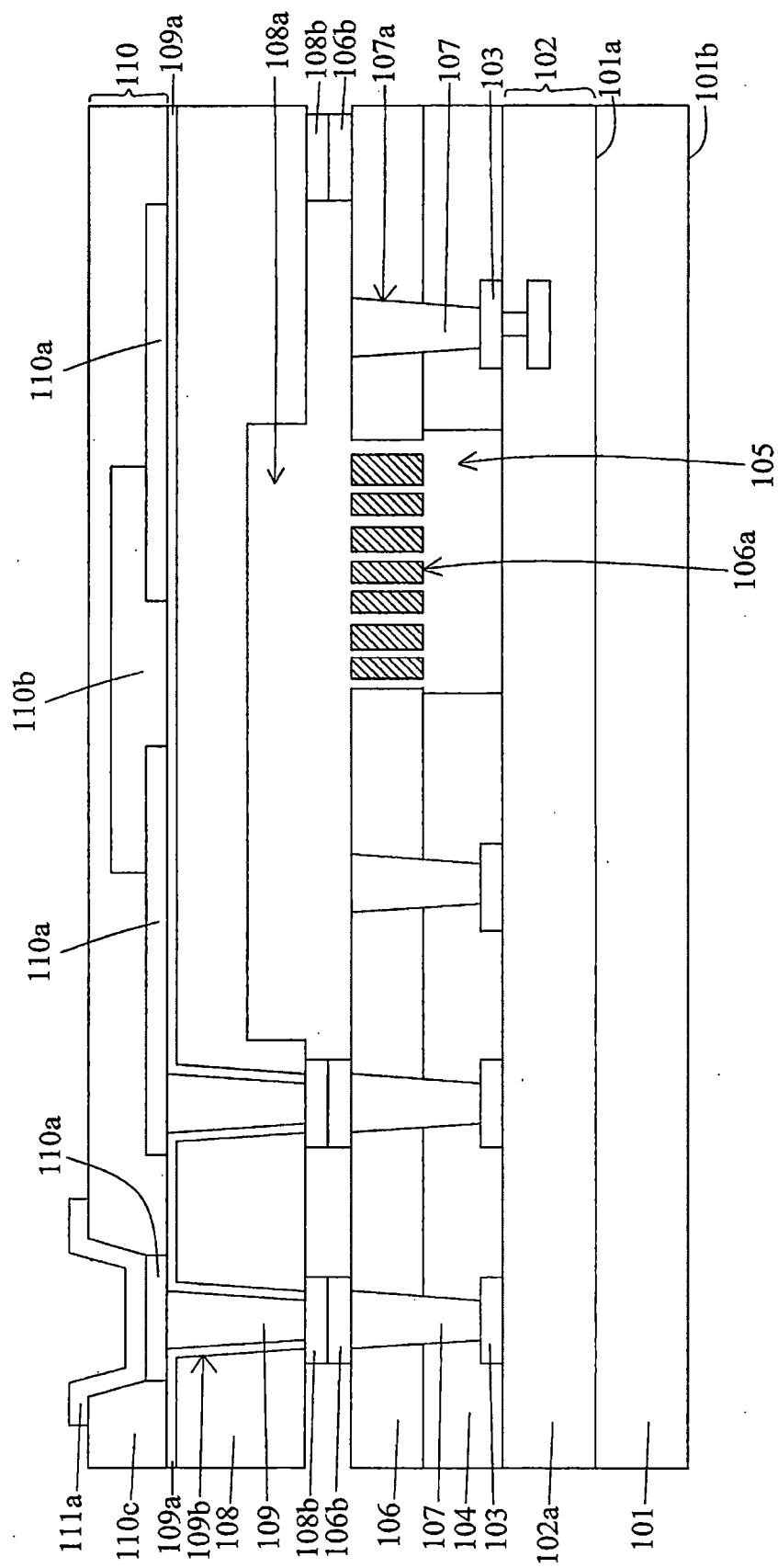


圖 7E

7G
回

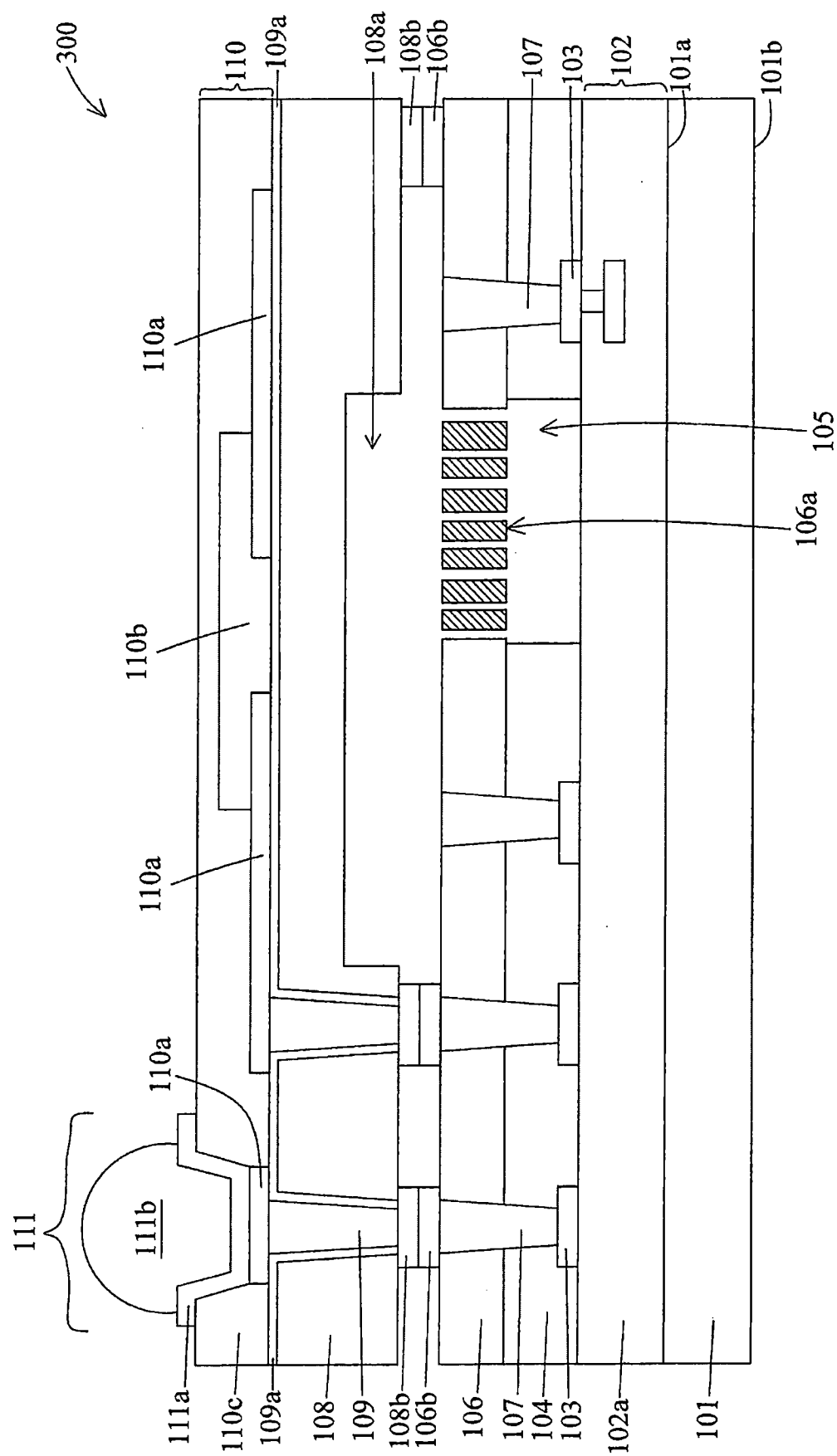


圖 7H

800

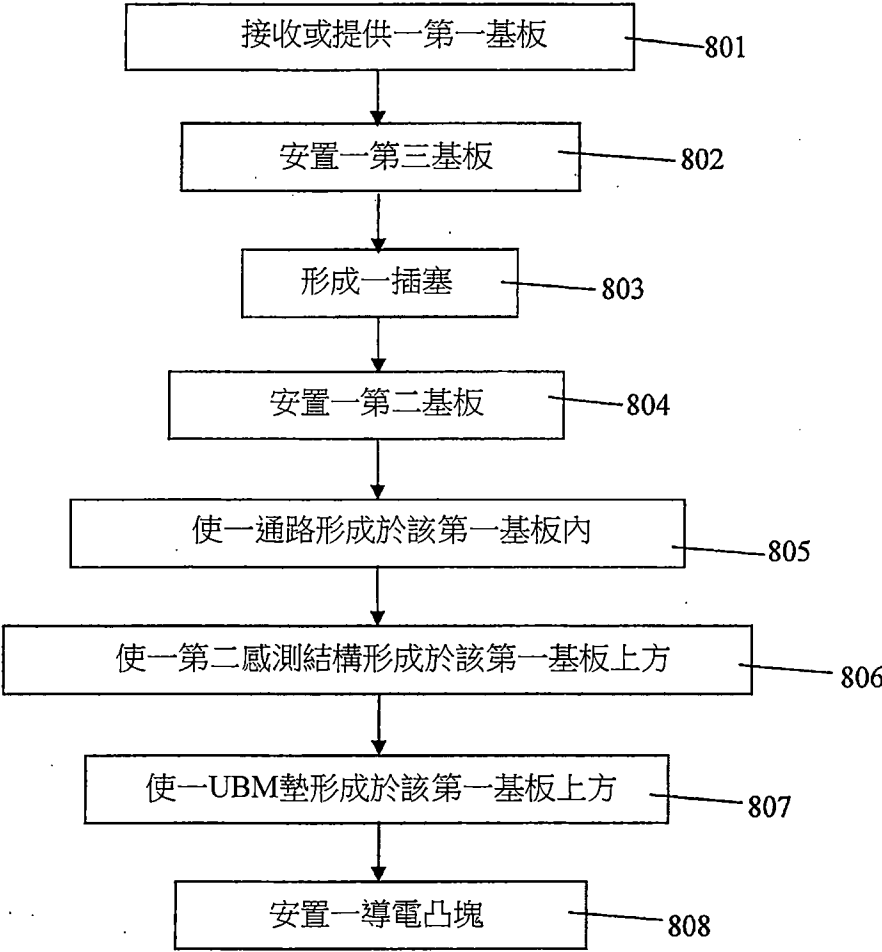


圖8

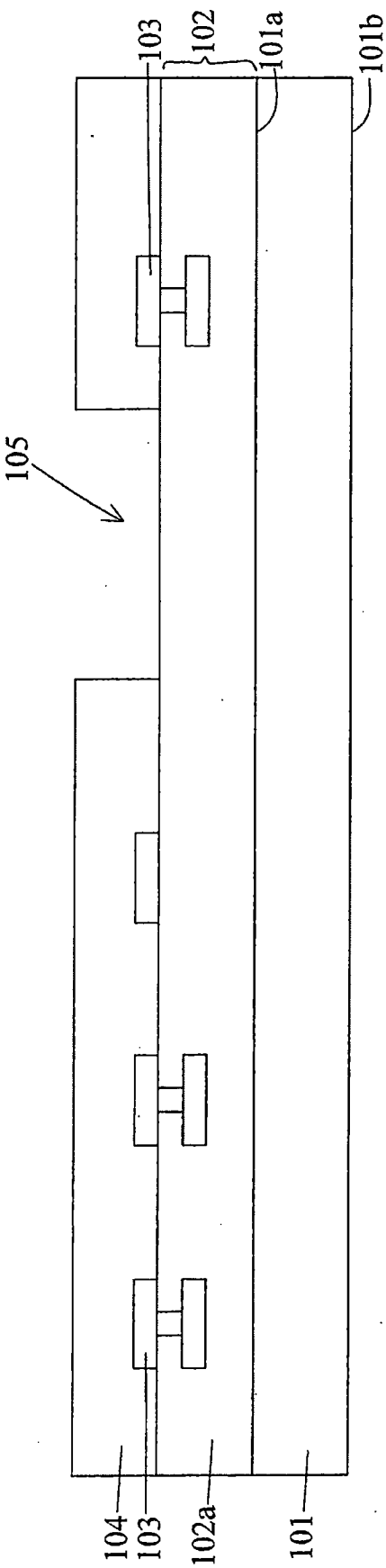


圖 8A

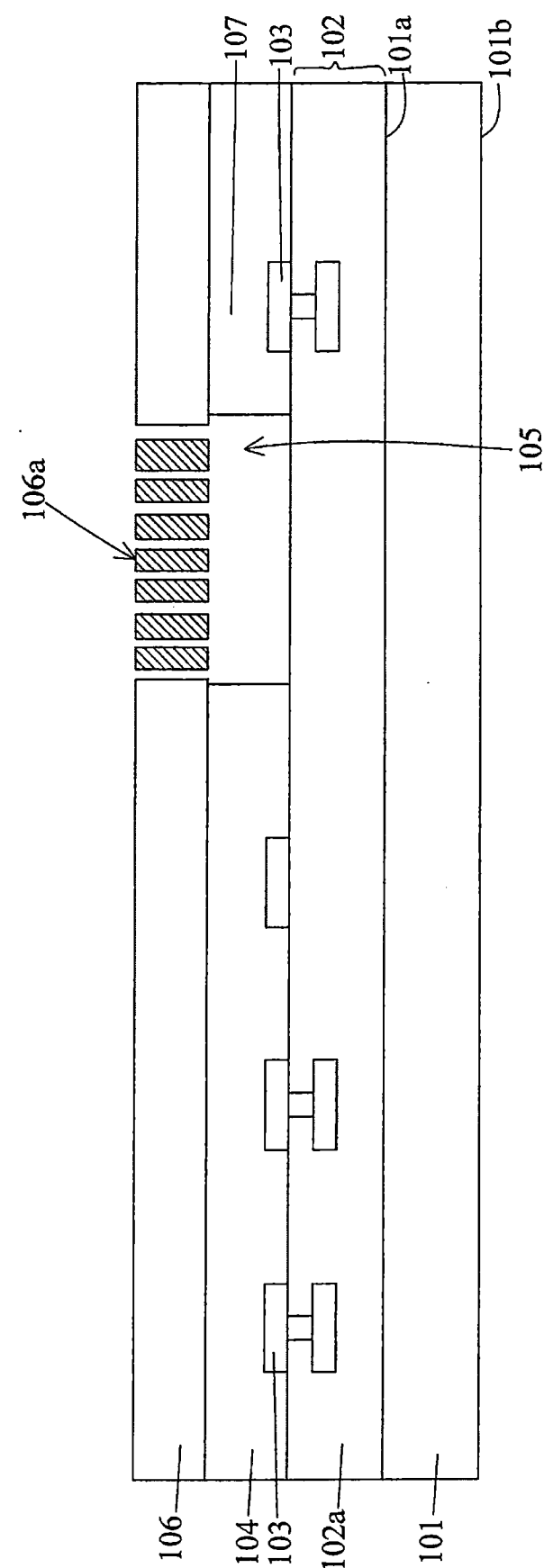


圖 8B

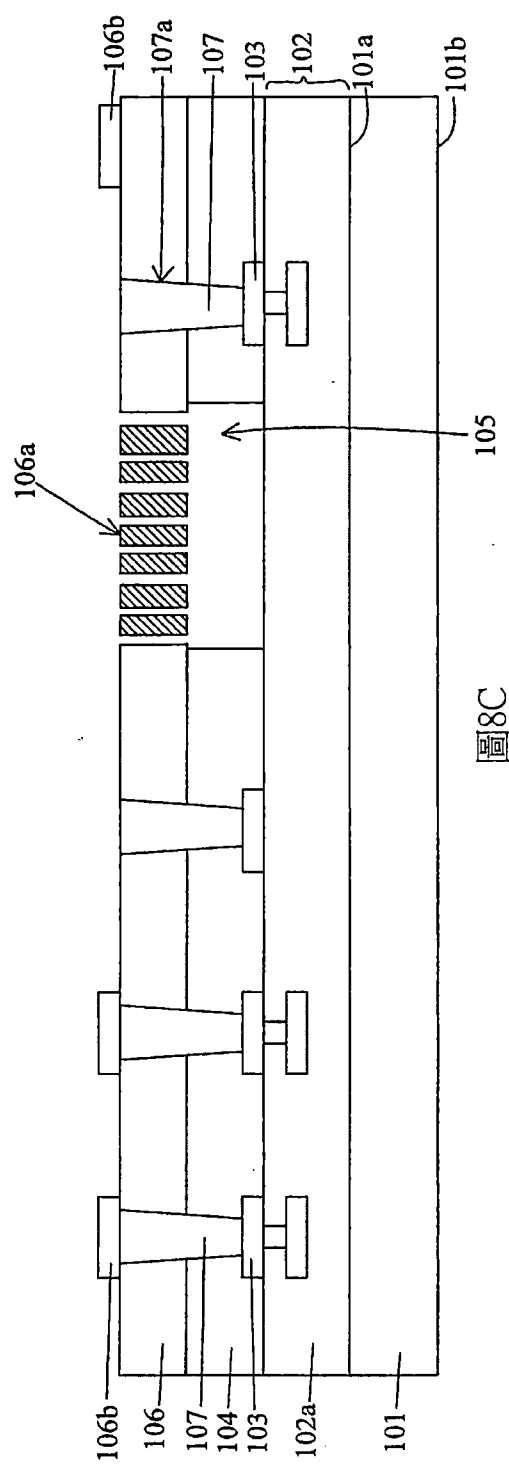


圖8C

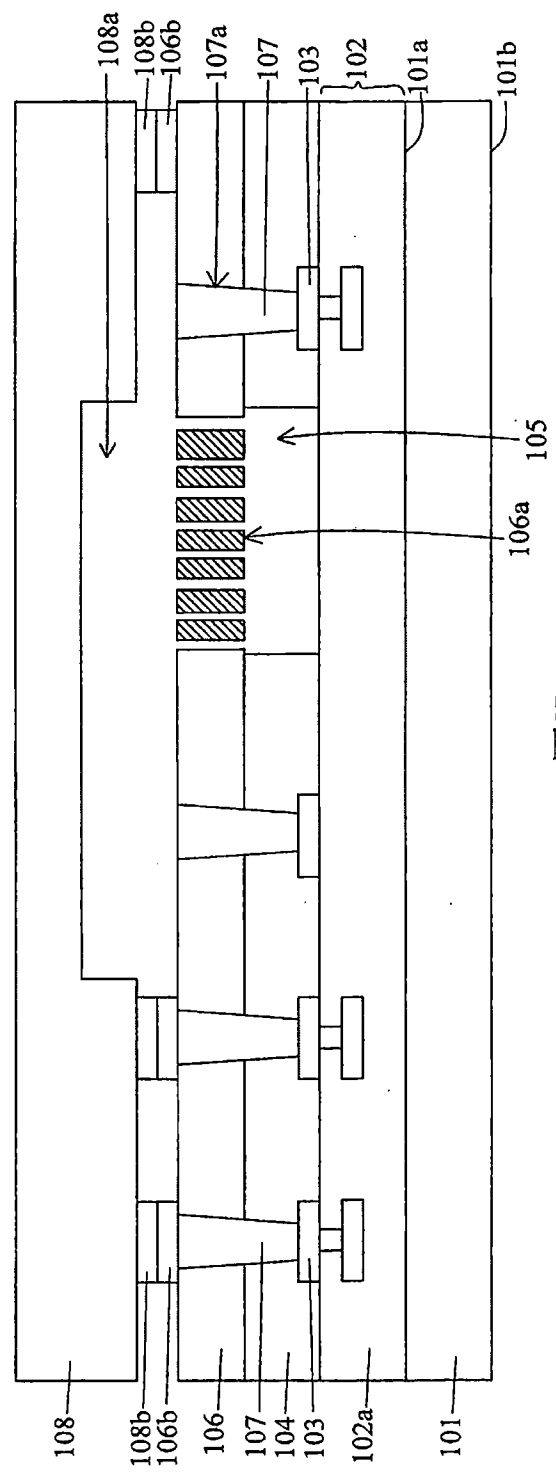


圖8D

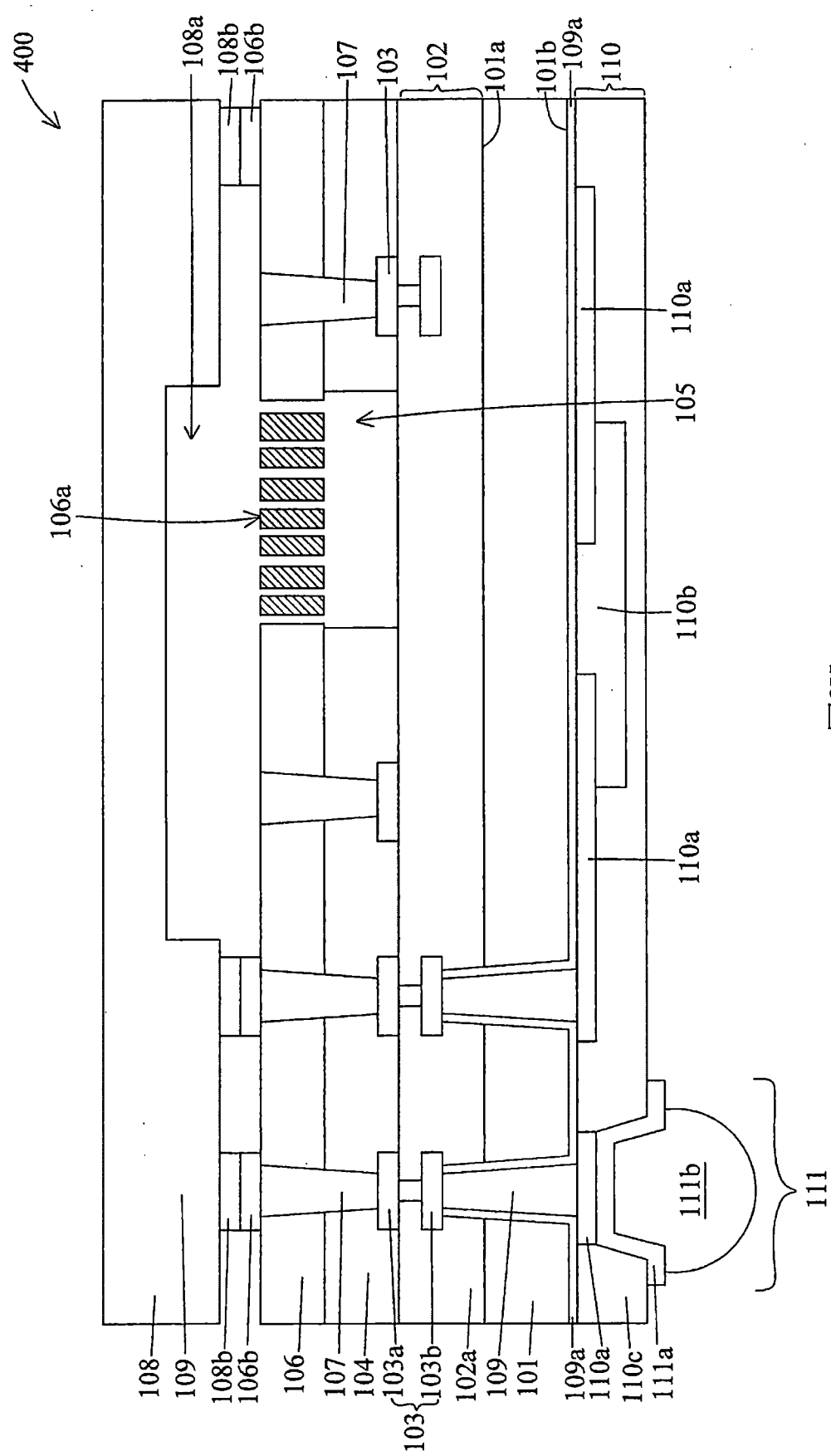


圖 8H

900

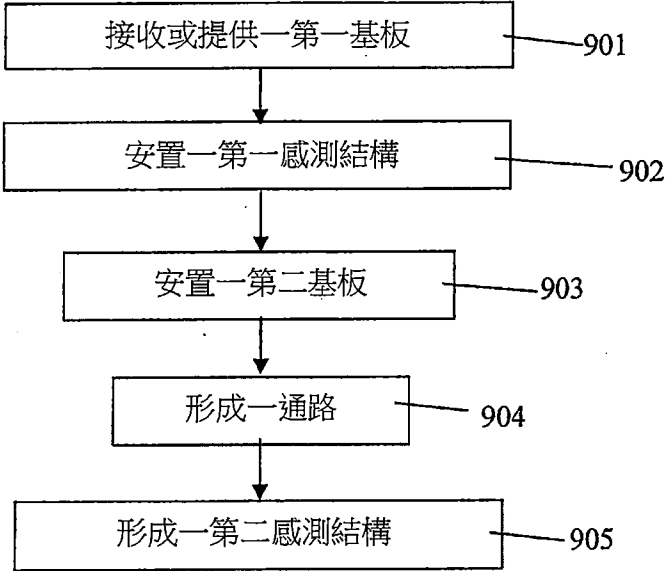


圖9

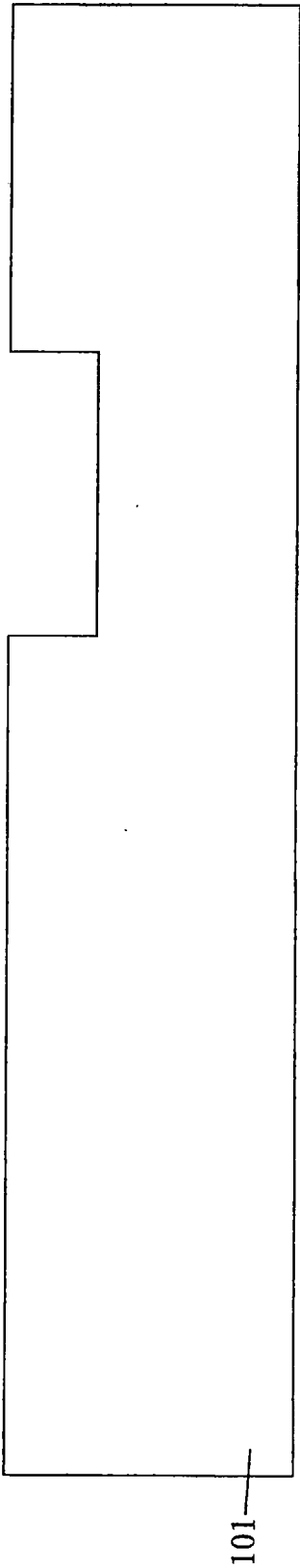


圖9A

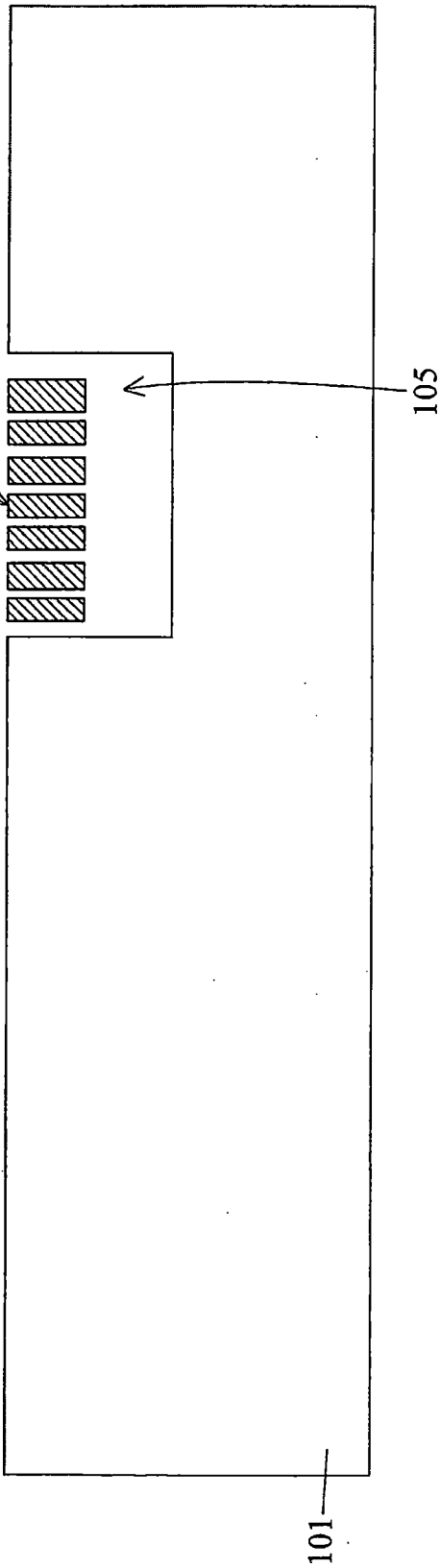


圖9B

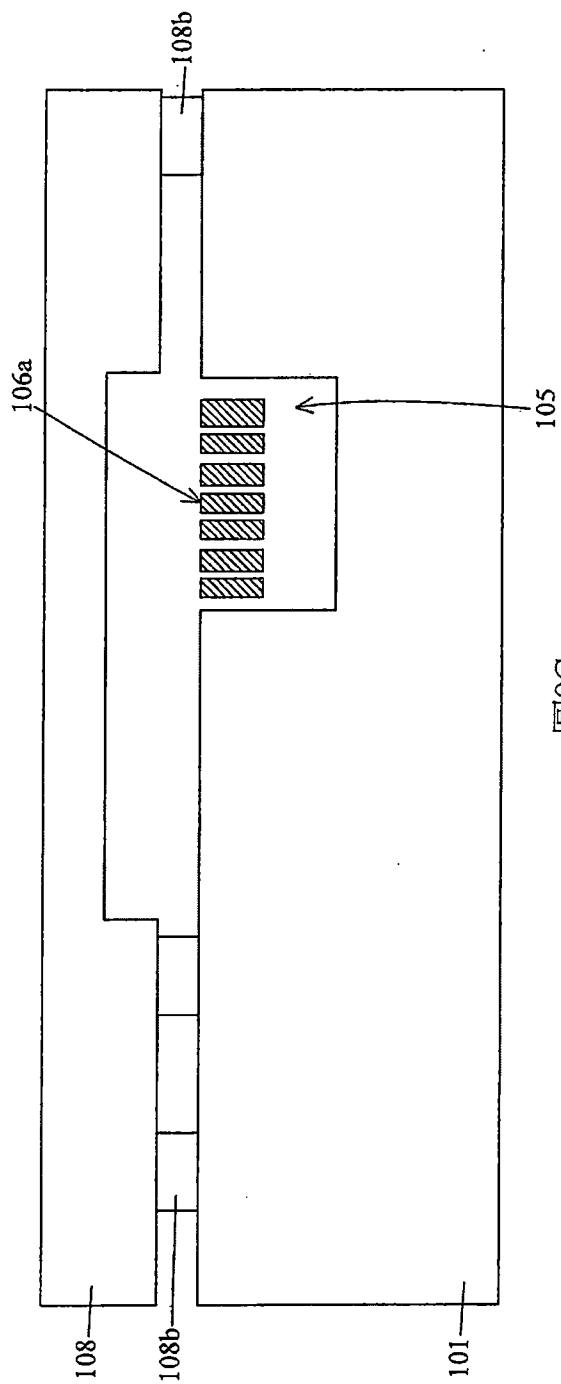


圖9C

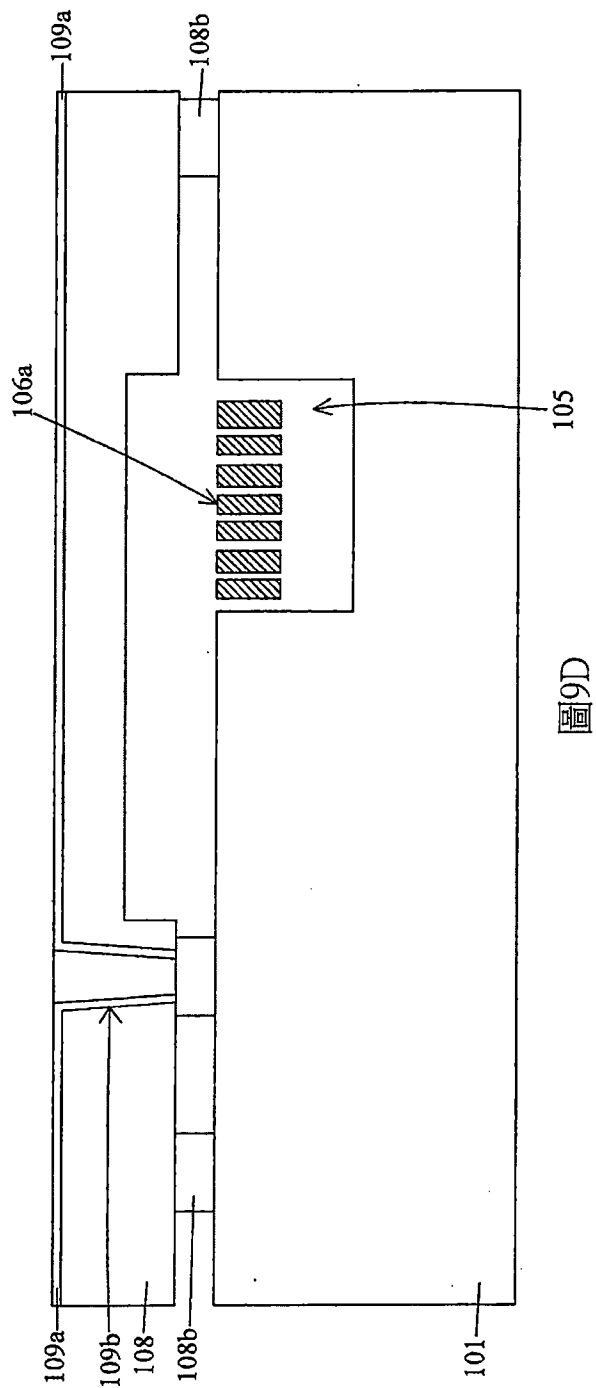


圖9D

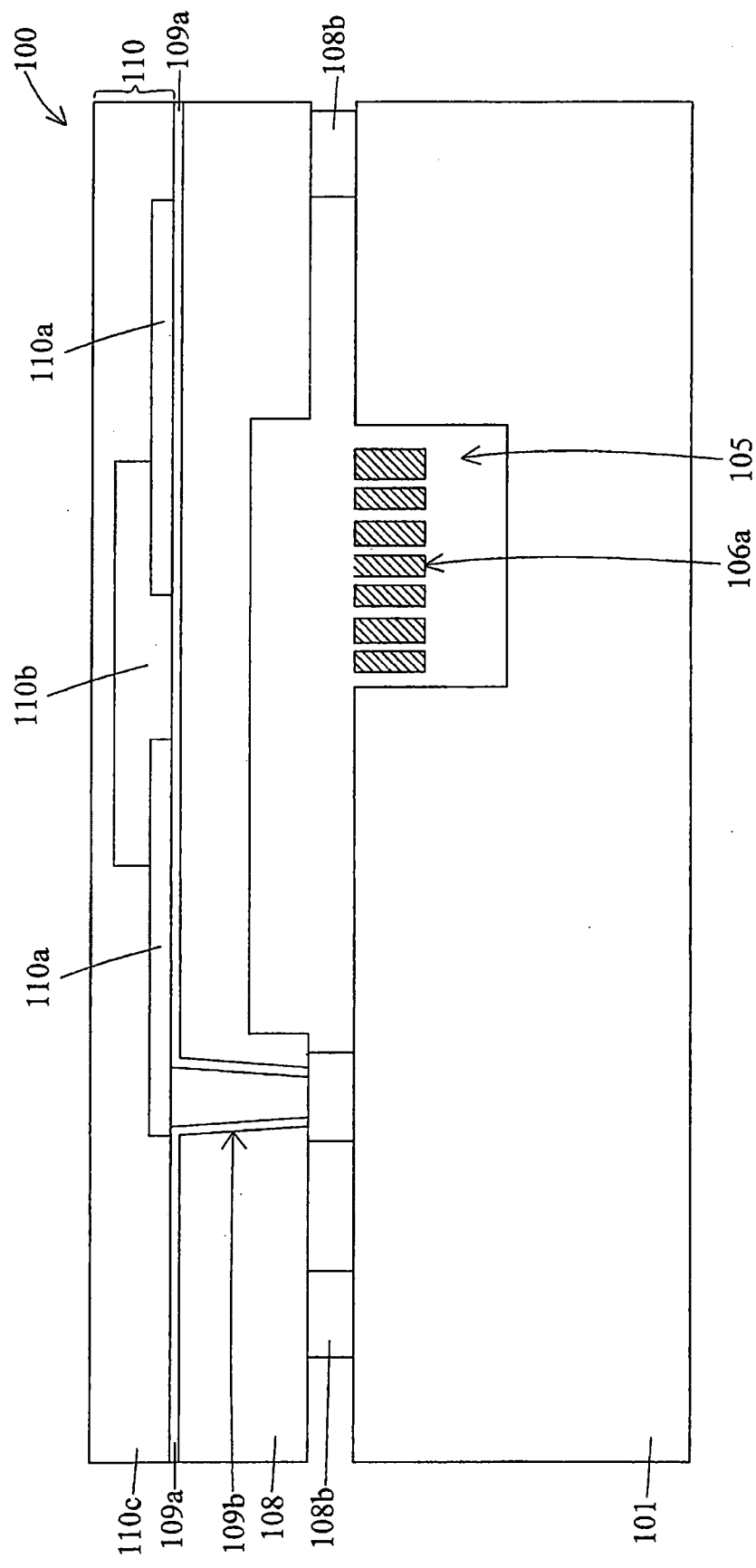


圖9E

1000

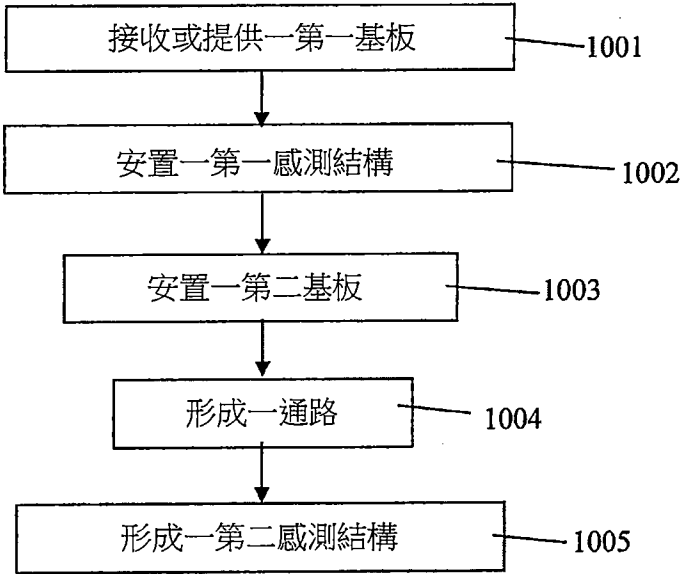


圖10

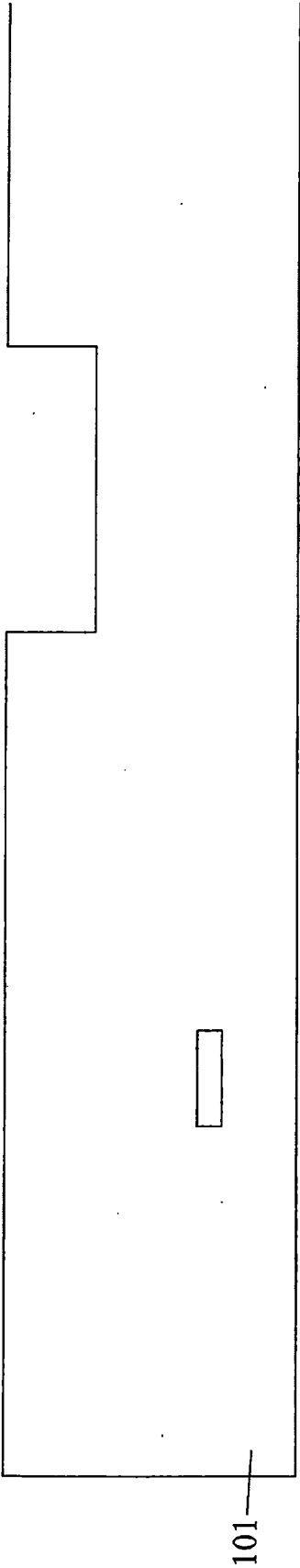


圖10A

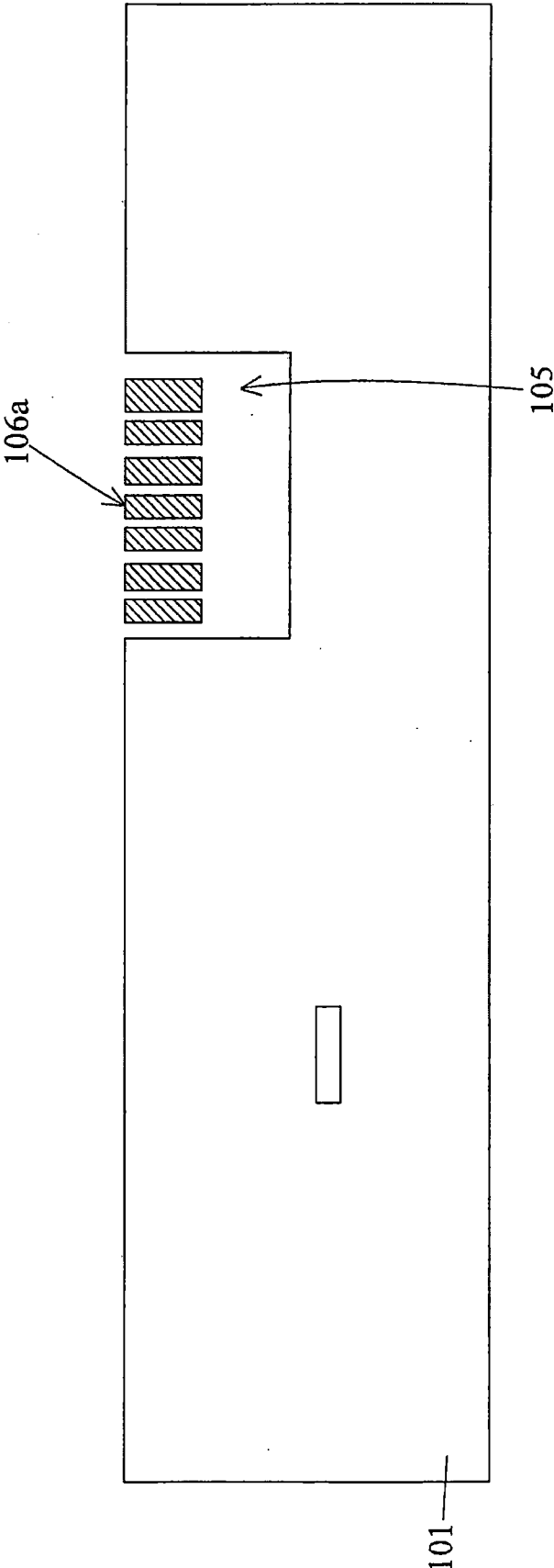


圖10B

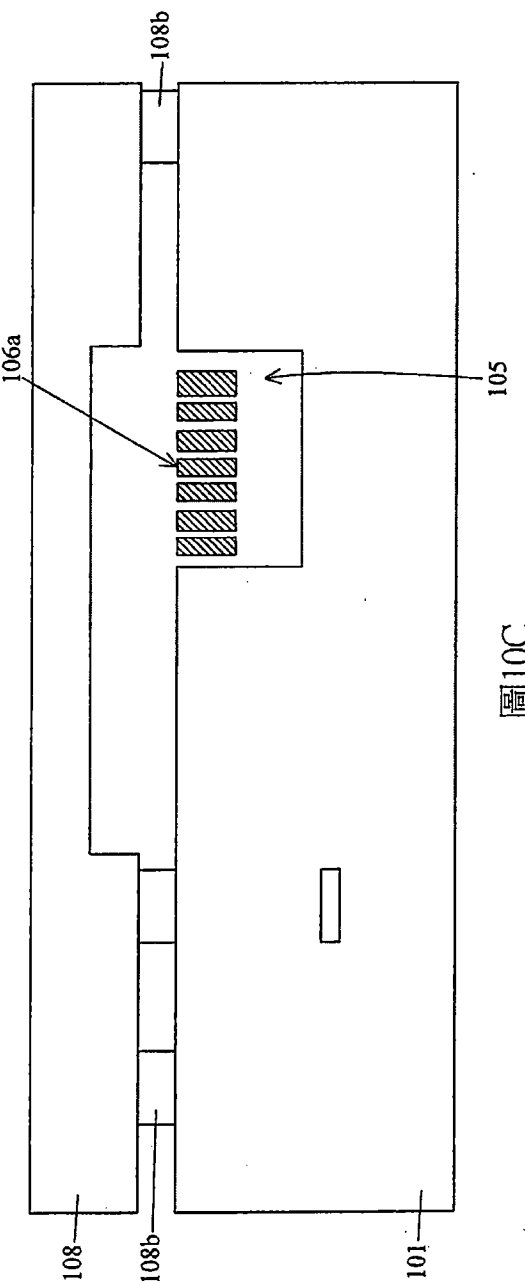


圖10C

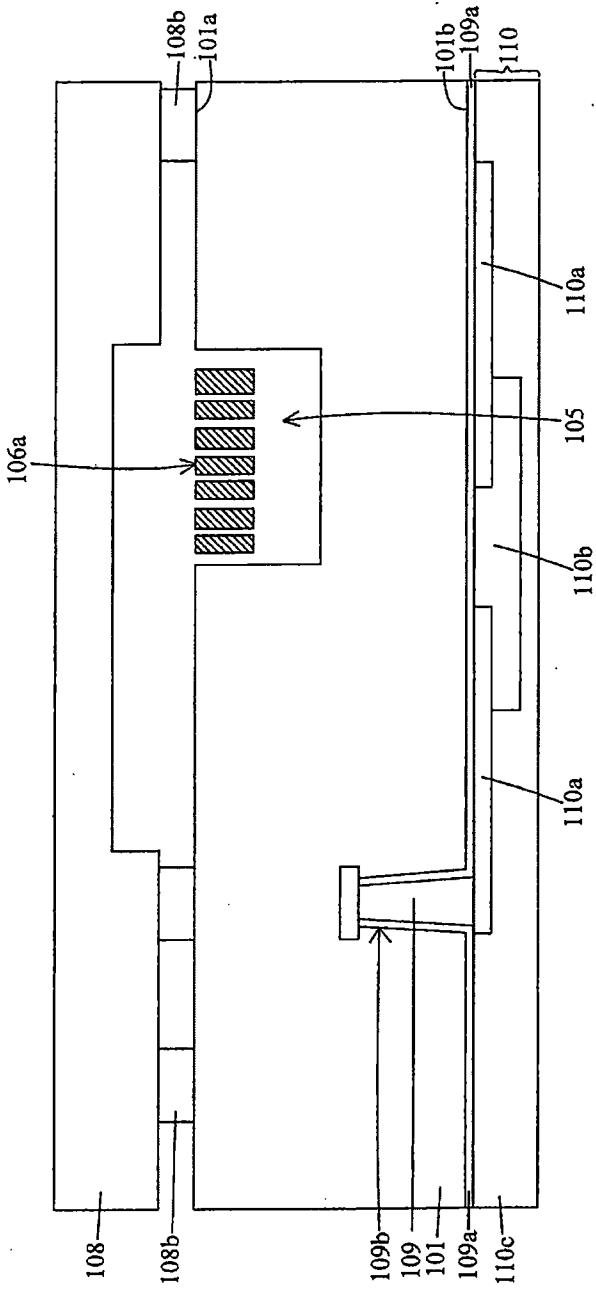


圖10D

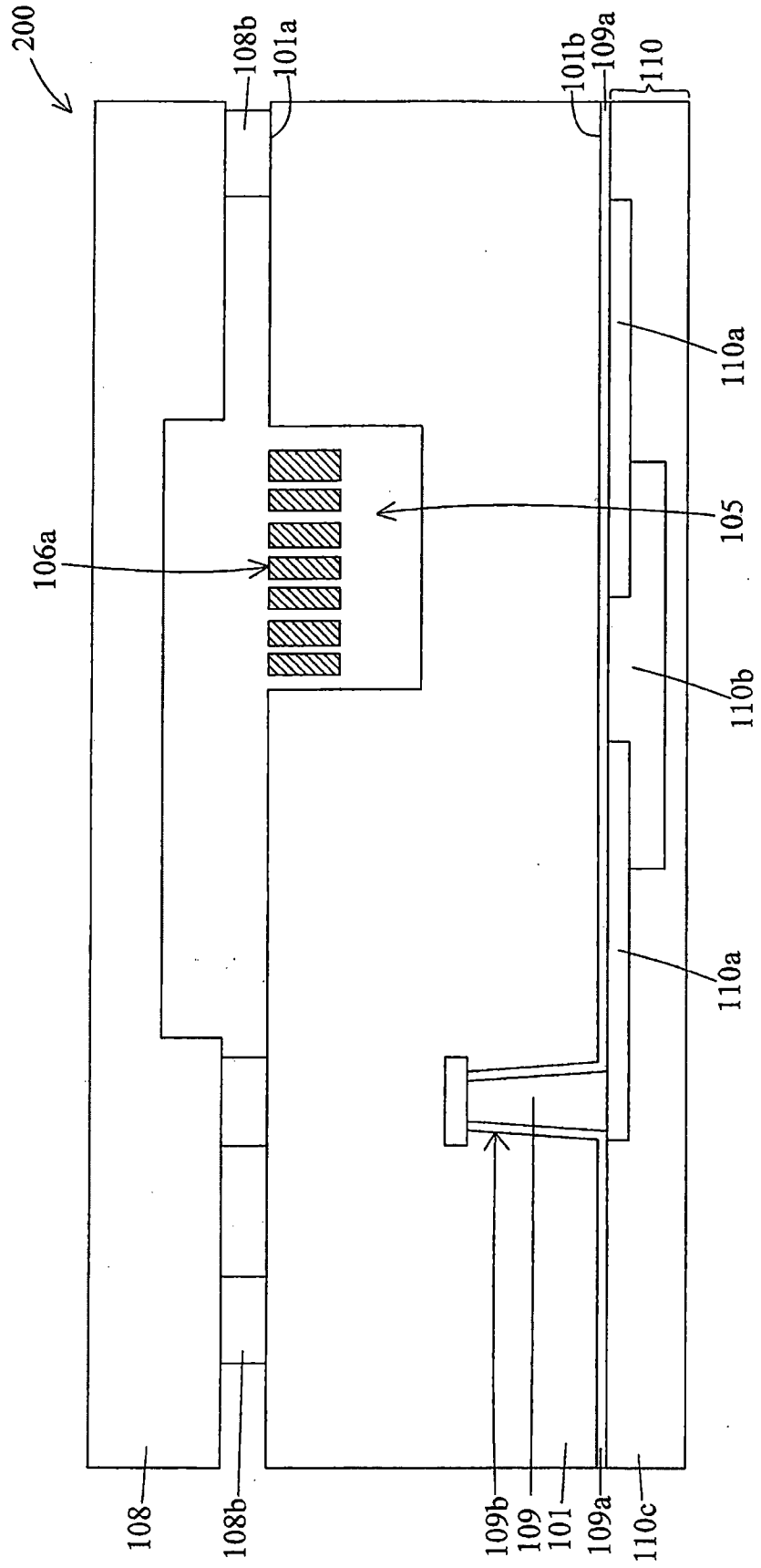


圖10E