

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年7月12日(2012.7.12)

【公表番号】特表2011-522413(P2011-522413A)

【公表日】平成23年7月28日(2011.7.28)

【年通号数】公開・登録公報2011-030

【出願番号】特願2011-511634(P2011-511634)

【国際特許分類】

H 01 L 27/10 (2006.01)

H 01 L 27/108 (2006.01)

H 01 L 21/8242 (2006.01)

G 11 C 11/413 (2006.01)

G 11 C 11/405 (2006.01)

【F I】

H 01 L 27/10 3 7 1

H 01 L 27/10 3 5 1

G 11 C 11/34 Z

G 11 C 11/34 3 5 2 B

【手続補正書】

【提出日】平成24年5月25日(2012.5.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ゲート型横型サイリスタ(GLT)デバイス(460)と、
前記ゲート型横型サイリスタ(GLT)デバイス(460)に結合され書き込みアクセスを制御するための書き込みアクセストランジスタ(470)と、

前記書き込みアクセストランジスタ(470)に直接的に結合され読み出しアクセスを制御するための読み出しアクセストランジスタ(480)とを備えたメモリセル(410)。

【請求項2】

前記GLTデバイス(460)、前記書き込みアクセストランジスタ(470)及び前記読み出しアクセストランジスタ(480)に結合される検出トランジスタ(490)を更に備えた、請求項1に記載のメモリセル(410)。

【請求項3】

前記書き込みアクセストランジスタ(470)は第1のノード(441/633)に結合され、

前記読み出しアクセストランジスタ(480)は第2のノード(442)に結合され且つ第3のノード(443)にて前記書き込みアクセストランジスタ(470)に直接的に結合され、

前記ゲート型横型サイリスタ(GLT)デバイス(460)は第4のノード(444)にて前記書き込みアクセストランジスタ(470)に結合され、

前記検出トランジスタ(490)は前記第4のノード(444)にて前記GLTデバイス(460)及び前記書き込みアクセストランジスタ(470)に結合され且つ第5のノード(445)にて前記読み出しアクセストランジスタ(480)に結合される、請求項

2に記載のメモリセル(410)。

【請求項4】

前記書き込みアクセストランジスタ(470)は、
 前記第1のノード(441/633)に結合される第1のソース電極(472)と、
 前記第4のノード(444)に結合される第1のドレイン電極(474)と、
 第1のゲート電極(475)と、を備えており、
 前記G L Tデバイス(460)は、
 前記第4のノード(444)にて前記第1のドレイン電極(474)に結合されるカソードノード(464)と、
 第6のノード(446)に結合されるゲート電極(465)と、
 前記検出トランジスタ(490)に結合されるアノードノード(466)と、を備えており、
 前記読み出しアクセストランジスタ(480)は、
 前記第2のノード(442)に結合される第2のソース電極(482)と、
 前記第5のノード(445)に結合される第2のドレイン電極(484)と、
 前記第1のゲート電極(475)に結合され且つ一体の第2のゲート電極(485)と、を備えており、
 前記検出トランジスタ(490)は、
 前記第5のノード(445)にて前記第2のドレイン電極(484)に結合される第3のソース電極(492)と、
 第7のノード(432/635)にて前記アノードノード(466)に結合される第3のドレイン電極(494)と、
 前記第4のノード(444)にて前記第1のドレイン電極(474)及び前記カソードノード(464)に結合される第3のゲート電極(495)と、を備えている、請求項3に記載のメモリセル(410)。

【請求項5】

供給線(432/632)と、
 書き込みビット線(452)と、
 読み出しひット線(454)と、
 前記書き込みビット線(452)及び前記供給線(632)の1つに結合される書き込みアクセストランジスタ(470)と、
 前記読み出しひット線(454)に結合され且つ前記書き込みアクセストランジスタ(470)に直接的に結合される読み出しアクセストランジスタ(480)と、
 前記書き込みアクセストランジスタ(470)に結合されるゲート型横型サイリスタ(G L T)デバイス(460)と、を備えたメモリデバイス(340)。

【請求項6】

書き込みイネーブル線(430)と、
 書き込みビット線(452)と、
 読み出しひット線(454)と、
 第1のゲート電極(475)、第1のソース電極(472)及び第1のドレイン電極(474)を備える第1のトランジスタ(470)と、
 前記第1のゲート電極(475)及び前記読み出しひット線(454)に結合される第2のソース電極(482)、前記第1のゲート電極(475)に結合される第2のゲート電極(485)、及び第2のドレイン電極(484)を備える第2のトランジスタ(480)と、
 アノードノード(466)、前記書き込みイネーブル線(430)に結合されるゲート電極(465)、及び前記第1のドレイン電極(474)に結合されるカソードノード(464)を備えるゲート型横型サイリスタ(G L T)デバイス(460)と、
 第3のドレイン電極(494)、前記第2のドレイン電極(484)に結合される第3のソース電極(492)、並びに共通ノード(444)にて前記第1のドレイン電極(4

74) 及び前記カソードノード(464)に結合される第3のゲート電極(495)を備える第3のトランジスタと、を備えたメモリデバイス(340)。

【請求項7】

前記アノードノード(466)及び前記第3のドレイン電極(494)に結合される供給線(432)を更に備え、

前記書き込みビット線(452)は前記第1のソース電極(472)に結合されている、請求項6に記載のメモリデバイス(340)。

【請求項8】

前記第1のソース電極(472)に結合される供給線(632)を更に備え、

前記アノードノード(466)は前記第3のドレイン電極(494)に結合され、

前記書き込みビット線(452)は前記アノードノード(466)及び前記第3のドレイン電極(494)に結合されている、請求項6に記載のメモリデバイス(340)。