

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 24 年 7 月 12 日 (2012.7.12)

【公表番号】特表 2011-522413 (P2011-522413A)

【公表日】平成 23 年 7 月 28 日 (2011.7.28)

【年通号数】公開・登録公報 2011-030

【出願番号】特願 2011-511634 (P2011-511634)

【国際特許分類】

H 0 1 L 27/10 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 21/8242 (2006.01)

G 1 1 C 11/413 (2006.01)

G 1 1 C 11/405 (2006.01)

【 F I 】

H 0 1 L 27/10 3 7 1

H 0 1 L 27/10 3 5 1

G 1 1 C 11/34 Z

G 1 1 C 11/34 3 5 2 B

【手続補正書】

【提出日】平成 24 年 5 月 25 日 (2012.5.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ゲート型横型サイリスタ (G L T) デバイス (4 6 0) と、
前記ゲート型横型サイリスタ (G L T) デバイス (4 6 0) に結合され書き込みアクセスを制御するための書き込みアクセストランジスタ (4 7 0) と、
前記書き込みアクセストランジスタ (4 7 0) に直接的に結合され読み出しアクセスを制御するための読み出しアクセストランジスタ (4 8 0) とを備えたメモリセル (4 1 0) 。

【請求項 2】

前記 G L T デバイス (4 6 0) 、前記書き込みアクセストランジスタ (4 7 0) 及び前記読み出しアクセストランジスタ (4 8 0) に結合される検出トランジスタ (4 9 0) を更に備えた、請求項 1 に記載のメモリセル (4 1 0) 。

【請求項 3】

前記書き込みアクセストランジスタ (4 7 0) は第 1 のノード (4 4 1 / 6 3 3) に結合され、

前記読み出しアクセストランジスタ (4 8 0) は第 2 のノード (4 4 2) に結合され且つ第 3 のノード (4 4 3) にて前記書き込みアクセストランジスタ (4 7 0) に直接的に結合され、

前記ゲート型横型サイリスタ (G L T) デバイス (4 6 0) は第 4 のノード (4 4 4) にて前記書き込みアクセストランジスタ (4 7 0) に結合され、

前記検出トランジスタ (4 9 0) は前記第 4 のノード (4 4 4) にて前記 G L T デバイス (4 6 0) 及び前記書き込みアクセストランジスタ (4 7 0) に結合され且つ第 5 のノード (4 4 5) にて前記読み出しアクセストランジスタ (4 8 0) に結合される、請求項

2 に記載のメモリセル (4 1 0) 。

【請求項 4】

前記書き込みアクセストランジスタ (4 7 0) は、
前記第 1 のノード (4 4 1 / 6 3 3) に結合される第 1 のソース電極 (4 7 2) と、
前記第 4 のノード (4 4 4) に結合される第 1 のドレイン電極 (4 7 4) と、
第 1 のゲート電極 (4 7 5) と、を備えており、
前記 G L T デバイス (4 6 0) は、
前記第 4 のノード (4 4 4) にて前記第 1 のドレイン電極 (4 7 4) に結合されるカソードノード (4 6 4) と、
第 6 のノード (4 4 6) に結合されるゲート電極 (4 6 5) と、
前記検出トランジスタ (4 9 0) に結合されるアノードノード (4 6 6) と、を備えており、

前記読み出しアクセストランジスタ (4 8 0) は、
前記第 2 のノード (4 4 2) に結合される第 2 のソース電極 (4 8 2) と、
前記第 5 のノード (4 4 5) に結合される第 2 のドレイン電極 (4 8 4) と、
前記第 1 のゲート電極 (4 7 5) に結合され且つ一体の第 2 のゲート電極 (4 8 5) と、
を備えており、
前記検出トランジスタ (4 9 0) は、
前記第 5 のノード (4 4 5) にて前記第 2 のドレイン電極 (4 8 4) に結合される第 3 のソース電極 (4 9 2) と、
第 7 のノード (4 3 2 / 6 3 5) にて前記アノードノード (4 6 6) に結合される第 3 のドレイン電極 (4 9 4) と、
前記第 4 のノード (4 4 4) にて前記第 1 のドレイン電極 (4 7 4) 及び前記カソードノード (4 6 4) に結合される第 3 のゲート電極 (4 9 5) と、を備えている、請求項 3 に記載のメモリセル (4 1 0) 。

【請求項 5】

供給線 (4 3 2 / 6 3 2) と、
書き込みビット線 (4 5 2) と、
読み出しビット線 (4 5 4) と、
前記書き込みビット線 (4 5 2) 及び前記供給線 (6 3 2) の 1 つに結合される書き込みアクセストランジスタ (4 7 0) と、
前記読み出しビット線 (4 5 4) に結合され且つ前記書き込みアクセストランジスタ (4 7 0) に直接的に結合される読み出しアクセストランジスタ (4 8 0) と、
前記書き込みアクセストランジスタ (4 7 0) に結合されるゲート型横型サイリスタ (G L T) デバイス (4 6 0) と、を備えたメモリデバイス (3 4 0) 。

【請求項 6】

書き込みイネーブル線 (4 3 0) と、
書き込みビット線 (4 5 2) と、
読み出しビット線 (4 5 4) と、
第 1 のゲート電極 (4 7 5) 、第 1 のソース電極 (4 7 2) 及び第 1 のドレイン電極 (4 7 4) を備える第 1 のトランジスタ (4 7 0) と、
前記第 1 のゲート電極 (4 7 5) 及び前記読み出しビット線 (4 5 4) に結合される第 2 のソース電極 (4 8 2) 、前記第 1 のゲート電極 (4 7 5) に結合される第 2 のゲート電極 (4 8 5) 、及び第 2 のドレイン電極 (4 8 4) を備える第 2 のトランジスタ (4 8 0) と、
アノードノード (4 6 6) 、前記書き込みイネーブル線 (4 3 0) に結合されるゲート電極 (4 6 5) 、及び前記第 1 のドレイン電極 (4 7 4) に結合されるカソードノード (4 6 4) を備えるゲート型横型サイリスタ (G L T) デバイス (4 6 0) と、
第 3 のドレイン電極 (4 9 4) 、前記第 2 のドレイン電極 (4 8 4) に結合される第 3 のソース電極 (4 9 2) 、並びに共通ノード (4 4 4) にて前記第 1 のドレイン電極 (4

74) 及び前記カソードノード(464)に結合される第3のゲート電極(495)を備える第3のトランジスタと、を備えたメモリデバイス(340)。

【請求項7】

前記アノードノード(466)及び前記第3のドレイン電極(494)に結合される供給線(432)を更に備え、

前記書き込みビット線(452)は前記第1のソース電極(472)に結合されている、請求項6に記載のメモリデバイス(340)。

【請求項8】

前記第1のソース電極(472)に結合される供給線(632)を更に備え、

前記アノードノード(466)は前記第3のドレイン電極(494)に結合され、

前記書き込みビット線(452)は前記アノードノード(466)及び前記第3のドレイン電極(494)に結合されている、請求項6に記載のメモリデバイス(340)。