

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 10 月 19 日 (19.10.2023)



(10) 国际公布号
WO 2023/197399 A1

(51) 国际专利分类号:
G11C 29/50 (2006.01) *G11C 29/08* (2006.01)

(21) 国际申请号: PCT/CN2022/093270

(22) 国际申请日: 2022 年 5 月 17 日 (17.05.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210374029.0 2022 年 4 月 11 日 (11.04.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

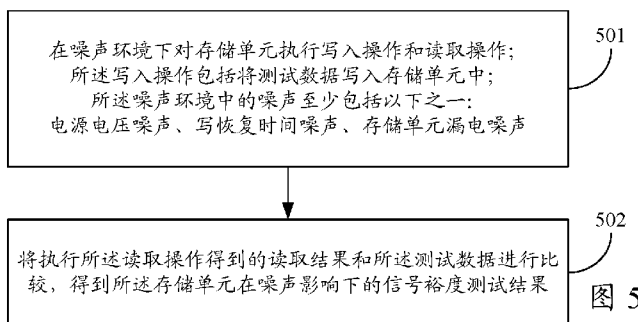
(72) 发明人: 周 坤 (ZHOU, Kun); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,

(54) Title: MEMORY TESTING METHOD AND APPARATUS, AND MEMORY SYSTEM

(54) 发明名称: 一种存储器的测试方法、装置及存储器系统



- 501 Execute a write operation and a read operation on a memory unit in a noise environment, wherein the write operation comprises writing test data in the memory unit, and noise in the noise environment at least comprises one of the following: power source voltage noise, write recovery time noise, and electric leakage noise of the memory unit
- 502 Compare a read result, which is obtained by means of executing the read operation, with the test data to obtain a signal margin test result of the memory unit affected by the noise

(57) Abstract: Disclosed are a memory testing method and apparatus, and a memory system. The method comprises: executing a write operation and a read operation on a memory unit in a noise environment, wherein the write operation comprises writing test data in the memory unit (501); and comparing a read result, which is obtained by means of executing the read operation, with the test data to obtain a signal margin test result of the memory unit affected by noise (502), wherein the noise in the noise environment at least comprises one of the following: power source voltage noise, write recovery time noise, and electric leakage noise of the memory unit.

SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL,
PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 公开了一种存储器的测试方法、装置及存储器系统, 方法包括: 在噪声环境下对存储单元执行写入操作和读取操作; 写入操作包括将测试数据写入存储单元中(501); 将执行读取操作得到的读取结果和测试数据进行比较, 得到存储单元在噪声影响下的信号裕度测试结果(502); 噪声环境中的噪声至少包括以下之一: 电源电压噪声、写恢复时间噪声、存储单元漏电噪声。

一种存储器的测试方法、装置及存储器系统

相关的交叉引用

本公开基于申请号为 202210374029.0、申请日为 2022 年 04 月 11 日、发明名称为“一种存储器的测试方法、装置及存储器系统”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，尤其涉及一种存储器的测试方法、装置及存储器系统。

背景技术

动态随机存取存储器（Dynamic Random Access Memory, DRAM）是当代计算机系统中不可或缺的组成部件，由许多阵列排布的存储单元组成。

在 DRAM 中，存储单元自身以及相邻存储单元之间存在着多种噪声。这些噪声会消耗存储单元的信号裕度，导致存储单元产生由于信号裕度不足造成的失效。

因此，在测试过程中准确地检测出存在潜在信号裕度不足缺陷的存储单元，对于 DRAM 的性能评估具有重要意义。

发明内容

有鉴于此，本公开实施例为解决现有技术中存在的至少一个问题而提供一种存储器的测试方法、装置及存储器系统。

为达到上述目的，本公开实施例的技术方案是这样实现的：

第一方面，本公开实施例提供一种存储器的测试方法，所述方法包括：

在噪声环境下对存储单元执行写入操作和读取操作；所述写入操作包括将测试数据写入所述存储单元中；

将执行所述读取操作得到的读取结果和所述测试数据进行比较，得到所述存储单元在噪声影响下的信号裕度测试结果；

所述噪声环境中的噪声至少包括以下之一：电源电压噪声、写恢复时间噪声、存储单元漏电噪声。

在一种可选的实施方式中，所述在噪声环境下对存储单元执行写入操作和读取操作，包括：

将电源电压从第一电压调整为第二电压；所述第一电压大于所述第二

电压；

在所述电源电压噪声环境下对存储单元执行写入操作和读取操作。

在一种可选的实施方式中，所述在噪声环境下对存储单元执行写入操作和读取操作，包括：

- 5 将写恢复时间从第一时长调整为第二时长；所述第一时长大于所述第二时长；

在所述写恢复时间噪声环境下对存储单元执行写入操作和读取操作。

在一种可选的实施方式中，所述在噪声环境下对存储单元执行写入操作和读取操作，包括：

- 10 将所述写入操作和所述读取操作之间的等待时间从第三时长调整为第四时长；所述第三时长小于所述第四时长；

在所述存储单元漏电噪声环境下对存储单元执行写入操作和读取操作。

在一种可选的实施方式中，所述对存储单元执行写入操作，包括：

对所述存储单元执行第一写入操作，将背景数据写入所述存储单元中；

- 15 按照预设数据结构，对所述存储单元执行第二写入操作，将所述预设数据结构中的测试数据写入所述存储单元中。

在一种可选的实施方式中，所述第二写入操作对应的写恢复时间小于所述第一写入操作对应的写恢复时间。

- 20 在一种可选的实施方式中，所述背景数据为第一数据；所述预设数据结构中的测试数据包括第一数据和第二数据，所述第二数据对应的存储单元为目标存储单元。

在一种可选的实施方式中，所述存储器为动态随机存取存储器。

第二方面，本公开实施例提供一种存储器测试装置，所述装置包括：

- 25 数据处理模块，配置为在噪声环境下对所述存储单元执行写入操作和读取操作；所述写入操作包括将测试数据写入所述存储单元中；

比较模块，配置为将执行所述读取操作得到的读取结果和所述测试数据进行比较，得到所述存储单元在噪声影响下的信号裕度测试结果；

所述噪声环境中的噪声至少包括以下之一：电源电压噪声、写恢复时间噪声、存储单元漏电噪声。

- 30 在一种可选的实施方式中，所述装置还包括：

电压调整模块，配置为将电源电压从第一电压调整为第二电压；所述第一电压大于所述第二电压；

所述数据处理模块，具体配置为在所述电源电压噪声环境下对所述存储单元执行写入操作和读取操作。

- 35 在一种可选的实施方式中，所述装置还包括：

写恢复时间调整模块，配置为将写恢复时间从第一时长调整为第二时长；所述第一时长大于所述第二时长；

所述数据处理模块，具体配置为在所述写恢复时间噪声环境下对所述

存储单元执行写入操作和读取操作。

在一种可选的实施方式中，所述装置还包括：

等待时间调整模块，配置为将所述写入操作和所述读取操作之间的等待时间从第三时长调整为第四时长；所述第三时长小于所述第四时长；

5 所述数据处理模块，具体配置为在所述存储单元漏电噪声环境下对所述存储单元执行写入操作和读取操作。

在一种可选的实施方式中，所述数据处理模块包括：

第一写入模块，配置为对所述存储模块执行第一写入操作，将背景数据写入所述存储单元中；

10 第二写入模块，配置为按照预设数据结构，对所述存储单元执行第二写入操作，将所述预设数据结构中的测试数据写入所述存储单元中。

在一种可选的实施方式中，所述第二写入操作的写恢复时间小于所述第一写入操作的写恢复时间。

15 在一种可选的实施方式中，所述背景数据为第一数据；所述预设数据结构中的测试数据包括第一数据和第二数据，所述第二数据对应的存储单元为目标存储单元。

第三方面，本公开实施例提供一种存储器系统，包括：控制器以及多个耦合至所述控制器的存储器；其中，

所述控制器，被配置为执行第一方面所述的存储器测试方法。

20 在本公开所提供的技术方案中，提供了一种存储器的测试方法，所述方法包括：在噪声环境下对存储单元执行写入操作和读取操作；所述写入操作包括将测试数据写入所述存储单元中；将执行所述读取操作得到的读取结果和所述测试数据进行比较，得到所述存储单元在噪声影响下的信号裕度测试结果；所述噪声环境中的噪声至少包括以下之一：电源电压噪声、
25 写恢复时间噪声、存储单元漏电噪声。本公开通过在电源电压噪声、写恢复时间噪声、存储单元漏电噪声等噪声环境中对存储单元进行信号裕度测试，能有效提高测试覆盖率，使得存在潜在信号裕度不足缺陷的存储单元更容易被检测出来，提高了存储器性能评估的准确性。

附图说明

30 图 1 为本公开实施例提供的存储器中存储单元阵列的组成结构示意图；
图 2 为本公开实施例提供的存储单元阵列中存储单元的组成结构示意图；

图 3 为本公开实施例提供读取操作时的电路结构示意图；

图 4 为本公开实施例提供读取操作的时序图；

35 图 5 为本公开实施例提供的存储器的测试方法的实现流程示意图；

图 6 为本公开实施例提供的写恢复时间噪声环境下失效位元的数量随写恢复时间的变化曲线；

图 7 为本公开实施例提供的存储单元漏电噪声环境下失效位元的数量随写入操作和读取操作之间的等待时间的变化曲线;

图 8a-8c 为本公开实施例提供的三种不同的预设数据结构;

图 9 为本公开实施例一具体示例提供的存储器的测试流程图;

5 图 10 为本公开实施例提供的存储器的测试装置的组成结构示意图;

图 11 为本公开实施例提供的存储器系统的组成结构示意图。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式, 然而应当理解, 可以以各种形式实现本公开, 而不应被这里阐述的具体实施方式所限制。相反, 提供这些实施方式是为了能够更透彻地理解本公开, 并且能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中, 给出了大量具体的细节以便提供对本公开更为彻底的理解。然而, 对于本领域技术人员而言显而易见的是, 本公开可以无需一个或多个这些细节而得以实施。在其他的例子中, 为了避免与本公开发生混淆, 对于本领域公知的一些技术特征未进行描述; 即, 这里不描述实际实施例的全部特征, 不详细描述公知的功能和结构。

在附图中, 为了清楚, 层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白, 空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等, 在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白, 除了图中所示的取向以外, 空间关系术语意图还包括使用和操作中的器件的不同取向。例如, 如果附图中的器件翻转, 然后, 描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此, 示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向(旋转 90 度或其它取向)并且在此使用的空间描述术语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限定。在此使用时, 单数形式的“一”、“一个”和“所述/该”也意图包括复数形式, 除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”, 当在该说明书中使用, 确定所述特征、整数、步骤、操作、元件和/或部件的存在, 但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时, 术语“和/或”包括相关所列项目的任何及所有组合。

附图中所示的方框图仅仅是功能实体, 不一定必须与物理上独立的实体相对应。即, 可以采用软件形式来实现这些功能实体, 或在一个或多个

软件硬化的模块中实现这些功能实体或功能实体的一部分，或在不同网络和/或处理器装置和/或微控制器装置中实现这些功能实体。

本公开实施例中涉及的存储装置可以包括动态随机存取存储器 (Dynamic Random Access Memory, DRAM)，尤其适应用于采用 DDR4 内存规格、DDR5 内存规格的双倍数据速率同步动态随机存取存储器和采用 LPDDR5 内存规格的低功耗双倍数据速率同步动态随机存取存储器。需要说明的是，本公开实施例并不限于 DRAM，但在后续的介绍中，为了描述清楚，仅以 DRAM 为例进行说明。

图 1 为本公开实施例提供的存储器中存储单元阵列的组成结构示意图。如图 1 所示，在 DRAM 中，存储单元阵列典型地以行和列布置，使得特定的存储单元可以通过指定其阵列的行和列来寻址。存储单元阵列包括多条字线（图 1 中示出的 WL）、多个位线对（图 1 中示出的 BL/BLB）、多个位于所述字线和位线的交叉位置处的存储单元（图 1 中示出的“■”），以及多个连接到所述位线对的感应放大器（图 1 中示出的“SA”）。图 1 中还示出了控制位线激活的列选择信号 (CSL)，控制写驱动器的写使能信号 (WE) 和多条本地输入输出线（图 1 中示出的 LIO）。

图 2 为本公开实施例提供的存储单元阵列中存储单元的组成结构示意图。如图 2 所示，DRAM 中的每个存储单元通常包括电容器（Storage Capacitor, SC）和晶体管（Access Transistor, AT），晶体管 AT 的栅极与字线 WL 相连，漏极与位线相连，源极与电容器 SC 相连。字线 WL 上的电压信号能够控制晶体管 AT 的打开或关闭，进而通过位线 BL 读取存储在电容器 SC 中的数据信息，或者通过位线 BL 将数据信息写入到电容器 SC 中进行存储。

下面先结合图 3 和图 4 对存储单元的数据读取过程进行说明，其中，图 3 为读取操作时的电路结构示意图，图 4 为读取操作的时序图。

如图 3 所示，感应放大器 100 包括四个晶体管，分别为第一晶体管 101、第二晶体管 102、第三晶体管 103 和第四晶体管 104，其中，第一晶体管 101 和第三晶体管 103 均为 PMOS (Positive channel Metal Oxide Semiconductor, P 型金属氧化物半导体) 晶体管，第二晶体管 102 和第四晶体管 104 均为 NMOS (Negative channel Metal Oxide Semiconductor, N 型金属氧化物半导体) 晶体管。第一晶体管 101 的栅极连接至参考位线 BLB，第一晶体管 101 的漏极和源极分别与位线 BL 和 P 型感应放大器控制信号 (Sense-Amplifier P-Fet Control, SAP) 连接；第三晶体管 103 的栅极连接至位线 BL，第三晶体管 103 的漏极和源极分别与参考位线 BLB 和 SAP 连接；第二晶体管 102 的栅极连接至参考位线 BLB，第二晶体管 102 的漏极和源极分别与位线 BL 和 N 型感应放大器控制信号 (Sense-Amplifier N-Fet Control, SAN) 连接；第四晶体管 104 的栅极连接至位线 BL，第四晶体管 104 的漏极和源极分别与参考位线 BLB 和 SAN 连接。

预充电部分 120 包括第五晶体管 105、第六晶体管 106 和第七晶体管 107。其中，第五晶体管 105 的漏极和源极分别连接于位线 BL 和位线预充电电压 VBLP (Voltage of Bit Line Precharge)，第六晶体管 106 的漏极和源极分别连接于参考位线 BLB 和位线预充电电压 VBLP，第七晶体管 107 的漏极和源极分别连接于位线 BL 和参考位线 BLB，第五晶体管 105 的栅极、第六晶体管 106 的栅极和第七晶体管 107 的栅极都连接于预充信号线，且预充信号线连接的是电压均衡器 (Voltage Equalizer, VEQ)，从而在预充信号线导通时，使位线 BL 和参考位线 BLB 充电到位线预充电电压 VBLP。

存储单元 110 中电容器 SC 的一个极板上施加的电压始终为电源电压 V_{CC} 的一半，即为 $V_{CC}/2$ ，当电容器 SC 存储的数据信息为“1”时，另一个极板上的电压为 V_{CC} ，此时电容器 SC 所存储的电荷量为 $+V_{CC}/2C$ ，其中 C 为电容器 SC 的电容；当电容器 SC 存储的数据信息为“0”时，另一个极板上的电压为 0，此时电容器 SC 所存储的电荷量为 $-V_{CC}/2C$ 。下面以对一个存储单元 110 执行数据信息“1”的写入操作和读取操作为例进行描述。

图 4 为读取操作的时序图，图中横轴表示时间，纵轴表示信号电平。如图 4 所示，一个读取操作 (Read) 包括四个阶段：预充电 (Precharge) 阶段 Q1、电荷共享 (Charge Sharing) 阶段 Q2、感测 (Sensing) 阶段 Q3 和恢复 (Restore) 阶段 Q4。

在预充电阶段 Q1，参见图 3 和图 4，在预充电指令 (PRE) 后，WL 关断，一段时间后感应放大器关断，通过控制预充信号，让第五晶体管 105、第六晶体管 106、第七晶体管 107 处于导通状态，将位线 BL 和参考位线 BLB 上的电压稳定在 V_{ref} 上， $V_{ref}=V_{CC}/2=VBLP$ 。

经过预充电阶段 Q1，BL 和 BLB 上的电压已经稳定在 V_{ref} ，在获取阶段 Q2，预充信号线关闭，在激活指令 (Row-Active Command, ACT) 和一定时间 $T1$ 延迟后通过控制 WL 信号开启 WL，将存储单元 110 中的晶体管 AT 导通，电容器中存储正电荷会流向 BL，继而将 BL 的电压拉升到 $V_{ref}+$ ，然后进入感测阶段 Q3。

由于在获取阶段 Q2，BL 的电压被拉升到 $V_{ref}+$ ，第四晶体管 104 会比第二晶体管 102 更具导通性，第一晶体管 101 则会比第三晶体管 103 更具导通性。在感测阶段 Q3，SAN 上的电压会被设定为逻辑 0 的电压，SAP 的电压则会被设定为逻辑 1 的电压，即高电平 V_{CC} 。由于第四晶体管 104 会比第二晶体管 102 更具导通性，BLB 上的电压会更快被 SAN 拉到逻辑 0 电压，即为 Gnd (表示接地电压，也可以记为 V_{SS})，同理，BL 上的电压也会更快被 SAP 拉到逻辑 1 电压。接着第一晶体管 101 和第四晶体管 104 进入导通状态，第三晶体管 103 和第二晶体管 102 进入截止状态。最后，BL 和 BLB 的电压都进入稳定状态，正确的呈现了电容器所存储的信息。

在完成感测阶段 Q3 的操作后，在恢复阶段 Q4，BL 处于稳定的逻辑 1 电压 V_{CC} ，此时 BL 会对电容器进行充电。经过特定的时长后，电容器的电

荷就可以恢复到读取操作前的状态。执行读指令 RD，通过控制列选择信号 CSL 使列选择晶体管 141 导通，电容器 SC 所存储的信息被从感应放大器输出到本地输入输出线 LIO，外界就可以读取到具体的信息。

写入操作 (Write) 的部分过程与读取操作是一样的，除了包括预充电阶段 Q1、电荷共享阶段 Q2、感测阶段 Q3 和恢复阶段 Q4，还包括写恢复 (Write Recovery) 阶段 Q5。在写恢复阶段 Q5，通过控制写使能信号 WE，使写使能晶体管 (图中未示出) 导通。此时，BL 会被拉到逻辑 1 电平，BLB 则会被拉到逻辑 0 电平。经过特定的时间后，当电容器 SC 被充电到 1 的状态时，就可以通过控制 WL，将连接电容器 SC 的晶体管 AT 截止，完成写入 1 的操作。

理论情况下，在读取操作的过程中，BL 上的电压从 V_{ref} 被拉升至逻辑 1 电压，在此过程中 BL 上产生的电压变化即为存储单元的理论信号裕度 (Signal Margin, SM)，如公式 (1) 所示：

$$SM = \frac{I}{2} \times \frac{V_{CC}}{I + C_{BL}/C_{SC}} \quad (1)$$

其中， C_{BL} 是 BL 产生的等效电容， C_{SC} 为电容器 SC 的电容。

随着半导体存储技术的发展，存储器的生产工艺越来越成熟，半导体存储器朝着更小尺度和更大集成的方向发展。半导体存储器的生产过程中，因生产工艺的高要求和高精度，往往会存在一定数量的缺陷产品。对于缺陷产品，有些缺陷暴露较明显，能够在测试阶段检测出来进而进行修复或丢弃；但对于有些缺陷，在测试阶段往往不能检测出来，只有在之后的反复擦除与写入中才会显露出来。在存储器生产工艺流程中，因工艺的偏差、环境、设备等因素的影响，存储单元可能存在潜在信号裕度不足缺陷；此类缺陷在存储器的测试阶段很难被检测出来，只有在之后的使用中，因循环的读取和写入呈现出来，并造成数据读取错误。

因此，如何能够及时检测出存储单元的潜在信号裕度不足缺陷成为了亟待解决的问题，并且对于 DRAM 的性能评估具有重要意义。

对此，本公开提出了以下实施方式。

本公开实施例提出了一种存储器的测试方法。图 5 为本公开实施例提供的存储器的测试方法的实现流程示意图。如图 5 所示，存储器的测试方法包括以下步骤：

步骤 501：在噪声环境下对存储单元执行写入操作和读取操作；所述写入操作包括将测试数据写入存储单元中；所述噪声环境中的噪声至少包括以下之一：电源电压噪声、写恢复时间噪声、存储单元漏电噪声。

在一些实施例中，在噪声环境下对存储单元执行写入操作和读取操作，包括：将电源电压从第一电压调整为第二电压；所述第一电压大于所述第二电压；在所述电源电压噪声环境下对存储单元执行写入操作和读取操作。

在本公开实施例中，存储器的电源电压的降低会直接导致存储单元的

电源电压 V_{CC} 的降低，而存储单元的理论信号裕度 SM 与 V_{CC} 成正相关，因此，在信号裕度测试中，可以通过降低存储器的电源电压来模拟电源电压噪声对存储单元信号裕度的影响，从而使得存在潜在信号裕度不足缺陷的存储单元更容易被检测出来。

5 在一具体示例中，第一电压为 JEDEC 标准中规定的 DRAM 的电源电压，第二电压低于第一电压，如当第一电压为 1.80V 时，第二电压可以为 1.62V；当第一电压为 1.1V 时，第二电压可以为 0.99V。

10 在一些实施例中，在噪声环境下对存储单元执行写入操作和读取操作，包括：将写恢复时间从第一时长调整为第二时长；所述第一时长大于所述第二时长；在所述写恢复时间噪声环境下对存储单元执行写入操作和读取操作。

15 这里，写恢复时间（Time of Write Recovery, t_{WR} ）为写使能信号 WE 产生到预充电指令 PRE 产生之间的时间段。如果写恢复时间太短，可能会导致前一次写入操作未完成就开始下一次预充电操作，即电容器 SC 上的电压未达到 $+V_{CC}$ 时 WL 就已关断，这种情况也会对存储单元的实际信号裕度造成影响。因此，在信号裕度测试中，可以通过缩短写恢复时间来模拟写恢复时间噪声，以模拟写恢复时间噪声对存储单元信号裕度的影响，从而使得存在潜在信号裕度不足缺陷的存储单元更容易被检测出来。

20 在一些实施例中，测试方法还包括：确定所述第二时长。确定所述第二时长的过程可以为在不同写恢复时间下对存储单元执行相同测试数据的写入和读取测试，并计算每次写入和读取测试中失效位元的数量（Failure Bit Count, FBC）。这里，确定过程中的不同写恢复时间为从第一时长递减得到的多个写恢复时间，第一时长可以为 JEDEC 标准中规定的 DRAM 的写恢复时间。通过写入和读取测试得到的写恢复时间噪声环境下失效位元的数量 FBC 随写恢复时间 t_{WR} 的变化曲线如图 6 所示，随着写恢复时间的减小，当存储器中失效位元的数量 FBC 达到预设允许失效数量 FBC^* 时，对应的时间 t_1 即为第二时长，也是使存储单元正确写入数据的最短写恢复时间。将写恢复时间设置为使存储单元正确写入数据的最短写恢复时间 t_1 ，可以最大限度地减小存储单元的实际信号裕度，提高信号裕度测试的覆盖
30 率。

35 这里，存储器中失效位元的数量 FBC 可以通过统计写入的数据和读取的数据不同的存储单元的数量来确定，也可以通过其他方式确定，本公开实施例对此不作限定。预设允许失效数量 FBC^* 可以根据实际情况设置，例如，将预设允许失效数量设置为存储单元总数的千分之一至万分之一中的任意数，本公开实施例对此不作特殊限定。

在一些实施例中，在噪声环境下对存储单元执行写入操作和读取操作，包括：将所述写入操作和所述读取操作之间的等待时间从第三时长调整为第四时长；所述第三时长小于所述第四时长；在所述存储单元漏电噪声环

境下对存储单元执行写入操作和读取操作。

在实际情况中，在写入操作完成以后，存储单元会产生漏电的现象，随着等待时间的增加，电容器上存储的电荷数量逐渐减小，存储单元的实际信号裕度也逐渐减小。当漏电达到一定程度时，电容器上存储的电荷数量不足以正确的判别数据，就会造成数据的丢失。因此，可以通过增加写入操作和读取操作之间的等待时间，来模拟实际情况中的存储单元漏电噪声，并在存储单元漏电噪声环境下对存储单元执行写入操作和读取操作。

在一些实施例中，测试方法还包括：确定所述第四时长。确定所述第四时长的过程可以为关闭存储器的自刷新功能，在不同等待时间下对存储单元进行相同测试数据的写入和读取测试，并计算每次写入和读取测试中失效位元的数量。通过写入和读取测试得到的在存储单元漏电噪声环境下存储器中失效位元的数量 FBC 随等待时间的变化曲线如图 7 所示，随着等待时间的增加，当存储器中失效位元的数量 FBC 达到预设允许失效数量 FBC^* 时，对应的时间 t_2 即为第四时长，也是存储单元的最长数据保持时间。这里，通过将第四时长设置为存储单元的最长数据保持时间 t_2 ，可以使存储单元在经过等待时间后充分漏电并仍能保持所存储数据的准确性，从而可以制造出存储单元漏电的噪声环境，使得存在潜在信号裕度不足缺陷的存储单元更容易被检测出来，提高信号裕度测试的覆盖率。

在一些实施例中，对存储单元执行写入操作，包括：对所述存储单元执行第一写入操作，将背景数据写入所述存储单元中；按照预设数据结构，对所述存储单元执行第二写入操作，将所述预设数据结构中的测试数据写入所述存储单元中。

在一些实施例中，所述第二写入操作对应的写恢复时间小于所述第一写入操作对应的写恢复时间。这里，第二写入操作对应的写恢复时间即为第四时长。

在一些实施例中，所述背景数据为第一数据；所述预设数据结构中的测试数据包括第一数据和第二数据，所述第二数据对应的存储单元为目标存储单元。

这里，当第一数据为 0 时，第二数据为 1，与 1 对应的存储单元为目标存储单元；当第一数据为 1 时，第二数据为 0，与 0 对应的存储单元为目标存储单元。

在本公开实施例中，当第一数据为 1，第二数据为 0 时，预设数据结构可以为具有 1 和 0 交替排布的棋盘状图案（如图 8a 所示的两个预设数据结构）、1 和 0 按行交替排布的条纹图案（如图 8b 所示的两个预设数据结构）、其中一条 BL 上的数据为 0 的图案（如图 8c 所示的八个预设数据结构）或者其他由 0 和 1 任意排布组成的图案。在以上预设数据结构中，存储 0 的目标存储单元周围存在存储 1 的存储单元，可以加剧目标存储单元的漏电，从而进一步模拟存储单元漏电噪声。以图 8c 所示的预设数据结构为例进行

说明, 可以通过提供如图 8c 所示的 8 个不同的预设数据结构, 每个预设数据结构中包括 8 条字线对应的测试数据, 结合间隔 8 条字线的写入方式, 如此能最大限度地提高测试覆盖率。

5 在一些实施例中, 第二写入操作和读取操作以突发长度 (Burst Length, BL) 为单位。在一具体的示例中, 第二写入操作可以为 X-FAST 写入操作, X-FAST 写入操作作为一种 X 方向 (行方向) 的写入操作方式, 即针对连接于同一位线的所有字线, 依次在每条字线上写入一个突发长度的数据。读取操作可以为 X-FAST 读操作, X-FAST 读操作作为一种 X 方向 (行方向) 的读取操作方式, 即针对连接于同一位线的所有字线, 依次读取每条字线上的
10 存储单元中的数据。在另一具体示例中, 第二写入操作可以为 Y-FAST 写操作, Y-FAST 写操作作为一种 Y 方向 (列方向) 的写入操作方式, 即在每次执行写入操作之前, 开启一条字线, 以突发长度为单位顺序写完这条字线上对应的所有存储单元后, 关闭这条字线; 然后再开启下一条字线顺序写完这条字线上对应的所有的存储单元。读取操作可以为 Y-FAST 读操作,
15 Y-FAST 读操作作为一种 Y 方向 (列方向) 的读取操作方式, 即在每一次执行读操作之前, 开启一条字线, 以突发长度为单位顺序读完这条字线上对应的所有存储单元后, 关闭这条字线; 然后再开启下一条字线顺序读完这条字线上对应的所有存储单元。

这里, 突发长度是指在同一条字线中相邻的存储单元连续进行数据读
20 取/写入时所涉及到的存储单元的数量。例如, DDR4 支持的突发长度为 8 或 4 (即 BL8 或 BL4), 当 DDR4 的位宽为 16bit 时, 每一次可以读取/写入 $8 \times 16\text{bit}$ 数据或者 $4 \times 16\text{bit}$ 数据; LPDDR4 支持的突发长度为 32 或 16 (即 BL32 或 BL16), 当 LPDDR4 的位宽为 16bit 时, 每一次可以读取/写入 $32 \times 16\text{bit}$ 数据或者 $16 \times 16\text{bit}$ 数据。

25 步骤 502: 将执行所述读取操作得到的读取结果和所述测试数据进行比较, 得到所述存储单元在噪声影响下的信号裕度测试结果。

在本公开实施例中, 当对存储单元执行读取操作得到的读取结果与测试数据不一致时, 该存储单元的信号裕度测试结果为失败; 当对存储单元执行读取操作得到的读取结果与测试数据一致时, 该存储单元的信号裕度
30 测试结果为通过。

在本公开实施例中, 分别通过调节电源电压、调节写恢复时间和调节写入操作和读取操作之间的等待时间来模拟实际情况中的电源电压噪声、写恢复时间噪声和存储单元漏电噪声, 从而使存在潜在信号裕度不足缺陷的存储单元在测试过程中能够被更容易地检测出来, 提高了信号裕度测试
35 的覆盖率。

为了进一步将上述存储器测试方法应用于实际的存储器信号裕度测试, 本公开提供一具体示例。

图 9 为本公开实施例一具体示例提供的存储器的测试流程图, 如图 9

所示，测试流程包括以下步骤：

步骤 901：设置噪声环境；

在本公开实施例中，设置噪声环境包括：设置电源电压噪声、设置写恢复时间噪声和/或设置存储单元漏电噪声。设置电源电压噪声包括减小电源电压以模拟电源电压噪声，这里，电源电压可以减小为 1.62V 或 0.99V；
5 设置写恢复时间噪声包括减小写恢复时间以模拟写恢复时间噪声，这里，写恢复时间可以减小为使存储单元正确写入数据的最短写恢复时间 t_1 ；设置存储单元漏电噪声包括增加写入操作和读取操作之间的等待时间以模拟存储单元漏电噪声，这里，等待时间可以增加为存储单元的最长数据保持时间 t_2 。如此，通过设置噪声环境，可以使存在潜在信号裕度不足缺陷的
10 存储单元在测试过程中更容易被检测出来，提高了信号裕度测试的覆盖率。

步骤 902：执行第一写入操作，写入背景数据；

在本公开实施例中，通过对存储单元执行第一写入操作以将背景数据写入所有存储单元中。

15 步骤 903：执行第二写入操作，按照预设数据结构写入测试数据；

在本公开实施例中，提供多个不同的预设数据结构；对于多个不同的预设数据结构中的每个预设数据结构，通过第二写入操作依次对存储单元进行测试数据的写入。第一次循环时采用第一个预设数据结构，第二次循环时采用第二个预设数据结构，以此类推，直到所有预设数据结构均被遍历，如此通过多个不同的预设数据结构即可实现所有存储单元的遍历。
20

在本公开实施例中，按照预设数据结构对存储单元执行第二写入操作，将预设数据结构中的测试数据写入目标存储单元。

这里，当背景数据为 1 时，与预设数据结构中的 0 对应的存储单元为目标存储单元。

25 在本公开实施例中，第二写入操作的写恢复时间为使存储单元正确写入数据的最短写恢复时间 t_1 。第二写入操作为 X-FAST 写操作或 Y-FAST 写操作，突发长度为 8 位、16 位或 32 位。

步骤 904：经过等待时间后执行读取操作；

30 这里，等待时间为存储单元的最长数据保持时间 t_2 。读取操作为 X-FAST 读操作或 Y-FAST 读操作。

步骤 905：比较读取结果和测试数据；

在本公开实施例中，比较读取结果和测试数据可以得到目标存储单元的信号裕度测试结果。切换下一预设数据结构，继续执行步骤 903；若此时的预设数据结构为最后一个预设数据结构，则退出本次测试。这里，通过
35 使用多个预设数据结构可以使存储器中的所有存储单元都能作为目标存储单元完成一次信号裕度测试。例如，当第一次循环中的预设数据结构为图 8a 所示的第一个预设数据结构时，在第二次循环时将预设数据结构改变为图 8a 所示的第二个预设数据结构；当第一次循环中的预设数据结构为图 8b

所示的第一个预设数据结构时，在第二次循环时将预设数据结构改变为图 8b 所示的第二个预设数据结构；当第一次循环中的预设数据结构为图 8c 所示的第一个预设数据结构时，在第二次循环时将预设数据结构改变为图 8c 所示的第二个预设数据结构，以此类推，直到图 8c 所示的所有预设数据结构均被遍历。如此，可以使存储器中的所有存储单元都能作为目标存储单元完成一次信号裕度测试，即可以实现存储单元的遍历。

步骤 906：输出测试结果。

在本公开实施例中，将读取结果和测试数据进行比较得到的目标存储单元的信号裕度测试结果进行输出。

基于前述存储器的测试方法相同的技术构思，本公开实施例提供一种存储器的测试装置，图 10 为本公开实施例提供的一种存储器的测试装置的结构示意图，如图 10 所示，存储器的测试装置 1000 包括：

数据处理模块 1001，配置为在噪声环境下对所述存储单元执行写入操作和读取操作；所述写入操作包括将测试数据写入所述存储单元中；

比较模块 1002，配置为将执行所述读取操作得到的读取结果和所述测试数据进行比较，得到所述存储单元在噪声影响下的信号裕度测试结果；

所述噪声环境中的噪声至少包括以下之一：电源电压噪声、写恢复时间噪声、存储单元漏电噪声。

在一些实施例中，所述装置还包括：

电压调整模块 1003，配置为将电源电压从第一电压调整为第二电压；所述第一电压大于所述第二电压；

所述数据处理模块 1001，具体配置为在所述电源电压噪声环境下对所述存储单元执行写入操作和读取操作。

在一些实施例中，所述装置还包括：

写恢复时间调整模块 1004，配置为将写恢复时间从第一时长调整为第二时长；所述第一时长大于所述第二时长；

所述数据处理模块 1001，具体配置为在所述写恢复时间噪声环境下对所述存储单元执行写入操作和读取操作。

在一些实施例中，所述装置还包括：

等待时间调整模块 1005，配置为将所述写入操作和所述读取操作之间的等待时间从第三时长调整为第四时长；所述第三时长小于所述第四时长；

所述数据处理模块 1001，具体配置为在所述存储单元漏电噪声环境下对所述存储单元执行写入操作和读取操作。

在一些实施例中，所述数据处理模块 1001 包括：

第一写入模块（图中未示出），配置为对所述存储模块执行第一写入操作，将背景数据写入所述存储单元中；

第二写入模块（图中未示出），配置为按照预设数据结构，对所述存储单元执行第二写入操作，将所述预设数据结构中的测试数据写入所述存

储单元中。

在一些实施例中，所述第二写入操作的写恢复时间小于所述第一写入操作的写恢复时间。

5 在一些实施例中，所述背景数据为第一数据；所述预设数据结构中的测试数据包括第一数据和第二数据，所述第二数据对应的存储单元为目标存储单元。

本公开实施例还提供一种存储器系统，如图 11 所示，本公开实施例提供的存储器系统包括控制器 1101 以及多个耦合至所述控制器的存储器 1102；其中，

10 控制器 1101，被配置为执前述存储器测试方法。

在一些实施例中，所述存储装置为动态随机存取存储器。

在一些实施例中，所述动态随机存取存储器的内存符合 DDR2 内存规格。

15 在一些实施例中，所述动态随机存取存储器的内存符合 DDR3 内存规格。

在一些实施例中，所述动态随机存取存储器的内存符合 DDR4 内存规格。

在一些实施例中，所述动态随机存取存储器的内存符合 DDR5 内存规格。

20 在一些实施例中，所述动态随机存取存储器的内存符合 LPDDR4 内存规格。

在一些实施例中，所述动态随机存取存储器的内存符合 LPDDR5 内存规格。

25 本公开所提供的几个方法实施例中所揭露的方法，在不冲突的情况下可以任意组合，得到新的方法实施例。

本公开所提供的几个装置实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的装置实施例。

30 以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

工业实用性

35 本公开通过在电源电压噪声、写恢复时间噪声、存储单元漏电噪声等噪声环境中对存储单元进行信号裕度测试，能有效提高测试覆盖率，使得存在潜在信号裕度不足缺陷的存储单元更容易被检测出来，提高了存储器性能评估的准确性。

权利要求书

1、一种存储器测试方法，所述方法包括：

在噪声环境下对存储单元执行写入操作和读取操作；所述写入操作包括将测试数据写入所述存储单元中；

5 将执行所述读取操作得到的读取结果和所述测试数据进行比较，得到所述存储单元在噪声影响下的信号裕度测试结果；

所述噪声环境中的噪声至少包括以下之一：电源电压噪声、写恢复时间噪声、存储单元漏电噪声。

2、根据权利要求1所述的存储器测试方法，其中，所述在噪声环境下
10 对存储单元执行写入操作和读取操作，包括：

将电源电压从第一电压调整为第二电压；所述第一电压大于所述第二电压；

在所述电源电压噪声环境下对存储单元执行写入操作和读取操作。

3、根据权利要求1所述的存储器测试方法，其中，所述在噪声环境下
15 对存储单元执行写入操作和读取操作，包括：

将写恢复时间从第一时长调整为第二时长；所述第一时长大于所述第二时长；

在所述写恢复时间噪声环境下对存储单元执行写入操作和读取操作。

4、根据权利要求1所述的存储器测试方法，其中，所述在噪声环境下
20 对存储单元执行写入操作和读取操作，包括：

将所述写入操作和所述读取操作之间的等待时间从第三时长调整为第四时长；所述第三时长小于所述第四时长；

在所述存储单元漏电噪声环境下对存储单元执行写入操作和读取操作。

5、根据权利要求1所述的存储器测试方法，其中，所述对存储单元执
25 行写入操作，包括：

对所述存储单元执行第一写入操作，将背景数据写入所述存储单元中；

按照预设数据结构，对所述存储单元执行第二写入操作，将所述预设数据结构中的测试数据写入所述存储单元中。

6、根据权利要求5所述的存储器测试方法，其中，所述第二写入操作
30 对应的写恢复时间小于所述第一写入操作对应的写恢复时间。

7、根据权利要求5所述的存储器测试方法，其中，所述背景数据为第一数据；所述预设数据结构中的测试数据包括第一数据和第二数据，所述第二数据对应的存储单元为目标存储单元。

8、根据权利要求1-7中任一项所述的存储器测试方法，其中，所述存
35 储器为动态随机存取存储器。

9、一种存储器测试装置，所述装置包括：

数据处理模块，配置为在噪声环境下对所述存储单元执行写入操作和读取操作；所述写入操作包括将测试数据写入所述存储单元中；

比较模块，配置为将执行所述读取操作得到的读取结果和所述测试数据进行比较，得到所述存储单元在噪声影响下的信号裕度测试结果；

所述噪声环境中的噪声至少包括以下之一：电源电压噪声、写恢复时间噪声、存储单元漏电噪声。

- 5 10、根据权利要求 9 所述的存储器测试装置，其中，所述装置还包括：
电压调整模块，配置为将电源电压从第一电压调整为第二电压；所述第一电压大于所述第二电压；

所述数据处理模块，具体配置为在所述电源电压噪声环境下对所述存储单元执行写入操作和读取操作。

- 10 11、根据权利要求 9 所述的存储器测试装置，其中，所述装置还包括：
写恢复时间调整模块，配置为将写恢复时间从第一时长调整为第二时长；所述第一时长大于所述第二时长；

所述数据处理模块，具体配置为在所述写恢复时间噪声环境下对所述存储单元执行写入操作和读取操作。

- 15 12、根据权利要求 9 所述的存储器测试装置，其中，所述装置还包括：
等待时间调整模块，配置为将所述写入操作和所述读取操作之间的等待时间从第三时长调整为第四时长；所述第三时长小于所述第四时长；

所述数据处理模块，具体配置为在所述存储单元漏电噪声环境下对所述存储单元执行写入操作和读取操作。

- 20 13、根据权利要求 9 所述的存储器测试装置，其中，所述数据处理模块包括：

第一写入模块，配置为对所述存储模块执行第一写入操作，将背景数据写入所述存储单元中；

- 25 第二写入模块，配置为按照预设数据结构，对所述存储单元执行第二写入操作，将所述预设数据结构中的测试数据写入所述存储单元中。

14、根据权利要求 13 所述的存储器测试装置，其中，所述第二写入操作的写恢复时间小于所述第一写入操作的写恢复时间。

- 30 15、根据权利要求 13 所述的存储器测试装置，其中，所述背景数据为第一数据；所述预设数据结构中的测试数据包括第一数据和第二数据，所述第二数据对应的存储单元为目标存储单元。

16、一种存储器系统，包括控制器以及多个耦合至所述控制器的存储器；其中，

所述控制器，被配置为执行权利要求 1 至 8 任一项所述的方法。

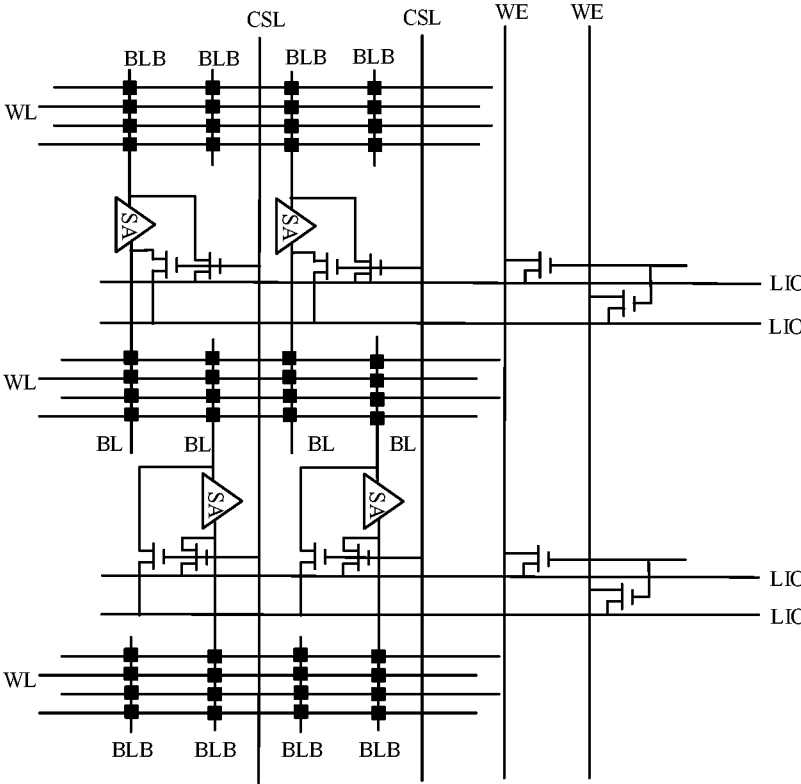


图 1

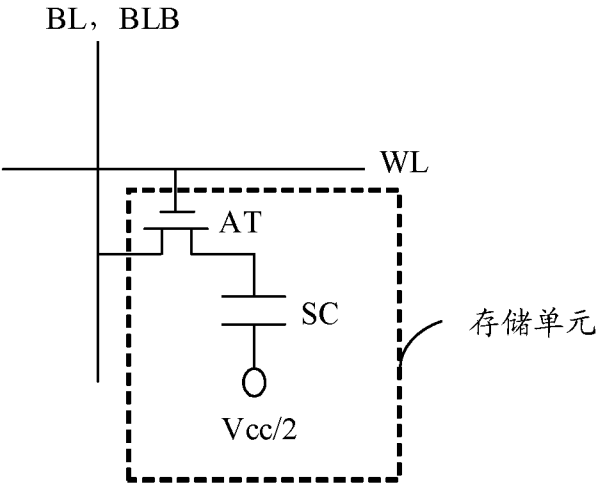


图 2

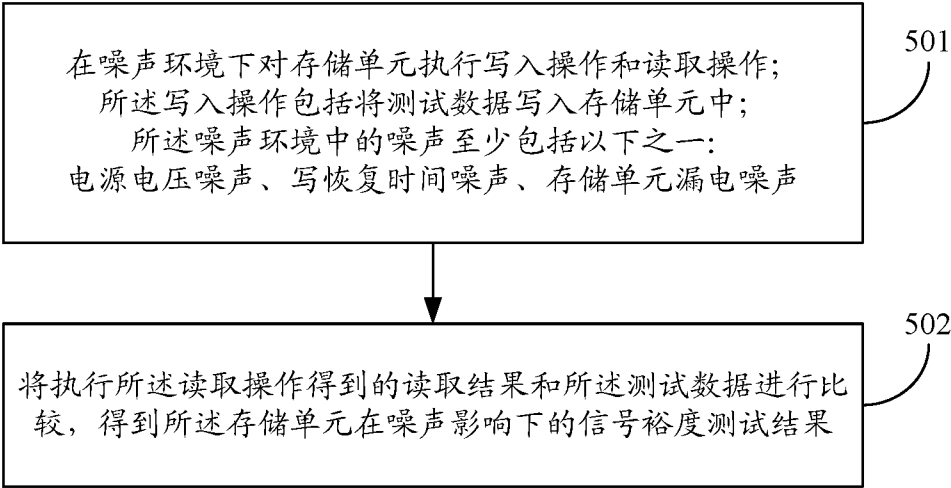


图 5

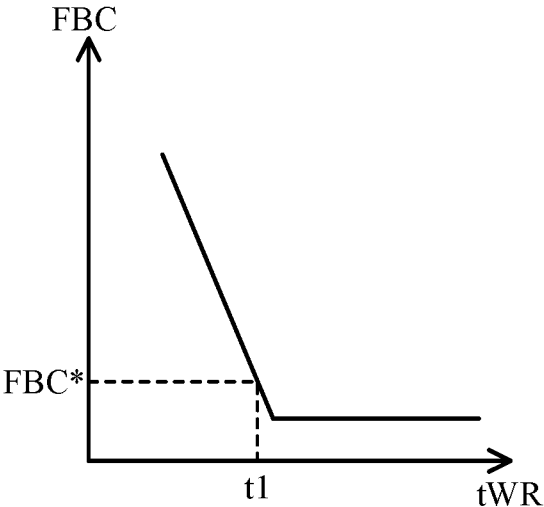


图 6

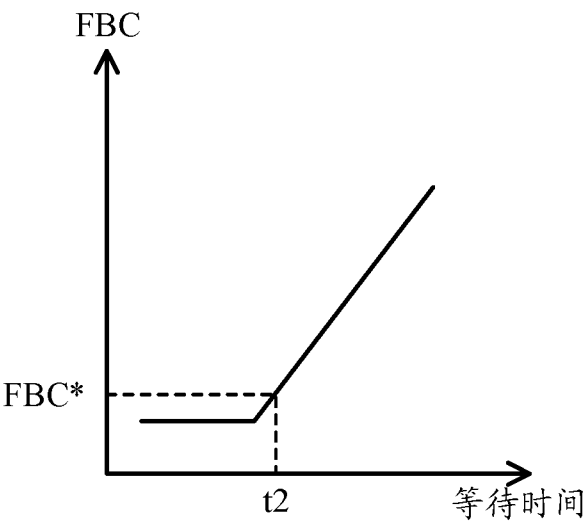


图 7

	WL0	WL1	WL2	WL3	WL4	WL5	WL6	WL7		WLx
BL0	0	1	0	1	0	1	0	1		
BL1	1	0	1	0	1	0	1	0		
BL2	0	1	0	1	0	1	0	1		
BL3	1	0	1	0	1	0	1	0		
BL4	0	1	0	1	0	1	0	1		
BL5	1	0	1	0	1	0	1	0		
BL6	0	1	0	1	0	1	0	1		
BL7	1	0	1	0	1	0	1	0		
... ..										
BLx										

	WL0	WL1	WL2	WL3	WL4	WL5	WL6	WL7		WLx
BL0	1	0	1	0	1	0	1	0		
BL1	0	1	0	1	0	1	0	1		
BL2	1	0	1	0	1	0	1	0		
BL3	0	1	0	1	0	1	0	1		
BL4	1	0	1	0	1	0	1	0		
BL5	0	1	0	1	0	1	0	1		
BL6	1	0	1	0	1	0	1	0		
BL7	0	1	0	1	0	1	0	1		
... ..										
BLx										

图 8a

	WL0	WL1	WL2	WL3	WL4	WL5	WL6	WL7		WLx
BL0	0	0	0	0	0	0	0	0		
BL1	1	1	1	1	1	1	1	1		
BL2	0	0	0	0	0	0	0	0		
BL3	1	1	1	1	1	1	1	1		
BL4	0	0	0	0	0	0	0	0		
BL5	1	1	1	1	1	1	1	1		
BL6	0	0	0	0	0	0	0	0		
BL7	1	1	1	1	1	1	1	1		
... ..										
BLx										

	WL0	WL1	WL2	WL3	WL4	WL5	WL6	WL7		WLx
BL0	1	1	1	1	1	1	1	1		
BL1	0	0	0	0	0	0	0	0		
BL2	1	1	1	1	1	1	1	1		
BL3	0	0	0	0	0	0	0	0		
BL4	1	1	1	1	1	1	1	1		
BL5	0	0	0	0	0	0	0	0		
BL6	1	1	1	1	1	1	1	1		
BL7	0	0	0	0	0	0	0	0		
... ..										
BLx										

图 8b

W8_1	WL0		WL7
BL0	1		1
BL1	0		0
BL2	0		0
BL3	0		0
BL4	0		0
BL5	0		0
BL6	0		0
BL7	0		0

W8_2	WL0		WL7
BL0	0		0
BL1	1		1
BL2	0		0
BL3	0		0
BL4	0		0
BL5	0		0
BL6	0		0
BL7	0		0

W8_3	WL0		WL7
BL0	0		0
BL1	0		0
BL2	1		1
BL3	0		0
BL4	0		0
BL5	0		0
BL6	0		0
BL7	0		0

W8_4	WL0		WL7
BL0	0		0
BL1	0		0
BL2	0		0
BL3	1		1
BL4	0		0
BL5	0		0
BL6	0		0
BL7	0		0

W8_5	WL0		WL7
BL0	0		0
BL1	0		0
BL2	0		0
BL3	0		0
BL4	1		1
BL5	0		0
BL6	0		0
BL7	0		0

W8_6	WL0		WL7
BL0	0		0
BL1	0		0
BL2	0		0
BL3	0		0
BL4	0		0
BL5	1		1
BL6	0		0
BL7	0		0

W8_7	WL0		WL7
BL0	0		0
BL1	0		0
BL2	0		0
BL3	0		0
BL4	0		0
BL5	0		0
BL6	1		1
BL7	0		0

W8_8	WL0		WL7
BL0	0		0
BL1	0		0
BL2	0		0
BL3	0		0
BL4	0		0
BL5	0		0
BL6	0		0
BL7	1		1

图 8c

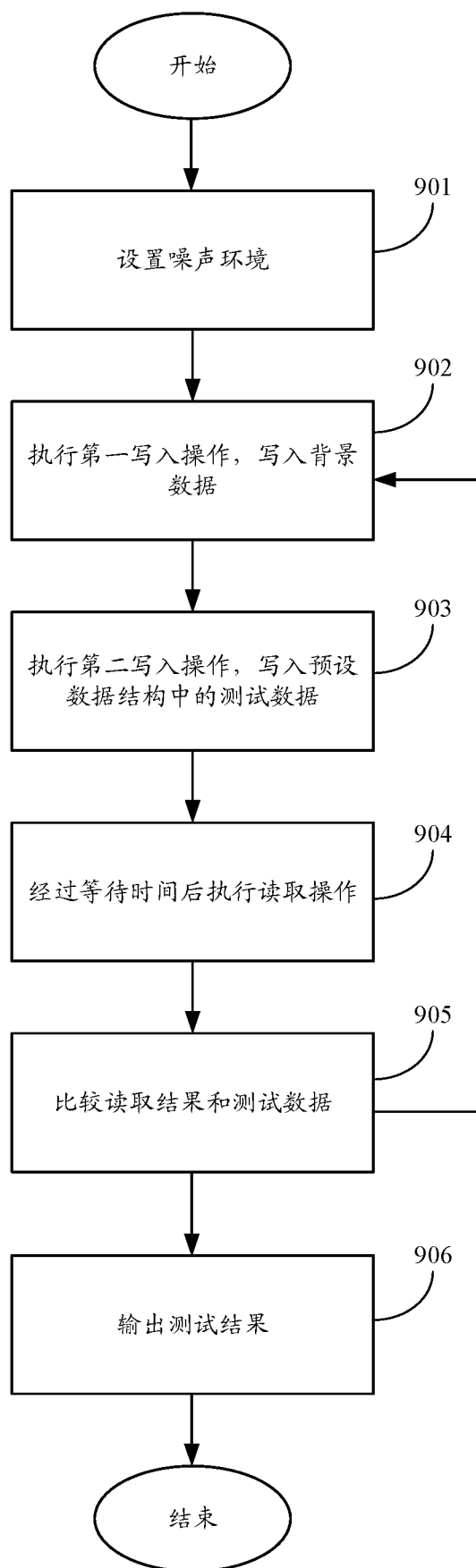


图 9

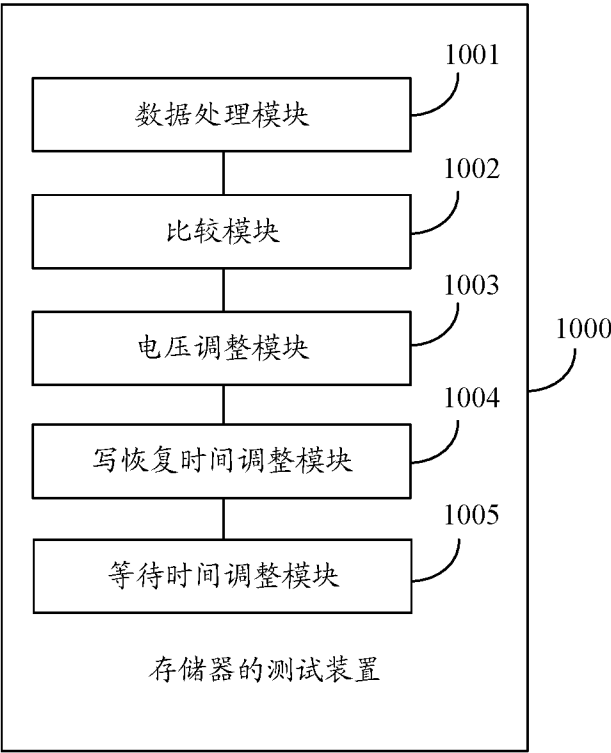


图 10

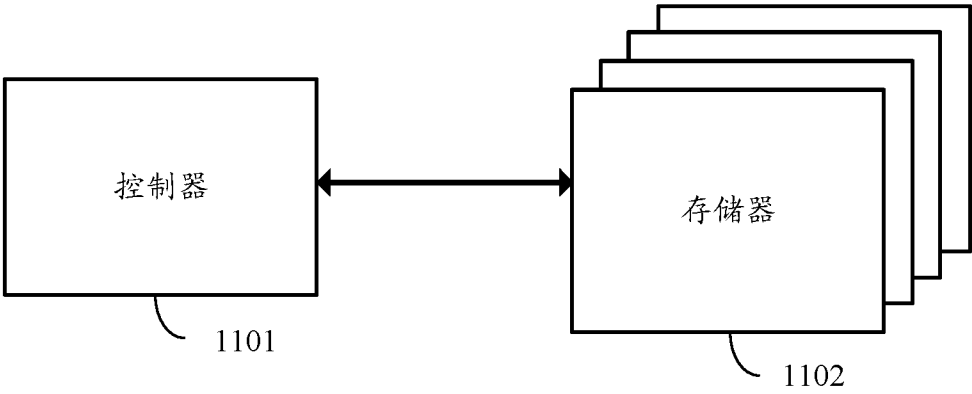


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/093270

A. CLASSIFICATION OF SUBJECT MATTER

G11C 29/50(2006.01)i; G11C 29/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: 长鑫存储, 周坤, 裕度, 余裕, 余量, 比较, 测试, 写, 读, 噪声, 存储, DRAM, magin, write, read, compare, error

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011060392 A (NEC CORPORATION) 24 March 2011 (2011-03-24) description, paragraphs [0003]-[0078], and figures 1-5	1-16
Y	CN 114072749 A (MICROSOFT TECHNOLOGY LICENSING LLC.) 18 February 2022 (2022-02-18) description, paragraphs [0028]-[0044], and figures 1-3	1-16
A	CN 110322910 A (INTEL CORP.) 11 October 2019 (2019-10-11) entire document	1-16
A	CN 110021333 A (SAMSUNG ELECTRONICS CO., LTD.) 16 July 2019 (2019-07-16) entire document	1-16
A	CN 101916593 A (SUNPLUS TECHNOLOGY CO., LTD.) 15 December 2010 (2010-12-15) entire document	1-16
A	CN 112885401 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 01 June 2021 (2021-06-01) entire document	1-16
A	CN 114283870 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 05 April 2022 (2022-04-05) entire document	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

03 December 2022

Date of mailing of the international search report

04 January 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/093270

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2001014922 A1 (MITSUBISHI ELECTRIC CORP.) 16 August 2001 (2001-08-16) entire document	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/093270

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2011060392	A	24 March 2011	None			
CN	114072749	A	18 February 2022	WO	2021002933	A1	07 January 2021
				EP	3994549	A1	11 May 2022
				US	2021004073	A1	07 January 2021
CN	110322910	A	11 October 2019	EP	3547319	A1	02 October 2019
				US	2019043571	A1	07 February 2019
CN	110021333	A	16 July 2019	KR	20190059431	A	31 May 2019
				US	2019156909	A1	23 May 2019
				US	2020211671	A1	02 July 2020
CN	101916593	A	15 December 2010	None			
CN	112885401	A	01 June 2021	None			
CN	114283870	A	05 April 2022	None			
US	2001014922	A1	16 August 2001	JP	2002082830	A	22 March 2002
				TW	538363	B	21 June 2003
				DE	10101036	A1	30 August 2001
				KR	20010082149	A	29 August 2001

国际检索报告

国际申请号

PCT/CN2022/093270

A. 主题的分类

G11C 29/50(2006.01)i; G11C 29/08(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPDOC:长鑫存储, 周坤, 裕度, 余裕, 余量, 比较, 测试, 写, 读, 噪声, 存储, DRAM, magin, write, read, compare, error

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	JP 2011060392 A (NEC CORP.) 2011年3月24日 (2011 - 03 - 24) 说明书第[0003]- [0078]段, 附图1-5	1-16
Y	CN 114072749 A (微软技术许可有限责任公司) 2022年2月18日 (2022 - 02 - 18) 说明书第[0028]- [0044]段, 附图1-3	1-16
A	CN 110322910 A (英特尔公司) 2019年10月11日 (2019 - 10 - 11) 全文	1-16
A	CN 110021333 A (三星电子株式会社) 2019年7月16日 (2019 - 07 - 16) 全文	1-16
A	CN 101916593 A (凌阳科技股份有限公司) 2010年12月15日 (2010 - 12 - 15) 全文	1-16
A	CN 112885401 A (长鑫存储技术有限公司) 2021年6月1日 (2021 - 06 - 01) 全文	1-16
A	CN 114283870 A (长鑫存储技术有限公司) 2022年4月5日 (2022 - 04 - 05) 全文	1-16
A	US 2001014922 A1 (MITSUBISHI ELECTRIC CORP.) 2001年8月16日 (2001 - 08 - 16) 全文	1-16

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年12月3日

国际检索报告邮寄日期

2023年1月4日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

马邳晨

电话号码 86-(10)-53962367

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/093270

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
JP	2011060392	A	2011年3月24日	无			
CN	114072749	A	2022年2月18日	WO	2021002933	A1	2021年1月7日
				EP	3994549	A1	2022年5月11日
				US	2021004073	A1	2021年1月7日
CN	110322910	A	2019年10月11日	EP	3547319	A1	2019年10月2日
				US	2019043571	A1	2019年2月7日
CN	110021333	A	2019年7月16日	KR	20190059431	A	2019年5月31日
				US	2019156909	A1	2019年5月23日
				US	2020211671	A1	2020年7月2日
CN	101916593	A	2010年12月15日	无			
CN	112885401	A	2021年6月1日	无			
CN	114283870	A	2022年4月5日	无			
US	2001014922	A1	2001年8月16日	JP	2002082830	A	2002年3月22日
				TW	538363	B	2003年6月21日
				DE	10101036	A1	2001年8月30日
				KR	20010082149	A	2001年8月29日