

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 17 年 6 月 2 日 (2005.6.2)

【公開番号】特開 2002-124081(P2002-124081A)
 【公開日】平成 14 年 4 月 26 日 (2002.4.26)
 【出願番号】特願 2000-316749(P2000-316749)
 【国際特許分類第 7 版】

G 1 1 C 11/22
 G 1 1 C 14/00
 H 0 1 L 27/105

【F I】

G 1 1 C 11/22
 G 1 1 C 11/34 3 5 2 A
 H 0 1 L 27/10 4 4 4 B

【手続補正書】

【提出日】平成 16 年 8 月 13 日 (2004.8.13)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ワード線と、

このワード線に交差する第 1 , 第 2 のビット線と、

前記ワード線にゲートが接続され、前記第 1 のビット線にドレインが接続された第 1 のトランジスタ、前記ワード線にゲートが接続され、前記第 2 のビット線にドレインが接続された第 2 のトランジスタ、および、前記第 1 , 第 2 のトランジスタのソースにそれぞれ接続された強誘電体セルキャパシタからなるメモリセルと、

前記第 1 , 第 2 のビット線に、それぞれスイッチング用トランジスタを介して接続された第 1 , 第 2 のキャパシタと

を具備し、

前記第 1 , 第 2 のキャパシタを介して、前記第 1 , 第 2 のビット線に、相補の関係にある第 1 , 第 2 の電圧がそれぞれ印加されるようにしたことを特徴とする強誘電体メモリ装置。

【請求項 2】

前記メモリセルをマトリクス状に配置してなることを特徴とする請求項 1 に記載の強誘電体メモリ装置。

【請求項 3】

ワード線と、

前記ワード線に交差する第 1 , 第 2 のビット線と、

前記ワード線にゲートが接続され、前記第 1 のビット線にソースまたはドレインの一方が接続された第 1 のトランジスタ、前記ワード線にゲートが接続され、前記第 2 のビット線にソースまたはドレインの一方が接続された第 2 のトランジスタ、および、前記第 1 , 第 2 のトランジスタのソースまたはドレインの他方にそれぞれ接続された強誘電体セルキャパシタからなるメモリセルと、

前記第 1 , 第 2 のビット線に、それぞれスイッチング用トランジスタを介して接続された第 1 , 第 2 のキャパシタと

を具備し、

前記第 1, 第 2 のキャパシタを介して、前記第 1, 第 2 のビット線に、互いに相補の関係にある第 1, 第 2 の電圧がそれぞれ印加されるようにしたことを特徴とする強誘電体メモリ装置。

【請求項 4】

複数のワード線と、

前記複数のワード線に交差する第 1, 第 2 のビット線と、

前記複数のワード線のそれぞれにゲートが接続された複数のトランジスタ、および、前記複数のトランジスタのソース・ドレイン端子間にそれぞれ接続された強誘電体セルキャパシタからなる複数のメモリセルを直列に接続するとともに、そのメモリセル列の一端が前記第 1 のビット線に接続され、他端が前記第 2 のビット線に接続されたセルブロックと、

前記第 1, 第 2 のビット線に、それぞれスイッチング用トランジスタを介して接続された第 1, 第 2 のキャパシタと

を具備し、

前記第 1, 第 2 のキャパシタを介して、前記第 1, 第 2 のビット線に、相補の関係にある第 1, 第 2 の電圧がそれぞれ印加されるようにしたことを特徴とする強誘電体メモリ装置。

【請求項 5】

前記セルブロックは、前記メモリセル列と前記第 1, 第 2 のビット線との間に、それぞれセレクトトランジスタが設けられてなることを特徴とする請求項 4 に記載の強誘電体メモリ装置。

【請求項 6】

前記セルブロックをアレイ状に配置してなることを特徴とする請求項 4 に記載の強誘電体メモリ装置。

【請求項 7】

前記第 1, 第 2 のビット線は、一对のビット線により構成されてなることを特徴とする請求項 1, 3 または 4 に記載の強誘電体メモリ装置。

【請求項 8】

前記第 1, 第 2 のキャパシタは、強誘電体キャパシタであることを特徴とする請求項 1, 3 または 4 に記載の強誘電体メモリ装置。

【請求項 9】

前記第 1, 第 2 のキャパシタは、そのキャパシタ膜の膜厚が、前記強誘電体セルキャパシタのキャパシタ膜の膜厚よりも厚いことを特徴とする請求項 1, 3 または 4 に記載の強誘電体メモリ装置。

【請求項 10】

前記第 1, 第 2 のキャパシタは、常誘電体キャパシタであることを特徴とする請求項 1, 3 または 4 に記載の強誘電体メモリ装置。

【請求項 11】

複数のワード線と、

前記複数のワード線に交差する第 1, 第 2 のビット線と、

前記複数のワード線のそれぞれにゲートが接続された複数のトランジスタ、および、前記複数のトランジスタのソース・ドレイン間にそれぞれ接続された複数の強誘電体セルキャパシタからなる複数のメモリセルを直列に接続するとともに、その複数のメモリセルの一端が前記第 1 のビット線に接続され、他端が前記第 2 のビット線に接続された複数のセルブロックと、

前記第 1, 第 2 のビット線に、それぞれスイッチング用トランジスタを介して接続された、前記強誘電体セルキャパシタよりも膜厚なキャパシタ膜を有する強誘電体キャパシタからなる第 1, 第 2 のキャパシタと

を具備し、

前記第 1 , 第 2 のキャパシタを介して、前記第 1 , 第 2 のビット線に、互いに相補の関係にある第 1 , 第 2 の電圧がそれぞれ印加されるようにしたことを特徴とする強誘電体メモリ装置。

【請求項 1 2】

複数のワード線のそれぞれにゲートが接続された複数のセルトランジスタ、および、前記複数のセルトランジスタのソース・ドレイン端子間にそれぞれ接続された強誘電体セルキャパシタからなる複数のメモリセルを直列に接続するとともに、そのメモリセル列の一端がビット線に接続され、他端がプレート線に接続されてなる強誘電体メモリ装置であって、

前記複数のセルトランジスタが、デプレッション型の N M O S トランジスタを用いて構成されてなることを特徴とする強誘電体メモリ装置。

【請求項 1 3】

複数のワード線のそれぞれにゲートが接続された複数のセルトランジスタ、および、前記複数のセルトランジスタのソース・ドレイン端子間にそれぞれ接続された強誘電体セルキャパシタからなる複数のメモリセルを直列に接続するとともに、そのメモリセル列の一端がビット線に接続され、他端がプレート線に接続されてなる強誘電体メモリ装置であって、

前記複数のセルトランジスタが、P M O S トランジスタを用いて構成されてなることを特徴とする強誘電体メモリ装置。

【請求項 1 4】

前記メモリセル列と前記ビット線との間に、さらにセレクトトランジスタが設けられてなることを特徴とする請求項 1 2 または 1 3 に記載の強誘電体メモリ装置。

【請求項 1 5】

前記メモリセル列と前記プレート線との間に、さらに保護トランジスタが設けられてなることを特徴とする請求項 1 2 または 1 3 に記載の強誘電体メモリ装置。

【請求項 1 6】

前記セレクトトランジスタおよび前記保護トランジスタは、その閾値が、前記セルトランジスタの閾値よりも高く設定されてなることを特徴とする請求項 1 4 または 1 5 に記載の強誘電体メモリ装置。

【請求項 1 7】

複数のワード線のそれぞれにゲートが接続された複数のセルトランジスタ、および、前記複数のセルトランジスタのソース・ドレイン間にそれぞれ接続された複数の強誘電体セルキャパシタからなる複数のメモリセルを直列に接続してなる強誘電体メモリ装置であって、

前記複数のメモリセルの一端が、前記複数のセルトランジスタよりも閾値の高いセレクトトランジスタを介してビット線に接続され、他端がプレート線に接続されてなるとともに、

前記複数のセルトランジスタが、デプレッション型の N M O S トランジスタを用いて構成されてなることを特徴とする強誘電体メモリ装置。

【請求項 1 8】

複数のワード線のそれぞれにゲートが接続された複数のセルトランジスタ、および、前記複数のセルトランジスタのソース・ドレイン間にそれぞれ接続された複数の強誘電体セルキャパシタからなる複数のメモリセルを直列に接続してなる強誘電体メモリ装置であって、

前記複数のメモリセルの一端がビット線に接続され、他端が、前記複数のセルトランジスタよりも閾値の高い保護トランジスタを介してプレート線に接続されてなるとともに、

前記複数のセルトランジスタが、デプレッション型の N M O S トランジスタを用いて構成されてなることを特徴とする強誘電体メモリ装置。

【請求項 1 9】

複数のワード線のそれぞれにゲートが接続された複数のセルトランジスタ、および、前

記複数のセルトランジスタのソース・ドレイン間にそれぞれ接続された複数の強誘電体セルキャパシタからなる複数のメモリセルを直列に接続してなる強誘電体メモリ装置であって、

前記複数のメモリセルの一端が、前記複数のセルトランジスタよりも閾値の高いセレクトトランジスタを介してビット線に接続され、他端がプレート線に接続されてなるとともに、

前記複数のセルトランジスタがPMOSトランジスタを用いて構成されてなることを特徴とする強誘電体メモリ装置。

【請求項 20】

複数のワード線のそれぞれにゲートが接続された複数のセルトランジスタ、および、前記複数のセルトランジスタのソース・ドレイン間にそれぞれ接続された複数の強誘電体セルキャパシタからなる複数のメモリセルを直列に接続してなる強誘電体メモリ装置であって、

前記複数のメモリセルの一端がビット線に接続され、他端が、前記複数のセルトランジスタよりも閾値の高い保護トランジスタを介してプレート線に接続されてなるとともに、

前記複数のセルトランジスタがPMOSトランジスタを用いて構成されてなることを特徴とする強誘電体メモリ装置。

【請求項 21】

セルトランジスタと、このセルトランジスタに接続された強誘電体セルキャパシタとからなるメモリセルの一端がビット線に接続され、他端がプレート線に接続されてなる強誘電体メモリ装置であって、

前記セルトランジスタと前記プレート線との間に、保護トランジスタが設けられてなることを特徴とする強誘電体メモリ装置。

【請求項 22】

複数のワード線のそれぞれにゲートが接続された複数のセルトランジスタ、および、前記複数のセルトランジスタのソース・ドレイン端子間にそれぞれ接続された強誘電体セルキャパシタからなる複数のメモリセルを直列に接続するとともに、そのメモリセル列の一端がビット線に接続され、他端がプレート線に接続されてなる強誘電体メモリ装置であって、

前記メモリセル列と前記プレート線との間に、保護トランジスタが設けられてなることを特徴とする強誘電体メモリ装置。

【請求項 23】

前記メモリセル列と前記ビット線との間にはセレクトトランジスタが設けられ、

前記セルトランジスタは、その閾値が、前記セレクトトランジスタおよび前記保護トランジスタの閾値よりも低く設定されてなることを特徴とする請求項 21 または 22 に記載の強誘電体メモリ装置。

【請求項 24】

前記ビット線は、前記プレート線と平行に配設されることを特徴とする請求項 21 または 22 に記載の強誘電体メモリ装置。

【請求項 25】

前記ビット線は、前記プレート線と垂直に配設されることを特徴とする請求項 21 または 22 に記載の強誘電体メモリ装置。

【請求項 26】

セルトランジスタと、このセルトランジスタに接続された強誘電体セルキャパシタとからなり、その一端がビット線に接続され、他端がプレート線に接続されたメモリセルと、前記メモリセルの他端と前記プレート線との間に設けられた保護トランジスタと、

前記メモリセルの一端と前記ビット線との間に設けられ、その閾値が、前記セルトランジスタの閾値よりも高く設定されたセレクトトランジスタとを具備したことを特徴とする強誘電体メモリ装置。

【請求項 27】

セルトランジスタと、このセルトランジスタに接続された強誘電体セルキャパシタとからなり、その一端がビット線に接続され、他端がプレート線に接続されたメモリセルと、前記メモリセルの他端と前記プレート線との間に設けられた保護トランジスタとを具備し、

前記セルトランジスタの閾値が、前記保護トランジスタの閾値よりも低く設定されていることを特徴とする強誘電体メモリ装置。

【請求項 28】

セルトランジスタと、このセルトランジスタに接続された強誘電体セルキャパシタとからなり、その一端がビット線に接続され、他端がプレート線に接続されたメモリセルと、前記メモリセルの他端と前記プレート線との間に設けられた保護トランジスタとを具備し、

前記ビット線が、前記プレート線と平行に配設されていることを特徴とする強誘電体メモリ装置。

【請求項 29】

複数のワード線のそれぞれにゲートが接続された複数のセルトランジスタ、および、前記複数のセルトランジスタのソース・ドレイン間にそれぞれ接続された複数の強誘電体セルキャパシタを直列に接続するとともに、その一端がビット線に接続され、他端がプレート線に接続された複数のメモリセルと、

前記複数のメモリセルの他端と前記プレート線との間に設けられた保護トランジスタと、

前記複数のメモリセルの一端と前記ビット線との間に設けられ、その閾値が、前記複数のセルトランジスタの閾値よりも高く設定されたセレクトトランジスタとを具備したことを特徴とする強誘電体メモリ装置。

【請求項 30】

複数のワード線のそれぞれにゲートが接続された複数のセルトランジスタ、および、前記複数のセルトランジスタのソース・ドレイン間にそれぞれ接続された複数の強誘電体セルキャパシタを直列に接続するとともに、その一端がビット線に接続され、他端がプレート線に接続された複数のメモリセルと、

前記複数のメモリセルの他端と前記プレート線との間に設けられた保護トランジスタとを具備し、

前記複数のセルトランジスタの閾値が、前記保護トランジスタの閾値よりも低く設定されていることを特徴とする強誘電体メモリ装置。

【請求項 31】

複数のワード線のそれぞれにゲートが接続された複数のセルトランジスタ、および、前記複数のセルトランジスタのソース・ドレイン間にそれぞれ接続された複数の強誘電体セルキャパシタを直列に接続するとともに、その一端がビット線に接続され、他端がプレート線に接続された複数のメモリセルと、

前記複数のメモリセルの他端と前記プレート線との間に設けられた保護トランジスタとを具備し、

前記ビット線が、前記プレート線と平行に配設されていることを特徴とする強誘電体メモリ装置。

【請求項 32】

複数のワード線のそれぞれにゲートが接続された複数のセルトランジスタ、および、前記複数のセルトランジスタのソース・ドレイン端子間にそれぞれ接続された強誘電体セルキャパシタからなる複数のメモリセルを直列に接続するとともに、そのメモリセル列の一端がビット線に接続され、他端がプレート線に接続されてなる強誘電体メモリ装置であって、

前記セルキャパシタよりも上層に、導電層からなる静電バリア層が設けられてなることを特徴とする強誘電体メモリ装置。

【請求項 33】

複数のワード線のそれぞれにゲートが接続された複数のセルトランジスタ、および、前記複数のセルトランジスタのソース・ドレイン端子間にそれぞれ接続された強誘電体セルキャパシタからなる複数のメモリセルを直列に接続するとともに、そのメモリセル列の一端がビット線に接続され、他端がプレート線に接続されてなる強誘電体メモリ装置であって、

前記セルキャパシタよりも上層に、導電層からなる複数の静電バリア層が設けられてなることを特徴とする強誘電体メモリ装置。

【請求項 3 4】

前記静電バリア層および前記複数の静電バリア層は、ブランケット状に設けられてなることを特徴とする請求項 3 2 または 3 3 に記載の強誘電体メモリ装置。

【請求項 3 5】

前記静電バリア層および前記複数の静電バリア層には、開口部が設けられてなることを特徴とする請求項 3 2 または 3 3 に記載の強誘電体メモリ装置。

【請求項 3 6】

前記複数の静電バリア層は、それぞれ、前記開口部が上下で互いに重ならないように設けられてなることを特徴とする請求項 3 5 に記載の強誘電体メモリ装置。

【請求項 3 7】

前記静電バリア層および前記複数の静電バリア層は、半導体基板あるいはウェルとコンタクトされてなることを特徴とする請求項 3 2 または 3 3 に記載の強誘電体メモリ装置。