

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/02 (2006.01)

G11C 5/14 (2006.01)



[12] 发明专利说明书

专利号 ZL 03142438.4

[45] 授权公告日 2007 年 7 月 11 日

[11] 授权公告号 CN 1326242C

[22] 申请日 2003.6.9 [21] 申请号 03142438.4

[30] 优先权

[32] 2002. 6. 10 [33] JP [31] 168680/2002

[73] 专利权人 株式会社日立制作所

地址 日本东京

共同专利权人 日立超大规模集成电路系统株式会社

[72] 发明人 刘藤佳代子 楠 贡 石塚裕康
益田信一郎

[56] 参考文献

US5886558A 1999. 3. 23

US6400546B1 2002. 6. 4

CN1163483A 1997. 10. 29

US5907464A 1999. 5. 25

JP10-243639A 1998. 9. 11

审查员 章 放

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

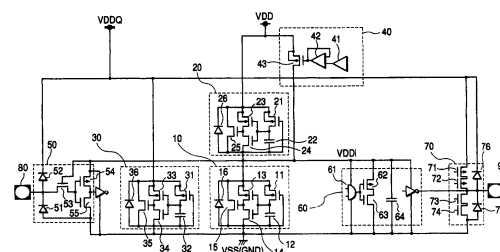
权利要求书 2 页 说明书 17 页 附图 15 页

[54] 发明名称

半导体集成电路器件

[57] 摘要

分别用于箝位不希望的电平电压的第一箝位电路和垂直叠置于其上的第二箝位电路提供在高电位侧电源和低电位侧电源之间，由垂直叠置的第一箝位电路和第二箝位电路形成的中间节点与内部电路的电源相连。由于最初在内部电路中提供的电容器与第一箝位电路并联配置，所以由于电容器的存在降低了阻抗，由流入芯片的过电流产生的电位差变小。由此，由流入芯片的过电流产生的电位差减小，并且通过允许流过更大的过电流可以改善静电介质强度。



1、一种半导体集成电路器件，包括：

用于接收高电位侧电源的第一输入端；

用于接收低电位侧电源的第二输入端；

内部电路，包括接收电压低于所述高电位侧电源的用于内部电路的电源的第一端，内部电路通过接收所述电源而工作；

分别用于箝制不希望的电平电压的第一箝位电路和第二箝位电路，

其中所述第一和第二箝位电路串联连接在所述第一输入端和所述第二输入端之间，并且所述第一箝位电路和所述第二箝位电路之间的中间节点连接到所述第一端，

其中所述内部电路包括：由连接到所述用于内部电路的电源的薄膜晶体管构成的逻辑电路；以及提供在所述用于内部电路的电源和所述低电位侧电源之间的噪声抑制电容器。

2、根据权利要求1的半导体集成电路器件，还包括：

用于内部电路的电源产生电路，以便通过逐步降低所述高电位侧电源产生用于内部电路的电源。

3、根据权利要求1的半导体集成电路器件，

其中所述第一箝位电路和所述第二箝位电路的结构相同。

4、一种半导体集成电路器件，包括：

用于接收高电位侧电源的第一输入端；

用于接收低电位侧电源的第二输入端；

内部电路，包括接收电压低于所述高电位侧电源的用于内部电路的电源的第一端，内部电路通过接收所述电源而工作；

分别用于箝制不希望的电平电压的第一箝位电路和第二箝位电路；

输出电路，该输出电路在被施加与所述用于内部电路的电源不同的用于所述输出电路的电源时向外部电路输出信号；以及

箝制不希望的电平电压的第三箝位电路，

其中所述第一和第二箝位电路串联连接在所述第一输入端和所述第二输入端之间，并且所述第一箝位电路和所述第二箝位电路之间的中间节点连接到所述第一端。

5、根据权利要求4的半导体集成电路器件，还包括：

输入端和输入电路，该输入电路在施加所述用于内部电路的电源时工作以提取通过所述输入端传送的信号，

其中所述输入电路包括提取通过输入端输入的信号的输入晶体管和用于防止静电击穿形成至用于所述输入电路的所述电源的导电通路的二极管。

半导体集成电路器件

技术领域

本发明涉及半导体集成电路器件，特别涉及当不希望的高电压施加到同一半导体集成电路器件的输入端时，通过箝位不希望的高电压防止元件击穿。

背景技术

在半导体集成电路中重要的是确保静电介质强度。对于获得半导体集成电路的静电介质强度的技术，有效地利用集成的区域并用简单的结构释放如浪涌电压等突变电压的技术是公知的，例如介绍在日本待审专利公开 No.Hei 11(1999)-243639 中。根据该技术，产生随提供的 DC 电压的电压变化而变化的变化信号，对开关元件进行开关控制以消除基于互补地将信号输出到外部电路的开关元件对的电压、给定的输入信号以及信号产生单元产生的信号的变化。

此外，日本待审专利公开 No.Hei 10(1998)-303314 公开了一种当施加浪涌电压时防止静电输入到输入电路的技术。根据该技术，通过提供连接到电源线和地线并且由输入端得到信号以处理该信号的输入电路、在电源侧中用于旁路由于电源电压方向中输入到输入端的第一浪涌电压产生的到电源线的电荷、或是连在电源线和地线之间用于旁路由于电源侧输入保护电路旁路到电源线的的第一浪涌电压产生的到地线的电荷的电源保护电路，可以防止静电输入到输入电路。

此外，已知一种电路技术，其中在超出 MOS 晶体管介质强度的较高电平的电源提供到的半导体集成电路中，将箝位电路叠置为两级（例如，USP No.5907464）。在这种电路中，对于由叠置的两级箝位电路形成的中间节点，施加由中间电位产生电路产生的中间电位。中间电位产生电路由串联连接的两个 p 沟道型 MOS 晶体管构成，并

且电源由这些串联连接的 MOS 晶体管分压。

在箝位电路叠置为两级的技术中，中间电位由两个元件（例如，p 沟道型 MOS 晶体管）串联连接的电路产生，并且该中间电位加到超出 MOS 晶体管介质强度的较高电平的电源提供到的半导体集成电路器件中的中间节点上，在高电位侧电源和低电位侧电源之间的阻抗变为箝位电路的单级阻抗的两倍。根据本发明的发明人的研究发现，如果阻抗不是足够低，则箝位电路不能显示出有效的过电流旁路功能，因此改善静电介质强度可能受到妨碍。

发明内容

因此，本发明的一个目的是提供在箝位电路为叠置两级的情况下，用低阻抗箝位不希望的电平电位的技术。

本发明的上述和其它目的以及新颖特征将通过对本说明书以及附图的介绍而变得显然。

本发明提供了一种半导体集成电路器件，包括：用于接收高电位侧电源的第一输入端；用于接收低电位侧电源的第二输入端；内部电路，包括接收电压低于所述高电位侧电源的用于内部电路的电源的第一端，内部电路通过接收所述电源而工作；分别用于箝制不希望的电平电压的第一箝位电路和第二箝位电路，其中所述第一和第二箝位电路串联连接在所述第一输入端和所述第二输入端之间，并且所述第一箝位电路和所述第二箝位电路之间的中间节点连接到所述第一端，其中所述内部电路包括：由连接到所述用于内部电路的电源的薄膜晶体管构成的逻辑电路；以及提供在所述用于内部电路的电源和所述低电位侧电源之间的噪声抑制电容器。

本发明提供了一种半导体集成电路器件，包括：用于接收高电位侧电源的第一输入端；用于接收低电位侧电源的第二输入端；内部电路，包括接收电压低于所述高电位侧电源的用于内部电路的电源的第一端，内部电路通过接收所述电源而工作；分别用于箝制不希望的电平电压的第一箝位电路和第二箝位电路；输出电路，该输出电路在

被施加与所述用于内部电路的电源不同的用于所述输出电路的电源时向外部电路输出信号；以及箝制不希望的电平电压的第三箝位电路，其中所述第一和第二箝位电路串联连接在所述第一输入端和所述第二输入端之间，并且所述第一箝位电路和所述第二箝位电路之间的中间节点连接到所述第一端。

在本发明中公开的典型发明将简要介绍如下。

也就是，在半导体集成电路器件中包括用于高电位侧电源的输入端、低电位侧电源的输入端以及当电平低于高电位侧电源的电压加到用于内部电路的电源时能够工作的内部电路，用于箝位不希望电平电压的第一箝位电路和垂直叠置在第一箝位电路之上的第二箝位电路提供在高电位侧电源和低电位侧电源之间，由垂直叠置的第一箝位电路和第二箝位电路形成的中间节点与内部电路的电源相连。

在内部电路中，通过连接内部电路的电源和低电位侧电源，在各个位置放置用于降低内部电路电源噪声的电容器。因此，这些电容器的负荷电容量变大，阻抗可以控制到更低的值。

根据上述装置，由于作为内部电路的工作电源提供的内部电路的电源加在中间节点，最初在内部电路中提供的电容器与第一箝位电路并联配置。因此，降低了阻抗，从而由流入芯片的过电流产生的电位差变小。结果，允许流过更大的过电流，并且可以改善静电介质强度。

在这种情况下，可以配置上述内部电路，包含由连接到内部电路电源的薄膜晶体管构成的逻辑电路以及提供在内部电路电源和低电位侧电源之间的噪声抑制电容器。

此外，也可以提供内部电路电源产生电路，以便通过降低高电位侧电源的电压产生内部电路的电源。

另外，当提供不同于内部电路电源的用于输入/输出电路的电源时，输出电路可以输出信号到外部电路，还提供在用于输入/输出电路的电源和低电位侧电源之间箝位不希望的电平电压的第三箝位电路。

还可以提供当施加内部电路电源时工作的输入端和输入电路，以提取通过输入端传送的信号，从而输入电路可以由用于得到通过输入端提取的信号的输入晶体管和用于防止静电击穿以形成输入/输出电路到电源的连续通路的二极管构成。

当第一箝位电路与低电位侧电源相连，第二箝位电路与高电位侧电源相连时，第二箝位电路可以包括在预定的时间常数范围内形成参考电压的时间常数电路、根据参考电压检测高电位侧电源和内部电路电源之间的电位差的反相器电路、根据反相器电路的输出逻辑终止高电位侧电源和内部电路电源的 MOS 晶体管以及在正常工作期间阻止通路电流流过 MOS 晶体管和反相器电路的电阻。

此外，还可以包括到高电位侧电源、低电位侧电源和内部电路电源的布线具有低布线电阻的重新布线层。

即，由于最初用做内部电路的工作电源的用于内部电路的电源电压提供到中间节点，因此同样初始提供在内部电路中的电容器与第一箝位电路并联配置。因此，可以在低阻抗中箝位不希望的电压电平。由于阻抗设置为较低值，因此可以降低由于芯片中流动的过电流造成的电位差。因此，允许流动较大过电流，静电击穿电压可以设置为较高值。

附图说明

图 1 示出了作为本发明的集成电路的一个例子的 SRAM 的主要部分的结构的一个例子的电路图。

图 2 示出了与图 1 所示的电路相比，电路结构的一个例子的电路图。

图 3 示出了图 1 所示电路中包含的电容器的剖面图。

图 4 示出了介绍用于图 1 所示电路的静电击穿的评估介质强度的电路图。

图 5 示出了介绍用于图 1 所示电路的静电击穿的评估介质强度的电路图。

图 6 示出了介绍用于图 1 所示电路的静电击穿的评估介质强度的电路图。

图 7 示出了介绍用于图 1 所示电路的静电击穿的评估介质强度的电路图。

图 8 示出了 SRAM 中重新布线层的布图。

图 9 示出了 SRAM 中重新布线层的布图。

图 10 示出了 SRAM 中重新布线层的布图。

图 11 示出了 SRAM 中重新布线层的布图。

图 12 示出了 SRAM 中包含的第二箝位电路的布图。

图 13 示出了 SRAM 中包含的第二箝位电路的布图。

图 14 示出了第一箝位电路和第二箝位电路的配置图。

图 15 示出了第一箝位电路和第二箝位电路的配置图。

图 16 示出了第二箝位电路的其它结构例的电路图。

图 17 示出了 SRAM 的一个例子的图。

具体实施方式

图 17 示出了作为本发明的半导体集成电路器件的一个例子的 SRAM。

图 17 中示出的 SRAM102，没有特别的限制，由半导体芯片 120 和连接到半导体芯片的 BGA（球栅阵列）基板 121 形成。半导体芯片 120，没有特别的限制，由已知的半导体集成电路器件技术形成在如单晶硅基板的半导体基板上。BGA 基板 121 包括作为外部端子的 BGA 球 124，以实现与元件安装基板的电连接。半导体芯片 120 和 BGA 基板 121 借助突点电极 125 电连接。

图 1 示出了 SRAM 中主要部分的电路图。高电位侧电源 VDD 和低电位侧电源 VSS 借助输入端给出。没有特别的限制，高电位侧电源 VDD 设置为 2.5V，而低电位侧电源 VSS 设置为 0V（地 GND 电平）。提供用于内部电路的电源产生电路 40，通过降低高电位侧电源 VDD 的输出电压，该电源产生电路 40 产生用于内部电路的电

源 VDD_i 。用于箝位不希望的电压电平的第一箝位电路 10 和垂直地叠置在第一电路上的第二箝位电路 20 提供在由外部电路提供的高电位侧电源 VDD 和低电位侧电源 VSS 之间。即使是由于 MOS 晶体管的小型化提供超出 MOS 晶体管介质强度的高电位侧电源 VDD 时，这两个箝位电路 10,20 垂直地叠置以便通过降低施加到 MOS 晶体管的电压电平来使用 MOS 晶体管。通过垂直叠置第一箝位电路 10 和第二箝位电路 20 形成的中间节点 100 与用于内部电路的电源 VDD_i 电连接。此外，也提供从外部侧提取信号的输入端 80，然后通过该输入端 80 提取的信号提供到具有输入电路 50 的芯片内。当提供用于内部电路的电源 VDD_i 时，内部电路 50 工作。此外，也提供输出电路 70 以将信号输出到外部电路。当由外部侧提供用于 I/O（输入/输出）电路的电源 VDD_Q 时，该输出电路 70 工作。

用于内部电路的电源工作电路 40，没有特别的限制，由与高电位侧电源 VDD 连接的 p 沟道 MOS 晶体管 43 和用于产生参考电压的参考电压产生电路 41 组成，电路 40 通过控制 p 沟道 MOS 晶体管 43 产生用于内部电路的电源 VDD_i 。用于内部电路的电源 VDD_i 的电压电平设置为，没有特别的限制，1.2V。

第一箝位电路 10 的构成如下。

通过将用于内部电路的电源 VDD_i 连接的 p 沟道 MOS 晶体管 11 与连接到低电位侧电源 VSS 的电容器 12 串联连接，可以由连接点得到参考电压。即使用于内部电路的电源 VDD_i 的电压电平升高到不希望的电压值，该参考电压保持在由 p 沟道 MOS 晶体管 11 的电阻元件和电容器 12 的时间常数确定的周期内的常数值。与用于内部电路的电源 VDD_i 连接的 p 沟道 MOS 晶体管 13 和与低电位侧电源 VSS 连接的 n 沟道 MOS 晶体管 14 串联连接形成反相器。对于这些 MOS 晶体管 13,14 的栅电极，提供 p 沟道 MOS 晶体管 11 和电容器 12 的串联连接节点的参考电压。也提供 n 沟道 MOS 晶体管 16 能够形成用于内部电路的电源 VDD_i 和低电位侧电源 VSS 的短路。对于 MOS 晶体管 16 的栅电极，传递由 MOS 晶体管 13 和 14 组成的反相

器的输出信号。寄生二极管 16 也存在于 MOS 晶体管 15 的源和漏之间。

根据以上介绍的结构，正常工作期间，MOS 晶体管 13 截止，而 MOS 晶体管 14 导通，因为 MOS 晶体管 11 和电容器 12 的串联连接节点参考电压提供到 MOS 晶体管 13,14 的栅电极。此时，MOS 晶体管 15 截止。同时，当用于内部电路的电源 VDDi 的电压电平瞬间地升高到不希望的电压电平时，p 沟道 MOS 晶体管 13 导通，同时 n 沟道 MOS 晶体管 14 截止。因此，n 沟道 MOS 晶体管 15 导电，由此箝位了用于内部电路的电源 VDDi 的不希望的电压电平。此外，由于也提供了寄生二极管 16，当低电位侧电源 VSS 的电压升高到不希望的电压电平时，由于电流借助寄生二极管 16 流入用于内部电路的电源 VDDi，电压被箝位。

下面介绍第二箝位电路 20 的构成。

通过将用于内部电路的电源 VDDi 连接的 p 沟道 MOS 晶体管 21 与连接到低电位侧电源 VSS 的电容器 22 串联连接，可以由连接点得到参考电压。即使用于内部电路的电源 VDDi 的电压电平升高到不希望的电压值，该参考电压保持在由 p 沟道 MOS 晶体管 21 的电阻元件和电容器 22 的时间常数确定的周期内的常数值。与用于内部电路的电源 VDDi 连接的 p 沟道 MOS 晶体管 23 和与低电位侧电源 VSS 连接的 n 沟道 MOS 晶体管 24 串联连接形成反相器。对于这些 MOS 晶体管 23,24 的栅电极，提供 p 沟道 MOS 晶体管 21 和电容器 22 的串联连接节点的参考电压。也提供 n 沟道 MOS 晶体管 25 能够形成用于内部电路的电源 VDDi 和低电位侧电源 VSS 的短路。对于 MOS 晶体管 24 的栅电极，传递由 MOS 晶体管 23 和 24 组成的反相器的输出信号。寄生二极管 26 也存在于 MOS 晶体管 25 的源和漏之间。

下面介绍第三箝位电路 30 的构成。

通过将用于 I/O 电路的电源 VDDQ 连接的 p 沟道 MOS 晶体管 31 与连接到低电位侧电源 VSS 的电容器 32 串联连接，可以由连

接点得到参考电压。即使用于内部电路的电源 VDD_i 的电压电平升高到不希望的电压值,该参考电压保持在由 p 沟道 MOS 晶体管 31 的电阻元件和电容器 32 的时间常数确定的周期内的常数值。与用于 I/O 电路的电源 VDD_Q 连接的 p 沟道 MOS 晶体管 33 和与低电位侧电源 VSS 连接的 n 沟道 MOS 晶体管 34 串联连接形成反相器。对于这些 MOS 晶体管 33,34 的栅电极,提供 p 沟道 MOS 晶体管 31 和电容器 32 的串联连接节点的参考电压。也提供 n 沟道 MOS 晶体管 35 能够形成用于 I/O 电路的电源 VDD_Q 和低电位侧电源 VSS 的短路。对于该 MOS 晶体管 35 的栅电极,传递由 MOS 晶体管 33 和 34 组成的反相器的输出信号。寄生二极管 36 也存在于 MOS 晶体管 35 的源和漏之间。

由于该结构中的箝位操作类似于第一箝位电路 10 和第二箝位电路 20,因此这里省略了该箝位操作的详细说明。

内部电路 60,没有特别的限制,包括该 RAM 中的主要内部逻辑。例如,没有示出的存储阵列和它的主要电路包含在该内部电路 60 中。在图 1 中,作为内部电路 60 的一个例子,代表性地示出了配置在该栅极随后级中的 2 输入 AND 栅极和 MOS 晶体管 62,63。由于引入了超小型化的结构,形成这种内部电路 60 的 MOS 晶体管的介质强度降低,通过逐步降低高电位侧电源 VDD 的电压已得到的用于内部电路的电源 VDD_i 提供到该 MOS 晶体管。内部电路的输出信号,例如来自存储单元阵列的读取数据可以借助输出电路 70 输出到外部电路。此外,在许多区域中内部电路 60 提供有电容器 64,以便当它们连接到用于内部电路的电源 VDD_i 和低电位侧电源 VSS 时,减小包含在用于内部电路的电源 VDD_i 中的噪声元件。由于如上所述电容器 64 提供在许多区域中,因此这些电容器的组合电容变大,并且它的阻抗因此控制到较小值。

输入电路 50,没有特别的限制,包括 n 沟道 MOS 晶体管 53,55 和 p 沟道 MOS 晶体管 54。通过将连接用于内部电路的电源 VDD_i 的 p 沟道 MOS 晶体管 54 和连接低电位侧电源 VSS 的 n 沟道 MOS 晶

晶体管 55 串联连接形成获取输入信号的反相器。n 沟道 MOS 晶体管 53 提供在 MOS 晶体管 54,55 和输入端 80 之间。该 MOS 晶体管 53 的栅电极连接用于内部电路的电源 VDDi。此外，也提供二极管 51,52 以防止形成输入电路 50 的 MOS 晶体管的静电击穿。二极管 51 提供在从输入端 80 到 MOS 晶体管 53 的信号输入路径和低电位侧电源 VSS 之间，而二极管 52 提供在用于 I/O 电路的电源 VDDQ 和上述信号输入路径之间。

输出电路 70，没有特别的限制，包括用于借助输出端 90 将信号输出到外部电路的 MOS 晶体管 71 到 74 和用于防止该输入电路的元件静电击穿的二极管 75,76。当提供用于 I/O 电路的电源 VDDQ 时，形成该输出电路 70 的 MOS 晶体管例如 MOS 晶体管 71 到 74 工作。

在以上介绍的每个电路中使用的电容器 12,22,32,64，没有特别的限制，可以由使用图 3 所示的栅氧化膜的 MOS 电容器形成。即，由于对应于源电极或漏电极的半导体区 (P^+ , N^+) 共同连接到低电位侧电源 VSS (或用于内部电路的电源 VDDi)，可以利用依靠栅电极 FG 形成的 MOS 电容。

对于半导体集成电路器件的静电介质强度评估方法，已知有 HBM (人体模型) 系统、MM (机器模型) 系统和 CDM (荷电器件模型)。在 HBM 系统中，模拟当积累在人体中的静电排放到半导体集成电路器件时的波形。在 MM 系统中，模拟当积累在机器中的静电排放到半导体集成电路器件时的波形。在 CDM 系统中，模拟当积累在半导体集成电路器件中的静电排放时的波形。在以上介绍的任何系统中，当借助箝位电路形成低阻电流路径时，不希望的电压电平绝对不会传递到 MOS 晶体管，因此可以保护相关的 MOS 晶体管不击穿。下面基于 HBM 系统和 CDM 系统的例子参考图 4 到图 7 介绍箝位电路的操作。为便于说明，高电位侧电源 VDD 的布线上存在的布线电阻表示为 r_d ，而低电位侧电源 VSS 的布线上存在的布线电阻表示为 r_s ，用于 I/O 电路的电源 VDDQ 的布线上存在的布线电阻表示为 r_q 。

图 4 示出了正电荷提供到 HBM 系统中的输入端 80 的情况。

当在开关 402 处于虚线表示的条件时，DC 电源（例如，150V）的正侧与电容器 403 连接，电容器 403 充电。接下来，由于开关 402 如实线所示切换，当电容器 403 积累的电荷（正侧）提供到输入端 80 时进行静电介质强度评估。这种评估分为 VSS 标准、VDD 标准以及 VDDQ 标准的三种标准。

对于 VSS 标准，仅低电位侧电源 VSS 的输入端设置为地电平，电容器 403 的积累电荷（正侧）提供到该条件下的输入端 80。此时，其它输入端打开。对于该 VSS 标准，由于电流借助输入端 80、二极管 52、用于 I/O 电路的电源 VDDQ 的布线以及施加不希望电压将导通的 n 沟道晶体管 35 延伸到低电位侧电源 VSS 的电流路径内，可以避免不希望的电压电平施加到形成输入电路 50 的 MOS 晶体管 53,54,55 的电极。

对于 VDD 标准，仅高电位侧电源 VDD 的输入端设置为地电平，在该条件下电容器 403 的积累电荷提供到输入端 80。此时，其它输入端打开。对于该 VDD 标准，由于电流借助输入端 80、二极管 52、用于 I/O 电路的电源 VDDQ 的布线、施加不希望电压将导通的 n 沟道晶体管 35、低电位侧电源 VSS 的布线以及二极管 16,26 延伸到高电位侧电源 VDD 的电流路径内，可以避免不希望的电压电平施加到形成输入电路 50 的 MOS 晶体管 53,54,55 的电极。

对于 VDDQ 标准，在该环境下，仅用于 I/O 电路的电源 VDDQ 的输入端设置为地电平，电容器 403 的积累电荷提供到输入端 80。此时，其它输入端打开。对于该 VDDQ 标准，由于电流借助输入端 80 和二极管 52 延伸到用于 I/O 电路的电源 VDDQ，因此可以避免不希望的电压电平施加到形成输入电路 50 的 MOS 晶体管 53,54,55 的电极。

图 5 示出了负侧的电荷提供到 HBM 系统中输入端 80 的情况。

由于在开关 502 用虚线表示的条件下 DC 电源的负侧（例如，150V）连接电容器 403，因此电容器 403 充电。接下来，当开关 502

用实线表示时，电容器 403 的积累电荷（负侧）提供到输入端 80，由此评估静电介质强度。这种评估分为 VSS 标准、VDD 标准以及 VDDQ 标准的三种标准。

对于 VSS 标准，仅低电位侧电源 VSS 的输入端设置为地电平，电容器 403 的积累电荷（负侧）提供到该条件下的输入端 80。此时，其它输入端打开。在该 VSS 标准中，由于电流流入低电位侧电源 VSS 的输入端和借助二极管 51 从输入端 80 的布线延伸的电流路径，可以避免不希望的电压电平施加到形成输入电路 50 的 MOS 晶体管 53,54,55 的电极。

对于 VDD 标准，仅高电位侧电源 VDD 的输入端设置为地电平，在该环境下电容器 403 的积累电荷（负侧）提供到输入端 80。此时，其它输入端打开。对于该 VDD 标准，由于电流流入高电位侧电源 VDD 的输入端 80 和借助施加不希望的电平时导通的 n 沟道晶体管 25,15、低电位侧电源 VSS 的布线以及二极管 51 从布线延伸到输入端 80 的电流路径内，可以避免不希望的电压电平施加到形成输入电路 50 的 MOS 晶体管 53,54,55 的电极。

对于 VDDQ 标准，在该环境下，仅用于 I/O 电路的电源 VDDQ 的输入端设置为地电平，电容器 403 的积累电荷（负侧）提供到输入端 80。此时，其它输入端打开。在该 VDDQ 标准中，由于电流流入用于 I/O 电路的电源 VDDQ 的输入端和借助施加不希望的电平时导通的 n 沟道晶体管 35、低电位侧电源 VSS 的布线以及二极管 51 从布线延伸到输入端 80 的电流路径内，因此可以避免不希望的电压电平施加到形成输入电路 50 的 MOS 晶体管 53,54,55 的电极。

在图 4 和图 5 中，当电荷由电容器 403 移动到 SRAM 内时，由于布线电阻 r_s, r_d, r_q 和箝位电路 10,20,30 中的 MOS 晶体管 15,25,38 的导通电阻，产生电压。因此，设置恒定的元件，以便该电压电平不超过 MOS 晶体管的介质强度。

图 6 示出了借助输入端 80 充电的负电位在 CDM 系统中放电的情况。

当借助开关 601,604,602,603DC 电源（例如，200V）605,608,606,607 的负侧提供到包括低电位侧电源 VSS 的输入端、用于 I/O 电路的电源 VDDQ 的输入端、以及信号的输入端 80 的所有端子时，电荷聚集到 SRAM 之后，开关 601,604,602 截止，输入端 80 通过开关 603 接地 GND（低电位侧电源 VSS 电平）。此时，电流借助二极管 52 的布线、施加不希望的电平时导通的 n 沟道晶体管 35 以及低电位侧电源 VSS 由输入端 80 延伸到输入电路 50 的电流路径。此外，电流借助二极管 52 的布线、施加不希望的电平时导通的 n 沟道晶体管 35 以及用于内部电路的电源 VDDi 也流入由输入端 80 延伸到输入电路 50 的电流路径。因此，可以避免不希望的电压电平传递到形成输入电路 50 的 MOS 晶体管 53,54,55 的电极。

图 7 示出了借助输入端 80 充电的正电位在 CDM 系统中放电的情况。

当借助开关 701,704,702,703DC 电源（例如，200V）705,708,706,707 的正侧提供到包括低电位侧电源 VSS 的输入端、用于 I/O 电路的电源 VDDQ 的输入端、以及信号的输入端 80 的所有端子时，电荷聚集到 SRAM 之后，开关 701,704,702 截止，输入端 80 通过开关 703 接地 GND（低电位侧电源 VSS 电平）。此时，电流借助低电位侧电源 VSS 布线、二极管 51 以及输入端 80 由输入电路 50 延伸到地 GND 的电流路径。此外，电流借助用于内部电路的电源 VDDi、施加不希望的电平时导通的 n 沟道晶体管 15、低电位侧电源 VSS 的布线、二极管 51、以及输入端 80 也流入由输入电路 50 延伸到地 GND 的电流路径，因此，可以避免不希望的电压电平传递到形成输入电路 50 的 MOS 晶体管 53,54,55 的电极。

在图 6 和 7 中，假设在输入电路 50 的输入电阻 r_q 和布线电阻 r_q, r_s, r_i 之中建立 $r_q < r_g$ 和 $r_q + r_s + r_i < r_g$ 的关系。

这里，参考图 2 介绍与图 1 比较的电路。

当箝位电路 10,20 两层叠置在提供有高于 MOS 晶体管的介质强度的电源电平的半导体集成电路中时，由串联连接的 p 沟道 MOS 晶

晶体管 401,402 形成的中间电位产生电路 404 提供在通过双层叠置箝位电路形成的中间节点 100。在该结构中,就产生中间电位而言,需要产生中间电位的专用(exclusive)MOS 晶体管提供两个 p 沟道 MOS 晶体管 401,402 的串联连接电路。此外,产生中间电位时,必须施加预定的电流用于产生施加到两个 p 沟道 MOS 晶体管 401,402 的中间电位。因此,半导体集成电路的功耗增加。

另一方面,在图 1 的结构中,由于用做内部电路 60 的原始工作电源的用于内部电路的电源 VDD_i 提供到中间节点 100,因此不再需要重新提供两个 p 沟道 MOS 晶体管 401,402 的串联连接电路以便产生中间电位。因此,可以防止无用的电流施加到两个 p 沟道 MOS 晶体管 401,402 的串联连接电路。

接下来,介绍以上介绍的 SRAM 的芯片布局。

图 8 示出了 SRAM102 中的重新布线层的布局,突点电极和与其连接的焊盘。

在图 8 中,突点电极用圆圈表示,小方框表示由金属布线层形成的焊盘。突点电极、焊盘以及重新布线层表示为网状区、开口区、以及有色区,用于指示电压和信号中的差别。

形成低电位侧电源 VSS 、高电位侧电源 VDD 、用于 I/O 电路的电源 $VDDQ$ 以及用于内部电路的电源 VDD_i 的布线,它们连接到对应的突点电极。低电位侧电源 VSS 、高电位侧电源 VDD 、用于 I/O 电路的电源 $VDDQ$ 借助对应的突点电极从外部侧获取,并借助对应的布线传递到每个部分。重新布线层 266,没有特别限制,由铜(Cu)和镍(Ni)形成,具有低电阻。由于使用该重新布线层 266 通过传递低电位侧电源 VSS 、高电位侧电源 VDD 、用于 I/O 电路的电源 $VDDQ$ 以及用于内部电路的电源 VDD_i ,可以将布线电阻造成的电压降减小到较小的值,可以顺利地提供电源。此外,通过将多个静态存储器单元配置成矩阵形,可以形成配置在除中心区域之外区域中的存储矩阵。

图 9 示出了输入电路 50、用于内部电路的电源电压产生电路

(VDDi 产生电路) 40、以及箝位电路 10,20,30。在图 9 中, 省略重新布线层 266 中的布线和突点电极以便容易看出输入电路 50、用于内部电路的电源电压产生电路 (VDDi 产生电路) 40、以及箝位电路 10,20,30 的布局。如图 9 所示, 为了使布线电阻的影响尽可能小, 将输入电路 50、用于内部电路的电源电压产生电路 (VDDi 产生电路) 40、以及箝位电路 10,20,30 分散到多个位置。

图 10 示出了第一箝位电路 10 的一个例子。

p 沟道 MOS 晶体管 13 和 n 沟道 MOS 晶体管 14 为形成反相器的 MOS 晶体管, 这些 MOS 晶体管以相同的数量并联连接。n 沟道 MOS 晶体管 15 为用于箝位的 MOS 晶体管, 该 MOS 晶体管并联连接以便可以稳定地施加各种电流。电容器 12 利用了 MOS 晶体管的氧化膜, 许多 MOS 晶体管并联连接使 P 阱的寄生电阻变小。第二布线层用于内部电路的电源 VDDi 和低电位侧电源 VSS。为了将 MOS 晶体管 13,14 与 MOS 晶体管 15 连接和将电容器 12 与 MOS 晶体管 11,13,14 连接, 使用第一布线层和第二布线层。此外, 如图 11 所示, 使用第三布线层布线低电位侧电源 VSS 和用于内部电路的电源 VDDi。

图 12 示出了第二箝位电路 20 的一个例子。

第二箝位电路 20 的布局基本上类似于第一箝位电路 10 的布局。即, p 沟道 MOS 晶体管 23 和 n 沟道 MOS 晶体管 24 为形成反相器的 MOS 晶体管, 这些 MOS 晶体管以相同的数量并联连接。n 沟道 MOS 晶体管 25 为用于箝位的 MOS 晶体管, 该 MOS 晶体管并联连接以便可以稳定地施加各种电流。电容器 22 利用了 MOS 晶体管的氧化膜, 许多 MOS 晶体管并联连接使 P 阱的寄生电阻变小。对于用于内部电路的电源 VDDi 和低电位侧电源 VSS, 使用第二布线层。为了将 MOS 晶体管 23,24 与 MOS 晶体管 25 连接和将电容器 22 与 MOS 晶体管 21,23,24 连接, 使用第一布线层和第二布线层。此外, 如图 13 所示, 使用第三布线层布线低电位侧电源 VSS 和用于内部电路的电源 VDDi。

图 10 和图 11 所示的第一箝位电路 10 和图 12, 图 13 中所示的第二箝位电路 20 可以并联配置在图 14 中。此外, 如图 15 所示, 它们也可以垂直配置。

此外, 在本实施例中, 可以借助重新布线层 266 传递来自外部电路的地址信号。地址信号布线通过重新布线层 266 连接到典型示出的用于输入地址信号或控制信号的突点电极(用双圈表示), 地址信号借助地址信号布线传送到对应的焊盘。然后借助半导体芯片 120 的金属布线层, 信号传送到地址寄存器和预解码器。由于重新布线层 266 具有低电阻值, 使用该重新布线层 266 传送地址信号可以减少地址信号的传送时间, 因为地址信号的延迟量相当小。

此外, 在本实施例中, 可用低电位侧电源 VSS 的布线屏蔽地址信号布线以便防止将噪声混入地址信号布线和相邻地址布线的串扰。例如, 也沿地址信号布线的两侧设置低电位侧电源 VSS 的布线。因此, 用低电位侧电源 VSS 的相邻布线屏蔽地址信号布线。

根据以上介绍的实施例可以得到以下效果。

(1) 通过在 SRAM 中两级叠置箝位电路 10,20 可以实现高电位侧电源 VDD 和低电位侧电源 VSS 之间的箝位, 超过 MOS 晶体管介质强度的较高电平的电源提供到 SRAM。因此, 不再需要专用的 MOS 晶体管用于具有较高介质强度的箝位电路。

(2) 当通过串联连接 p 沟道 MOS 晶体管 401,402 形成的中间电位产生电路 404 提供在中间节点 100 时, 其中如图 2 所示在中间节点 100 中箝位电路 10,20 两级叠在超过 MOS 晶体管介质强度的较高电平的电源施加于其上的半导体集成电路中, 需要专用的 MOS 晶体管产生中间电位, 此外产生中间电位的预定电流必须施加到产生中间电位的两个 p 沟道 MOS 晶体管 401,402。因此, 半导体集成电路的功耗增加。同时, 在图 1 所示的结构中, 由于为内部电路 60 的原始工作电源电压的用于内部电路的电源 VDDi 提供到中间节点 100, 因此不再需要重新提供两个 p 沟道 MOS 晶体管 401,402 的串联连接电路以便产生中间电位。因此, 可以防止无用的电流施加到两个 p 沟

道 MOS 晶体管 401,402 的串联连接电路。

(3) 通过连接用于内部电路的电源 VDDi 和低电位侧电源 VSS, 在多个区域中内部电路 60 提供有许多电容器 64, 以便减小用于内部电路的电源 VDDi 中的噪声。由于电容器 64 提供在多个区域中, 因此这些电容器的组合电容变大, 它的阻抗抑制到较低值。在将用于内部电路的电源 VDDi 提供到中间节点 100 的结构中, 由于内部电路 60 中的电容器 64 连接在中间节点 100 和低电位侧电源 VSS 之间, 中间节点 100 和低电位侧电源 VSS 之间的阻抗设置为较低值。由于阻抗设置为该较低值, 由于流入芯片内的过电流造成的电位差异也减小到较小值。因此, 允许流过大的过电流, 静电介质强度可以设置为较大值。

以上具体介绍了本发明, 但本发明不限于以上说明, 可以在不脱离本发明的权利要求的范围内有多种变化和修改。

例如, 由于由外部电路提供的高电位侧电源 VDD 的电压电平设置为较低值, 用于内部电路的电源 VDDi 的电压电平有时变得高于高电位侧电源 VDD 的电压电平的一半。例如, 在图 16 中, 当用于内部电路的电源 VDDi 的电压电平为 1.2V 时, 假设高电位侧电源 VDD 降到 1.5V。此时, 高电位侧电源 VDD 和用于内部电路的电源 VDDi 之间的电压差 153 低至 0.3V, 在正常操作期间, 第二箝位电路 20 中的 p 沟道 MOS 晶体管 13 和 n 沟道 MOS 晶体管 25 不能充分地截止。因此, 直通电流流入相关的 MOS 晶体管。

如上所述, 当高电位侧电源 VDD 和用于内部电路的电源 VDDi 之间的电压差 153 太低时, 通过将高电阻 151 并联到 p 沟道 MOS 晶体管 11, p 沟道 MOS 晶体管 13 的栅极电压设置为高电平, 足以截止相关的 MOS 晶体管。此外, 通过将高电阻 152 并联到 p 沟道 MOS 晶体管 14, n 沟道 MOS 晶体管 25 的栅极电压设置为截止相关的 MOS 晶体管的低电平。因此, 可以避免直通电流流入 p 沟道 MOS 晶体管 13 和 n 沟道 MOS 晶体管 25。

此外, 在以上实施例中, 用于防止内部电路 50 中静电击穿的二

极管 52 连接用于 I/O 电路的电源 VDDQ，但根据连接到输入端的多种输入电路结构，用于防止静电击穿的该二极管也可以连接高电位侧电源 VDD。

在以上的说明中，本发明应用到如背景技术中所述的主要应用领域的 SRAM。但是，本发明不限于此，也可以广泛地应用到多种半导体集成电路器件中。

本发明可以在半导体集成电路器件包括提供低于至少高电位侧电源的电压的用于内部电路的电源时工作的内部电路的情况下应用。

图 2

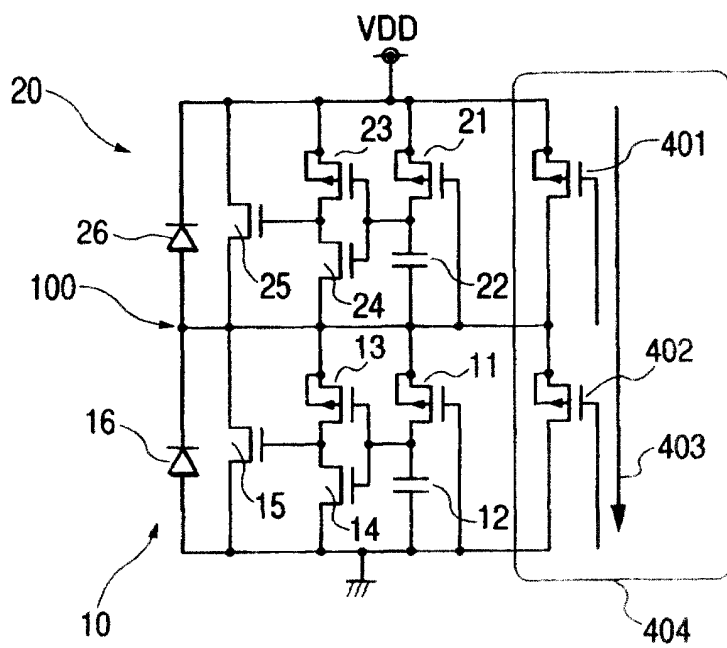
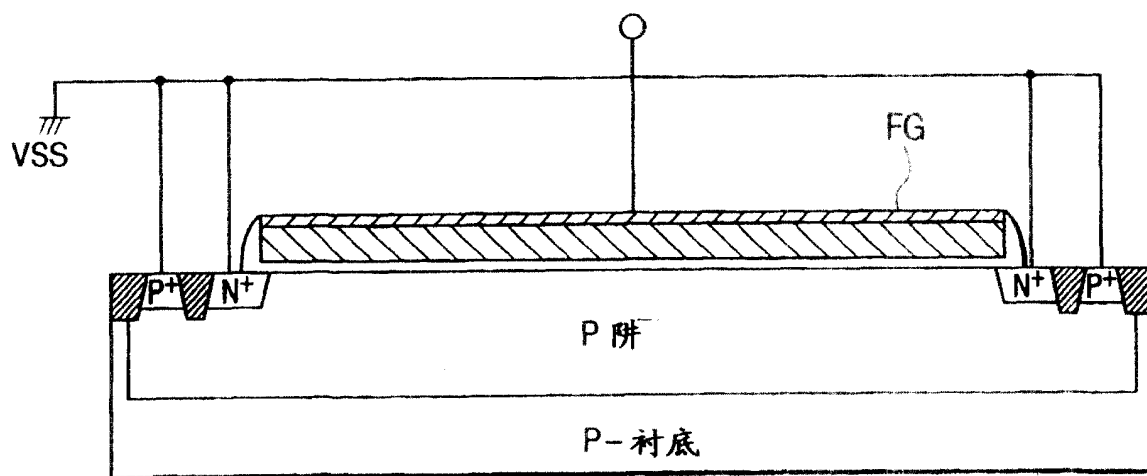


图 3



4
四

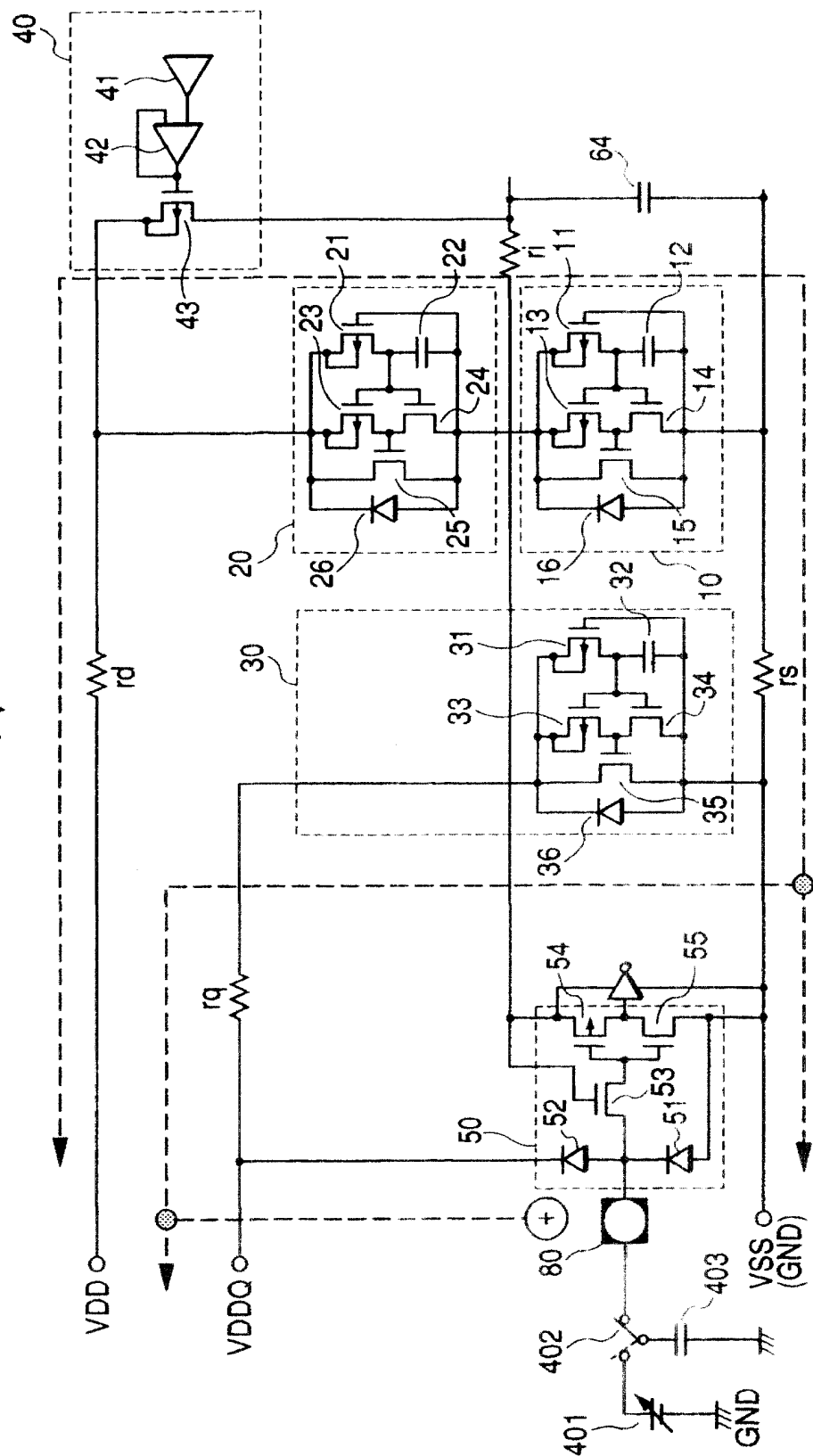
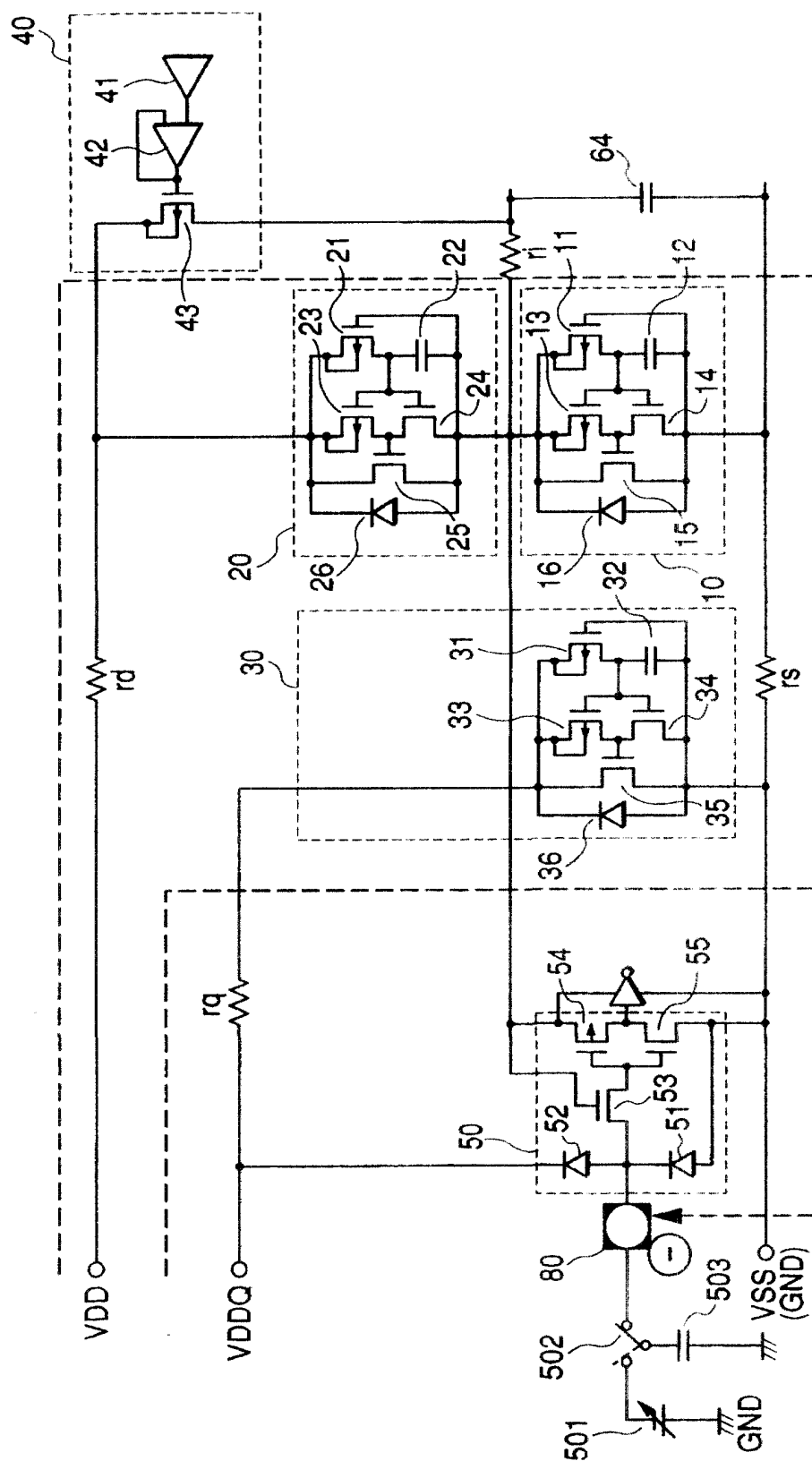
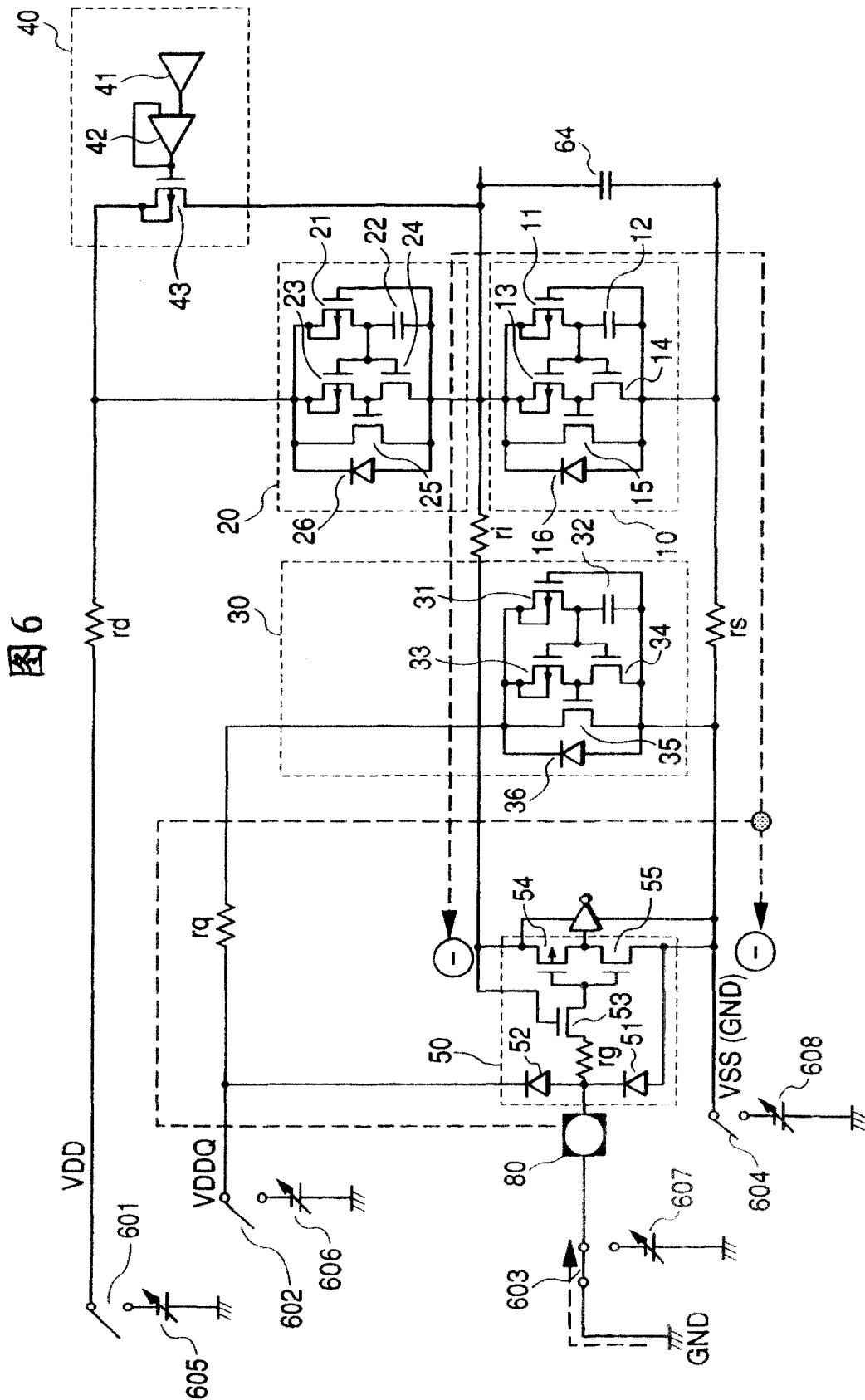
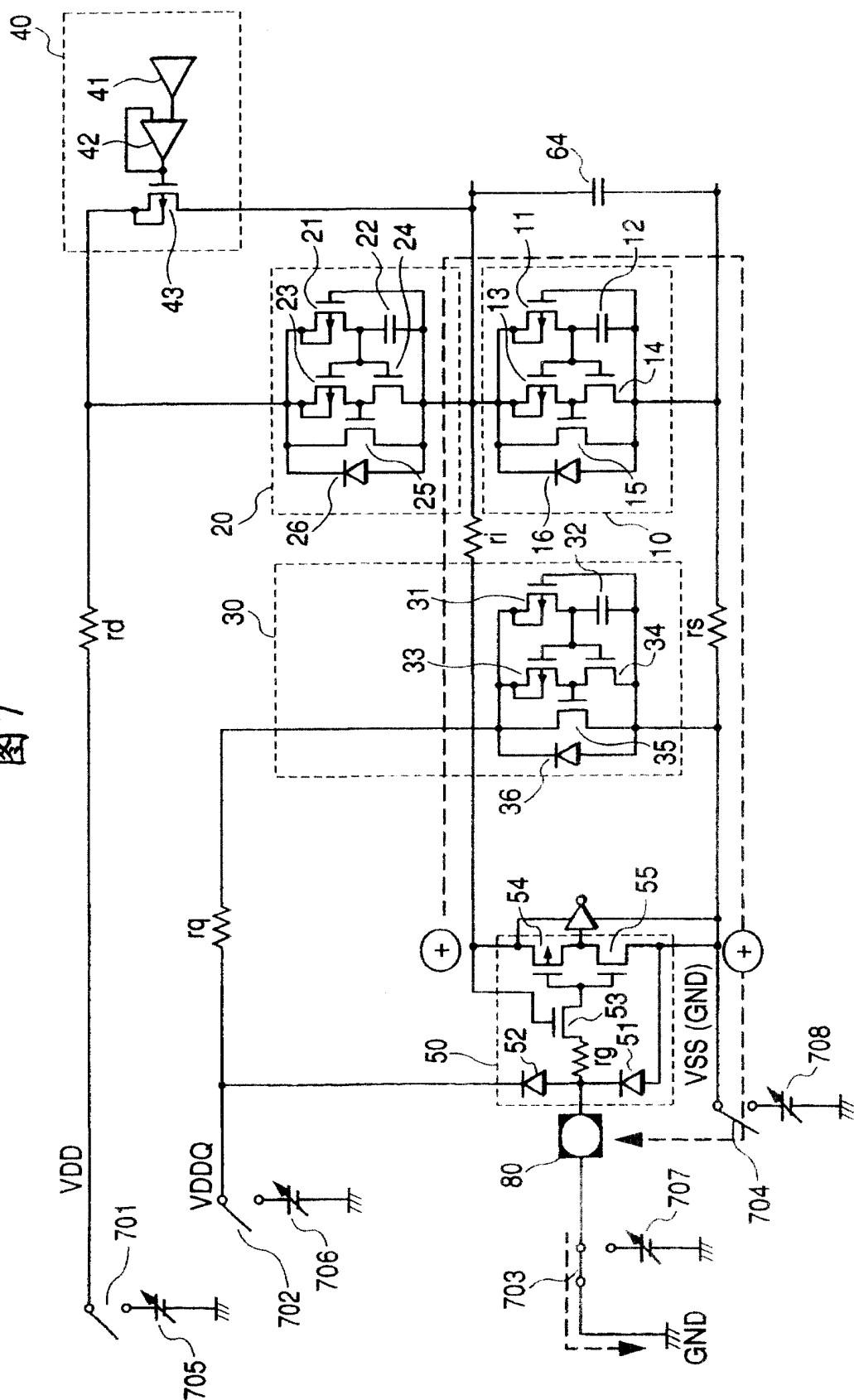


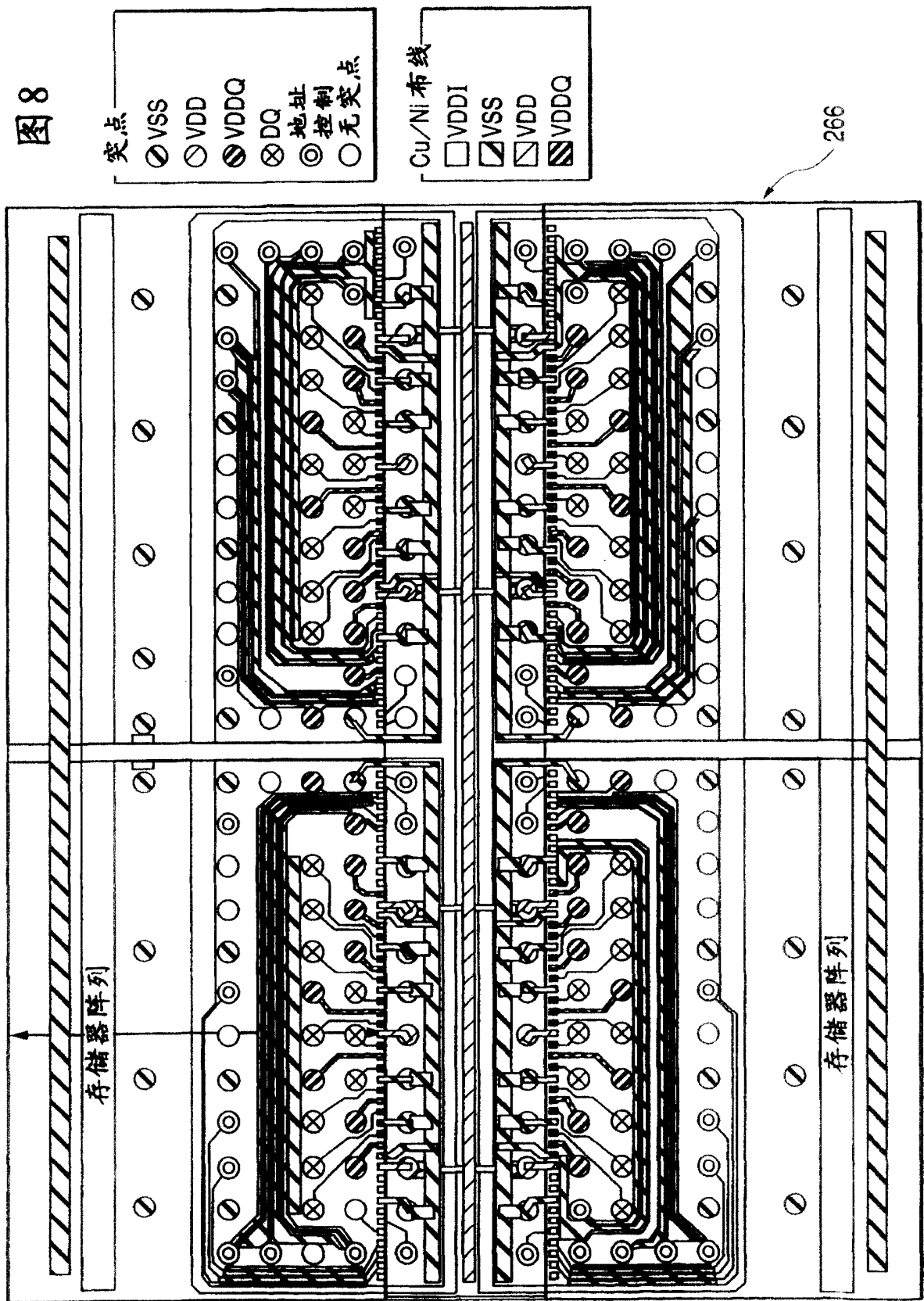
图 5

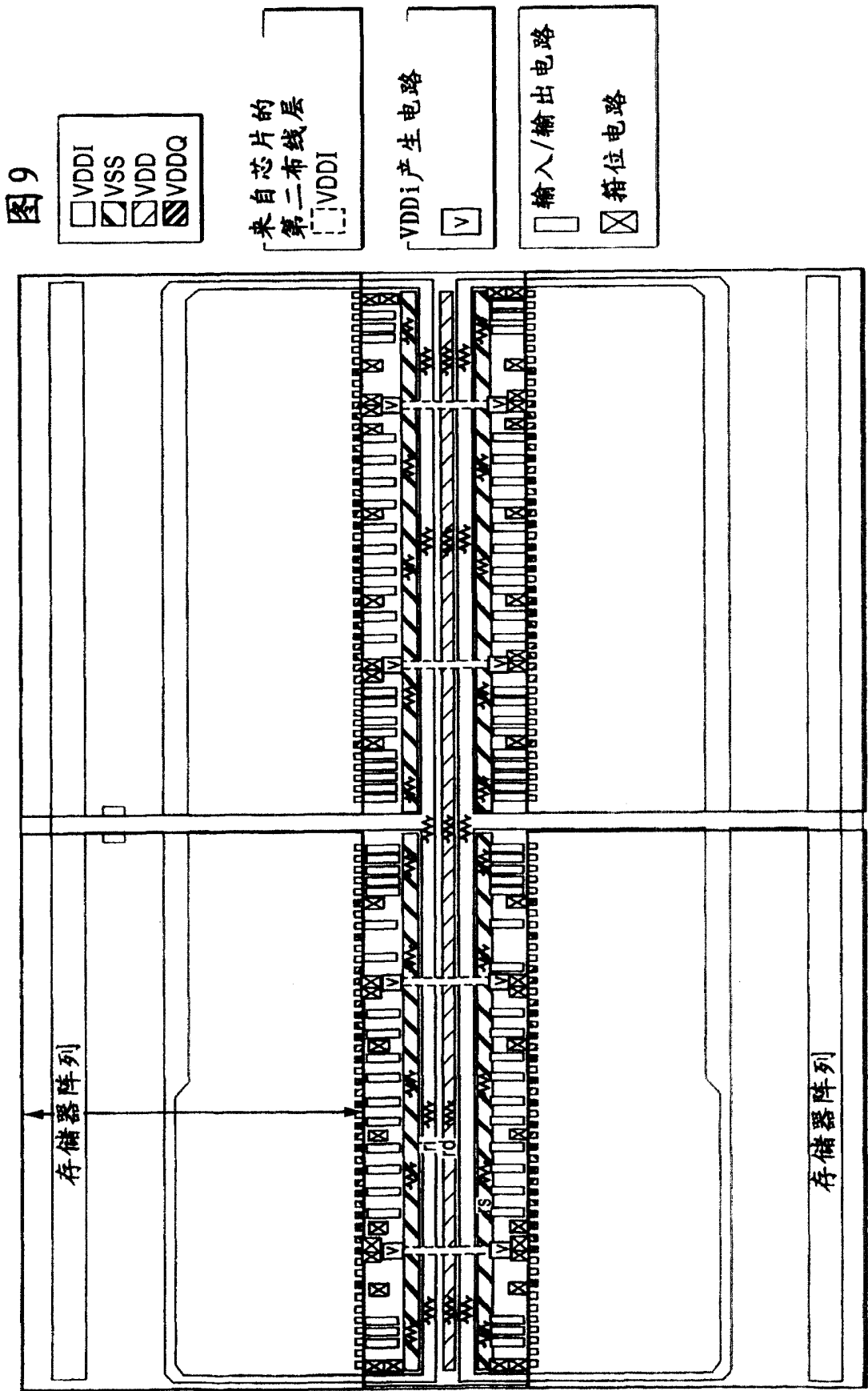


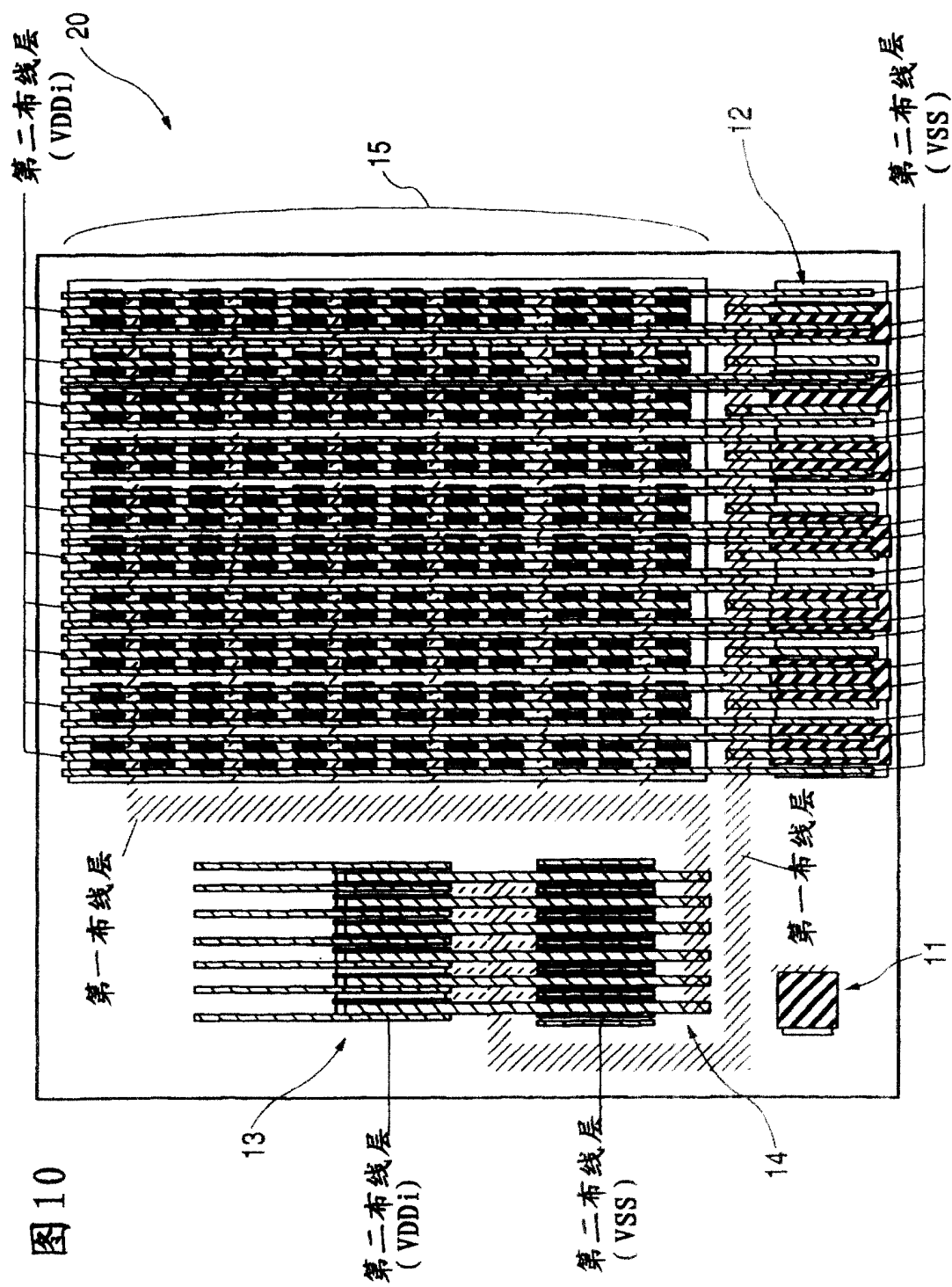


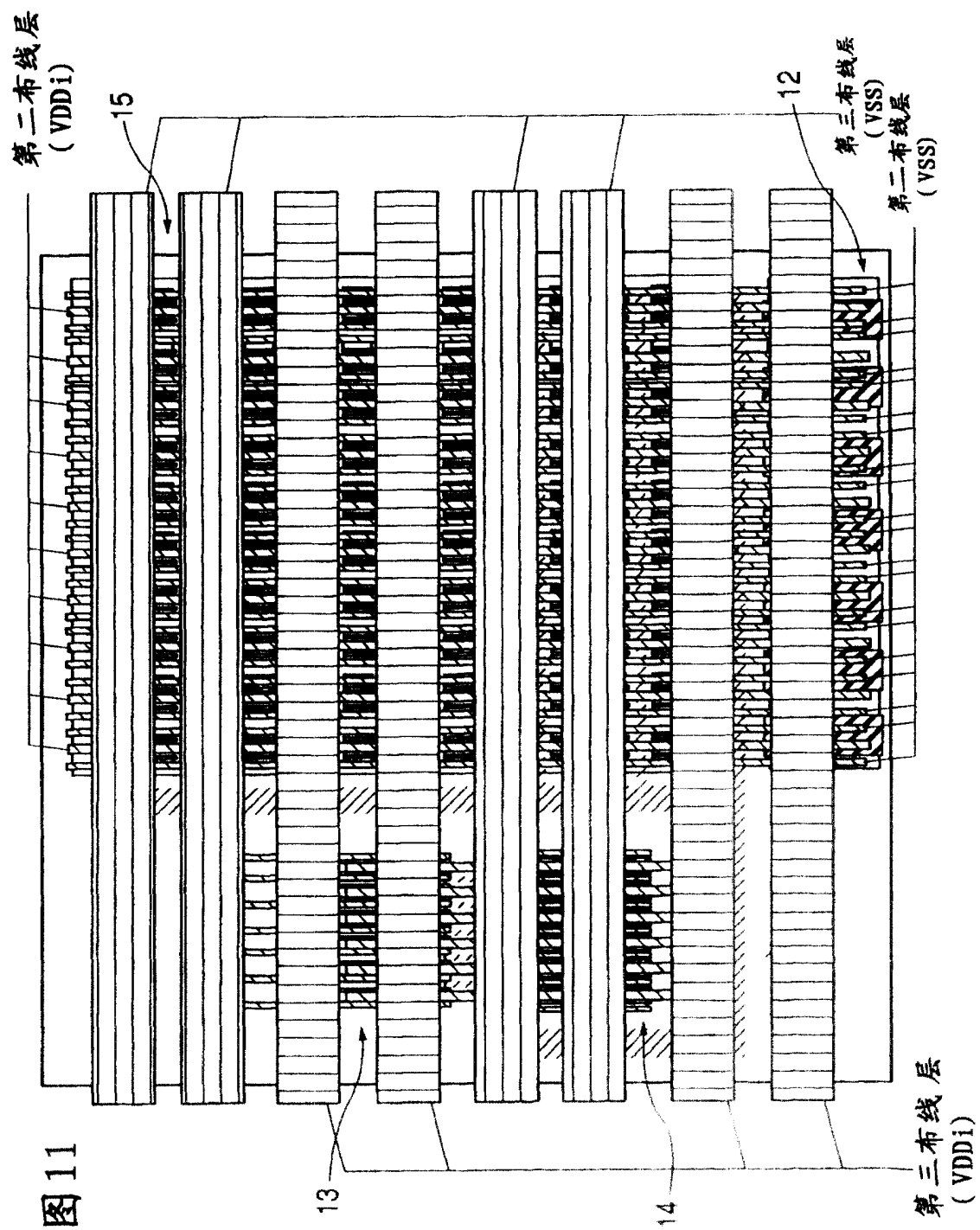
7
图

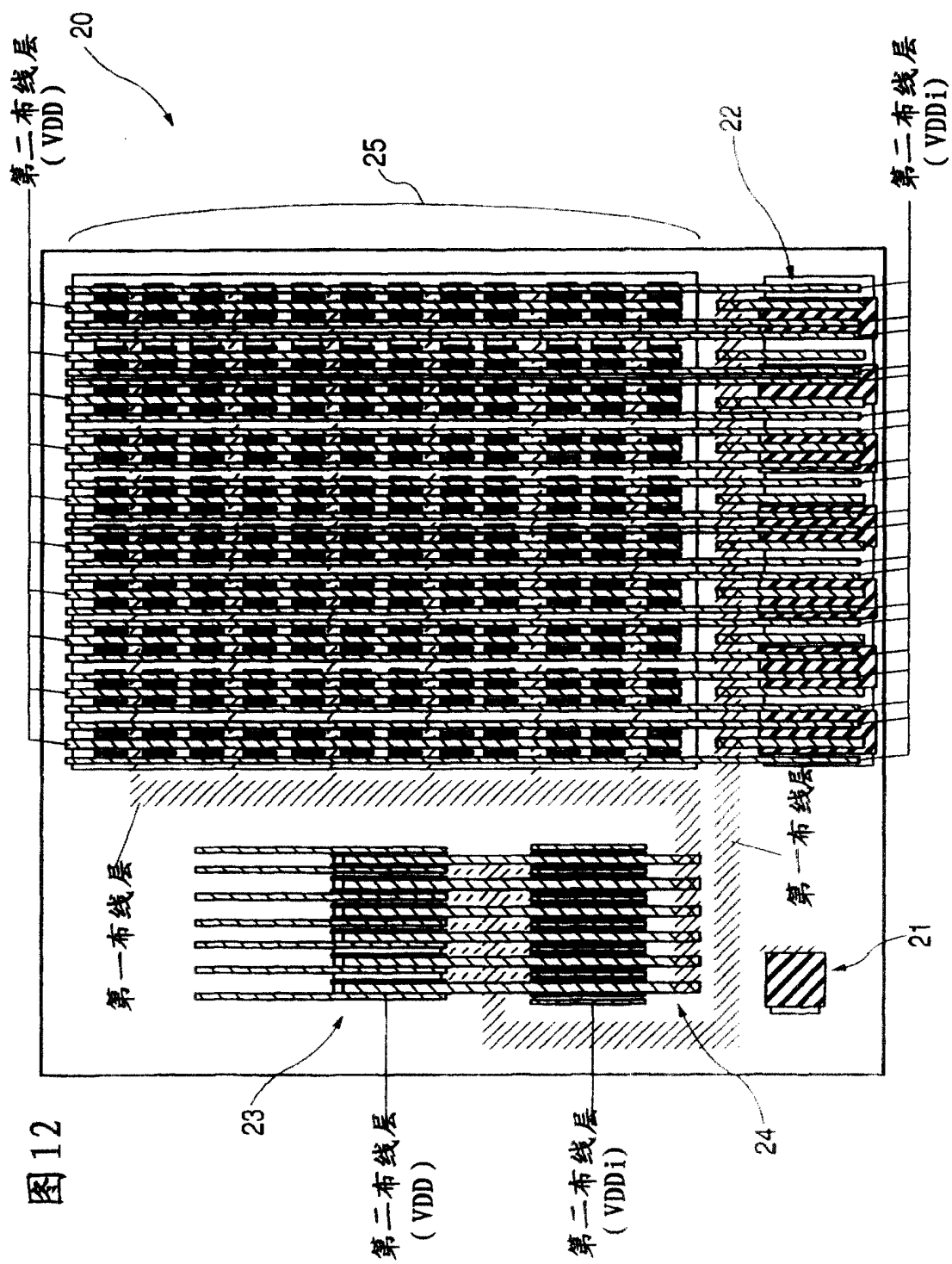












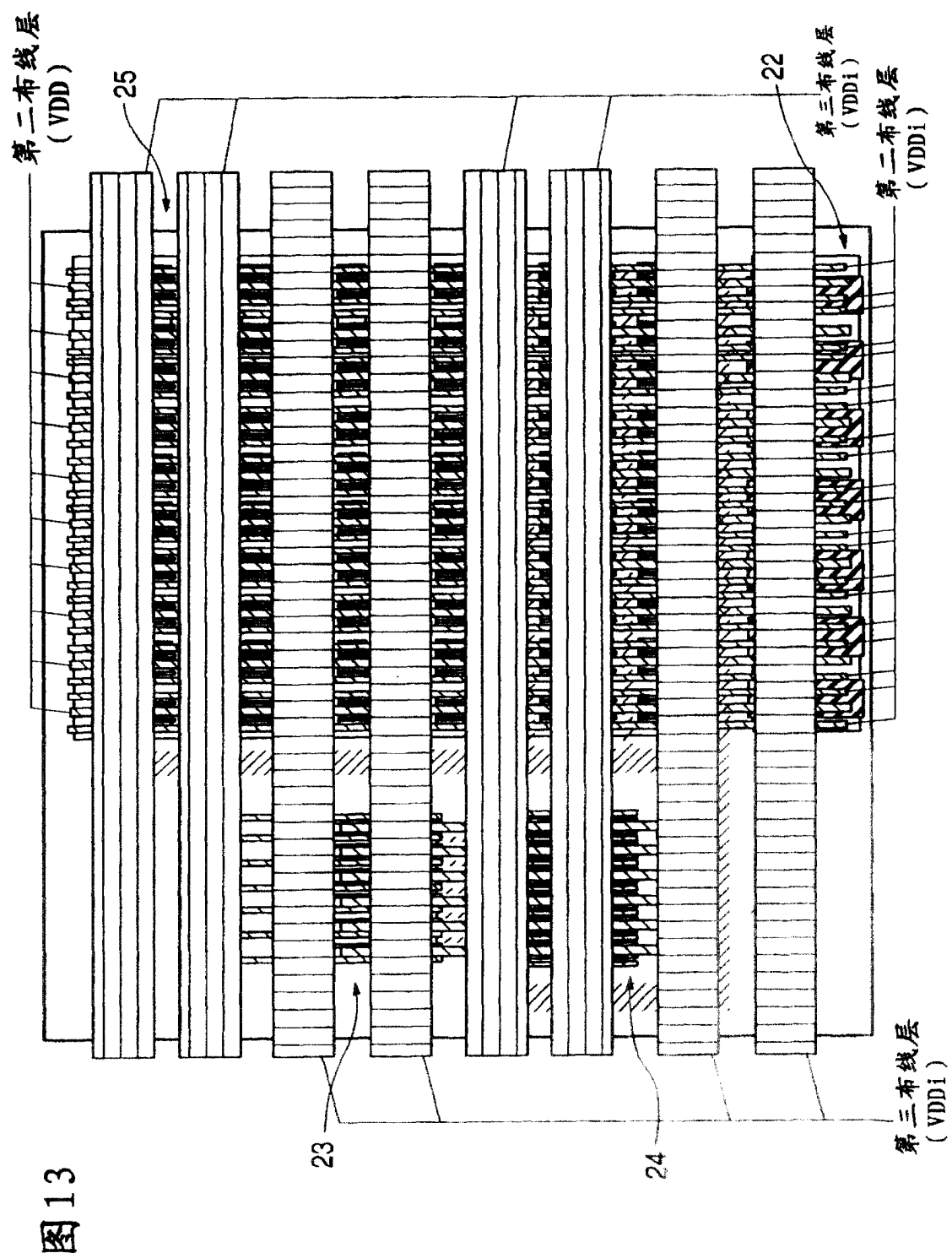


图 13

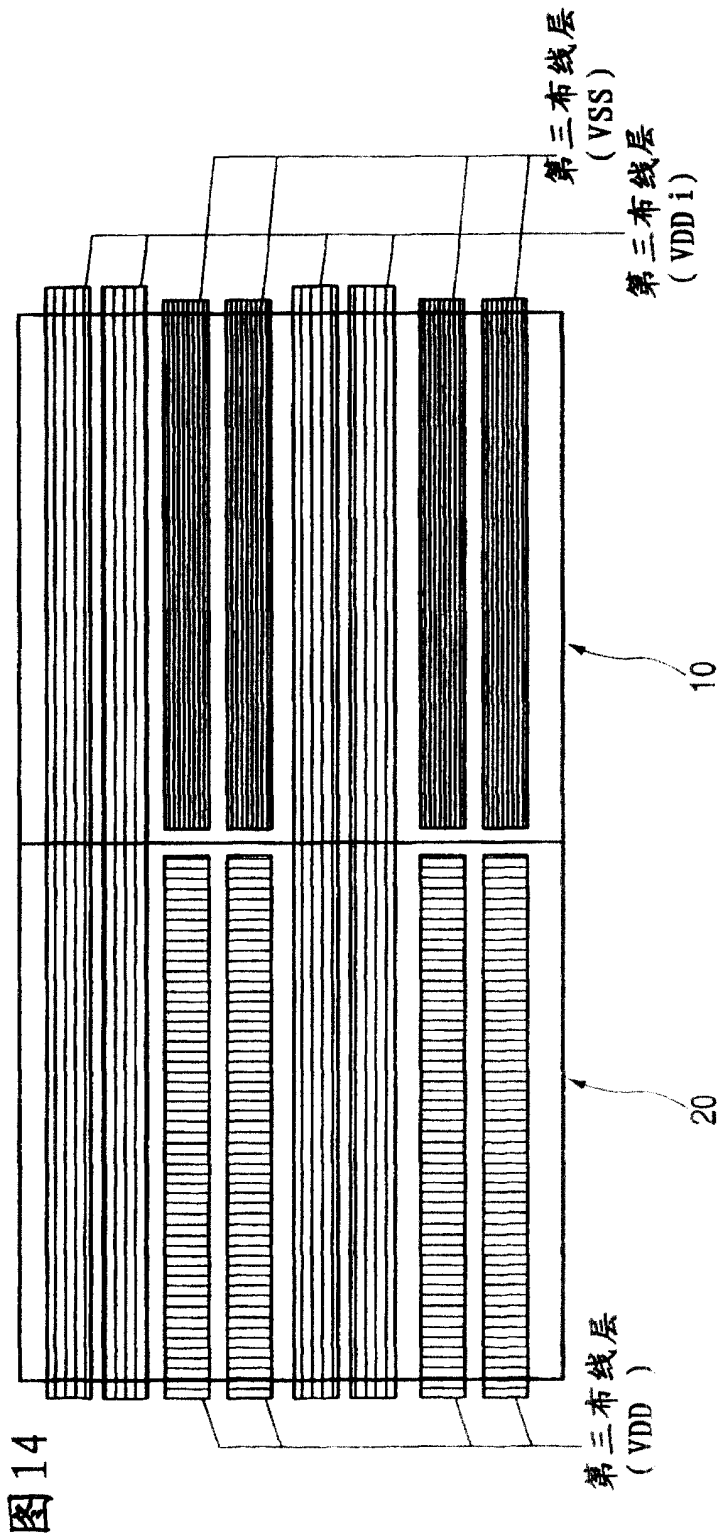


图15

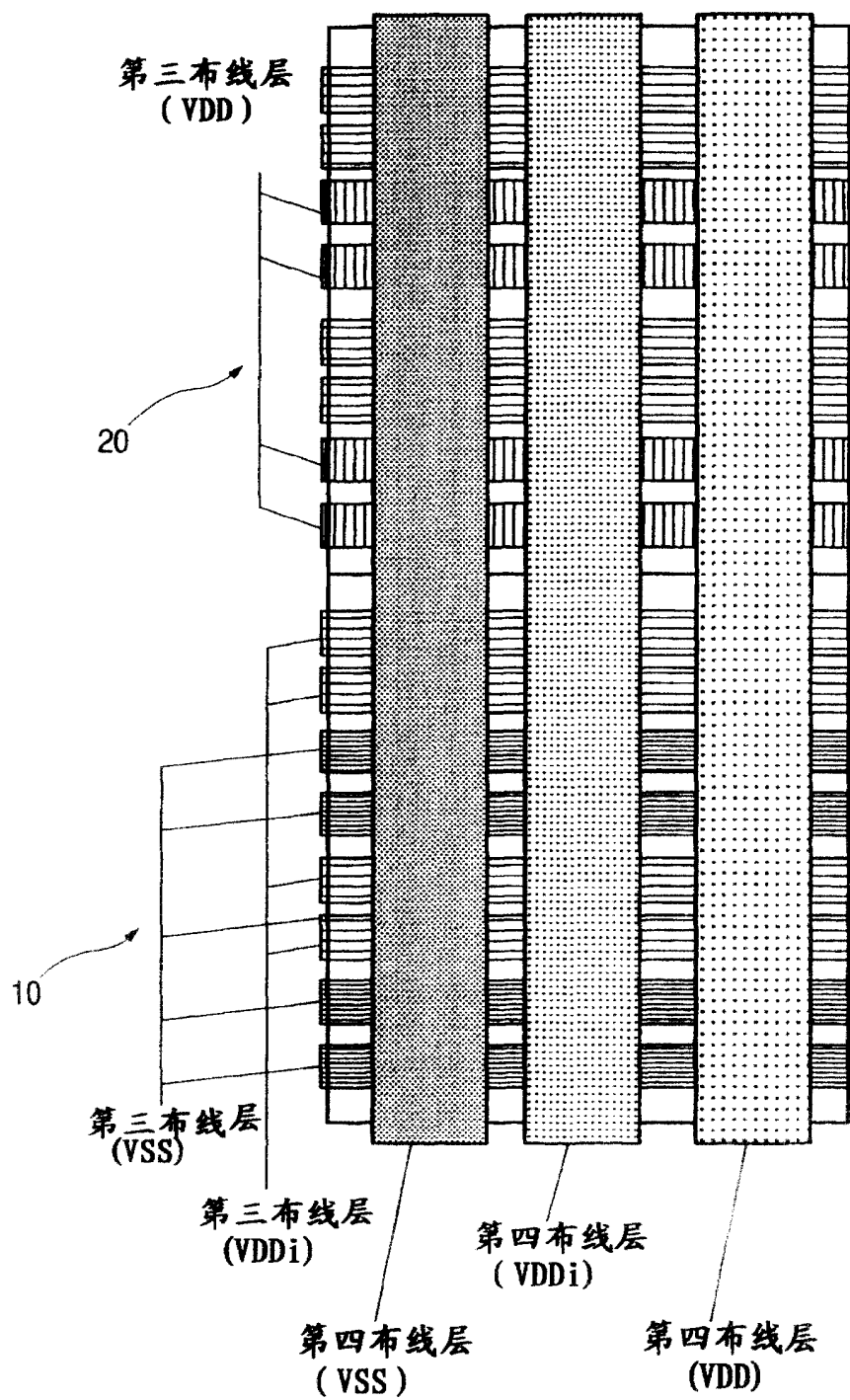


图 16

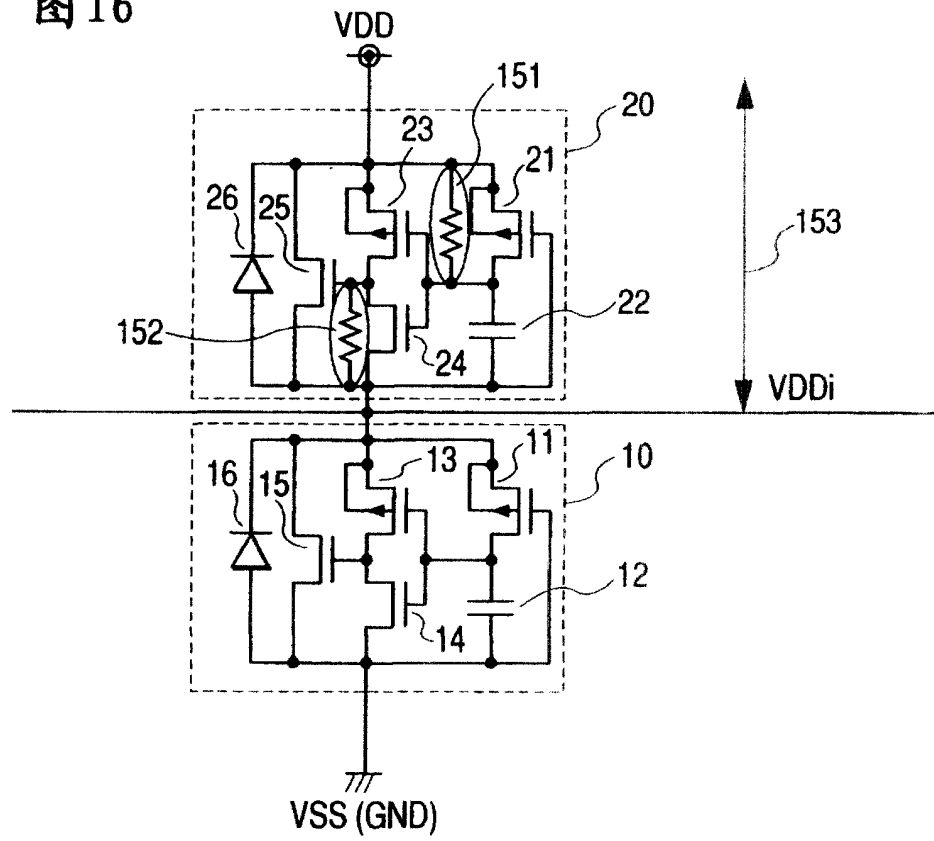


图 17

