

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4610067号
(P4610067)

(45) 発行日 平成23年1月12日(2011.1.12)

(24) 登録日 平成22年10月22日(2010.10.22)

(51) Int.Cl.	F I
H05K 3/46 (2006.01)	H05K 3/46 Q
H01G 2/06 (2006.01)	H05K 3/46 G
	H05K 3/46 N
	H05K 3/46 T
	H01G 1/035 C
請求項の数 1 (全 11 頁) 最終頁に続く	

(21) 出願番号	特願2000-294746 (P2000-294746)	(73) 特許権者	000006633
(22) 出願日	平成12年9月27日(2000.9.27)		京セラ株式会社
(65) 公開番号	特開2002-111219 (P2002-111219A)		京都府京都市伏見区竹田鳥羽殿町6番地
(43) 公開日	平成14年4月12日(2002.4.12)	(72) 発明者	平松 幸洋
審査請求日	平成19年8月20日(2007.8.20)		鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内
		(72) 発明者	林 桂
			鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内
		審査官	森藤 淳志
最終頁に続く			

(54) 【発明の名称】 電気素子内蔵型配線基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

未硬化の熱硬化性樹脂を含有する第1乃至第3絶縁シートを準備し、該第1絶縁シートに空隙を形成する工程と、

前記第1乃至第3絶縁シートに配線回路層およびビアホール導体を形成する工程と、
表面に凹凸部が形成されており、表面粗さ(Ra)が0.5μm以上である電気素子本体と外部電極を具備する電気素子を前記第1絶縁シートの空隙に配置し、該第1絶縁シートの上下に前記第2及び第3絶縁シートを積層することにより、仮積層体を形成する工程と、

前記仮積層体を前記未硬化の熱硬化性樹脂が溶融する温度で加熱しつつ第1圧力を印加し、前記第2及び第3絶縁シートの未硬化の熱硬化性樹脂を前記電気素子本体表面の凹凸部に含浸させる工程と、

前記仮積層体を前記熱硬化性樹脂が硬化する温度で加熱しつつ前記第1圧力よりも大きい第2圧力を印加し、前記凹凸部に含浸された前記熱硬化性樹脂を硬化させる工程と、
を具備することを特徴とする電気素子内蔵型配線基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁基板の内部にコンデンサなどの電気素子を内蔵することにより、LSIチップなどの能動素子を表面に実装可能であり、配線基板の機能性を高め、小型、高密度化

できる電気素子内蔵型配線基板の製造方法に関するものである。

【0002】

【従来技術】

近年、携帯電話を始めとする携帯情報端末の発達やコンピューターを持ち運んで操作するいわゆるモバイルコンピューティングの普及によって、電子機器の小型化がますます進んでおり、回路部品の高密度、高機能化に対応した配線基板が要求されている。このような配線基板としては、例えば、特開平11-220262号公報に開示されているようなものが知られている。

【0003】

この公報に開示された配線基板では、無機フィラーと未硬化の熱硬化性樹脂とを含む混合物からなる絶縁シートの内部にビアホール導体を、また、該絶縁シートの主面に配線回路層を形成し、さらに、該配線シート上に電気素子を実装して形成した配線シートを複数積層した後、硬化することによって電気素子内蔵型配線基板を作製することができる。

10

【0004】

【発明が解決しようとする課題】

しかしながら、上記特開平11-220262号公報では、半導体素子やチップ状の電気素子を配線基板に内蔵する場合、配線回路層やビアホール導体を形成した単層の配線シートに、はんだや導電性接着剤を用いて実装するため、未硬化の絶縁シートを高温で加熱する必要があり、熱による絶縁シートの収縮や変形が生じるといった問題があった。

【0005】

一方、前記絶縁シートの収縮や変形が発生しないような低い温度において、前記電気素子を前記配線シートに実装した場合、その後のホットプレスによる積層硬化において、前記電気素子がビアホール導体や配線パターンの接続箇所からずれ、内蔵した電気素子と配線基板の配線回路層との導通が得られなくなり、インダクタンスが大きくなるという問題があった。

20

【0006】

従って、本発明は、絶縁基板の内部にコンデンサなどの電気素子を内蔵して成る配線基板において、ずれに基づくインダクタンスの増大を防止し、内蔵された電気素子と配線基板に設けられた配線回路層との接続信頼性に優れた電気素子内蔵型配線基板を製造する方法を提供することを目的とするものである。

30

【0007】

【課題を解決するための手段】

本発明の電気素子内蔵型配線基板の製造方法は、未硬化の熱硬化性樹脂を含有する第1乃至第3絶縁シートを準備し、該第1絶縁シートに空隙を形成する工程と、前記第1乃至第3絶縁シートに配線回路層およびビアホール導体を形成する工程と、表面に凹凸部が形成されており、表面粗さ(Ra)が0.5μm以上である電気素子本体と外部電極を具備する電気素子を前記第1絶縁シートの空隙に配置し、該第1絶縁シートの上下に前記第2及び第3絶縁シートを積層することにより、仮積層体を形成する工程と、前記仮積層体を前記未硬化の熱硬化性樹脂が溶融する温度で加熱しつつ第1圧力を印加し、前記第2及び第3絶縁シートの未硬化の熱硬化性樹脂を前記電気素子本体表面の凹凸部に含浸させる工程と、前記仮積層体を前記熱硬化性樹脂が硬化する温度で加熱しつつ前記第1圧力よりも大きい第2圧力を印加し、前記凹凸部に含浸された前記熱硬化性樹脂を硬化させる工程と、を具備することを特徴とするものである。

40

【0016】

この製法によれば、まず、絶縁層中の前記熱硬化性樹脂の溶融温度範囲において加熱加圧することにより、前記電気素子の表面に形成された凹凸部に十分に熱硬化性樹脂を浸入させることができ、次に、溶融加圧温度よりも高い温度において、再度加熱加圧して熱硬化性樹脂を硬化することにより、電気素子の表面に形成された凹凸部と、熱硬化性樹脂との間で強固なアンカーを形成し、電気素子と絶縁層との接着強度を高め、電気素子を内蔵した配線基板を一括で積層硬化する場合に前記電気素子の外部電極と配線基板の配線回路層

50

とのずれを防止することができる。

【0017】

【発明の実施の形態】

(配線基板)

本発明の配線基板の一形態について、図1の概略断面図をもとに詳細に説明する。本発明の配線基板Aは、絶縁層1、3、5を3層積層して構成された絶縁基板7の両表面に配線回路層9a、9bを形成して構成されている。また、絶縁層1と絶縁層3との間、および絶縁層1と絶縁層5の間には、配線回路層9cが形成され、これらの絶縁層1、3、5には、その厚み方向に金属粉末を充填されてなるビアホール導体11が形成されている。

【0018】

ビアホール導体11は、絶縁基板7の表面の配線回路層9a、9bと、絶縁基板7の内部の配線回路層9cを電氣的に接続し、さらに、絶縁基板7の両表面の配線回路層9a、9bを電氣的に接続している。

【0019】

絶縁層1には、キャビティ13が形成されており、その内部には、電気素子15が収容され埋設されている。これらの絶縁層1、3、5は、1層当りの厚みが、50～150μm程度であって、内蔵する電気素子15の大きさに応じて適宜所定の厚みに積層形成されている。

【0020】

絶縁層1中に内蔵される電気素子15は、配線基板中のビアホール導体11と、直接接続できることから、端部に外部電極を具備するものが好適である。特に、小型であるという理由から、積層型コンデンサが好ましい。

【0021】

これらの電気素子15は、キャビティ13の上下面の絶縁層3、5に狭持され、前記電気素子15の端部に形成された外部電極17a、17bを介して、ビアホール導体11と接続され、絶縁基板7の表面の配線回路層9a、9bと電氣的に接続されている。

【0022】

(絶縁層材料)

本発明の配線基板Aにおける絶縁基板7の材質としては、焼成工程を必要としない有機樹脂を含有する。絶縁層1、3、5の熱膨脹係数や弾性率を容易に調整する上で、無機質の粒状フィラーと有機樹脂からなる絶縁材料が、また、絶縁層1、3、5の機械的強度を高める上で、例えば、ガラス繊維やアラミド繊維などの繊維状フィラーと有機樹脂からなる絶縁材料が望ましい。

【0023】

また、無機フィラーは、例えば、 SiO_2 、 Al_2O_3 、 BaTiO_3 の群から選ばれる少なくとも1種を好適に用いることができる。無機フィラーとして、 SiO_2 を用いた場合は絶縁層の比誘電率を小さくすることができる。また、無機フィラーとして、 Al_2O_3 を用いた場合には配線基板の熱伝導率を高めることができる。無機フィラーとして、 BaTiO_3 を用いた場合には絶縁層の比誘電率を高めることができる。特に、電子機器の小型化、高性能化を目的として、高速伝送を行うためには、低誘電率の SiO_2 を用いることが望ましい。

【0024】

また、絶縁層1、3、5の少なくとも1層を、無機フィラーの代わりにガラス繊維やアラミド繊維を含有したいわゆるプリプレグを使用することもできる。

【0025】

上記の絶縁層1、3、5に含まれる熱硬化性樹脂としては、ポリフェニレンエーテル(A P P E)系樹脂、エポキシ系樹脂およびシアネート系樹脂の群から選ばれる少なくとも1種が好ましい。A P P E系樹脂は比誘電率が低く、誘電損失が低く、吸水率が低く、さらに、ガラス転移点が高いために、高耐熱性であることから、特に好ましい。さらに、混合物はフィラーとのぬれ性を改善するために、分散剤やカップリング剤を含んでもよい。

10

20

30

40

50

【0026】

(電気素子)

電気素子15は、電気素子本体19と、少なくとも端面に外部電極17a、17bとを具備するものであり、例えば、図2(a)に示すような積層セラミックコンデンサを用いることができる。この電気素子本体19は、内部電極層21a、21bと誘電体層23とを交互に積層して構成されている。

【0027】

焼結したセラミック質材料で構成される電気素子本体19の表面粗さ(Ra)は、セラミックの素原料の粒子径や焼結による粒子成長度によって、前記表面粗さ(Ra)を制御することができる。その表面粗さ(Ra)は、絶縁層1、3、5に用いている熱硬化性樹脂の浸入によるアンカー効果を高めるために、0.5μm以上が重要である。一方、表面粗さ(Ra)が0.5μmより小さいと、熱硬化性樹脂の侵入によるアンカー効果が低下してしまう。そして、電気素子15と絶縁層1、3、5との密着性をさらに高め、同時に、電気素子本体19に対する外部電極17a、17bの接合力を高め、外部電極17a、17bの導電性を高める上で、特に、0.8~3μmが望ましい。

10

【0028】

このような表面粗さ(Ra)を有する電気素子本体19は、例えば、図3(a)に示すように、セラミック本体をセラミック粉末を焼成した焼き上げ面によって形成される観察面の長軸径が0.1~1μmの略球状粒子26からなる凹凸面によって構成される。或いは、セラミックからなる電気素子本体19を研磨によって、図3(b)に示しているように、最大径が1~3μmの開気孔28が形成されたセラミック焼結体の表面によって構成することもできる。

20

【0029】

本発明によれば、このような電気素子15において、電気素子本体19に外部電極17a、17bを形成していない外部電極非形成部の厚さをt1、一方、電気素子本体19外部電極形成部の厚さをt2とした場合、t1<t2であることが望ましく、特に、t1とt2の差が5μm以上であれば、電気素子15の外部電極17a、17bが絶縁層1、3、5に埋入し、電気素子15のずれを効果的に抑えることができる。

【0030】

この外部電極17a、17bは、例えば、下地金属として、平均粒子径が0.5~3μmの略球状粒子の金属やガラス成分を混合して調製したペーストを使用しているために、下地金属からなる外部電極17a、17bの表面粗さ(Ra)は0.5μm以上である。この外部電極には、さらに、配線基板に形成しているビアホール導体に用いている金属の種類によって、例えば、順にNiメッキ層、Snメッキ層もしくはSn-Pb合金メッキ層を形成することも可能である。

30

【0031】

このようにして構成された配線基板Aの上面上には、半導体素子29がハンダ31により、絶縁基板7の上面の配線回路層9aに接続されている。

【0032】

尚、本発明では、絶縁基板7内に電気素子15を内蔵した例について説明したが、配線基板Aの表層に電気素子15を挿入できる凹部を設け、電気素子15を内蔵しない場合であってもよい。その場合、その電気素子15が絶縁層と接する下面の表面粗さ(Ra)を0.5μm以上とすれば良い。

40

【0033】

また、電気素子15としてコンデンサを用いたが、コンデンサ以外のインダクタ、LC部品等を内蔵してもよい。

【0034】

次に、本発明の配線基板Aに内蔵される本体の表面粗さ(Ra)が0.5μm以上の電気素子15として、積層セラミックコンデンサを例にして、その製法を説明する。

【0035】

50

まず、誘電体層23となる厚さ1.5~12 μm の誘電体グリーンシートを、スリップキャスト法を用いて作製する。誘電体材料としては、具体的には、BaTiO₃-MnO-MgO-Y₂O₃等の誘電体粉末と焼結助剤が好適に使用でき、主原料のBaTiO₃粉末の合成法は粒度分布が狭く、結晶性が高いという理由から水熱合成法が望ましい。そして、BaTiO₃粉末の平均粒子径は0.2~0.5 μm が好ましい。

【0036】

また、この誘電体層のセラミックグリーンシートの厚みは、12 μm 以下が好ましく、特に、小型、大容量化という理由から2.5~4.5 μm の範囲が望ましい。

【0037】

次に、この誘電体層のセラミックグリーンシートの表面に、スクリーン印刷法などにより内部電極パターンを形成する。内部電極パターンの厚みは、コンデンサの小型、高信頼性化という点から2.4 μm 以下、特に0.6~1.2 μm の範囲であることが望ましい。

【0038】

そして、内部電極パターンが形成された誘電体層のセラミックグリーンシートを複数枚積層圧着した後、粗さ0.5~1 μm のダイヤモンド砥粒をコートしたダイシングソーを用いて切断し、電気素子本体成形体を得る。

【0039】

次に、この電気素子本体成形体を大気中250~300 または酸素分圧0.1~1Paの低酸素雰囲気中500~800 で脱バイした後、非酸化性雰囲気中1100~1300 で2~3時間焼成し、電気素子本体19を作製する。

【0040】

さらに、所望の誘電特性を得るために、酸素分圧が0.1~10⁻⁴Pa程度の低酸素分圧下、900~1100 で3~10時間熱処理を施すこともある。

【0041】

ここで、必要によっては、得られた電気素子本体19を平均粒子径0.5~3mmのアルミナボールを用いて、ボールミリング方式のパレル研磨機により、電気素子本体19の表面の研磨を行う。研磨の程度は、アルミナボールの粒子径と研磨時間によって調整することができる。

【0042】

最後に、得られた電気素子本体19に対し、各端面に非金属あるいは貴金属ペーストを塗布し、600~900 の温度で焼き付けを行い、内部電極層21a、21bと電氣的に接続された外部電極17a、17bを形成して積層セラミックコンデンサを作製する。さらに、Ni/Snメッキを行うこともできる。

【0043】

上記の製法によれば、電気素子本体19の表面粗さ(Ra)は、特に、焼き上げ面によって構成する場合は、原料の粒子径と焼成条件によって制御でき、研磨面によって構成する場合は、パレル研磨に用いるアルミナボール径と研磨時間によって制御できる。

【0044】

(製法)

次に、本発明の電気素子を内蔵して配線基板の製造方法について説明する。

【0045】

まず、絶縁層形成用として、ポリフェニレンエーテル系樹脂、エポキシ系樹脂などの熱硬化性樹脂と、SiO₂、Al₂O₃などの不定形の無機質フィラーとの混合材料からなる厚さ80~150 μm の未硬化状態の絶縁シートをドクターブレード法により作製する。

【0046】

そして、図4(a)、(c)に示すように、絶縁層3、5となる絶縁シート41、45にビアホール47を炭酸ガスレーザーやパンチングなどによって形成する。次に、図4(b)に示すように、上記絶縁層1となる絶縁シート49に対して、電気素子15を内蔵するキャビティ51、およびビアホール47を形成する。

10

20

30

40

50

【0047】

次に、図4(d)に示すように、絶縁シート41、45、49のビアホール47に、Cu粉末を含有する導電性ペーストを充填して、ビアホール導体51を形成する。

【0048】

その後、この絶縁シート41、45、49の表面に、配線回路層53を形成する。これらの配線回路層53は、例えば、銅箔、Al箔などの金属箔を絶縁シート41、45、49の表面に転写した後、レジスト塗布、露光、現像、エッチング、レジスト除去の工程によって、所定のパターンの導体層を形成する方法、または、あらかじめ、樹脂フィルムの表面に前記絶縁シートの表面に転写する方法がある。このうち、後者の方法は、絶縁シートがエッチング液などにさらされることがなく、絶縁シートが劣化することがない点で後者の方が好適である。

10

【0049】

そして、絶縁シート49のキャビティ51内に電気素子15を設置し、この絶縁シート49の上下に、前記絶縁シート41、45を積層する。その後、この積層物を前記絶縁シート中の熱硬化性樹脂が溶融する温度範囲よりも、低い温度80~110、圧力2~10kg/cm²で一旦加熱加圧を行い、電気素子15の表面に形成された凹凸部に絶縁層1、3、5を形成している熱硬化性樹脂を十分に含浸させる。

【0050】

その後、熱硬化性樹脂の溶融温度よりも高い温度170~240において、圧力12~40kg/cm²で加熱加圧を行い、内蔵した電気素子15と絶縁層1、3、5の界面を強固に接着するとともに、絶縁層1、3、5どうしを積層密着して配線基板Aを作製する。

20

【0051】

このように、無機フィラーと熱硬化性樹脂との混合材料からなる未硬化の絶縁シート41、45、49にビアホール導体51や配線回路層53を形成した後、積層して配線基板Aを作製することから、高密度実装用の配線基板Aを作製することができる。

【0052】

また、このような配線基板Aは絶縁層1、3、5の少なくとも一層に、プリプレグを用いる場合においても、上記の形態と同様の製法で作製できる。

【0053】

30

【実施例】

先ず、内蔵する電気素子として、例えば、積層セラミックコンデンサを次のように作製した。BaTiO₃系の複数のセラミック誘電体シートの表面に、Niの金属ペーストを用いて図2(b)、(c)に示したような内部電極パターンをスクリーン印刷した。その後、それらのシートを温度55、圧力150kg/cm²下で積層密着して積層体を作製し、所定の粗さのダイヤモンド砥粒をコートしたダイシングソーを用いて切断して電気素子本体成形体を得た。次に、この電気素子本体成形体を大気中250、0.1Paの低酸素雰囲気中700の条件で、脱バイを行った。その後、非酸化性雰囲気下1250の温度において焼成し、更に、低酸素分圧下1100において酸化処理を行い、電気素子本体19となる厚さ0.2mmのコンデンサ素体を作製した。

40

【0054】

次に、このコンデンサ素体の表面を平均の直径が2mmのアルミナボールを用いたボールミリング法によりバレル研磨を行い、表1に示すように、バレル研磨の時間を変更することによって、コンデンサ素体の表面粗さ(Ra)を調整した。試料数は、各バレル条件に対して、n=100とした。また、コンデンサ素体の表面粗さ(Ra)は、原子間力顕微鏡(AFM)を用いて測定した。測定個数は各バレル条件に対して、試料数=5とし、1サンプルについて、測定領域を1mm²とし、各試料を3箇所測定した。

【0055】

次に、このコンデンサ素体の表面に、Cu/Niのペーストを外部電極形成部に塗布して温度850で焼付け、図2(a)に示したようなセラミックコンデンサを作製した。な

50

お、このコンデンサは、その寸法が $1.6 \text{ mm} \times 1.2 \text{ mm} \times 0.3 \text{ mm}$ 、静電容量が 10 nF 、自己インダクタンスが 540 pH であった。

【0056】

次に、図1に示すような電気素子内蔵型配線基板を作製した。

【0057】

また、Cu/Niペーストの塗布量を制御して外部電極形成部の厚み t_2 が異なる種々のコンデンサを作製した。

【0058】

先ず、APPE樹脂に対し、不定形のシリカ粉末を所定量の割合となるように、ワニス状態の樹脂と粉末を混合し、ドクターブレード法により、厚さ $120 \mu\text{m}$ の絶縁シートを作製し、それらの絶縁シートに、炭酸ガスレーザーにより、ビアホール（直径 0.1 mm ）を形成し、そのビアホールに、Cu粉末を含有する導電性ペーストを充填してビアホール導体を形成し、図1の絶縁層3、5となる絶縁シート41、45を作製した。

【0059】

次に、上記絶縁シート41、45と同等の試料厚の絶縁シート49に、炭酸ガスレーザーによるトレパン加工により、収納するコンデンサの大きさよりもわずかに大きいキャビティ用貫通孔と、同じく、炭酸ガスレーザーにより、ビアホール（直径 0.1 mm ）を形成し、そのビアホールに、Cu粉末を含有する導電性ペーストを充填してビアホール導体を形成し、図1の絶縁層1となる絶縁シート49を作製した。

【0060】

次に、ポリエチレンテレフタレート（PET）樹脂からなる転写シートの表面に接着剤を塗布し、厚さ $12 \mu\text{m}$ 、表面粗さ $0.8 \mu\text{m}$ の銅箔を一面に接着した。そして、ドライフィルムレジストを貼り、露光、現像を行った後、これを塩化第二鉄溶液を用いたスプレー式エッチング装置を用いて、非パターン部をエッチング除去して、銅箔からなる導体層を形成した転写シートを作製した。

【0061】

そして、ビアホール導体を含む絶縁シート41、45、49の表面に、転写シートの導体層側を 130 、 20 kg/cm^2 の条件で圧着した後、転写シートを剥がして、導体層を絶縁シート41、45、49に転写した。

【0062】

次に、キャビティ用貫通孔、およびビアホール導体を形成した絶縁シート49のキャビティ内に積層セラミックコンデンサを仮設置した。

【0063】

そして、その絶縁シート49の表面および裏面に、上記の工程を経て作製された導体層およびビアホール導体を有する絶縁シート41、45を仮積層した。

【0064】

そして、この積層物を真空ホットプレス装置内に置き、圧力 10 kg/cm^2 、昇温速度 $7 / \text{min}$ で加熱し、 100 に到達したところで、30分間の保持を行い、積層セラミックコンデンサを絶縁層に固着した。その後、同じ昇温速度で、圧力 40 kg/cm^2 で、 220 まで昇温し、最高温度 220 で、1時間加熱して、完全硬化させて、絶縁層1、3、5の厚みが 0.1 mm の図1に示した電気素子内蔵型配線基板を作製した。そして、作製した電気素子内蔵配線基板に対して、以下の検討を行った。

【0065】

内蔵した電気素子15の配線基板A内部でのずれ量は、配線基板Aのクロスセクション試料を作製し、デジタルマイクロスコープを用いて、倍率 $50 \sim 100$ 倍にて、観察により求めた。

【0066】

配線基板Aのインダクタンスは、インピーダンスアナライザを用いて、周波数 $1.0 \text{ MHz} \sim 1.8 \text{ MHz}$ において、まず、インピーダンスの周波数特性を測定し、同時に、 1 MHz でのコンデンサの静電容量を測定し、そして、 $f_0 = 1 / (2 \sqrt{L/C})$ （式

10

20

30

40

50

中、 f_0 ：共振周波数（Hz）、C：静電容量（F）、L：インダクタンス（H）に基づいて、共振周波数からインダクタンスを計算で求めた（L（室温））。なお、この測定は熱衝撃試験を100サイクル行った後にも測定し、（L（TS後））、試験前と比較した。尚、熱衝撃試験の条件は、温度範囲が-55～125、最高最低温度での保持時間は各5分とした。

【0067】

【表1】

試料No	研磨時間 min.	表面粗さ (Ra) μm	厚み差 t_2-t_1 μm	ずれ量 μm	L(室温) pH	L(TS後) pH	差 ΔL pH
1	0	3.2	8	42	570	630	60
2	5	3	8	43	560	610	50
3	10	2.4	9	47	550	570	20
4	15	1.6	10	43	540	550	10
5	20	0.8	12	48	540	550	10
6	25	0.5	12	50	540	610	70
7	0	3.1	3	53	590	650	60
8	15	1.5	4	58	570	590	20
*9	50	0.1	13	110	650	810	160

L(室温)：室温状態での測定

L(TS後)：熱衝撃100サイクル後の測定

*印は本発明の範囲外を示す。

【0068】

表1の結果から明らかなように、本発明に基づき作製した配線基板Aにおいて、電気素子15の表面粗さ(Ra)を $0.5\mu\text{m}$ 以上に調整した試料No.1～8では、配線基板A内でのビアホール導体11からの電気素子15のずれ量を、 $65\mu\text{m}$ 以下と小さくでき、電気素子15を内蔵した配線基板Aのインダクタンスが安定し、室温と熱衝撃試験後のインダクタンスの差を70pH以下に低減できた。一方、バレル研磨時間を50分まで長くして、表面粗さ(Ra)を $0.1\mu\text{m}$ とした試料No.9では、ずれ量が大きく、室温と熱衝撃試験後のインダクタンスの差が増大した。また、 $t_2-t_1=5\mu\text{m}$ とすることにより、ずれ量を小さくできることがわかった。

【0069】

【発明の効果】

上述した通り、本発明によれば、配線基板に内蔵する電気素子の表面粗さ(Ra)を $0.5\mu\text{m}$ 以上とすることにより、前記凹凸部に絶縁層を構成する熱硬化性樹脂を浸入させ、熱硬化性樹脂によるアンカー効果を高めることにより、内蔵した電気素子を固定し、配線基板のビアホール導体と電気素子の接続端子間との接続を確実に行うことができる。

【図面の簡単な説明】

【図1】本発明の電気素子内蔵型配線基板の概略断面図である。

【図2】本発明で用いられる電気素子(コンデンサ素子)を説明するためのものであって、(a)は全体斜視図、(b)、(c)は内部電極のパターン図である。

【図3】本発明で用いられる電気素子(コンデンサ素子)を説明するものであって、(a)は焼き上げ面の略球状粒子の模式図、(b)は研磨した断面の開気孔の模式図である。

【図4】本発明の電気素子内蔵型配線基板の工程図である。

【符号の説明】

10

20

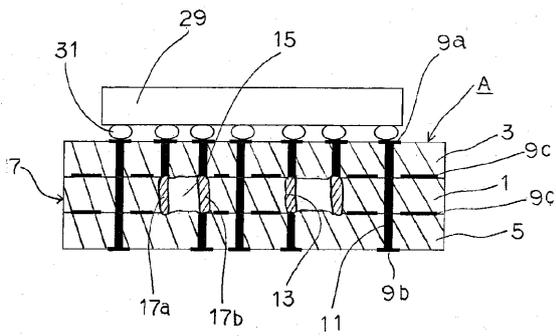
30

40

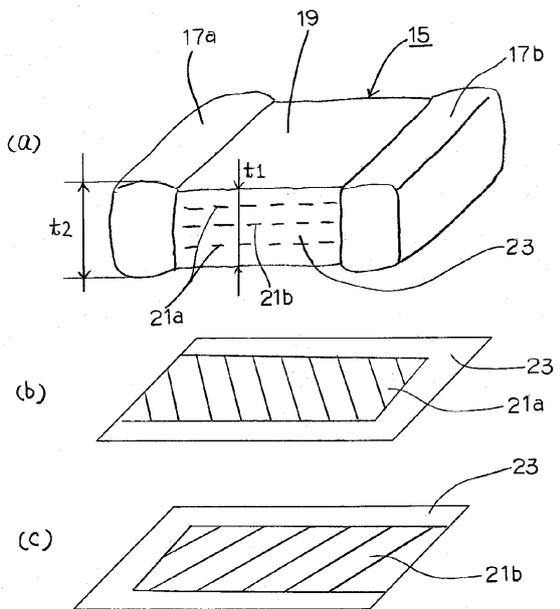
50

- A 配線基板
- 7 絶縁基板
- 9 a、9 b、9 c 配線回路層
- 1 1 ピアホール導体
- 1 3 キャビティ
- 1 5 電気素子
- 1 7 a、1 7 b 外部電極
- 1 9 電気素子本体
- 2 6 略球状粒子
- 2 8 開気孔

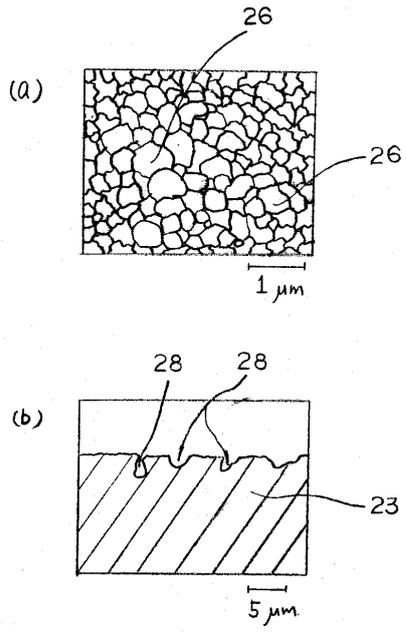
【図 1】



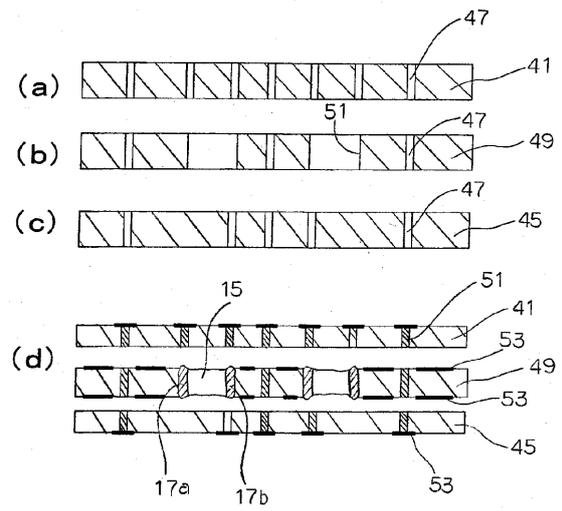
【図 2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl. F I
H 0 1 G 1/035 E

(56)参考文献 特開平 1 1 - 2 2 0 2 6 2 (J P , A)
特開 2 0 0 0 - 1 5 1 1 0 4 (J P , A)
特開平 1 0 - 0 2 4 6 8 8 (J P , A)
特開平 1 0 - 2 2 3 4 0 9 (J P , A)
特開 2 0 0 0 - 1 3 8 1 2 9 (J P , A)
特開平 1 1 - 0 7 4 6 4 8 (J P , A)
特開 2 0 0 2 - 1 0 0 8 7 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H05K3/46

H01G4/12

H01G1/14-1/153

H01G1/00-1/017;4/00-4/10;4/14-4/42,341;13/00-13/06

H01C7/02-7/22