



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년03월09일
(11) 등록번호 10-1714984
(24) 등록일자 2017년03월03일

(51) 국제특허분류(Int. Cl.)
H03K 19/096 (2006.01)
(52) CPC특허분류
H03K 19/0966 (2013.01)
H03K 19/0963 (2013.01)
(21) 출원번호 10-2016-0109858
(22) 출원일자 2016년08월29일
심사청구일자 2016년08월29일
(56) 선행기술조사문헌
KR101261397 B1
KR100221377 B1
KR1020130044129 A
JP2013235620 A

(73) 특허권자
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
정건욱
인천광역시 남구 소성로350번길 50-8, 1동 102호 (문학동, 신성빌라)
(74) 대리인
양성보

전체 청구항 수 : 총 8 항

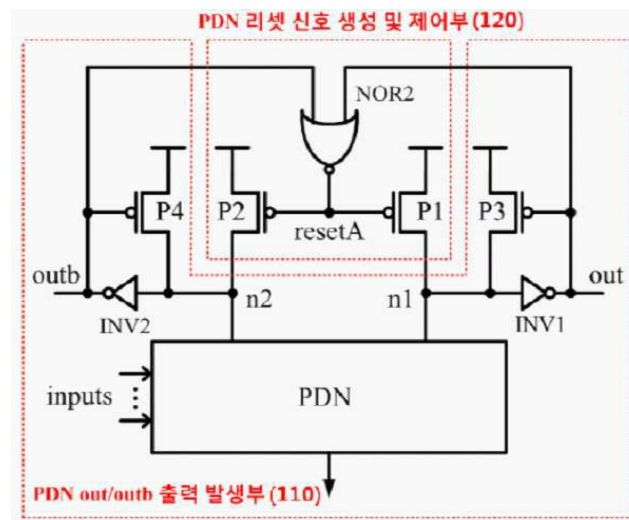
심사관 : 변종길

(54) 발명의 명칭 지역적 셀프 리셋팅 동작을 하는 회로의 방법 및 장치

(57) 요약

지역적 셀프 리셋팅 동작을 하는 회로의 방법 및 장치가 제시된다. 본 발명에서 제안하는 지역적 셀프 리셋팅 회로를 위한 장치는 복수의 펄스들을 입력 받아 네트워크 및 키퍼(keeper)를 기반으로 제1 출력신호(out)와 제2 출력신호(outb)를 출력하는 출력 발생부 및 상기 출력 발생부의 출력을 입력으로 받아 리셋 신호를 생성하고 프리차지(precharge) 또는 프리디스차지(predischarge) 수행을 제어하는 리셋 신호 생성 및 제어부를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

지역적 셀프 리셋팅 회로를 위한 장치에 있어서,

NMOS 트랜지스터로 이루어진 PDN 네트워크를 이용하는 회로에서, 복수의 펄스들을 입력 받아 PDN 네트워크의 입력 포트에 연결하고, PDN 네트워크의 n1 포트는 PMOS 키퍼(keeper) 트랜지스터 P3의 드레인(drain) 단자, 인버터 INV1의 입력 포트, 그리고 PDN 리셋 신호 생성 및 제어부의 PMOS 트랜지스터 P1의 드레인(drain) 단자에 연결되며, PDN 네트워크의 n2 포트는 PMOS 키퍼(keeper) 트랜지스터 P4의 드레인(drain) 단자, 인버터 INV2의 입력 포트, 그리고 PDN 리셋 신호 생성 및 제어부의 PMOS 트랜지스터 P2의 드레인(drain) 단자에 연결하고, PMOS 트랜지스터로 이루어진 PUN 네트워크를 이용하는 회로에서, 복수의 펄스들을 입력 받아 PUN 네트워크의 입력 포트에 연결하고, PUN 네트워크의 m1 포트는 NMOS 키퍼(keeper) 트랜지스터 N3의 드레인(drain) 단자, 인버터 INV1의 입력 포트, 그리고 PUN 리셋 신호 생성 및 제어부의 NMOS 트랜지스터 N1의 드레인(drain) 단자에 연결되며, PUN 네트워크의 m2 포트는 NMOS 키퍼(keeper) 트랜지스터 N4의 드레인(drain) 단자, 인버터 INV2의 입력 포트, 그리고 PUN 리셋 신호 생성 및 제어부의 NMOS 트랜지스터 N2의 드레인(drain) 단자에 연결하는 구성을 기반으로, 제1 출력신호(out)와 제2 출력신호(outb)를 출력하는 출력 발생부; 및

상기 출력 발생부의 out 포트와 outb 포트 두 개의 출력을 입력으로 받아, NMOS 트랜지스터로 이루어진 PDN 네트워크를 이용하는 회로에서는 입력 받은 두 개의 입력들을 NOR2의 두 입력 포트에 각각 연결하고, PMOS 트랜지스터로 이루어진 PUN 네트워크를 이용하는 회로에서는 입력 받은 두 개의 입력들을 NAND2의 두 입력 포트에 각각 연결하여 로직 게이트를 이용한 계산을 수행하고, 계산의 완료 여부를 감지하여 NMOS 트랜지스터로 이루어진 PDN 네트워크를 이용하는 회로에서 NOR2의 출력 포트를 PMOS 트랜지스터 P1의 게이트(gate) 단자와 PMOS 트랜지스터 P2의 게이트(gate) 단자에 연결하여 resetA 신호를 자체로 생성하고, PMOS 트랜지스터로 이루어진 PUN 네트워크를 이용하는 회로에서 NAND2의 출력 포트를 NMOS 트랜지스터 N1의 게이트(gate) 단자와 NMOS 트랜지스터 N2의 게이트(gate) 단자에 연결하여 resetB 신호를 자체로 생성하여, 프리차지(precharge) 또는 프리디스차지(predischage) 수행을 제어하는 리셋 신호 생성 및 제어부

를 포함하는 지역적 셀프 리셋팅 회로를 위한 장치.

청구항 2

제1항에 있어서,

상기 출력 발생부는,

상기 네트워크는 NMOS로 구성된 풀다운 네트워크이고, 복수의 펄스들을 입력 받아 PDN 네트워크의 입력 포트에 연결하고, PDN 네트워크의 n1 포트는 PMOS 키퍼(keeper) 트랜지스터 P3의 드레인(drain) 단자, 인버터 INV1의 입력 포트, 그리고 PDN 리셋 신호 생성 및 제어부의 PMOS 트랜지스터 P1의 드레인(drain) 단자에 연결되며, PDN 네트워크의 n2 포트는 PMOS 키퍼(keeper) 트랜지스터 P4의 드레인(drain) 단자, 인버터 INV2의 입력 포트, 그리고 PDN 리셋 신호 생성 및 제어부의 PMOS 트랜지스터 P2의 드레인(drain) 단자로 연결되도록 구성되며, 상기 풀다운 네트워크 및 상기 키퍼를 기반으로 제1 출력신호(out) 및 제2 출력신호(outb)를 출력하는 PDN out/outb 출력 발생부이고,

상기 리셋 신호 생성 및 제어부는,

상기 출력 발생부의 out 포트와 outb 포트 두 개의 출력을 입력으로 받아 NOR2 게이트의 두 입력 포트에 각각 연결하여 로직 게이트를 이용한 계산을 수행하고, 계산의 완료 여부를 감지하여 NOR2 게이트의 출력 포트를 PMOS 트랜지스터 P1의 게이트(gate) 단자와 PMOS 트랜지스터 P2의 게이트(gate) 단자에 함께 연결하여 resetA 신호를 생성하고 프리차지(precharge) 수행을 제어하는 PDN 리셋 신호 생성 및 제어부인

지역적 셀프 리셋팅 회로를 위한 장치.

청구항 3

제1항에 있어서,

상기 출력 발생부는,

상기 네트워크는 PMOS로 구성된 풀업 네트워크이고, 복수의 펄스들을 입력 받아 PUN 네트워크의 입력 포트에 연결하고, PUN 네트워크의 m1 포트는 NMOS 키퍼(keeper) 트랜지스터 N3의 드레인(drain) 단자, 인버터 INV1의 입력 포트, 그리고 PUN 리셋 신호 생성 및 제어부의 NMOS 트랜지스터 N1의 드레인(drain) 단자에 연결되며, PUN 네트워크의 m2 포트는 NMOS 키퍼(keeper) 트랜지스터 N4의 드레인(drain) 단자, 인버터 INV2의 입력 포트, 그리고 PUN 리셋 신호 생성 및 제어부의 NMOS 트랜지스터 N2의 드레인(drain) 단자로 연결되도록 구성되며, 상기 풀업 네트워크 및 상기 키퍼(keeper)를 기반으로 제1 출력신호(out) 및 제2 출력신호(outb)를 출력하는 PUN out/outb 출력 발생부이고,

상기 리셋 신호 생성 및 제어부는,

상기 출력 발생부의 out 포트와 outb 포트 두 개의 출력을 입력으로 받아 NAND2 게이트의 두 입력 포트에 각각 연결하여 로직 게이트를 이용한 계산을 수행하고, 계산의 완료 여부를 감지하여 NAND2 게이트의 출력 포트를 NMOS 트랜지스터 N1의 게이트(gate) 단자와 NMOS 트랜지스터 N2의 게이트(gate) 단자에 함께 연결하여 resetB 신호를 생성하고 프리디스차지(predischage) 수행을 제어하는 PUN 리셋 신호 생성 및 제어부인

지역적 셀프 리셋팅 회로를 위한 장치.

청구항 4

제2항에 있어서,

상기 PDN out/outb 출력 발생부는,

입력 신호가 인가되기 전 이밸류에이트(evaluate) 상태를 유지하고, 복수의 펄스들이 입력 신호로 입력되면 상기 복수의 펄스들을 풀다운 네트워크를 통해 로직 계산을 하고, 제1 출력포트와 제2 출력포트를 통해 로직 결과가 출력 되도록 상기 로직 계산에 의해 정해진 노드를 디스차지(discharge) 하는

지역적 셀프 리셋팅 회로를 위한 장치.

청구항 5

제2항에 있어서,

상기 PDN 리셋 신호 생성 및 제어부는,

상기 PDN out/outb 출력 발생부의 출력을 NOR 게이트의 입력으로 받아 리셋 신호를 생성하고,

상기 PDN out/outb 출력 발생부의 출력이 데이터 입력 신호에 의한 출력인지 또는 프리차지 수행의 결과인지 여부를 판단하고, 판단 결과에 따라 프리차지 또는 프리차지 해제를 수행하는

지역적 셀프 리셋팅 회로를 위한 장치.

청구항 6

제3항에 있어서,

상기 PUN out/outb 출력 발생부는,

입력 신호가 인가되기 전 이밸류에이트(evaluate) 상태를 유지하고, 복수의 펄스들이 입력 신호로 입력되면 상기 복수의 펄스들을 풀업 네트워크를 통해 로직 계산을 하고, 제1 출력포트와 제2 출력포트를 통해 로직 결과가 출력 되도록 상기 로직 계산에 의해 정해진 노드를 차지(charge)하는

지역적 셀프 리셋팅 회로를 위한 장치.

청구항 7

제3항에 있어서,

상기 PUN 리셋 신호 생성 및 제어부는,

상기 PUN out/outb 출력 발생부의 출력을 NAND 게이트의 입력으로 받아 리셋 신호를 생성하고, PUN out/outb 출력 발생부의 출력이 데이터 입력 신호에 의한 출력인지 또는 프리디스차지 수행의 결과인지 여부를 판단하고, 판단 결과에 따라 프리디스차지 또는 프리디스차지 해제를 수행하는

지역적 셀프 리셋팅 회로를 위한 장치.

청구항 8

출력 발생부 및 리셋 신호 생성 및 제어부를 포함하는 지역적 셀프 리셋팅 회로의 동작 방법에 있어서,

NMOS 트랜지스터로 이루어진 PDN 네트워크를 이용하는 회로에서, 상기 출력 발생부가 복수의 펄스들을 입력 받아, NMOS 트랜지스터로 이루어진 PDN 네트워크를 이용하는 회로에서는 입력 받은 복수의 펄스들을 PDN 네트워크의 입력 포트에 연결하고, PDN 네트워크의 n1 포트는 PMOS 키퍼(keeper) 트랜지스터 P3의 드레인(drain) 단자, 인버터 INV1의 입력 포트, 그리고 PDN 리셋 신호 생성 및 제어부의 PMOS 트랜지스터 P1의 드레인(drain) 단자에 연결되며, PDN 네트워크의 n2 포트는 PMOS 키퍼(keeper) 트랜지스터 P4의 드레인(drain) 단자, 인버터 INV2의 입력 포트, 그리고 PDN 리셋 신호 생성 및 제어부의 PMOS 트랜지스터 P2의 드레인(drain) 단자에 연결하고, PMOS 트랜지스터로 이루어진 PUN 네트워크를 이용하는 회로에서는 입력 받은 복수의 펄스들을 PUN 네트워크의 입력 포트에 연결하고, PUN 네트워크의 m1 포트는 NMOS 키퍼(keeper) 트랜지스터 N3의 드레인(drain) 단자, 인버터 INV1의 입력 포트, 그리고 PUN 리셋 신호 생성 및 제어부의 NMOS 트랜지스터 N1의 드레인(drain) 단자에 연결 되며, PUN 네트워크의 m2 포트는 NMOS 키퍼(keeper) 트랜지스터 N4의 드레인(drain) 단자, 인버터 INV2의 입력 포트, 그리고 PUN 리셋 신호 생성 및 제어부의 NMOS 트랜지스터 N2의 드레인(drain) 단자에 연결하는 구성을 기반으로, 제1 출력신호(out)와 제2 출력신호(outb)를 출력하는 단계; 및

상기 리셋 신호 생성 및 제어부가 상기 출력 발생부의 out 포트와 outb 포트 두 개의 출력을 입력으로 받아, NMOS 트랜지스터로 이루어진 PDN 네트워크를 이용하는 회로에서는 입력 받은 두 개의 입력들을 NOR2의 두 입력 포트에 각각 연결하고, PMOS 트랜지스터로 이루어진 PUN 네트워크를 이용하는 회로에서는 입력 받은 두 개의 입력들을 NAND2의 두 입력 포트에 각각 연결하여, 로직 게이트를 이용한 계산을 수행하고, 계산의 완료 여부를 감지하여, NMOS 트랜지스터로 이루어진 PDN 네트워크를 이용하는 회로에서 NOR2의 출력 포트를 PMOS 트랜지스터 P1의 게이트(gate) 단자와 PMOS 트랜지스터 P2의 게이트(gate) 단자에 연결하여 resetA 신호를 자체로 생성하고, PMOS 트랜지스터로 이루어진 PUN 네트워크를 이용하는 회로에서 NAND2의 출력 포트를 NMOS 트랜지스터 N1의 게이트(gate) 단자와 NMOS 트랜지스터 N2의 게이트(gate) 단자에 연결하여 resetB 신호를 자체로 생성하여 프리차지(precharge) 또는 프리디스차지(predischage) 수행을 제어하는 단계

를 포함하고,

상기 출력 발생부가 복수의 펄스들을 입력 받아 네트워크 및 키퍼(keeper)를 기반으로 제1 출력신호(out)와 제2 출력신호(outb)를 출력하는 단계는,

입력 신호가 인가되기 전 이밸류에이트(evaluate) 상태를 유지하고, 복수의 펄스들이 입력 신호로 입력되면 상기 복수의 펄스들을 상기 네트워크를 통해 로직 계산을 하고, 제1 출력포트와 제2 출력포트를 통해 로직 결과가 출력 되도록 상기 로직 계산에 의해 정해진 노드를 디스차지(discharge) 또는 차지(charge)하고,

상기 리셋 신호 생성 및 제어부가 상기 출력 발생부의 출력을 입력으로 받아 리셋 신호를 생성하고 프리차지(precharge) 또는 프리디스차지(predischage) 수행을 제어하는 단계는,

상기 출력 발생부의 출력이 데이터 입력 신호에 의한 출력인지 또는 프리차지 수행의 결과인지 여부를 판단하고, 판단 결과에 따라 프리차지 또는 프리차지 해제를 수행하는

지역적 셀프 리셋팅 회로의 동작 방법.

발명의 설명

기술 분야

본 발명은 반도체를 이용하는 산업, 특히 CMOS 기법을 이용한 고속 AP 칩(chip), 제어 블록(control block) 등을 구성하는 회로설계 분야에 해당 되며, 클락(Clock)의 이용과 관련된 반도체 제조기술에 관한 것이다.

[0001]

배경 기술

- [0002] 최근 반도체 시스템은, 일반적으로 RISC (reduced instruction set computer) 형태의 아키텍처(architecture)를 사용하는 파이프라인(pipeline) 방식으로 명령어를 병렬(parallel) 처리하고 있다. 프로세스 테크놀로지(process technology)의 스케일다운(scale down)이 한계에 이르고 시스템 클럭의 속도가 매우 높아 지는 반도체 설계 환경으로 인해, PVT(process voltage temperature) 변화에 회로의 특성이 영향을 많이 받는 상황이 되었다. 이러한 상황에서 고속 시스템 클럭(clock)에 상응하여 동작하는 고성능 회로들이 요구되고 있고, 이러한 요구들을 수용하기 위해 클럭 스쿠(clock skew), 중간 래치(intermediate latch) 그리고 로직 불균형(logic imbalance) 등에 기인한 오버헤드(overhead)를 제거하는 다양한 다이내믹(dynamic) 회로 기술이 개발되고 있다.
- [0003] 이러한 다이내믹 회로 기술의 하나로써 셀프 리셋팅이라 불리는 기술이 있다. 셀프 리셋팅은 짧은 구간의 펄스를 운용하여 고속으로 계산되는 회로를 구성하는 기술이다. 로직 게이트들이 일련의 입력 펄스들에 대한 계산을 수행한 후에, 그 로직 게이트들이 다음 입력들을 받아 계산할 수 있는 상태로 다시 복귀되도록 하기 위해 리셋 신호를 이용한다. 풀다운 네트워크(pull down network)에서 이러한 셀프 리셋팅 회로의 리셋 동작은 입력 신호들이 모두 로우(low) 상태로 된 후 일어나게 된다. 이와 같은 구조는 리셋 동작 동안에 풀다운 네트워크가 전체적으로 오프(off) 상태가 되게 하여, 풋(foot) 트랜지스터가 필요 없는 구조가 가능하게 되고, 이는 셀프 리셋팅 회로가 일반적인 다이내믹 회로보다 더욱 고속으로 동작하는 주요 요소가 된다. 더욱이 이러한 리셋 동작은 각 로직 게이트들이 입력 신호들의 계산을 진행한 직후 일어나도록 조절되기 때문에 별도의 프리차지 페이즈(precharge phase)가 필요하지 않는 구조이다.
- [0004] 고속 동작에 적합한 셀프 리셋팅 회로는, 일반적인 종류로서 전역 셀프 리셋팅(globally self-resetting)이라고 불리는 회로가 이용 된다. 전역 셀프 리셋팅 회로는 각 스테이지에 공급되는 리셋 신호들을 별도로 분리된 타이밍 체인(timing chain)에서 만들어 공급 하며, 병렬 패스(parallel path)로 구성된 로직들 중 가장 느린 패스의 딜레이(delay) 값을 수용할 수 있도록 설계 된다. 각 개별 리셋 신호들은 이 타이밍 체인을 따라서 만들어져 있는 탭 포인트(tap point) 들로부터 연결되어 공급 되며, 리셋 신호를 만드는 타이밍 체인과 여러 단의 로직 스테이지들은 따로 떨어진 긴 패스(long path)로 구성되기 때문에 프로세스에 기인한 타이밍 변동에 매우 취약할 수 밖에 없다. 그 외 몇몇 다른 셀프 리셋팅 회로 방식이 있으나, 싱글 레일 도미노(single rail domino) 스타일로 구성되어 있으며 리셋 신호와 로직 게이트 계산 신호가 각기 다른 패스로 운용되어, 고속 동작의 이점에도 불구하고 PVT(Process Voltage Temperature) 변동과 로드 언밸런스(load unbalance) 같은 환경 변화에 매우 민감한 약점(weak point)이 있다.
- [0005] 위에 기술한 기존의 셀프 리셋팅 기술로 만들어진 반도체 칩(chip)은 PVT(Process Voltage Temperature) 변동에 매우 취약하기 때문에, 일반적으로 발생하는 일정량의 PVT 변동을 극복하고 에러(error) 없는 안정된 동작을 위해서는, 매우 정밀하게 디바이스(device) 크기를 이용한 게이트 딜레이 변화를 고려해서 설계해야 하고, 필요한 추가 딜레이 마진(delay margin)을 적용 해야만 한다. 하지만, 딜레이 체인과 각 로직 패스의 딜레이 변동이 일정 정도 이상 발생할 경우는 로직 에러가 생길 수 밖에 없는 구조이다. 셀프 리셋팅 회로가 가지는 매우 훌륭한 고속 회로로서의 장점에도 불구하고, 심각한 약점인 PVT 변동과 로드 캐패시턴스 변동(load capacitance variation)에 민감한 고질적 문제를 해결하기 위하여, 응용회로 설계가 쉽고 프로세스 변동에 매우 안정된 회로 구조를 개발하게 되었다. 이러한 회로는 듀얼레일 도미노(dual rail domino) 스타일로 구성된다. 또한, 신호와 딜레이 패스(path)가 완전히 분리된 별도의 딜레이 체인(delay chain)을 이용하지 않고 각 스테이지 자체의 두 출력 단자(port)로부터, PDN(pull down network) 회로 사용시는 NOR 게이트를 이용하고 PUN(pull up network) 회로 사용시는 NAND 게이트를 이용하여, 로직 계산 완료 여부를 단순한 방식으로 감지하도록 하여 각 스테이지에서 필요한 리셋 신호를 자체로 생성 시켜 운용함으로써, 고속으로 동작하면서도 매우 안정된 계산 수행과 리셋 동작이 순차적으로 진행 될 수 있다.

발명의 내용

해결하려는 과제

- [0006] 본 발명이 이루고자 하는 기술적 과제는 칩 내 상당한 PVT 변동이 발생 함에도 불구하고 안정적인 로직 계산이 이루어질 뿐만 아니라, 원하는 클럭 사이클 타임 내에 계산 결과를 완성 할 수 있도록 고속 동작이 가능한 CMOS 회로를 제공하는데 있다. 이를 위해서, 앞 스테이지에서의 계산 완료 여부를 자동으로 감지하여 로직 계산 딜레이 오차가 발생하더라도 이 문제를 효과적으로 극복할 수 있는 기술이 필요하다. 또한, 이 회로가 수행하는 계

산 속도가 주변 로직의 계산 수행 속도보다 빠르게 하여, 일정 클럭 사이클 타임 안에 계산을 완성 함으로써 파이프라인 방식의 명령어 처리 아키텍처 특성에 문제가 되지 않도록 한다. 이를 위해 단순하면서도 견고한 형태의 회로를 만들어 내는 것이 본 발명에서 해결하고자 하는 주요 기술적 과제이다.

과제의 해결 수단

- [0007] 일 측면에 있어서, 본 발명에서 제안하는 지역적 셀프 리셋팅 회로를 위한 장치는 복수의 펄스들을 입력 받아 네트워크 및 키퍼(keeper)를 기반으로 제1 출력신호(out)와 제2 출력신호(outb)를 출력하는 출력 발생부 및 상기 출력 발생부의 출력을 입력으로 받아 로직 게이트를 이용한 계산을 수행하고, 계산의 완료 여부를 감지하여 리셋 신호를 자체로 생성하여 프리차지(precharge) 또는 프리디스차지(predischarge) 수행을 제어하는 리셋 신호 생성 및 제어부를 포함한다.
- [0008] 상기 출력 발생부는 상기 네트워크는 NMOS로 구성된 풀다운 네트워크이고, 상기 키퍼는 인버터와 PMOS로 구성되며, 상기 풀다운 네트워크 및 상기 키퍼를 기반으로 제1 출력신호(out) 및 제2 출력신호(outb)를 출력하는 PDN out/outb 출력 발생부이다.
- [0009] 상기 리셋 신호 생성 및 제어부는 NOR 게이트와 PMOS 트랜지스터를 기반으로 리셋(resetA) 신호를 생성하고 프리차지(precharge) 수행을 제어하는 PDN 리셋 신호 생성 및 제어부이다.
- [0010] 상기 출력 발생부는 상기 네트워크는 PMOS로 구성된 풀업 네트워크이고, 상기 키퍼는 인버터와 NMOS로 구성되며, 상기 풀업 네트워크 및 상기 키퍼(keeper)를 기반으로 제1 출력신호(out) 및 제2 출력신호(outb)를 출력하는 PUN out/outb 출력 발생부이다.
- [0011] 상기 리셋 신호 생성 및 제어부는 NAND 게이트와 NMOS 트랜지스터를 기반으로 리셋(resetB) 신호를 생성하고 프리디스차지(predischarge) 수행을 제어하는 PUN 리셋 신호 생성 및 제어부이다.
- [0012] 상기 PDN out/outb 출력 발생부는 입력 신호가 인가되기 전 이밸류에이트(evaluate) 상태를 유지하고, 복수의 펄스들이 입력 신호로 입력되면 상기 복수의 펄스들을 풀다운 네트워크를 통해 로직 계산을 하고, 제1 출력포트와 제2 출력포트를 통해 로직 결과가 출력 되도록 상기 로직 계산에 의해 정해진 노드를 디스차지(discharge)한다.
- [0013] 상기 PDN 리셋 신호 생성 및 제어부는 상기 PDN out/outb 출력 발생부의 출력을 NOR 게이트의 입력으로 받아 리셋 신호를 생성하고, 상기 PDN out/outb 출력 발생부의 출력이 데이터 입력 신호에 의한 출력인지 또는 프리차지 수행의 결과인지 여부를 판단하고, 판단 결과에 따라 프리차지 또는 프리차지 해제를 수행한다.
- [0014] 상기 PUN out/outb 출력 발생부는 입력 신호가 인가되기 전 이밸류에이트(evaluate) 상태를 유지하고, 복수의 펄스들이 입력 신호로 입력되면 상기 복수의 펄스들을 풀업 네트워크를 통해 로직 계산을 하고, 제1 출력포트와 제2 출력포트를 통해 로직 결과가 출력 되도록 상기 로직 계산에 의해 정해진 노드를 차지(charge)한다.
- [0015] 상기 PUN 리셋 신호 생성 및 제어부는 상기 PUN out/outb 출력 발생부의 출력을 NAND 게이트의 입력으로 받아 리셋 신호를 생성하고, PUN out/outb 출력 발생부의 출력이 데이터 입력 신호에 의한 출력인지 또는 프리디스차지 수행의 결과인지 여부를 판단하고, 판단 결과에 따라 프리디스차지 또는 프리디스차지 해제를 수행한다.
- [0016] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 출력 발생부 및 리셋 신호 생성 및 제어부를 포함하는 지역적 셀프 리셋팅 회로의 동작 방법은 상기 출력 발생부가 복수의 펄스들을 입력 받아 네트워크 및 키퍼(keeper)를 기반으로 제1 출력신호(out)와 제2 출력신호(outb)를 출력하는 단계 및 상기 리셋 신호 생성 및 제어부가 상기 출력 발생부의 출력을 입력으로 받아 로직 게이트를 이용한 계산을 수행하고, 계산의 완료 여부를 감지하여 리셋 신호를 자체로 생성하여 프리차지(precharge) 또는 프리디스차지(predischarge) 수행을 제어하는 단계를 포함한다.
- [0017] 상기 출력 발생부가 복수의 펄스들을 입력 받아 네트워크 및 키퍼(keeper)를 기반으로 제1 출력신호(out)와 제2 출력신호(outb)를 출력하는 단계는 입력 신호가 인가되기 전 이밸류에이트(evaluate) 상태를 유지하고, 복수의 펄스들이 입력 신호로 입력되면 상기 복수의 펄스들을 상기 네트워크를 통해 로직 계산을 하고, 제1 출력포트와 제2 출력포트를 통해 로직 결과가 출력 되도록 상기 로직 계산에 의해 정해진 노드를 디스차지(discharge) 또는 차지(charge)한다.
- [0018] 상기 리셋 신호 생성 및 제어부가 상기 출력 발생부의 출력을 입력으로 받아 리셋 신호를 생성하고 프리차지(precharge) 또는 프리디스차지(predischarge) 수행을 제어하는 단계는 상기 출력 발생부의 출력이 데이터 입력 신호에 의한 출력인지 또는 프리차지 수행의 결과인지 여부를 판단하고, 판단 결과에 따라 프리차지 또는 프리

차지 해제를 수행한다.

발명의 효과

[0019] 본 발명의 실시예들에 따른 기술을 프로세스 테크놀로지(process technology)가 한계치까지 미세해지는 최근 반도체산업에서 고성능 서버(server)뿐만 아니라 고성능 모바일(mobile) CPU 코어(core)에도 적용이 되는 고속 다이나믹 회로 중 셀프 리셋팅 회로에서, 칩(chip) 내 PVT 변동과 로드 언밸런스(load unbalance)에 매우 민감하여 실제 적용이 힘들었던 부분에 적용할 수 있다. 제안하는 기술을 적용 함으로써, 내부 요소 변동성에 특히 민감한 미세 공정의 반도체 칩(chip) 양산의 일드(yield) 향상에 큰 효과가 예상된다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 일 실시예에 따른 지역적 셀프 리셋팅 동작을 하는 회로의 방법 및 장치의 구성을 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 지역적 셀프 리셋팅 동작을 하는 회로의 방법 및 장치의 구성을 나타내는 또 다른 도면이다.

도 3은 본 발명의 일 실시예에 따른 지역적 셀프 리셋팅 동작을 하는 회로인 도 1에 대한 타이밍 동작을 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 지역적 셀프 리셋팅 동작을 하는 회로인 도 1에 대한 타이밍 동작을 나타내는 또 다른 도면이다.

도 5는 본 발명의 일 실시예에 따른 지역적 셀프 리셋팅 동작을 하는 회로인 도 2에 대한 타이밍 동작을 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 지역적 셀프 리셋팅 동작을 하는 회로인 도 2에 대한 타이밍 동작을 나타내는 또 다른 도면이다.

도 7은 본 발명의 일 실시예에 따른 지역적 셀프 리셋팅 동작을 하는 회로의 방법 및 장치에 대한 리셋 동작 상태의 설명을 표로 나타낸 것이다.

도 8은 본 발명의 일 실시예에 따른 지역적 셀프 리셋팅 회로의 동작 방법을 설명하기 위한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0021] 본 발명의 실시 예들은 고속 반도체 설계에 있어서, 폴다운/폴업 네트워크의 입력신호 계산을 통해 제1 출력신호(out) 및 제2 출력신호(outb)를 만들어 내는 장치로서, N/PMOS, 인버터(inverter) 등의 게이트를 이용하여 PDN(pull down network), PUN(pull up network), 키퍼(keeper) 등으로 구성된 PDN/PUN out/outb 출력 발생부, 발생된 출력 값을 이용하여 리셋 신호를 생성하고 제어하는 장치로서, P/NMOS 트랜지스터, NOR/NAND 게이트 등으로 구성된 PDN/PUN 리셋 신호 생성 및 제어부의 구조를 포함하는 지역적 셀프 리셋팅 동작을 하는 회로의 방법 및 장치에 관한 것이다.

[0022] 제안하는 지역적 셀프 리셋팅 회로를 위한 장치는 복수의 펄스들을 입력 받아 네트워크 및 키퍼(keeper)를 기반으로 제1 출력신호(out)와 제2 출력신호(outb)를 출력하는 출력 발생부 및 상기 출력 발생부의 출력을 입력으로 받아 리셋 신호를 생성하고 프리차지(precharge) 또는 프리디스차지(predischarge) 수행을 제어하는 리셋 신호 생성 및 제어부를 포함한다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0023] 도 1은 본 발명의 일 실시예에 따른 지역적 셀프 리셋팅 동작을 하는 회로의 방법 및 장치의 구성을 나타내는 도면이다.

[0024] 도 1을 참조하면, 제안하는 지역적 셀프 리셋팅 회로를 위한 장치는 복수의 펄스들을 입력 받아 네트워크 및 키퍼(keeper)를 기반으로 제1 출력신호(out)와 제2 출력신호(outb)를 출력하는 출력 발생부 및 상기 출력 발생부의 출력을 입력으로 받아 로직 게이트를 이용한 계산을 수행하고, 계산의 완료 여부를 감지하여 리셋 신호를 자체로 생성하여 프리차지(precharge) 또는 프리디스차지(predischarge) 수행을 제어하는 리셋 신호 생성 및 제어부를 포함할 수 있다.

- [0025] 상기 출력 발생부에 있어서 상기 네트워크는 NMOS로 구성된 풀다운 네트워크이고, 상기 키퍼는 인버터와 PMOS로 구성되며, 상기 풀다운 네트워크 및 상기 키퍼를 기반으로 제1 출력신호(out) 및 제2 출력신호(outb)를 출력하는 PDN out/outb 출력 발생부(110)일 수 있다. 또한, 상기 리셋 신호 생성 및 제어부는 NOR 게이트와 PMOS 트랜지스터를 기반으로 리셋(resetA) 신호를 생성하고 프리차지(precharge) 수행을 제어하는 PDN 리셋 신호 생성 및 제어부(120)일 수 있다.
- [0026] PDN out/outb 출력 발생부(110)는 입력 신호가 인가되기 전 이밸류에이트(evaluate) 상태를 유지하고, 복수의 펄스들이 입력 신호로 입력되면 상기 복수의 펄스들을 풀다운 네트워크를 통해 로직 계산을 하고, 제1 출력포트와 제2 출력포트를 통해 로직 결과가 출력 되도록 상기 로직 계산에 의해 정해진 노드를 디스차지(discharge) 할 수 있다.
- [0027] PDN 리셋 신호 생성 및 제어부(120)는 상기 PDN out/outb 출력 발생부의 출력을 NOR 게이트의 입력으로 받아 리셋 신호를 생성하고, 상기 PDN out/outb 출력 발생부의 출력이 데이터 입력 신호에 의한 출력인지 또는 프리차지 수행의 결과인지 여부를 판단하고, 판단 결과에 따라 프리차지 또는 프리차지 해제를 수행할 수 있다.
- [0028] 도 1의 PDN out/outb 출력 발생부(110)는, 입력 신호로 들어오는 복수의 펄스(pulse)들을 받아, 들어온 입력 신호들을 풀다운 네트워크(pull down network)를 통해 계산한 다음 제1 출력포트(out)와 제2 출력포트(outb)를 통해 그 결과가 출력 되도록 만들어진 구조이다.
- [0029] PDN out/outb 출력 발생부(110)는, NMOS로 이루어진 풀다운 네트워크(pull down network)이 여러 개의 입력신호들을 받아들여 출력이 참인지 거짓인지를 로직적으로 계산한다. 참인 경우, n1 노드(node)를 디스차지(discharge) 시켜서 인버터(inverter)를 거쳐 out 노드에 하이(high)가 출력 되도록 한다. 이 풀다운 네트워크의 n1 노드와 n2 노드는 상호보완적(complementary) 구조로 동작하도록 되어 있다. 따라서, 입력 신호들이 계산된 후 out 포트가 하이(high)이면 outb 포트는 로우(low)를 출력하고, out 포트가 로우(low)이면 outb 포트는 하이(high)를 출력하는 NMOS 트랜지스터로 이루어진 회로가 구성되어 있다.
- [0030] PDN out/outb 출력 발생부(110)의 동작을 순서에 따라 설명한다. 입력 신호를 계산하기 전에 먼저 풀다운 네트워크를 리셋 동작에 의해 프리차지(precharge) 시키는 작업이 필요하다. 프리차지 동작에 의해서 n1 노드와 n2 노드가 차지(charge)되어 하이(high) 상태가 되면 out 포트와 outb 포트가 모두 로직 로우(low) 상태가 되며 PMOS 키퍼(keeper)에 의해서 n1과 n2 노드를 하이(high) 상태로 래칭(latching) 시키게 되고 기존 값을 유지하게 된다. 일단 이러한 래칭(latching) 상태가 되면 더 이상 리셋 동작에 의해 프리차지(precharge) 작업을 지속할 필요가 없으므로, out 포트와 outb 포트 모두 로우(low)인 값을 NOR 게이트 입력으로 인가한다. 그리고 프리차지 작업이 완료 되었음을 알리는 resetA 신호를 하이(high)로 만들어 프리차지 작업을 중지 시킨다. 이러한 과정이 끝나면 입력 신호를 받을 준비가 완료되어 입력을 받아 들일 수 있다. 이 상태에서 입력신호가 들어오면 풀다운 네트워크에서 입력 값 계산이 진행되고, 이때 n1 노드 또는 n2 노드 둘 중에 한 노드만 디스차지(discharge)가 되며 이 노드 값을 로직 로우(low)로 만들게 된다. 리셋 동작에 의해 프리차지(precharge) 할 때와 달리, 이번에는 out 노드 outb 노드가 서로 다른 값을 갖게 된다. 이러한 서로 다른 듀얼레일의 출력 값들은 다음 로직 단의 입력 포트에 연결되어 다음 스테이지의 로직이 입력 값 계산을 시작 하게 한다. 한편, out 포트와 outb 포트에 서로 다른 값을 갖는 출력 값이 나오면, 필요한 로직 계산이 완료된 것이므로 다음 입력 값을 받아들일 준비를 해야 한다. 이것은 서로 다른 값을 갖는 out 포트와 outb 포트를 NOR 게이트 입력에 연결하여 resetA 신호를 로우(low)로 만듦으로써 가능하다. 이와 같이, out 포트와 outb 포트 값이 서로 다름을 감지하여 리셋 신호를 발생 시킴으로써 프리차지 동작을 수행 하도록 한다. 프리차지 동작이 끝나면 다음 입력 값을 받아들일 준비상태가 되게 하고 새로운 입력신호를 기다리게 된다. 이러한 일련의 동작들이 순서대로 PDN out/outb 출력 발생부에서 입력 신호들이 들어올 때 마다 수행 된다.
- [0031] 도 1의 PDN 리셋 신호 생성 및 제어부(120)는 PDN out/outb 출력 발생부(110)에서 나오는 출력 신호를 NOR 게이트의 입력으로 받아들여 리셋 신호를 생성한다. 그리고, 이 신호를 PMOS의 게이트 포트에 인가하여 풀다운 네트워크의 n1 노드와 n2 노드를 프리차지(precharge)하도록 만들어진 구조이다.
- [0032] PDN 리셋 신호 생성 및 제어부(120)는 PDN out/outb 출력 발생부(110)와 밀접하게 연결되어 동작하며 다음의 주요 두 가지 동작을 수행한다. 하나는, PDN out/outb 출력 발생부(110)에서 n1 노드와 n2 노드에 프리차지 동작이 완료 되었을 때 out 포트와 outb 포트 모두에 로직 로우 값이 나오게 되는데, 이 값을 NOR 게이트의 입력 신호로 받아 resetA 값이 하이(high)가 되게 하여 더 이상 프리차지 동작이 지속 되지 않게 한다. 그 이유는 일단 한번 out/outb 출력 발생부(110)에서 프리차지가 되면 그 값이 키퍼(keeper)에 의하여 유지되기 때문이다. 만약 계속 프리차지 동작을 하고 있을 경우, 입력 신호가 들어와 로직 계산을 하게 될 때 풀다운 네트워크의 NMOS와 리

셋 신호 제어부의 PMOS 간 파이팅(fighting) 하는 상황이 되어 적절한 로직 수행이 불가능 하기 때문이다. 주요 동작 수행 중 다른 하나는, PDN out/outb 출력 발생부(110)에서 입력 신호 값에 의한 계산이 완료 되었을 때 n1 노드와 n2 노드 둘 중에 하나가 디스차지(discharge) 되어야만 하고 out 노드와 outb 노드의 출력이 서로 다른 값을 갖게 되는데, 이러한 서로 다른 값을 NOR 게이트의 입력 신호로 받기 때문에 NOR 게이트의 출력인 resetA 값이 로우(low)로 생성 되고 풀다운 네트워크의 n1 노드와 n2 노드가 하이(high)로 프리차지(precharge) 되게 하여 다음 입력 신호를 받아들일 준비가 되도록 하는 것이다.

[0033] 도 2는 본 발명의 또 다른 일 실시예에 따른 지역적 셀프 리셋팅 동작을 하는 회로의 방법 및 장치의 구성을 나타내는 또 다른 도면이다.

[0034] 도 2을 참조하면, 제안하는 지역적 셀프 리셋팅 회로를 위한 장치는 복수의 펄스들을 입력 받아 네트워크 및 키퍼(keeper)를 기반으로 제1 출력신호(out)와 제2 출력신호(outb)를 출력하는 출력 발생부 및 상기 출력 발생부의 출력을 입력으로 받아 로직 게이트를 이용한 계산을 수행하고, 계산의 완료 여부를 감지하여 리셋 신호를 자체로 생성하여 프리차지(precharge) 또는 프리디스차지(predischarge) 수행을 제어하는 리셋 신호 생성 및 제어부를 포함할 수 있다.

[0035] 상기 출력 발생부에 있어서 상기 네트워크는 PMOS로 구성된 풀업 네트워크이고, 상기 키퍼는 인버터와 NMOS로 구성되며, 상기 풀업 네트워크 및 상기 키퍼(keeper)를 기반으로 제1 출력신호(out) 및 제2 출력신호(outb)를 출력하는 PUN out/outb 출력 발생부(210)일 수 있다. 또한, 상기 리셋 신호 생성 및 제어부는 NAND 게이트와 NMOS 트랜지스터를 기반으로 리셋(resetB) 신호를 생성하고 프리디스차지(predischarge) 수행을 제어하는 PUN 리셋 신호 생성 및 제어부(220)일 수 있다.

[0036] 상기 PUN out/outb 출력 발생부(210)는 입력 신호가 인가되기 전 이밸류에이트(evaluate) 상태를 유지하고, 복수의 펄스들이 입력 신호로 입력되면 상기 복수의 펄스들을 풀업 네트워크를 통해 로직 계산을 하고, 제1 출력포트와 제2 출력포트를 통해 로직 결과가 출력 되도록 상기 로직 계산에 의해 정해진 노드를 차지(charge)할 수 있다.

[0037] 상기 PUN 리셋 신호 생성 및 제어부(220)는 상기 PUN out/outb 출력 발생부의 출력을 NAND 게이트의 입력으로 받아 리셋 신호를 생성하고, PUN out/outb 출력 발생부의 출력이 데이터 입력 신호에 의한 출력인지 또는 프리디스차지 수행의 결과인지 여부를 판단하고, 판단 결과에 따라 프리디스차지 또는 프리디스차지 해제를 수행할 수 있다.

[0038] 도 2의 PUN out/outb 출력 발생부(210)는 입력 신호로 들어오는 여러 개의 펄스(pulse)들을 받아들여, 들어온 입력 신호들을 풀업 네트워크(pull up network)을 통해 계산한 다음 제1 출력포트(out)와 제2 출력포트(outb)를 통해 그 결과가 출력 되도록 만들어진 구조이다.

[0039] PUN out/outb 출력 발생부(210)는 PMOS로 이루어진 풀업 네트워크(pull up network)이 여러 개의 입력신호들을 받아들여 출력이 참인지 거짓인지를 로직적으로 계산한다. 계산 결과가 참일 경우, m2 노드(node)를 차지(charge) 시켜 인버터(inverter)를 거쳐 outb 노드에 로우(low)가 출력 되도록 한다. 이 풀업 네트워크의 m1과 m2 노드는 상호보완적(complementary) 구조로 동작하도록 되어 있다. 따라서, 입력 신호들이 계산된 후 out 포트가 하이(high)이면 outb 포트는 로우(low)를 출력하고, out 포트가 로우(low)이면 outb 포트는 하이(high)를 출력하도록 PMOS 트랜지스터로 이루어진 회로가 구성된다.

[0040] PUN out/outb 출력 발생부(210)의 동작을 순서에 따라 설명한다. 입력 신호를 계산하기 전에 먼저 풀업 네트워크를 리셋 동작에 의해 프리디스차지(predischarge) 시키는 작업이 필요하다. 프리디스차지 동작에 의해서 m1 노드와 m2 노드가 디스차지(discharge)되어 로우(low) 상태가 되면 out 포트와 outb 포트가 모두 로직 하이(high) 상태가 되며 NMOS 키퍼(keeper)에 의해서 m1과 m2 노드를 로우(low) 상태로 래칭(latching) 시키게 되고 기존 값을 유지하게 된다. 일단 이러한 래칭(latching) 상태가 되면 더 이상 리셋 동작에 의해 프리디스차지(predischarge) 작업을 지속할 필요가 없다. 그러므로, out 포트와 outb 포트 모두 하이(high)인 값을 NAND 게이트 입력으로 인가하여 프리디스차지 작업이 완료 되었음을 알리는 resetB 신호를 로우(low)로 만들어 프리디스차지 작업을 중지시킨다. 이러한 과정이 끝나면 입력 신호를 받을 준비가 완료되어 입력을 받아 들일 수 있다. 이 상태에서 입력신호가 들어오면 풀업 네트워크에서 입력 값 계산이 진행되고, 이때 m1 노드 혹은 m2 노드 둘 중에 한 노드만 차지(charge) 되며 이 노드 값을 로직 하이(high)로 만들게 된다. 리셋 동작에 의해 프리디스차지(predischarge)할 때와 달리, 이번에는 out 노드 outb 노드가 서로 다른 값을 갖게 된다. 이러한 서로 다

른 듀얼레일의 출력 값들은 다음 로직 단의 입력 포트에 연결되어 다음 스테이지의 로직이 입력 값 계산을 시작하게 한다. 한편, out 포트와 outb 포트에 서로 다른 값을 갖는 출력 값이 나오면, 필요한 로직 계산이 완료된 것이므로 다음 입력 값을 받아들일 준비를 해야 한다. 이것은 서로 다른 값을 갖는 out 포트와 outb 포트를 NAND 게이트 입력에 연결하여 resetB 신호를 하이(high)로 만듦으로써 가능하다. 이렇게 out 포트와 outb 포트 값이 서로 다를 경우 리셋 신호를 발생 시킴으로써 프리디스차지 동작을 수행 하도록 한다. 프리디스차지 동작이 끝나면 다음 입력 값을 받아들일 준비상태가 되게 하고 새로운 입력신호를 기다리게 된다. 이러한 일련의 동작들이 순서대로 PUN out/outb 출력 발생부(210)에서 입력 신호들이 들어올 때 마다 수행 된다.

[0041] 도 2의 PUN 리셋 신호 생성 및 제어부(220)는 PUN out/outb 출력 발생부(210)에서 나오는 출력 신호를 NAND 게이트의 입력으로 받아들여서 리셋 신호를 생성한다. 그리고, 이 신호를 NMOS의 게이트 포트에 인가하여 풀업 네트워크의 m1 노드와 m2 노드를 프리디스차지(predischage) 하도록 만들어진 구조이다.

[0042] PUN 리셋 신호 생성 및 제어부(220)는 PUN out/outb 출력 발생부(210)와 밀접하게 연결되어 동작하며 다음의 주요 두 가지 동작을 수행한다. 하나는, PUN out/outb 출력 발생부에서 m1 노드와 m2 노드에 프리디스차지 동작이 완료 되었을 때 out 포트와 outb 포트 모두에 로직 하이 값이 나오게 되는데, 이 값을 NAND 게이트의 입력 신호로 받아서 resetB 값이 로우(low)가 되게 하여 더 이상 프리디스차지 동작이 지속 되지 않게 한다. 그 이유는 일단 한번 out/outb 출력 발생부에서 프리디스차지가 되면 그 값이 키퍼(keeper)에 의하여 유지되기 때문이고, 만일 계속 프리디스차지 동작을 하고 있으면 입력 신호가 들어와서 로직 계산을 하게 될 때 풀업 네트워크의 PMOS와 리셋 신호 제어부의 NMOS 간 파이팅(fighting) 하는 상황이 되어 적절한 로직 수행이 불가능 하기 때문이다. 주요 동작 수행 중 다른 하나는, PUN out/outb 출력 발생부에서 입력 신호 값에 의한 계산이 완료 되었을 때 m1 노드와 m2 노드 둘 중에 하나가 차지(charge) 되어야만 하고 out 노드와 outb 노드의 출력이 서로 다른 값을 갖게 되는데, 이러한 서로 다른 값을 NAND 게이트의 입력 신호로 받기 때문에 NAND 게이트의 출력인 resetB 값이 하이(high)로 생성 되고 풀업 네트워크의 m1 노드와 m2 노드가 로우(low)로 프리디스차지(predischage) 되게 하여 다음 입력 신호를 받아들일 준비가 되도록 하는 것이다.

[0043] 도 3은 본 발명의 일 실시예에 따른 지역적 셀프 리셋팅 동작을 하는 회로인 도 1에 대한 타이밍 동작을 나타내는 도면이다.

[0044] 도 3의 n1 노드 이밸류에이션에 대한 PDN 파형(PDN waveform for n1 node evaluation)은 도 1에서 입력 신호가 계산될 때 n1 노드가 디스차지(discharge)되어 동작이 수행되는 과정을 나타내는 타이밍 도이다. n1 노드가 하이 상태로 프리차지 되어 있다가 입력 값의 계산 결과에 의해서 로직 로우로 디스차지(discharge) 된다. 그리고, 이 결과에 의해 out 포트가 하이(high) 상태로 바뀐다. out 포트의 하이(high) 값과 변경되지 않고 값을 유지하고 있는 outb 포트의 로우(low) 값은 NOR 게이트에 의해 resetA 노드를 로우로 만든다. 로우 값이 된 resetA 신호는 프리차지를 수행하게 되어 다시 n1 노드를 로직 하이(high) 상태로 만든다. 이는 out 포트를 로직 로우(low) 값이 되게 하고 NOR를 통한 resetA 값이 로직 하이(high)가 되게 하여 PMOS를 off 시킴으로써 리셋에 의한 프리차지 동작을 멈추게 하고, n1와 n2 노드는 하이(high) 상태에 남아 있게 함으로서 다시 새로운 입력 신호를 받을 수 있는 상태가 되도록 하는 과정을 타이밍도로 보여 주고 있다.

[0045] 도 4는 본 발명의 또 다른 일 실시예에 따른 지역적 셀프 리셋팅 동작을 하는 회로인 도 1에 대한 타이밍 동작을 나타내는 또 다른 도면이다.

[0046] 도 4의 n2 노드 이밸류에이션에 대한 PDN 파형(PDN waveform for n2 node evaluation)은 도 1에서 입력 신호가 계산될 때 n2 노드가 디스차지(discharge)되어 동작이 수행되는 과정을 나타내는 타이밍 도이다. n2 노드가 하이 상태로 프리차지 되어 있다가 입력 값의 계산 결과에 의해서 로직 로우로 디스차지(discharge) 된다. 그리고, 이 결과에 의해 outb 포트가 하이(high) 상태로 바뀐다. outb 포트의 하이(high) 값과 변경되지 않고 값을 유지하고 있는 out 포트의 로우(low) 값은 NOR 게이트에 의해 resetA 노드를 로우로 만든다. 로우 값이 된 resetA 신호는 프리차지를 수행하게 되어 다시 n2 노드를 로직 하이(high) 상태로 만든다. 이는 out 포트를 로직 로우(low) 값이 되게 하고 NOR를 통한 resetA 값이 로직 하이(high)가 되게 하여 PMOS를 off 시킴으로써 리셋에 의한 프리차지 동작을 멈추게 하고, n1와 n2 노드는 하이(high) 상태에 남아 있게 함으로서 다시 새로운 입력 신호를 받을 수 있는 상태가 되도록 하는 과정을 타이밍도로 보여 주고 있다.

- [0047] 도 5는 본 발명의 일 실시예에 따른 지역적 셀프 리셋팅 동작을 하는 회로인 도 2에 대한 타이밍 동작을 나타내는 도면이다.
- [0048] 도 5의 m1 노드 이밸류에이션에 대한 PUN 파형(PUN waveform for m1 node evaluation)은 도 2에서 입력 신호가 계산될 때 m1 노드가 차지(charge)되어 동작이 수행되는 과정을 나타내는 타이밍 도이다. m1 노드가 로직 로우 상태로 프리디스차지(predischage) 되어 있다가 입력 값의 계산 결과에 의해서 로직 하이(high)로 차지(charge) 되고, 이 결과에 의해 out 포트가 로우(low) 상태로 바뀐다. out 포트의 로우(low) 값과 변경되지 않고 값을 유지하고 있는 outb 포트의 하이(high) 값은 NAND 게이트에 의해 resetB 노드를 하이(high)로 만든다. 하이 값이 된 resetB 신호는 프리디스차지(predischage)를 수행하게 되어 다시 m1 노드를 로직 로우(low) 상태로 만든다. 이는 out 포트를 로직 하이(high) 값이 되게 하고 NAND를 통한 resetB 값이 로직 로우(low)가 되게 하여 NMOS를 off 시킴으로써 리셋에 의한 프리디스차지 동작을 멈추게 하고, m1와 m2 노드는 로우(low) 상태에 남아 있게 함으로서 다시 새로운 입력 신호를 받을 수 있는 상태가 되도록 하는 과정을 타이밍도로 보여 주고 있다.
- [0049] 도 6은 본 발명의 또 다른 일 실시예에 따른 지역적 셀프 리셋팅 동작을 하는 회로인 도 2에 대한 타이밍 동작을 나타내는 또 다른 도면이다.
- [0050] 도 6의 m2 노드 이밸류에이션에 대한 PUN 파형(PUN waveform for m2 node evaluation)은 도 2에서 입력 신호가 계산될 때 m2 노드가 차지(charge)되어 동작이 수행되는 과정을 나타내는 타이밍 도이다. m2 노드가 로직 로우 상태로 프리디스차지(predischage) 되어 있다가 입력 값의 계산 결과에 의해서 로직 하이(high)로 차지(charge) 되고, 이 결과에 의해 outb 포트가 로우(low) 상태로 바뀐다. outb 포트의 로우(low) 값과 변경되지 않고 값을 유지하고 있는 out 포트의 하이(high) 값은 NAND 게이트에 의해 resetB 노드를 하이(high)로 만든다. 하이 값이 된 resetB 신호는 프리디스차지(predischage)를 수행하게 되어 다시 m2 노드를 로직 로우(low) 상태로 만든다. 이는 outb 포트를 로직 하이(high) 값이 되게 하고 NAND를 통한 resetB 값이 로직 로우(low)가 되게 하여 NMOS를 off 시킴으로써 리셋에 의한 프리디스차지 동작을 멈추게 하고, m1와 m2 노드는 로우(low) 상태에 남아 있게 함으로서 다시 새로운 입력 신호를 받을 수 있는 상태가 되도록 하는 과정을 타이밍도로 보여 주고 있다.
- [0051] 도 7은 본 발명의 일 실시예에 따른 지역적 셀프 리셋팅 동작을 하는 회로의 방법 및 장치에 대한 리셋 동작 상태의 설명을 표로 나타낸 것이다.
- [0052] 회로가 PDN(pull down network)으로 구성되어 있는 경우에는 NOR 게이트를 이용하여 리셋 신호를 생성한다. 이 경우, 두 출력 포트(out 포트와 outb 포트)는 NOR 게이트의 입력 포트에 연결되고, NOR 게이트의 출력 포트는 리셋 신호(resetA)를 생성한다. 계산이 진행되지 않거나 완료되지 않은 상태에서는 두 출력 포트의 값이 모두 로직 로우(low) 상태를 갖게 되며, 이 값들은 NOR 게이트를 통해 리셋 신호를 로직 하이(high) 상태로 만들어 리셋 동작을 오프(off) 상태가 되도록 한다. 계산이 완료되면 두 출력 포트 값들 중 하나가 로직 하이(high) 상태로 바뀌게 되고, 두 출력 값들은 NOR 게이트를 통해 리셋 신호를 로직 로우(low) 상태로 만들어서 리셋 동작을 온(on) 상태가 되도록 한다. 이 회로의 구성에 의한 동작에는 두 출력 값이 모두 로직 하이(high)가 되는 상태는 일어나지 않는다.
- [0053] 회로가 PUN(pull up network)으로 구성되어 있는 경우에는 NAND 게이트를 이용하여 리셋 신호를 생성한다. 이 경우, 두 출력 포트(out 포트와 outb 포트)는 NAND 게이트의 입력 포트에 연결되고, NAND 게이트의 출력 포트는 리셋 신호(resetB)를 생성한다. 계산이 진행되지 않거나 완료되지 않은 상태에서는 두 출력 포트의 값이 모두 로직 하이(high) 상태를 갖게 되며, 이 값들은 NAND 게이트를 통해 리셋 신호를 로직 로우(low) 상태로 만들어서 리셋 동작을 오프(off) 상태가 되도록 한다. 계산이 완료되면 두 출력 포트 값들 중 하나가 로직 로우(low) 상태로 바뀌게 되고, 두 출력 값들은 NAND 게이트를 통해 리셋 신호를 로직 하이(high) 상태로 만들어서 리셋 동작을 온(on) 상태가 되도록 한다. 이 회로의 구성에 의한 동작에는 두 출력 값이 모두 로직 로우(low)가 되는 상태는 발생하지 않는다.
- [0054] 도 8은 본 발명의 일 실시예에 따른 지역적 셀프 리셋팅 회로의 동작 방법을 설명하기 위한 흐름도이다.

- [0055] 제안하는 출력 발생부 및 리셋 신호 생성 및 제어부를 포함하는 지역적 셀프 리셋팅 회로의 동작 방법은 상기 출력 발생부가 복수의 펄스들을 입력 받아 네트워크 및 키퍼(keeper)를 기반으로 제1 출력신호(out)와 제2 출력신호(outb)를 출력하는 단계(710) 및 상기 리셋 신호 생성 및 제어부가 상기 출력 발생부의 출력을 입력으로 받아 로직 게이트를 이용한 계산을 수행하고, 계산의 완료 여부를 감지하여 리셋 신호를 자체로 생성하여 프리차지(precharge) 또는 프리디스차지(predischarge) 수행을 제어하는 단계를 포함한다.
- [0056] 상기 출력 발생부가 복수의 펄스들을 입력 받아 네트워크 및 키퍼(keeper)를 기반으로 제1 출력신호(out)와 제2 출력신호(outb)를 출력하는 단계는 입력 신호가 인가되기 전 이밸류에이트(evaluate) 상태를 유지하고, 복수의 펄스들이 입력 신호로 입력되면 상기 복수의 펄스들을 상기 네트워크를 통해 로직 계산을 하고, 제1 출력포트와 제2 출력포트를 통해 로직 결과가 출력 되도록 상기 로직 계산에 의해 정해진 노드를 디스차지(discharge) 또는 차지(charge)한다.
- [0057] 상기 리셋 신호 생성 및 제어부가 상기 출력 발생부의 출력을 입력으로 받아 리셋 신호를 생성하고 프리차지(precharge) 또는 프리디스차지(predischarge) 수행을 제어하는 단계는 상기 출력 발생부의 출력이 데이터 입력 신호에 의한 출력인지 또는 프리차지 수행의 결과인지 여부를 판단하고, 판단 결과에 따라 프리차지 또는 프리차지 해제를 수행한다.
- [0058] 제안하는 지역적 셀프 리셋팅 회로를 위한 장치는 복수의 펄스들을 입력 받아 네트워크 및 키퍼(keeper)를 기반으로 제1 출력신호(out)와 제2 출력신호(outb)를 출력하는 출력 발생부 및 상기 출력 발생부의 출력을 입력으로 받아 로직 게이트를 이용한 계산을 수행하고, 계산의 완료 여부를 감지하여 리셋 신호를 자체로 생성하여 프리차지(precharge) 또는 프리디스차지(predischarge) 수행을 제어하는 리셋 신호 생성 및 제어부를 포함할 수 있다.
- [0059] 본 발명의 일 실시예에 따른 출력 발생부에 있어서, 상기 네트워크는 NMOS로 구성된 풀다운 네트워크이고, 상기 키퍼는 인버터와 PMOS로 구성되며, 상기 풀다운 네트워크 및 상기 키퍼를 기반으로 제1 출력신호(out) 및 제2 출력신호(outb)를 출력하는 PDN out/outb 출력 발생부일 수 있다. 또한, 상기 리셋 신호 생성 및 제어부는 NOR 게이트와 PMOS 트랜지스터를 기반으로 리셋(resetA) 신호를 생성하고 프리차지(precharge) 수행을 제어하는 PDN 리셋 신호 생성 및 제어부일 수 있다.
- [0060] PDN out/outb 출력 발생부는 입력 신호가 인가되기 전 이밸류에이트(evaluate) 상태를 유지하고, 복수의 펄스들이 입력 신호로 입력되면 상기 복수의 펄스들을 풀다운 네트워크를 통해 로직 계산을 하고, 제1 출력포트와 제2 출력포트를 통해 로직 결과가 출력 되도록 상기 로직 계산에 의해 정해진 노드를 디스차지(discharge) 할 수 있다.
- [0061] PDN 리셋 신호 생성 및 제어부는 상기 PDN out/outb 출력 발생부의 출력을 NOR 게이트의 입력으로 받아 리셋 신호를 생성하고, 상기 PDN out/outb 출력 발생부의 출력이 데이터 입력 신호에 의한 출력인지 또는 프리차지 수행의 결과인지 여부를 판단하고, 판단 결과에 따라 프리차지 또는 프리차지 해제를 수행할 수 있다.
- [0062] 본 발명의 또 다른 일 실시예에 따른 출력 발생부에 있어서 상기 네트워크는 PMOS로 구성된 풀업 네트워크이고, 상기 키퍼는 인버터와 NMOS로 구성되며, 상기 풀업 네트워크 및 상기 키퍼(keeper)를 기반으로 제1 출력신호(out) 및 제2 출력신호(outb)를 출력하는 PUN out/outb 출력 발생부일 수 있다. 또한, 상기 리셋 신호 생성 및 제어부는 NAND 게이트와 NMOS 트랜지스터를 기반으로 리셋(resetB) 신호를 생성하고 프리디스차지(predischarge) 수행을 제어하는 PUN 리셋 신호 생성 및 제어부일 수 있다.
- [0063] 상기 PUN out/outb 출력 발생부는 입력 신호가 인가되기 전 이밸류에이트(evaluate) 상태를 유지하고, 복수의 펄스들이 입력 신호로 입력되면 상기 복수의 펄스들을 풀업 네트워크를 통해 로직 계산을 하고, 제1 출력포트와 제2 출력포트를 통해 로직 결과가 출력 되도록 상기 로직 계산에 의해 정해진 노드를 차지(charge)할 수 있다.
- [0064] 상기 PUN 리셋 신호 생성 및 제어부는 상기 PUN out/outb 출력 발생부의 출력을 NAND 게이트의 입력으로 받아 리셋 신호를 생성하고, PUN out/outb 출력 발생부의 출력이 데이터 입력 신호에 의한 출력인지 또는 프리디스차지 수행의 결과인지 여부를 판단하고, 판단 결과에 따라 프리디스차지 또는 프리디스차지 해제를 수행할 수 있다.
- [0065] 기존의 셀프 리셋팅 회로에서 PVT 변동에 의한 회로 불안정성을 일으켰던 주된 원인이 로직 패스와 완전히 분리된 딜레이 체인(delay chain)의 이용이었다. 새로운 기술에서는 이 딜레이 체인을 로직 패스와 밀접하게 연결된 회로로 대체하여, 기존의 셀프 리셋팅 회로가 고성능의 장점에도 불구하고 설계하기 까다롭고 프로세스 전압 온

도의 변동에 취약한 문제를 해결하였다. 듀얼레일 도미노(dual rail domino) 회로를 풀다운 네트워크(pull down network)에 이용하면, 프리차지 페이즈(precharge phase)에서는 로직의 양쪽 출력(out, outb)이 모두 로직 로우(low) 상태로 유지되고 있다가, 일단 입력 신호가 들어와서 회로가 계산을 하게 될 경우, out 포트 출력이 로우(low) 상태가 되고 outb 포트가 로직 하이(high) 상태가 된다. 또는, out 포트 출력이 하이(high) 상태가 되고 outb 포트가 로우(low) 상태가 되어, 두 포트 중에 적어도 한 포트는 하이(high) 상태가 되어 해당 스테이지에서 로직 계산이 완료되었음을 감지해 낼 수 있다. 풀다운 네트워크에서 로직 계산이 완료 되었음을 감지해 내는 일은 NOR 게이트를 이용하여 수행 된다. 해당 스테이지에서 로직 계산이 아직 완료되지 않은 상태이면 두 출력 포트가 모두 로직 로우 값을 가지게 되므로 NOR 게이트의 출력은 로직 하이(high)가 되어 리셋 동작을 하지 않고 로직 계산이 끝나기를 기다리게 된다. 반면에, 해당 스테이지에서 로직 계산이 완료 되면 앞에서 설명한 바와 같이 두 포트 중 적어도 한 포트는 로직 하이(high) 값을 갖게 된다. 이때 NOR 게이트의 출력은 로직 로우(low)를 출력하게 되어 풀다운 네트워크의 로직 계산이 끝나자마자 자동으로 감지되어 리셋 동작을 진행하게 되는 것이다.

[0066] 이와 같이 로직 회로에 의해서 로직 계산의 완료를 탐지하고 그 신호를 이용해 리셋 동작에 들어 가기 때문에 계산이 완료되기 전에 리셋 수행이 시작되는 일이 없게 되어 매우 안전하게 동작이 진행된다. 그리고, 로직 계산이 완료되면 바로 리셋 동작이 수행 단계로 들어가게 되어, 다음 입력 신호를 준비하므로 최상의 속도로 시간 허비 없이 마지막 스테이지까지 로직 계산이 연속적으로 이루어지게 된다. 이와 같이, 속도는 고성능을 유지하고, 문제가 되었던 PVT 변동에 대한 딜레이 체인과 로직 패스 간의 딜레이 미스매치(mismatch) 문제점을 해결할 수 있다.

[0067] 제안하는 회로는 풀다운 네트워크를 이용하여 설명을 하였으나, 풀업 네트워크를 이용해서도 동일한 메커니즘(mechanism)으로 회로를 구성할 수 있다. 이 경우는 PMOS에 의해서 로직 계산이 이루어지고 리셋 동작과 리셋 제어 회로는 NMOS에 의해 구성 된다. 풀업 네트워크를 이용할 때는 NAND 게이트를 이용해야 하며, 리셋 동작이 일어나는 메커니즘은 풀다운 네트워크와 동일 하게 이루어진다. 최근의 프로세스 노드(node) 부터는 NMOS 와 PMOS의 성능에 차이가 줄어, 풀업 네트워크 스타일도 풀다운 네트워크와 같이 중요하게 다루어져야 할 필요가 있다.

[0068] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0069] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 영구적으로, 또는 일시적으로 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0070] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media),

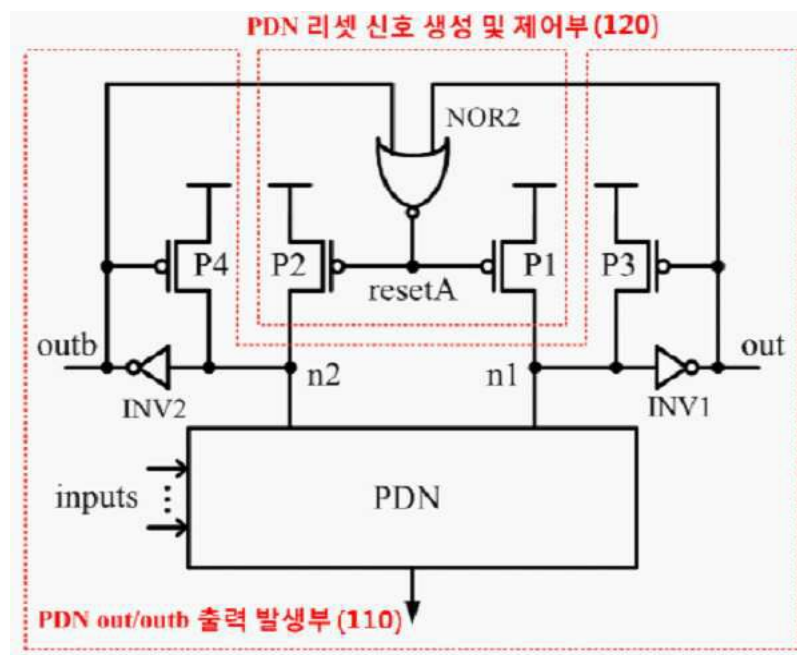
CD-ROM, DVD와 같은 광기록 매체(optical media), 플로피컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0071] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

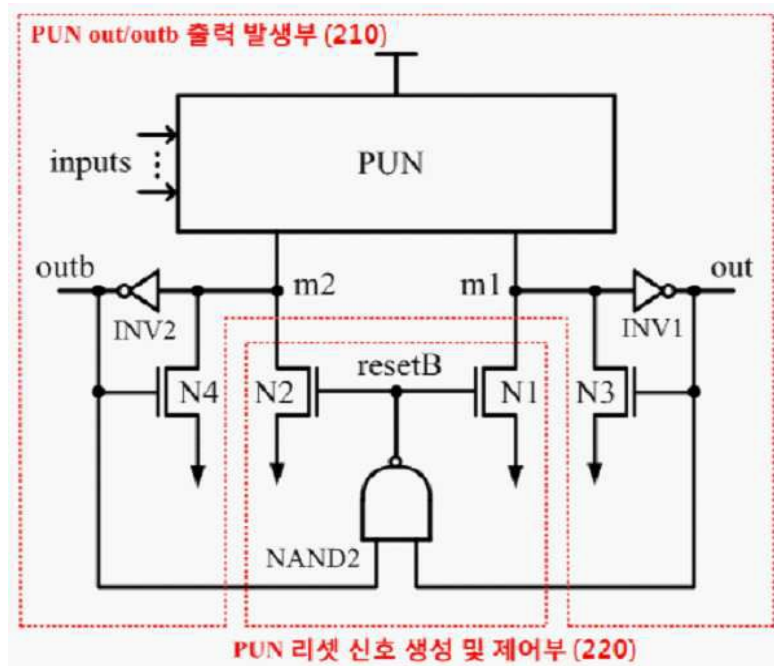
[0072] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

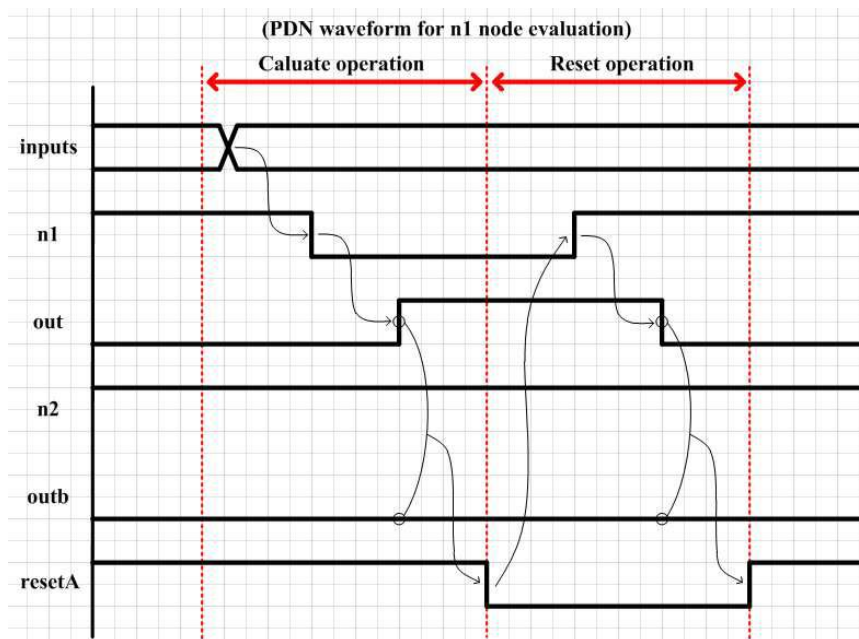
도면1



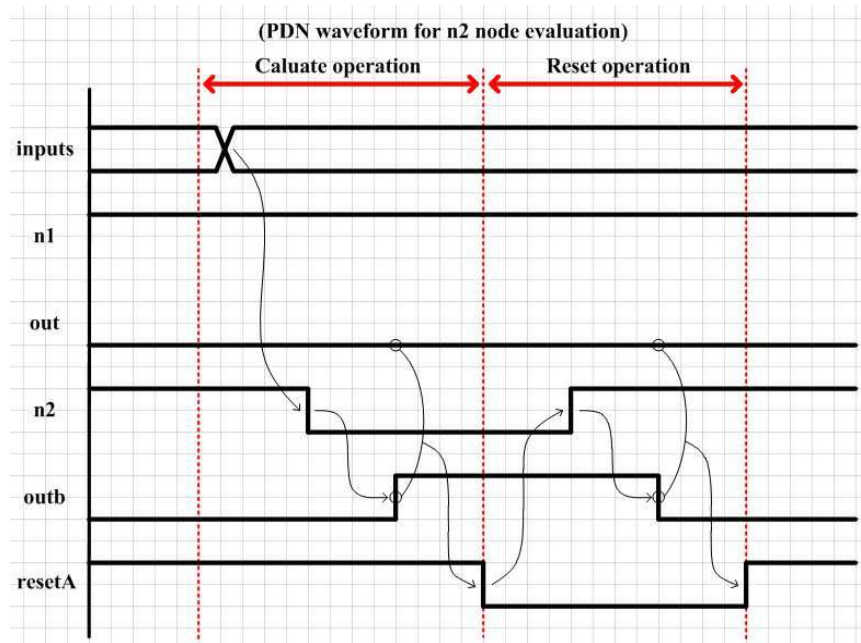
도면2



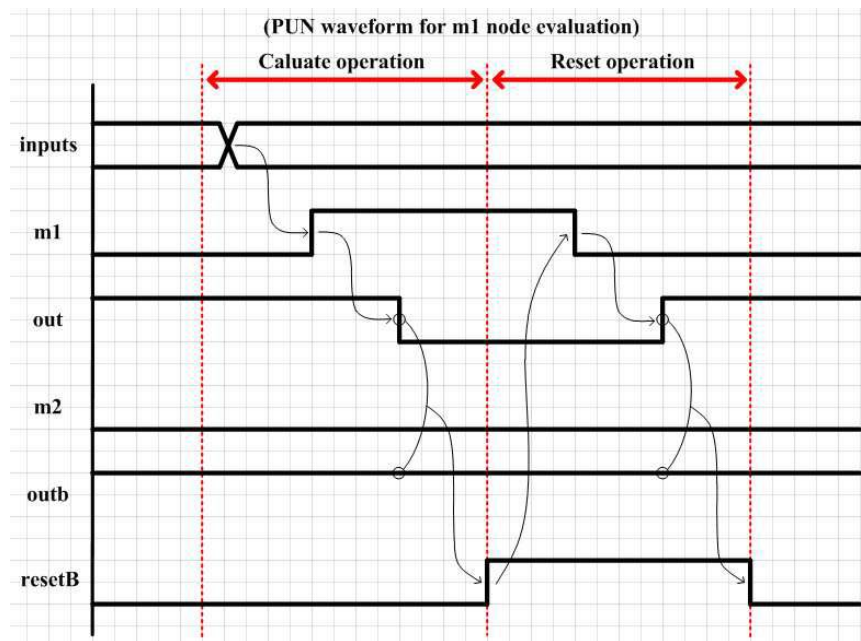
도면3



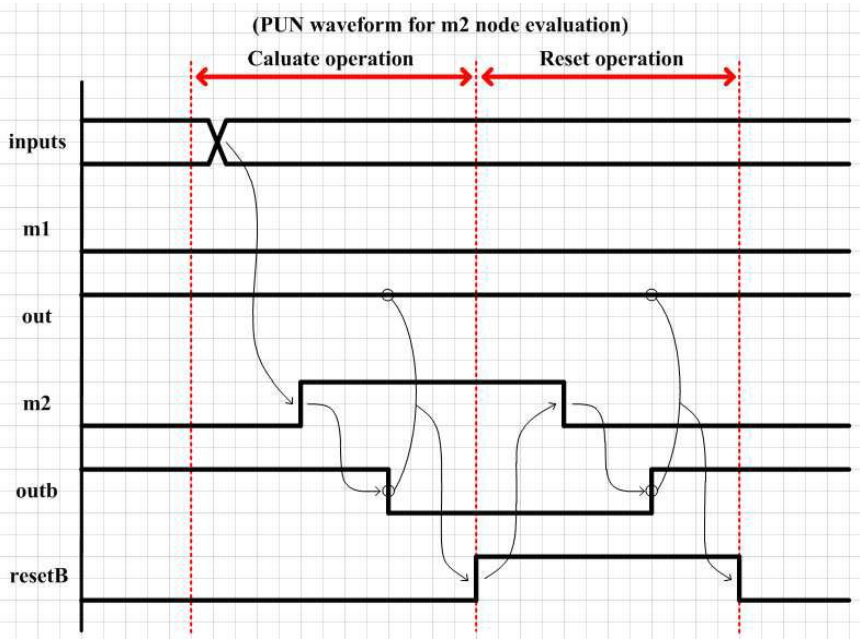
도면4



도면5



도면6



도면7

회로가 PDN(pull down network)으로 구성되어 있는 경우

두 출력 포트의 값		리셋신호 생성위해 이용한 게이트	생성된 리셋 신호 resetA	동작상태 설명
out	outb			
0	0	NOR	1 (reset off)	계산이 완료되지 않은 상태
0	1	NOR	0 (reset on)	계산이 완료된 case 1
1	0	NOR	0 (reset on)	계산이 완료된 case 2
1	1	NOR	-	발생하지 않는 case

회로가 PUN(pull up network)으로 구성되어 있는 경우

두 출력 포트의 값		리셋신호 생성위해 이용한 게이트	생성된 리셋 신호 resetB	동작상태 설명
out	outb			
1	1	NAND	0 (reset off)	계산이 완료되지 않은 상태
1	0	NAND	1 (reset on)	계산이 완료된 case 1
0	1	NAND	1 (reset on)	계산이 완료된 case 2
0	0	NAND	-	발생하지 않는 case

도면8

