



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년06월12일
(11) 등록번호 10-1988341
(24) 등록일자 2019년06월05일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) H01L 27/32 (2006.01)
H01L 29/45 (2006.01) H01L 29/49 (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 27/1225 (2013.01)
H01L 27/124 (2013.01)
(21) 출원번호 10-2018-7010617(분할)
(22) 출원일자(국제) 2010년08월06일
심사청구일자 2018년04월16일
(85) 번역문제출일자 2018년04월16일
(65) 공개번호 10-2018-0041264
(43) 공개일자 2018년04월23일
(62) 원출원 특허 10-2017-7014967
원출원일자(국제) 2010년08월06일
심사청구일자 2017년06월01일
(86) 국제출원번호 PCT/JP2010/063734
(87) 국제공개번호 WO 2011/027661
국제공개일자 2011년03월10일
(30) 우선권주장
JP-P-2009-204972 2009년09월04일 일본(JP)
(56) 선행기술조사문헌
JP2004047566 A
(뒷면에 계속)
전체 청구항 수 : 총 15 항

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
사카타 준이치로
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장훈

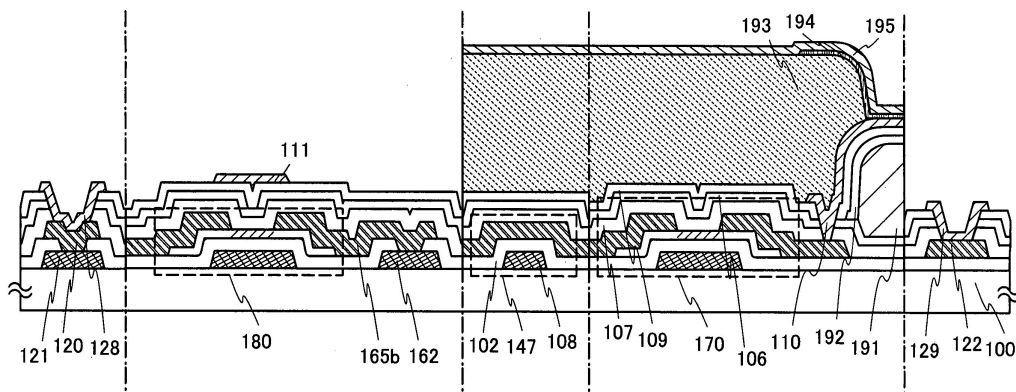
심사관 : 고연화

(54) 발명의 명칭 발광 장치 및 발광 장치를 제작하기 위한 방법

(57) 요약

발광 장치의 신뢰성을 향상시키는 것을 목적으로 한다. 발광 장치는 하나의 기판 위에 구동 회로용 트랜지스터를 포함하는 구동 회로부 및 화소용 트랜지스터를 포함하는 화소부를 갖는다. 구동 회로용 트랜지스터 및 화소용 트랜지스터는 각각 산화물 절연층의 일부와 접촉하는 산화물 반도체층을 포함하는 역 스택거형 트랜지스터들이다. 화소부에 있어서, 컬러 필터층 및 발광 소자가 산화물 절연층 위에 제공된다. 구동 회로용 트랜지스터에 있어서, 게이트 전극층 및 산화물 반도체층과 중첩하는 도전층이 산화물 절연층 위에 제공된다. 게이트 전극층, 소스 전극층, 및 드레인 전극층은 금속 도전막들을 사용하여 형성된다.

대표도



(52) CPC특허분류

H01L 27/322 (2013.01)
H01L 27/3262 (2013.01)
H01L 29/45 (2013.01)
H01L 29/4908 (2013.01)
H01L 29/78606 (2013.01)
H01L 29/7869 (2013.01)

(72) 발명자

사카쿠라 마사유키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

오이카와 요시아키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

오카자키 켄이치

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

마루야마 호타카

일본 984-0823 미야기켄 센다이시 와카바야시쿠 토
 미두카 2-16-12

(56) 선행기술조사문헌

JP2008276212 A
 JP2009021612 A
 KR100131061 B1
 KR1020080058406 A
 KR1020090012075 A
 WO2008105347 A1
 US20090057672 A1
 KR1020090128536 A
 JP2006293385 A*
 KR1020080066678 A*
 *는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

발광 장치에 있어서:

기관;

트랜지스터로서,

상기 기관 위의 제 1 도전층;

상기 제 1 도전층 위의 제 1 산화물 절연층;

상기 제 1 산화물 절연층 위의 산화물 반도체층;

상기 산화물 반도체층 위의 제 2 산화물 절연층; 및

상기 산화물 반도체층과 전기적으로 접속된 제 2 도전층과 제 3 도전층을 포함하는, 상기 트랜지스터;

상기 트랜지스터 위의 컬러 필터층;

상기 컬러 필터층 위의 절연층;

상기 제 2 도전층 및 상기 제 3 도전층 중 하나에 전기적으로 접속된 화소 전극;

상기 화소 전극과 접하는 격벽; 및

상기 절연층 위의 발광 소자를 포함하고,

상기 산화물 반도체층은 채널 형성 영역, 제 1 영역, 및 제 2 영역을 포함하고,

상기 제 1 영역 및 상기 제 2 영역은 각각 상기 제 2 도전층 및 상기 제 3 도전층에 접하고,

상기 제 1 영역은 상기 채널 형성 영역의 저항보다 낮은 저항을 갖고,

상기 제 2 영역은 상기 채널 형성 영역의 저항보다 낮은 저항을 갖고,

상기 제 1 도전층, 상기 제 2 도전층, 및 상기 제 3 도전층 각각은 티타늄을 포함하고,

상기 절연층은 상기 컬러 필터층의 거칠기를 감소시키고,

상기 화소 전극의 제 1 부분은 상기 컬러 필터층과 같은 레벨에 있고,

상기 격벽은 상기 트랜지스터와 중첩하는, 발광 장치.

청구항 2

제 1 항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하는, 발광 장치.

청구항 3

제 1 항에 있어서,

상기 산화물 반도체층은 산소-과잉 상태가 되어 있는 영역을 포함하는, 발광 장치.

청구항 4

제 1 항에 있어서,

상기 제 1 도전층, 상기 제 2 도전층, 및 상기 제 3 도전층 각각은 몰리브덴을 더 포함하는, 발광 장치.

청구항 5

제 1 항에 있어서,

상기 제 2 도전층 및 상기 제 3 도전층 각각은 소스 전극 또는 드레인 전극인, 발광 장치.

청구항 6

발광 장치에 있어서:

화소부로서,

제 1 산화물 반도체층을 포함하는 제 1 트랜지스터;

상기 제 1 트랜지스터 위의 제 1 보호층;

상기 제 1 보호층 위의 컬러 필터층;

상기 컬러 필터층 위의 제 2 보호층;

상기 제 2 보호층 위의 절연층;

화소 전극;

상기 화소 전극과 접하는 격벽; 및

상기 절연층 위의 발광 소자를 포함하는, 상기 화소부; 및

회로부로서,

제 2 산화물 반도체층을 포함하는 제 2 트랜지스터를 포함하는, 상기 회로부를 포함하고,

상기 제 1 산화물 반도체층은 제 1 채널 형성 영역, 제 1 영역, 및 제 2 영역을 포함하고,

상기 제 1 영역 및 상기 제 2 영역은 각각 상기 제 1 트랜지스터의 제 1 소스 전극 및 상기 제 1 트랜지스터의 제 1 드레인 전극에 접하고,

상기 제 1 영역은 상기 제 1 채널 형성 영역의 저항보다 낮은 저항을 갖고,

상기 제 2 영역은 상기 제 1 채널 형성 영역의 저항보다 낮은 저항을 갖고,

상기 제 2 산화물 반도체층은 제 2 채널 형성 영역, 제 3 영역, 및 제 4 영역을 포함하고,

상기 제 3 영역 및 상기 제 4 영역은 각각 상기 제 2 트랜지스터의 제 2 소스 전극 및 상기 제 2 트랜지스터의 제 2 드레인 전극에 접하고,

상기 제 3 영역은 상기 제 2 채널 형성 영역의 저항보다 낮은 저항을 갖고,

상기 제 4 영역은 상기 제 2 채널 형성 영역의 저항보다 낮은 저항을 갖고,

상기 화소 전극의 제 1 부분은 상기 컬러 필터층과 같은 레벨에 있고,

상기 격벽은 상기 제 1 트랜지스터와 중첩하는, 발광 장치.

청구항 7

제 6 항에 있어서,

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하는, 발광 장치.

청구항 8

제 6 항에 있어서,

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층은 산소-과잉 상태가 되어 있는 영역을 포함하는, 발광 장치.

청구항 9

제 6 항에 있어서,

상기 제 1 소스 전극, 상기 제 1 드레인 전극, 상기 제 2 소스 전극, 및 상기 제 2 드레인 전극 각각은 티타늄을 포함하는, 발광 장치.

청구항 10

제 9 항에 있어서,

상기 제 1 소스 전극, 상기 제 1 드레인 전극, 상기 제 2 소스 전극, 및 상기 제 2 드레인 전극 각각은 폴리브덴을 더 포함하는, 발광 장치.

청구항 11

제 1 항 또는 제 6 항에 있어서,

상기 발광 소자의 발광색은 백색인, 발광 장치.

청구항 12

제 1 항 또는 제 6 항에 있어서,

상기 발광 소자는 제 1 발광 유닛 및 제 2 발광 유닛을 포함하고,

상기 제 1 발광 유닛과 상기 제 2 발광 유닛 사이에 전하 발생층이 제공되는, 발광 장치.

청구항 13

제 1 항 또는 제 6 항에 있어서,

상기 발광 소자는 제 1 발광 유닛과 제 2 발광 유닛을 포함하고,

상기 제 1 발광 유닛의 발광색은 청색이고,

상기 제 2 발광 유닛의 발광색은 황색인, 발광 장치.

청구항 14

제 1 항 또는 제 6 항에 있어서,

상기 컬러 필터층 및 상기 발광 소자 각각은 표시부에 포함되는, 발광 장치.

청구항 15

제 1 항 또는 제 6 항에 있어서,

상기 화소 전극은 상기 절연층의 측면 및 상면을 덮는, 발광 장치.

발명의 설명

기술 분야

[0001] 본 발명은 발광층으로서 유기 화합물을 함유하는 층을 포함하는 발광 장치, 및 발광 장치의 제작 방법에 관한 것이다. 예를 들어, 본 발명은 유기 발광 소자를 갖는 발광 표시 장치가 부품으로서 탑재되는 전자 기기에 관한 것이다.

[0002] 본 명세서에서, 반도체 장치는 반도체 특성들을 이용함으로써 기능할 수 있는 모든 장치들을 나타내고, 발광 장치들, 반도체 회로들, 및 전자 기기들과 같은 전기-광학 장치들이 모두 반도체 장치들이라는 것을 유념해야 한

다.

배경 기술

- [0003] 박형, 경량성, 고속 응답성 및 저전압에서의 DC 구동과 같은 특징들을 갖는, 발광체로서 유기 화합물을 함유하는 발광 소자가 차세대 평판 표시 또는 차세대 조명 장치에 적용될 것으로 기대된다. 특히, 발광 소자들이 매트릭스형으로 배열되는 표시 장치는 종래의 액정 표시 장치에 비해 시야각이 넓고 시인성이 우수한 이점들을 갖는 것으로 고려된다.
- [0004] 발광 소자의 발광 메커니즘에 대해 말하자면, EL 층이 한 쌍의 전극들 사이에 개재되어 있고 한 쌍의 전극들에 전압이 인가되어, 캐소드로부터 주입된 전자들 및 애노드로부터 주입된 정공들이 분자 여기자들을 형성하기 위해 EL 층의 발광 중심에서 재결합되고, 분자 여기자들이 기저 상태로 복귀할 때 에너지를 방출하도록 함으로써 발광된다. 일중항 여기자 및 삼중항 여기자는 여기 상태들로서 공지되어 있고, 가능하게는, 발광은 여기 상태들 중 어느 하나를 통해 달성될 수도 있다.
- [0005] 발광 소자에 포함된 EL 층은 적어도 발광층을 포함한다. 또한, EL 층은, 발광층 외에 정공-주입층, 정공-수송층, 전자-수송층, 전자-주입층 등을 포함하는 적층 구조를 가질 수 있다.
- [0006] 반도체 특성들을 갖는 재료로서, 금속 산화물이 주목받고 있다. 반도체 특성들을 갖는 이러한 금속 산화물들의 예들로는 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있다. 반도체 특성들을 갖는 이러한 금속 산화물을 사용하여 채널 형성 영역이 형성되는 박막 트랜지스터는 공지되어 있다(예를 들어, 특허 문헌 1 및 2 참조).
- [0007] 산화물 반도체를 적용한 TFT는 높은 전계 효과 이동도를 갖는다. 따라서, 표시 장치 등에 있어서의 구동 회로는 TFT를 사용하여 형성될 수 있다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 일본 공개 특허 출원 제 2007-123861 호
- (특허문헌 0002) 일본 공개 특허 출원 제 2007-096055 호

발명의 내용

해결하려는 과제

- [0009] 산화물 반도체막을 포함하는 박막 트랜지스터에 있어서, 고속 동작, 비교적 쉬운 제작 공정 및 충분한 신뢰성이 요구된다.
- [0010] 산화물 반도체막을 포함하는 박막 트랜지스터의 동작 특성들 및 신뢰성을 향상시키는 것을 목적으로 한다.
- [0011] 특히, 구동 회로에 사용되는 박막 트랜지스터의 고속 동작이 바람직하다.
- [0012] 예를 들어, 박막 트랜지스터의 채널 길이(L)가 감소되거나 채널 폭(W)이 증가될 때, 동작 속도가 증가된다. 그러나, 채널 길이가 감소될 때에는 스위칭 특성, 예를 들어, 온-오프비가 낮아지는 문제가 있다. 또한, 채널 폭(W)이 증가될 때에는 박막 트랜지스터 자체의 용량 부하가 증가되는 문제가 있다.
- [0013] 또 다른 목적은 채널 길이가 작을 때에도 안정한 전기적 특성들을 갖는 박막 트랜지스터를 포함하는 발광 장치를 제공하는 것이다.
- [0014] 서로 상이한 복수의 회로들이 절연 표면 위에 형성될 때, 예를 들어, 화소부 및 구동 회로부가 하나의 기판 위에 형성될 때, 화소부에 사용되는 박막 트랜지스터에 대해서는 높은 온-오프비와 같은 우수한 스위칭 특성들이 요구되고, 구동 회로에 사용되는 박막 트랜지스터에 대해서는 높은 동작 속도가 요구된다. 특히, 표시 장치의 선명도가 높을 때, 표시된 화상의 기록 시간이 감소된다. 따라서, 구동 회로에 사용되는 박막 트랜지스터는 고속으로 동작하는 것이 바람직하다.
- [0015] 또한, 또 다른 목적은 산화물 반도체막을 포함하는 박막 트랜지스터의 전기적 특성들의 변동을 감소시키는 것이

다.

과제의 해결 수단

- [0016] 본 발명의 일 실시형태는 하나의 기판 위에 구동 회로용 트랜지스터를 포함하는 구동 회로부 및 화소용 트랜지스터를 포함하는 화소부를 갖는 발광 장치이다. 구동 회로용 트랜지스터 및 화소용 트랜지스터 각각은 게이트 전극층, 게이트 전극층 위의 게이트 절연층, 게이트 절연층 위의 산화물 반도체층, 산화물 반도체층 위의 소스 전극층 및 드레인 전극층, 및 산화물 반도체층, 소스 전극층 및 드레인 전극층 위에서 산화물 반도체층의 일부와 접촉하는 산화물 절연층을 포함한다. 화소부에는 산화물 절연층 위의 컬러 필터층 및 컬러 필터층 위의 화소용 트랜지스터에 전기적으로 접속된 제 1 전극층, EL 층 및 제 2 전극층의 적층이 제공된다. 구동 회로용 트랜지스터에는, 게이트 전극층 및 산화물 반도체층과 중첩하는, 산화물 절연층 위의 도전층이 제공된다. 게이트 전극층들, 소스 전극층들 및 드레인 전극층들은 금속 도전막들을 사용하여 형성된다.
- [0017] 본 발명의 또 다른 실시형태는 하나의 기판 위에 구동 회로용 트랜지스터를 포함하는 구동 회로부 및 화소용 트랜지스터를 포함하는 화소부를 갖는 발광 장치이다. 구동 회로용 트랜지스터 및 화소용 트랜지스터 각각은 게이트 전극층, 게이트 전극층 위의 게이트 절연층, 게이트 절연층 위의 산화물 반도체층, 산화물 반도체층 위의 소스 전극층 및 드레인 전극층, 및 산화물 반도체층, 소스 전극층 및 드레인 전극층 위에서 산화물 반도체층의 일부와 접촉하는 산화물 절연층을 포함한다. 화소부에는 산화물 절연층 위의 컬러 필터층 및 컬러 필터층 위의 접속 전극층을 통해 화소용 트랜지스터에 전기적으로 접속되는 제 1 전극층, EL 층 및 제 2 전극층의 적층이 제공된다. 구동 회로용 트랜지스터에는 게이트 전극층 및 산화물 반도체층과 중첩하는, 산화물 절연층 위의 도전층이 제공된다. 게이트 전극층들, 소스 전극층들, 및 드레인 전극층들은 금속 도전막들을 사용하여 형성된다.
- [0018] 보텀-게이트 구조(bottom-gate structure)를 갖는 역 스택거형 트랜지스터가 화소용 트랜지스터 및 구동 회로용 트랜지스터 각각으로서 사용된다. 화소용 트랜지스터 및 구동 회로용 트랜지스터는 각각, 소스 전극층 및 드레인 전극층 사이에서 노출되는 산화물 반도체층과 접촉하는 산화물 절연막이 제공되는 채널-에칭형 트랜지스터이다.
- [0019] 구동 회로용 트랜지스터는 산화물 반도체층이 게이트 전극과 도전층 사이에 끼워지는 구성을 갖는다. 이 구조에 의해, 트랜지스터의 임계 전압 변동이 감소될 수 있고; 따라서, 안정한 전기적 특성들을 갖는 트랜지스터를 포함하는 발광 장치가 제공될 수 있다. 도전층은 게이트 전극층과 동일한 전위를 가질 수도 있거나, 플로팅 전위 또는 GND 전위나 0V와 같은 고정 전위를 가질 수도 있다. 도전층의 전위를 적절한 값으로 설정함으로써, 트랜지스터의 임계 전압이 제어될 수 있다.
- [0020] 화소용 트랜지스터는 화소용 전극과 직접 접촉하여 형성될 수도 있거나, 또는 접속 전극층을 통해 화소 전극에 전기적으로 접속될 수도 있다. 접속 전극층은 그 주 성분으로서 Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소를 포함하는 막 또는 그 원소들 중 임의의 것을 포함하는 합금 막들의 적층막을 사용하여 형성될 수도 있다.
- [0021] 구동 회로용 트랜지스터의 산화물 반도체층 위에 제공되는 도전층, 제 1 배선(단자 또는 접속 전극이라고도 함), 및 제 2 배선(단자 또는 접속 전극이라고도 함)은 화소 전극과 동일한 단계로 산화 인듐, 산화 인듐과 산화 주석의 합금, 산화 인듐과 산화 아연의 합금, 또는 산화 아연과 같은 산화물 도전 재료를 사용하여 형성될 수도 있거나, 또는 접속 전극층과 동일한 단계로 그 주 성분으로서 Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소를 포함하는 막 또는 그 원소들 중 임의의 것을 포함하는 합금과 같은 금속 막을 사용하여 형성될 수도 있다.
- [0022] 복수의 컬러들을 갖는 광을 방출하는 발광 소자들 및 발광 소자들에 전기적으로 접속되는 화소들용의 트랜지스터들이 하나의 기판 위에 형성될 수도 있어서, 디스플레이와 같은 발광 장치가 제작될 수 있다.
- [0023] 백색 광을 방출하는 복수의 발광 소자들이 제공될 수도 있고, 발광 소자들의 발광 영역들을 중첩하도록 광학막, 구체적으로는, 컬러 필터들이 제공될 수도 있어서, 풀-컬러 표시가 가능한 발광 표시 장치가 제작될 수 있다. 본 명세서에 있어서, 컬러 필터는 블랙 매트릭스 및/또는 오버코트 외에 3개의 컬러들을 갖는 컬러 필터층들(예를 들어, 적색 컬러 필터, 청색 컬러 필터, 및 녹색 컬러 필터)을 포함하는 막의 전체를 나타내는 것이 아니라, 하나의 컬러를 갖는 컬러 필터를 나타낸다는 것을 유념해야 한다.
- [0024] 상기 구조를 실현하기 위해서, 본 발명의 일 실시형태는, 구동 회로부 및 화소부용 영역들을 포함하는 절연 표면을 갖는 기판 위에 금속 도전막을 사용하여 게이트 전극층을 형성하는 단계, 게이트 전극층 위에 게이트 절연층을 형성하는 단계, 게이트 절연층 위에 산화물 반도체층을 형성하는 단계, 물 및 수소가 산화물 반도체층에

다시 침입되는 것을 방지하면서 공기 중에 노출되지 않고 산화물 반도체층을 탈수화 또는 탈수소화하는 단계, 산화물 반도체층 위에 금속 도전막을 사용하여 소스 전극층 및 드레인 전극층을 형성하는 단계, 산화물 반도체층, 소스 전극층 및 드레인 전극층 위에 산화물 반도체층의 일부와 접촉하는 산화물 절연층을 형성하여, 구동 회로용 트랜지스터가 구동 회로부에 형성되고 화소용 트랜지스터가 화소부에 형성되도록 하는 단계, 화소부에서 산화물 절연층 위에 컬러 필터층을 형성하는 단계, 화소용 트랜지스터에 전기적으로 접속되는, 컬러 필터층 위에 제 1 전극층을 형성하는 단계, 제 1 전극층 위에 EL 층 및 제 2 전극층을 순서대로 적층하는 단계, 및 제 1 전극층과 동일한 단계로 구동 회로용 트랜지스터의 게이트 전극층 및 산화물 반도체층과 중첩하는, 구동 회로부의 산화물 절연층 위에 도전층을 형성하는 단계를 포함하는, 발광 장치를 제작하기 위한 방법이다.

[0025] 상기 구조를 실현하기 위해서, 본 발명의 또 다른 실시형태는, 구동 회로부 및 화소부용 영역들을 포함하는 절연 표면을 갖는 기판 위에 금속 도전막을 사용하여 게이트 전극층을 형성하는 단계, 게이트 전극층 위에 게이트 절연층을 형성하는 단계, 게이트 절연층 위에 산화물 반도체층을 형성하는 단계, 산화물 반도체층에 물 및 수소가 다시 침입되는 것을 방지하면서 공기 중에 노출시키지 않고 산화물 반도체층을 탈수화 또는 탈수소화하는 단계, 산화물 반도체층 위에 금속 도전막을 사용하여 소스 전극층 및 드레인 전극층을 형성하는 단계, 산화물 반도체층, 소스 전극층 및 드레인 전극층 위에 산화물 반도체층의 일부와 접촉하는 산화물 절연층을 형성하여, 구동 회로용 트랜지스터가 구동 회로부에 형성되고 화소용 트랜지스터가 화소부에 형성되도록 하는 단계, 화소부에서 산화물 절연층 위에 컬러 필터층을 형성하는 단계, 접속 전극층을 통해 화소용 트랜지스터에 전기적으로 접속되는 제 1 전극층을 컬러 필터층 위에 형성하는 단계, 제 1 전극층 위에 EL 층 및 제 2 전극층을 순서대로 적층하는 단계, 및 접속 전극층과 동일한 단계로 구동 회로용 트랜지스터의 게이트 전극층 및 산화물 반도체층과 중첩하는, 구동 회로부의 산화물 절연층 위에 도전층을 형성하는 단계를 포함하는, 발광 장치를 제작하기 위한 방법이다.

[0026] 발광 장치를 제작하는 단계들 중 포토리소그래피 단계에 있어서, 에칭 단계는 복수의 강도들을 갖도록 투광되는 노광 마스크인 다계조 마스크를 사용하여 형성된 마스크층을 사용하여 수행될 수도 있다는 것을 유념해야 한다.

[0027] 다계조 마스크의 사용에 의해 형성되는 마스크층은 복수의 막 두께들을 갖고 마스크층에 에칭을 수행함으로써 그 형상들이 변경될 수 있기 때문에, 상이한 패턴들로 가공하기 위한 복수의 에칭 단계들에서 마스크층이 사용될 수 있다. 따라서, 상이한 패턴들 중 적어도 두 종류들 이상에 대응하는 마스크층이 하나의 다계조 마스크에 의해 형성될 수 있다. 따라서, 노광 마스크들의 수가 감소될 수 있고, 대응하는 포토리소그래피 단계들의 수도 감소될 수 있음으로써, 공정의 단순화가 실현될 수 있다.

[0028] 상기 구성에 의해, 상기 문제점들 중 적어도 하나가 해결될 수 있다.

[0029] 본 명세서에서 사용되는 산화물 반도체는 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 로 표현되는 재료의 박막으로 형성되고, 산화물 반도체층으로서 박막이 사용되는 박막 트랜지스터가 제작된다. M 은 Ga, Fe, Ni, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소들을 나타낸다는 것을 유념해야 한다. 예로서, M 은 Ga일 수도 있거나, 또는 Ga 외에 상기 금속 원소를 포함할 수도 있고, 예를 들어, M 은 Ga와 Ni 또는 Ga와 Fe일 수도 있다. 또한, 상기 산화물 반도체에서, 어떤 경우들에 있어서, M 으로서 포함된 금속 원소 외에, Fe 또는 Ni와 같은 전이 금속 원소 또는 전이 금속의 산화물이 불순물 원소로서 포함된다. 본 명세서에 있어서, 조성식이 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 로 표현되고, 여기서, M 으로서 적어도 Ga가 포함되는 산화물 반도체층은 In-Ga-Zn-O계 산화물 반도체로서 언급되고, 그 박막은 In-Ga-Zn-O계 비-단결정막으로서 언급된다.

[0030] 산화물 반도체층에 적용되는 금속 산화물로서, 상기 외에 다음 금속 산화물 중 임의의 것이 적용될 수 있다: In-Sn-Zn-O계 금속 산화물; In-Al-Zn-O계 금속 산화물; Sn-Ga-Zn-O계 금속 산화물; Al-Ga-Zn-O계 금속 산화물; Sn-Al-Zn-O계 금속 산화물; In-Zn-O계 금속 산화물; Sn-Zn-O계 금속 산화물; Al-Zn-O계 금속 산화물; In-O계 금속 산화물; Sn-O계 금속 산화물; 및 Zn-O계 금속 산화물. 대안적으로, 상기 금속 산화물을 사용하여 형성되는 산화물 반도체층에 산화 실리콘이 포함될 수도 있다.

[0031] 질소 또는 희 가스(예를 들어, 아르곤 또는 헬륨)와 같은 불활성 가스의 분위기에서 가열 처리에 의해, 산화물 반도체층은 저 저항을 갖도록 산소-결핍형 산화물 반도체층으로 변경되고, 즉, N형(N^- 형) 산화물 반도체층이 되고, 그 후, 산화물 반도체층과 접촉하는 산화물 절연막의 형성 및 형성 이후의 가열 처리에 의해, 산화물 반도체층은 고 저항을 갖도록 산소-과잉 상태가 되고, 즉, i형 산화물 반도체층이 된다고 할 수 있다. 또한, 산화물 반도체층이 산소-과잉 상태가 되는 고상 산화(solid phase oxidation)가 수행된다고 할 수 있다. 따라서, 전기적 특성들이 양호한 높은 신뢰성의 박막 트랜지스터를 포함하는 발광 장치를 제작하고 제공하는 것이 가능

하다.

- [0032] 탈수화 또는 탈수소화로서, 질소 또는 희 가스(예를 들어, 아르곤 또는 헬륨)와 같은 불활성 가스의 분위기에서 400℃ 이상 및 750℃ 이하, 바람직하게는, 425℃ 이상 및 750℃ 이하의 온도로 가열 처리가 수행되어, 산화물 반도체층들에 포함된 수분과 같은 불순물들이 감소된다. 또한, 물(H₂O)이 나중에 산화물 반도체층에 다시 포함되는 것이 방지될 수 있다.
- [0033] 탈수화 또는 탈수소화를 위한 가열 처리는 바람직하게 20ppm 이하의 H₂O 농도로 질소 분위기에서 수행된다. 대안적으로, 가열 처리는 20ppm 이하의 H₂O 농도로 초-건조 에어에서 수행될 수도 있다.
- [0034] 탈수화 또는 탈수소화가 행해진 산화물 반도체층에 450℃까지의 TDS가 수행되더라도, 물의 2개의 피크들 또는 약 300℃에서 물의 적어도 하나의 피크가 검출되지 않는 상태 하에서, 산화물 반도체층에는 탈수화 또는 탈수소화를 위한 가열 처리가 행해진다. 따라서, 탈수화 또는 탈수소화된 산화물 반도체층을 사용하는 박막 트랜지스터에 450℃로 높은 온도에서 TDS가 행해질 때에도, 약 300℃에서 물의 적어도 하나의 피크가 검출되지 않는다.
- [0035] 또한, 온도가 탈수화 또는 탈수소화가 수행되는 가열 온도(T)로부터 낮아질 때, 탈수화 또는 탈수소화가 산화물 반도체층에 수행되는 동일한 노를 사용하여 공기 중에 노출시키지 않고 물 또는 수소를 산화물 반도체층에 혼합하지 않는 것이 중요하다. 산화물 반도체층을 저-저항 산화물 반도체층, 즉, 탈수화 또는 탈수소화에 의한 N형(N⁻형) 산화물 반도체층으로 변경한 다음, i형 반도체층이 되도록 저-저항 산화물 반도체층을 고-저항 산화물 반도체층으로 변경함으로써 얻어지는 산화물 반도체층을 사용하여 박막 트랜지스터가 형성될 때, 박막 트랜지스터의 임계 전압(V_{th})은 양 전압일 수 있고, 따라서, 소위 노멀리-오프(normally-off) 스위칭 소자가 실현될 수 있다. 반도체 장치(표시 장치)에 대해서, 채널은 박막 트랜지스터에서 양의 임계 전압으로, 가능하게는, 0V에 가깝게 형성되는 것이 바람직하다. 박막 트랜지스터의 임계 전압이 음이라면, 박막 트랜지스터는 노멀리 온이 되는 경향이 있고; 다시 말해서, 게이트 전압이 0V일 때에도 소스 전극과 드레인 전극 사이에는 전류가 흐른다는 것을 유념해야 한다. 액티브 매트릭스 표시 장치에 있어서, 회로에 포함된 박막 트랜지스터의 전기적 특성들은 중요하고 표시 장치의 성능에 영향을 준다. 박막 트랜지스터의 전기적 특성들 중에서, 임계 전압은 특히 중요하다. 전계-효과 이동도가 높을 때에도 임계 전압이 높거나 음일 때, 회로를 제어하기가 어렵다. 박막 트랜지스터가 높은 임계 전압 및 그 임계 전압의 큰 절대값을 갖는 경우에, 박막 트랜지스터는 TFT로서 스위칭 기능을 수행할 수 없고 TFT가 저 전압에서 구동될 때 부하가 걸릴 수도 있다. n-채널 박막 트랜지스터의 경우에, 양 전압이 게이트 전압으로서 인가될 후에 채널이 형성되고 드레인 전류가 흐르는 것이 바람직하다. 구동 전압이 증가되지 않는 경우에 채널이 형성되지 않는 트랜지스터 및 음 전압이 인가될 때에도 채널이 형성되어 드레인 전류가 흐르는 트랜지스터는 회로에서 사용되는 박막 트랜지스터에 적절하지 않다.
- [0036] 가열 온도(T)가 감소되는 가스 분위기는 온도가 가열 온도(T)로 증가되는 것과는 다른 가스 분위기로 전환될 수도 있다. 예를 들어, 탈수화 또는 탈수소화에 사용된 노에 대해, 공기에 노출시키지 않고, 고순도 산소 가스, 고순도 N₂O 가스, 또는 (-40℃ 이하, 바람직하게는, -60℃ 이하의 노점을 갖는)초건조 에어로 채워지는 냉각이 수행된다.
- [0037] 박막 트랜지스터의 전기적 특성들은, 막에 함유된 수분이 탈수화 또는 탈수소화를 위한 가열 처리에 의해 감소된 후에, 수분을 함유하지 않는 분위기(-40℃ 이하, 바람직하게는, -60℃ 이하의 노점을 갖는)에서 천천히 냉각된(또는 냉각된) 산화물 반도체막을 사용하는 것으로 향상되고, 대량 생산될 수 있는 고성능 박막 트랜지스터들이 실현된다.
- [0038] 본 명세서에서, 질소 또는 희 가스(예를 들어, 아르곤 또는 헬륨)와 같은 불활성 가스의 분위기에서의 가열 처리는 탈수화 또는 탈수소화를 위한 가열 처리로서 언급된다. 본 명세서에서, 편의성을 위해, 탈수화 또는 탈수소화는 H₂의 제거뿐만 아니라 H, OH 등의 제거를 나타낸다.
- [0039] 가열 처리가 질소 또는 희 가스(예를 들어, 아르곤 또는 헬륨)와 같은 불활성 가스의 분위기에서 수행되는 경우에, 산화물 반도체층은 가열 처리에 의해 산소-결핍형 산화물 반도체층으로 변경되어, 저-저항 산화물 반도체층, 즉, N형(예를 들어, N⁻형) 산화물 반도체층이 된다.
- [0040] 드레인 전극층과 중첩하는 영역이, 산소-결핍형 영역인 고-저항 드레인 영역(HRD 영역이라고도 함)으로서 형성된다. 또한, 소스 전극층과 중첩하는 영역이 산소-결핍형 영역인 고-저항 소스 영역(HRS 영역이라고도 함)으로서

서 형성된다.

- [0041] 특히, 고-저항 드레인 영역의 캐리어 농도는 $1 \times 10^{18}/\text{cm}^3$ 이상이고, 적어도 채널 형성 영역의 농도($1 \times 10^{18}/\text{cm}^3$ 보다 낮음)보다 높다. 본 명세서에서 캐리어 농도는 실온에서 정공 효과 측정에 의해 얻어진 캐리어 농도라는 것을 유념해야 한다.
- [0042] 이어서, 탈수화 또는 탈수소화된 산화물 반도체층의 적어도 일부가 산소-과잉 상태가 되도록 함으로써 채널 형성 영역이 형성되어, 고-저항 산화물 반도체층, 즉, i형 산화물 반도체층이 되도록 한다. 탈수화 또는 탈수소화된 산화물 반도체층의 일부를 산소-과잉 상태가 되도록 하기 위한 처리로서, 다음 방법들 중 임의의 것이 이용된다는 것을 유념해야 한다: 탈수화 또는 탈수소화된 산화물 반도체층 위에서 그와 접촉하도록 스퍼터링에 의해 산화물 절연막을 성막한다; 탈수화 또는 탈수소화된 산화물 반도체층 위에서 그와 접촉하도록 형성되는 산화물 절연막을 가열 처리한다; 산소를 포함하는 분위기에서, 탈수화 또는 탈수소화된 산화물 반도체층 위에서 그와 접촉하도록 형성되는 산화물 절연막을 가열 처리한다; 불활성 가스 분위기에서, 탈수화 또는 탈수소화된 산화물 반도체층 위에서 그와 접촉하도록 형성되는 산화물 절연막을 가열 처리하고, 산소 분위기에서 냉각 처리한다; 불활성 가스 분위기에서, 탈수화 또는 탈수소화된 산화물 반도체층 위에서 그와 접촉하도록 형성되는 산화물 절연막을 가열 처리하고, (-40℃ 이하, 바람직하게는, -60℃ 이하의 노점을 갖는)초-건조 에어에서 냉각 처리한다.
- [0043] 또한, 채널 형성 영역으로서 탈수화 또는 탈수소화가 행해진 산화물 반도체층의 적어도 일부(게이트 전극층과 중첩하는 부분)를 사용하기 위해서, 산화물 반도체층은 선택적으로 산소-과잉 상태가 될 수 있어서, 고-저항 산화물 반도체층, 즉, i형 산화물 반도체층이 된다. Ti 등의 금속 전극들을 사용하여 형성되는 소스 전극층 및 드레인 전극층이 탈수화 또는 탈수소화가 행해진 산화물 반도체층 상에서 그와 접촉하여 형성되고, 소스 전극층 및 드레인 전극층과 중첩하지 않는 노출 영역들이 선택적으로 산소-과잉 상태가 되는 방식으로 채널 형성 영역이 형성될 수 있다. 노출 영역들이 선택적으로 산소-과잉 상태가 되는 경우에, 소스 전극층과 중첩하는 제 1 고-저항 소스 영역 및 드레인 전극층과 중첩하는 제 2 고-저항 드레인 영역이 형성되고, 제 1 고-저항 소스 영역 및 제 2 고-저항 드레인 영역 사이에 채널 형성 영역이 형성된다. 즉, 채널 형성 영역은 자기정합적으로 소스 전극층과 드레인 전극층 사이에 형성된다.
- [0044] 따라서, 양호한 전기적 특성들을 갖는 매우 신뢰할 수 있는 박막 트랜지스터를 포함하는 발광 장치를 제작하고 제공하는 것이 가능하다.
- [0045] 드레인 전극층과 중첩하는 산화물 반도체층에 고-저항 드레인 영역을 형성함으로써, 구동 회로가 형성될 때 신뢰성이 향상될 수 있다는 것을 유념해야 한다. 말쑥하게, 고-저항 드레인 영역들을 형성함으로써, 드레인 전극층으로부터 고-저항 드레인 영역 및 채널 형성 영역으로 도전성이 단계적으로 변경될 수 있는 구조가 얻어질 수 있다. 따라서, 박막 트랜지스터가 고 전원 전위(VDD)를 공급하기 위한 배선에 접속된 드레인 전극층을 사용하여 동작하는 경우에, 게이트 전극층과 드레인 전극층 사이에 고 전계가 인가되더라도 고-저항 드레인 영역은 버퍼로서 작동하고 고 전계가 국소적으로 인가되지 않음으로써, 박막 트랜지스터의 내압이 향상될 수 있다.
- [0046] 또한, 고-저항 드레인 영역 및 고-저항 소스 영역이 드레인 전극층 및 소스 전극층과 중첩하는 산화물 반도체층들에서 형성되어, 구동 회로 형성시 채널 형성 영역에서 누설 전류 감소가 달성된다. 특히, 고-저항 드레인 영역을 형성함으로써, 트랜지스터의 드레인 전극층과 소스 전극층 간의 누설 전류가 드레인 전극층, 드레인 전극층 측의 고-저항 드레인 영역, 채널 형성 영역, 소스 전극층 측의 고-저항 소스 영역, 및 소스 전극층의 순서로 흐른다. 이 경우에, 채널 형성 영역에 있어서, 드레인 전극층 측의 고-저항 드레인 영역으로부터 채널 형성 영역으로 흐르는 누설 전류는 트랜지스터가 오프될 때 고 저항을 갖는 게이트 절연층과 채널 형성 영역 간의 계면 근처에 집중될 수 있다. 따라서, 백 채널부(게이트 전극층으로부터 떨어져 있는 채널 형성 영역 표면의 일부)에서 누설 전류량이 감소될 수 있다.
- [0047] 또한, 소스 전극층과 중첩하는 고-저항 소스 영역 및 드레인 전극층과 중첩하는 고-저항 드레인 영역은 게이트 전극층의 폭에 의존하여 게이트 전극층의 일부 및 게이트 절연층을 개재하여 서로 중첩하고, 드레인 전극층의 단부 근처에서 전계 강도가 더욱 효과적으로 감소될 수 있다.
- [0048] 또한, 산화물 도전층이 산화물 반도체층과 소스 및 드레인 전극들 사이에 형성될 수도 있다. 산화물 도전층은 바람직하게 성분으로서 산화 아연을 함유하고, 바람직하게 산화 인듐은 함유하지 않는다. 예를 들어, 산화 아연, 산화 아연 알루미늄, 산화질화 아연 알루미늄, 산화 아연 갈륨 등이 사용될 수 있다. 산화물 도전층은 또한 저-저항 드레인(LRD, LRN(low-resistance n-type conductivity)이라고도 함) 영역으로서 기능한다. 특히,

저-저항 드레인 영역의 캐리어 농도는 고-저항 드레인 영역(HRD 영역)의 농도보다 높고, 바람직하게는, $1 \times 10^{20} / \text{cm}^3$ 내지 $1 \times 10^{21} / \text{cm}^3$ 의 범위에 있다. 산화물 도전층이 산화물 반도체층과 소스 및 드레인 전극들 사이에 제공됨으로써, 접촉 저항이 감소될 수 있고 트랜지스터의 고속 동작이 실현될 수 있다. 따라서, 주변 회로(구동 회로)의 주파수 특성들이 향상될 수 있다.

[0049] 산화물 도전층 및 소스 및 드레인 전극들을 형성하기 위한 금속층이 계속하여 형성될 수 있다.

[0050] 또한, 상술된 제 1 배선 및 제 2 배선은 금속 재료 및 LRN 영역 또는 LRD 영역으로서 기능하는 산화물 도전층과 동일한 재료를 적층함으로써 형성되는 배선을 사용하여 형성될 수도 있다. 금속 및 산화물 도전층을 적층함으로써, 배선들의 중첩부 또는 개구와 같은 단차의 피복성이 향상될 수 있고; 따라서, 배선 저항이 낮아질 수 있다. 또한, 마이그레이션 등으로 인한 배선의 국부적인 저항 증가를 방지하고 배선의 단절을 방지하는 효과들이 기대될 수 있고; 따라서, 매우 신뢰성있는 발광 장치가 제공될 수 있다.

[0051] 상술된 제 1 배선 및 제 2 배선 간의 접촉과 관련하여, 산화물 도전층이 사이에 끼워질 때, 접촉부(콘택트부)의 금속 표면 상에 절연성 산화물을 형성함으로써 야기되는 접촉 저항의 증가가 방지될 것으로 기대되고; 따라서, 높은 신뢰성의 발광 장치가 제공될 수 있다.

[0052] 박막 트랜지스터는 정전기 등으로 인해 쉽게 파손되기 때문에, 화소부의 박막 트랜지스터를 보호하기 위한 보호 회로가 바람직하게 게이트선 또는 소스선에 대해 동일한 기판 위에 제공된다. 보호 회로는 바람직하게 산화물 반도체층을 포함하는 비선형 소자로 형성된다.

[0053] 본 명세서에서 "제 1" 및 "제 2"와 같은 서수들은 편의상 사용되는 것으로, 단계들의 순서 및 층들의 적층 순서를 나타내는 것이 아니라는 것을 유념해야 한다. 또한, 본 명세서에서 서수들은 본 발명을 명시하는 특정 명칭들을 나타내는 것은 아니다.

발명의 효과

[0054] 산화물 반도체층을 포함하고 우수한 전기적 특성들 및 높은 신뢰성을 갖는 박막 트랜지스터가 제공되는, 반도체 장치인, 발광 장치가 실현될 수 있다.

도면의 간단한 설명

[0055] 도 1은 발광 장치를 도시하는 도면.

도 2a 내지 도 2c는 발광 장치를 제작하기 위한 방법을 도시하는 도면.

도 3a 내지 도 3c는 발광 장치를 제작하기 위한 방법을 도시하는 도면.

도 4a 및 도 4b는 발광 장치를 제작하기 위한 방법을 도시하는 도면.

도 5a 및 도 5b는 발광 장치를 제작하기 위한 방법을 도시하는 도면.

도 6a 내지 도 6d는 발광 장치를 제작하기 위한 방법을 도시하는 도면.

도 7a 및 도 7b는 발광 장치를 제작하기 위한 방법을 도시하는 도면.

도 8a 내지 도 8d는 발광 장치를 제작하기 위한 방법을 도시하는 도면.

도 9a 및 도 9b는 발광 장치를 제작하기 위한 방법을 도시하는 도면.

도 10은 발광 장치를 도시하는 도면.

도 11a1 내지 도 11b2는 발광 장치를 도시하는 도면.

도 12a 및 도 12b는 각각 발광 장치를 도시하는 블록도.

도 13a 및 도 13b는 신호선 구동 회로의 구성 및 타이밍 차트를 도시하는 도면.

도 14a 내지 도 14c는 시프트 레지스터의 구성을 도시하는 회로도.

도 15a 및 도 15b는 시프트 레지스터의 회로도 및 타이밍 차트.

도 16은 발광 장치를 도시하는 도면.

도 17a 내지 도 17d는 발광 장치를 제작하기 위한 방법을 도시하는 도면.

도 18a 및 도 18b는 발광 장치를 제작하기 위한 방법을 도시하는 도면.

도 19는 발광 장치의 화소의 등가 회로도.

도 20a 내지 도 20c는 각각 발광 장치를 도시하는 도면.

도 21a 및 도 21b는 각각 발광 소자를 도시하는 도면.

도 22a 및 도 22b는 발광 장치를 도시하는 도면.

도 23a 및 도 23b는 전자 기기들을 도시하는 도면.

도 24a 및 도 24b는 전자 기기들을 도시하는 도면.

도 25는 전자 기기를 도시하는 도면.

도 26은 전자 기기들을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0056] 본 발명의 실시형태들은 첨부 도면들을 참조하여 기술될 것이다. 본 발명은 다음 설명으로 제한되지 않고, 그 형태들 및 세부사항들에 대한 다양한 변경들이, 이러한 변경들이 본 발명의 정신 및 범위를 벗어나지 않는다면, 당업자들에게 명백할 것이라는 것을 유념해야 한다. 따라서, 본 발명은 실시형태들의 다음 설명으로 제한되는 것으로 이해되어서는 안 된다. 이하 제공되는 구조들에 있어서, 동일한 부분들 또는 유사한 기능들을 갖는 부분들은 상이한 도면들에서 동일한 참조 부호들로 표시되고, 그 설명은 반복되지 않을 것이다.

[0057] (실시형태 1)

[0058] 박막 트랜지스터를 포함하는 발광 장치 및 그 제작 공정이 도 1, 도 2a 내지 도 2c, 도 3a 내지 도 3c, 도 4a, 도 4b, 도 5a, 도 5b 및 도 11a1 내지 도 11b2를 참조하여 기술될 것이다.

[0059] 도 1은 본 발명의 일 형태인 발광 장치를 도시한다. 도 1의 발광 장치에는, 기관(100) 위에, 발광 소자, 박막 트랜지스터(170) 및 용량(147)을 포함하는 화소부, 및 박막 트랜지스터(180)를 포함하는 구동 회로부가 제공된다. 또한, 제 1 단자(121), 접속 전극(120) 및 접속용 단자 전극(128)이 게이트 배선용 단자부에 제공되고, 제 2 단자(122) 및 접속용 단자 전극(129)이 소스 배선의 단자부에 제공된다. 또한, 산화물 절연막(107) 및 보호 절연층(106)이 박막 트랜지스터(180) 및 박막 트랜지스터(170) 위에 형성된다.

[0060] 발광 소자는 제 1 전극층(110), EL 층(194) 및 제 2 전극층(195)을 포함하는 적층을 사용하여 형성된다. 박막 트랜지스터(170)의 드레인 전극층 및 제 1 전극층(110)이 서로 접촉하도록 형성되어, 발광 소자 및 박막 트랜지스터(170)가 서로 전기적으로 접속되도록 한다. 화소부에서, 컬러 필터층(191)이 보호 절연층(106) 위에 형성된다. 컬러 필터층(191)은 오버코트층(192)으로 덮여지고, 보호 절연층(109)이 또한 그 위에 형성된다. 제 1 전극층(110)이 보호 절연층(109) 위에 형성된다. 또한, 발광 소자들을 분리하는 격벽(193)이 박막 트랜지스터(170) 위에 형성된다.

[0061] 구동 회로부의 박막 트랜지스터(180)에 있어서, 도전층(111)이 게이트 전극층 및 반도체층 위에 제공되고, 드레인 전극층(165b)은 게이트 전극층과 동일한 단계로 형성되는 도전층(162)에 전기적으로 접속된다.

[0062] 제작 방법은 도 2a 내지 도 2c, 도 3a 내지 도 3c, 도 4a, 도 4b, 도 5a, 도 5b, 및 도 11a1 내지 도 11b2를 참조하여 상세히 기술될 것이다. 도 2a 내지 도 2c, 도 3a 내지 도 3c, 도 4a, 도 4b, 도 5a 및 도 5b는 각각 발광 장치의 단면도에 대응한다.

[0063] 도전층은 절연 표면을 갖는 기관(100)의 전체 표면 위에 형성되고, 이어서, 레지스트 마스크를 형성하기 위해 제 1 포토리소그래피 단계가 수행된다. 이어서, 도전층의 불필요한 부분들이 에칭에 의해 제거되어, 배선들 및 전극들(게이트 전극층(101), 게이트 전극층(161), 도전층(162), 용량 배선층(108), 및 제 1 단자(121))이 형성된다. 도 2a에 도시되어 있는 것과 같이 배선들 및 전극들의 단부들이 테이퍼 형상들을 갖도록 에이는 수행되는 것이 바람직하며, 이는 그 위에 적층되는 막에 의한 피복성이 향상될 수 있기 때문이다. 게이트 전극층(101) 및 게이트 전극층(161)은 게이트 배선들에 포함된다는 것을 유념해야 한다.

[0064] 절연 표면을 갖는 기관(100)으로서 사용될 수 있는 투광성 기관에 대해서는 특별한 제한이 없지만, 투광성 기관

은 적어도 나중에 수행될 가열 처리를 견디도록 충분히 높은 내열성을 가질 필요가 있다. 절연 표면을 갖는 기판(100)으로서 유리 기판이 사용될 수 있다.

[0065] 유리 기판이 사용되고 나중에 수행될 가열 처리의 온도가 높은 경우에, 바람직하게, 변형점(strain point)이 730℃ 이상인 유리 기판이 사용된다. 유리 기판으로서, 예를 들어, 알루미늄실리케이트 유리, 알루미늄보로실리케이트 유리, 또는 바륨보로실리케이트 유리와 같은 유리 재료가 사용된다. 붕산보다 더 많은 양의 산화 바륨(BaO)이 함유되는 경우에, 유리 기판은 내열성이 있고 실제로 더 많이 사용된다는 것을 유념해야 한다. 따라서, BaO의 양이 B₂O₃보다 많도록 BaO 및 B₂O₃를 함유하는 유리 기판이 사용되는 것이 바람직하다.

[0066] 세라믹 기판, 석영 기판 또는 사파이어 기판과 같이 절연체를 사용하여 형성되는 기판이 상기 유리 기판 대신 사용될 수도 있다는 것을 유념해야 한다. 대안적으로, 결정화 유리 등이 사용될 수도 있다. 이 실시형태에서 기술되는 발광 장치는 기판(100) 측의 표면을 통해 발광되는 하면-사출(bottom-emission) 구조를 갖기 때문에, 기판(100)으로서 투광성 기판이 사용되지만; 발광 장치가 기판(100) 측과 반대인 표면을 통해 발광되는 상면-사출(top-emission) 구조를 갖는 경우에는 기판(100)으로서 금속 기판과 같은 비-투광성 기판이 사용될 수도 있다.

[0067] 마지막으로서 기능하는 절연막이 기판(100)과, 게이트 전극층(101), 게이트 전극층(161), 도전층(162), 용량 배선층(108) 및 제 1 단자(121) 사이에 제공될 수도 있다. 마지막으로 기판(100)으로부터 불순물 원소의 확산을 방지하는 기능을 갖고, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막 및 산화질화 실리콘막 중 하나 이상을 사용하는 단층 구조 또는 적층 구조로 형성될 수 있다.

[0068] 게이트 전극층(101), 게이트 전극층(161), 도전층(162), 용량 배선층(108) 및 제 1 단자(121)는 폴리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 또는 스칸듐과 같은 금속 재료 또는 주 성분으로서 이들 재료들 중 임의의 것을 함유하는 합금 재료를 사용하는 단층 또는 적층으로 형성될 수 있다.

[0069] 예를 들어, 게이트 전극층(101), 게이트 전극층(161), 도전층(162), 용량 배선층(108) 및 제 1 단자(121) 각각의 2-층 구조로서, 다음 구조들이 바람직하다: 알루미늄층 및 그 위에 적층된 폴리브덴층의 2-층 구조, 구리층 및 그 위에 적층된 폴리브덴층의 2-층 구조, 구리층 및 그 위에 적층된 질화 티타늄층 또는 질화 탄탈층의 2-층 구조, 및 질화 티타늄층 및 폴리브덴층의 2-층 구조. 3개의 층들의 적층 구조로서는, 텅스텐층이나 질화 텅스텐층, 알루미늄과 실리콘의 합금이나 알루미늄과 티타늄의 합금, 및 질화 티타늄층이나 티타늄층의 적층이 바람직하다.

[0070] 다음으로, 게이트 전극층(101), 게이트 전극층(161), 도전층(162), 용량 배선층(108), 및 제 1 단자(121) 위에 게이트 절연층(102)이 형성된다는 것을 유념해야 한다(도 2a 참조).

[0071] 게이트 절연층(102)은, 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해, 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층 또는 산화 알루미늄층의 단층 또는 그의 적층을 갖도록 형성될 수 있다. 예를 들어, 산화질화 실리콘층은 플라즈마 CVD 방법에 의해 성막 가스로서 SiH₄, 산소 및 질소를 사용하여 형성될 수도 있다. 게이트 절연층(102)의 두께는 100nm 이상 및 500nm 이하로 설정된다. 적층 구조의 경우에, 예를 들어, 50nm 내지 200nm의 두께를 갖는 제 1 게이트 절연층 및 5nm 내지 300nm의 두께를 갖는 제 2 게이트 절연층이 순서대로 적층된다.

[0072] 이 실시형태에서, 200nm 이하의 두께를 갖는 질화 실리콘층이 게이트 절연층(102)으로서 플라즈마 CVD 방법에 의해 형성된다.

[0073] 이어서, 2nm 이상 및 200nm 이하의 두께를 갖는 산화물 반도체막(130)이 게이트 절연층(102) 위에 형성된다(도 2b 참조).

[0074] 산화물 반도체막이 스퍼터링 방법에 의해 형성되기 전에, 게이트 절연층(102)의 표면 상의 먼지는 바람직하게 아르곤 가스가 도입되어 플라즈마가 발생하는 역 스퍼터링에 의해 제거된다는 것을 유념해야 한다. 역 스퍼터링은, 아르곤 분위기에서 RF 전원을 사용하여 기판 측에 전압이 인가되고 기판 근방에서 플라즈마가 발생되어 기판 표면이 개질되도록 하는 방법이다. 아르곤 분위기 대신, 질소 분위기, 헬륨 분위기 등이 사용될 수도 있다는 것을 유념해야 한다. 대안적으로, 산소, N₂O 등이 첨가되는 아르곤 분위기가 사용될 수도 있다. 또한, 대안적으로, Cl₂, CF₄ 등이 첨가되는 아르곤 분위기가 사용될 수도 있다.

[0075] 산화물 반도체막(130)은, 탈수화 또는 탈수소화를 위한 가열 처리가 산화물 반도체막(130)의 형성 다음에 이루어

어질 때에도, 비정질이 되도록 50nm 이하의 작은 두께를 갖는 것이 바람직하다. 두께의 감소는, 산화물 반도체층의 형성 이후에 가열 처리가 수행될 때, 산화물 반도체막이 결정화되는 것을 방지할 수 있다.

- [0076] 산화물 반도체막(130)은 In-Ga-Zn-O계 비-단결정막, In-Sn-Zn-O계 산화물 반도체막, In-Al-Zn-O계 산화물 반도체막, Sn-Ga-Zn-O계 산화물 반도체막, Al-Ga-Zn-O계 산화물 반도체막, Sn-Al-Zn-O계 산화물 반도체막, In-Zn-O계 산화물 반도체막, Sn-Zn-O계 산화물 반도체막, Al-Zn-O계 산화물 반도체막, In-O계 산화물 반도체막, Sn-O계 산화물 반도체막, 또는 Zn-O계 산화물 반도체막을 사용하여 형성된다. 이 실시형태에 있어서, 산화물 반도체막(130)은 In-Ga-Zn-O계 산화물 반도체 타겟을 사용하여 스퍼터링 방법에 의해 형성된다. 대안적으로, 산화물 반도체막(130)은 회 가스(일반적으로는 아르곤) 분위기, 산소 분위기 또는 회 가스(일반적으로는 아르곤)와 산소의 분위기 하에서 스퍼터링 방법에 의해 형성될 수 있다. 스퍼터링 방법이 이용될 때, 2wt% 내지 10wt%의 SiO_2 를 함유하는 타겟을 사용하여 성막이 수행되고, 결정화를 억제하는 $\text{SiO}_x(x>0)$ 를 산화물 반도체막(130)에 포함시켜서, 나중의 단계에서 탈수화 또는 탈수소화를 위한 가열 처리 시의 결정화를 방지하도록 하는 것이 바람직하다.
- [0077] 여기서, 산화물 반도체막은, 아르곤 및 산소(아르곤:산소=30sccm:20sccm, 산소 유량 비율은 40%)를 함유하는 분위기에서, 기판과 타겟 사이의 거리가 100mm이고, 압력은 0.2Pa이고, 직류(DC) 전원은 0.5kW인 조건들 하에서, In, Ga 및 Zn($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1[\text{mol}\%]$, In:Ga:Zn=1:1:0.5[at%])을 함유하는 산화물 반도체 타겟을 사용하여 형성된다. 먼지가 감소될 수 있고 막 두께가 균일할 수 있기 때문에, 펄스 직류(DC) 전원이 바람직하다는 것을 유념해야 한다. In-Ga-Zn-O계 비-단결정막이 5nm 내지 200nm의 두께로 형성된다. 이 실시형태에 있어서, 산화물 반도체막으로서, 20nm의 두께를 갖는 In-Ga-Zn-O계 비-단결정막이 스퍼터링 방법에 의해 In-Ga-Zn-O계 산화물 반도체 타겟을 사용하여 형성된다.
- [0078] 스퍼터링 방법의 예들로는, 고-주파수 전원이 스퍼터링 전원으로 사용되는 RF 스퍼터링 방법, DC 스퍼터링 방법, 및 펄스적으로 바이어스가 인가되는 펄스 DC 스퍼터링 방법이 있다. RF 스퍼터링 방법은 주로 절연막을 형성하는 경우에 사용되고, DC 스퍼터링 방법은 주로 금속막을 형성하는 경우에 사용된다.
- [0079] 또한, 상이한 재료들의 복수의 타겟들이 설치될 수 있는 다원 스퍼터링 장치가 있다. 다원 스퍼터링 장치에 의해, 상이한 재료들의 막들이 동일한 챔버에서 적층되도록 성막될 수 있고, 복수 종류들의 재료들의 막이 동일한 챔버에서 동시에 방전에 의해 성막될 수 있다.
- [0080] 또한, 챔버 내부에 자석 시스템이 제공되고 마그네트론 스퍼터링을 위해 사용되는 스퍼터링 장치, 및 글로 방전을 사용하지 않고 마이크로파들을 사용하여 발생하는 플라즈마가 사용되는 ECR 스퍼터링을 위해 사용되는 스퍼터링 장치가 있다.
- [0081] 또한, 스퍼터링에 의한 성막 방법으로서, 타겟 물질 및 스퍼터링 가스 성분이 얇은 화합물 막을 형성하기 위해 성막 동안 서로 화학 반응하는 반응성 스퍼터링 방법, 및 성막 동안 전압이 기판에도 인가되는 바이어스 스퍼터링 방법이 있다.
- [0082] 다음으로, 제 2 포토리소그래피 단계가 수행된다. 레지스트 마스크(137)가 산화물 반도체막(130) 위에 형성되고, 산화물 반도체막(130) 및 게이트 절연층(102)의 불필요한 부분들이 에칭에 의해 제거되어, 게이트 절연층(102)에 제 1 단자(121)에 도달하는 콘택트 홀(119) 및 도전층(162)에 도달하는 콘택트 홀(118)을 형성한다(도 2c 참조).
- [0083] 따라서, 산화물 반도체막(130)이 게이트 절연층(102)의 전체 표면 위에 형성되는 동안 게이트 절연층(102)에 콘택트 홀들이 형성될 때, 레지스트 마스크는 게이트 절연층(102)의 표면과 직접 접촉하지 않고; 따라서, 게이트 절연층(102)의 표면의 오염(예를 들어, 게이트 절연층(102)에 대한 불순물들 등의 부착)이 방지될 수 있다. 따라서, 게이트 절연층(102)과 산화물 반도체막(130) 사이에서 양호한 상태의 계면이 얻어질 수 있고, 이는 신뢰성 향상을 가져온다.
- [0084] 대안적으로, 게이트 절연층 상에 레지스트 패턴이 직접 형성될 수 있고, 이어서, 콘택트 홀들이 형성될 수도 있다. 이러한 경우에, 레지스트의 제거 후에 게이트 절연막의 표면을 탈수화, 탈수소화 또는 탈수산기화하기 위해 가열 처리가 수행되는 것이 바람직하다. 예를 들어, 게이트 절연층에 함유된 수소 및 물과 같은 불순물들은 불활성 가스(예를 들어, 질소, 헬륨, 네온 또는 아르곤) 분위기 또는 산소 분위기 하에서 (400℃ 이상 및 750℃ 이하로) 가열 처리함으로써 제거될 수도 있다.
- [0085] 다음으로, 레지스트 마스크(137)가 제거된다. 제 3 포토리소그래피 단계에서 형성된 레지스트 마스크들(135a

및 135b)을 사용하여 산화물 반도체막(130)이 에칭되어, 섬형상 산화물 반도체층들(131 및 132)이 형성되게 된다(도 3a 참조). 疏水막, 섬형상 산화물 반도체층들을 형성하기 위해 사용되는 레지스트 마스크들(135a 및 135b)은 잉크-젯 방법에 의해 형성될 수도 있다. 레지스트 마스크들이 잉크-젯 방법에 의해 형성될 때, 포토마스크는 사용되지 않고, 이는 제작 비용 감소를 가져온다.

[0086] 다음으로, 산화물 반도체층들(131 및 132)에 대해 탈수화 또는 탈수소화가 행해져, 탈수화 또는 탈수소화된 산화물 반도체층들(133 및 134)이 형성된다(도 3b 참조). 탈수화 또는 탈수소화가 수행되는 제 1 가열 처리의 온도는 400℃ 이상 및 750℃ 이하, 바람직하게는, 425℃ 이상 및 750℃ 이하이다. 제 1 가열 처리의 온도가 425℃ 이상인 경우에, 가열 처리 시간은 1시간 이하일 수도 있지만, 제 1 가열 처리의 온도가 425℃ 미만인 경우에는 가열 처리 시간이 1시간 이상으로 설정된다는 것을 유념해야 한다. 여기서, 기판은 가열 처리 장치들 중 하나의 예인 전기 노에 도입되고, 산화물 반도체층들에는 질소 분위기에서 가열 처리가 행해진다. 이어서, 산화물 반도체층들은 공기 중에 노출되지 않고, 물 및 수소가 산화물 반도체층들에 다시 침입되는 것이 방지된다. 이러한 방식으로, 산화물 반도체층들(133 및 134)이 형성된다. 이 실시형태에 있어서, 산화물 반도체층들이 탈수화 또는 탈수소화되는 가열 온도(T)로부터 물이 다시 침입되는 것을 방지하기에 충분히 낮은 온도로, 구체적으로는, 가열 온도(T)보다 100℃ 이상 낮은 온도로 하나의 노에서 질소 분위기에서, 저속 냉각이 수행된다. 질소 분위기로 제한되지 않고, 탈수화 또는 탈수소화는 헬륨, 네온 또는 아르곤과 같은 희 가스 분위기에서 수행될 수도 있다.

[0087] 산화물 반도체층들에 대해 400℃ 내지 700℃에서 가열 처리가 행해질 때, 산화물 반도체층들의 탈수화 또는 탈수소화가 달성될 수 있고; 따라서, 나중 단계들에서 산화물 반도체층들에 물(H_2O)이 다시 함유되는 것이 방지될 수 있다.

[0088] 가열 처리 장치는 전기 노로 제한되지 않고, 예를 들어, GRTA(gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치와 같은 RTA(rapid thermal annealing) 장치일 수도 있다. LRTA 장치는 할로겐 램프, 메탈 할로겐 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자파)의 복사에 의해, 처리될 대상을 가열하기 위한 장치이다. 또한, LRTA 장치에는 램프뿐만 아니라 저항 발열체와 같은 발열체로부터의 열 전도 또는 열 복사에 의해, 처리될 대상을 가열하는 장치가 제공될 수도 있다. GRTA는 고온 가스를 사용하는 가열 처리 방법이다. 가스로서는, 가열 처리에 의해 처리될 대상과 반응하지 않는 불활성 가스, 예를 들어, 질소 또는 아르곤과 같은 희 가스가 사용된다. 가열 처리는 600℃ 내지 750℃에서 수 분 동안 RTA 방법에 의해 수행될 수도 있다.

[0089] 제 1 가열 처리에 있어서, 물, 수소 등은 질소, 또는 헬륨, 네온 또는 아르곤과 같은 희 가스에 함유되지 않는 것이 바람직하다는 것을 유념해야 한다. 특히, 400℃ 내지 750℃에서 탈수화 또는 탈수소화를 위해 산화물 반도체층들에 대해 수행되는 가열 처리는 H_2O 의 농도가 20ppm 이하인 질소 분위기에서 수행되는 것이 바람직하다. 대안적으로, 가열 처리 동안 장치에 도입되는 질소나, 헬륨, 네온 또는 아르곤과 같은 희 가스는 6N(99.9999%) 이상, 바람직하게는, 7N(99.99999%) 이상의 순도를 갖고; 즉, 불순물 농도는 1ppm 이하, 바람직하게는, 0.1ppm 이하로 설정되는 것이 바람직하다.

[0090] 몇몇 경우들에 있어서, 산화물 반도체층들은 제 1 가열 처리의 조건들 또는 산화물 반도체층들의 재료에 의존하여 미결정막들 또는 다결정막들이 되도록 결정화된다. 예를 들어, 산화물 반도체층들은 90% 이상 또는 80% 이상의 결정화율을 갖는 미결정 반도체층들이 되도록 결정화될 수도 있다. 또한, 제 1 가열 처리의 조건들 및 산화물 반도체층들의 재료에 의존하여, 산화물 반도체층들은 결정 성분을 포함하지 않는 비정질 산화물 반도체층들이 될 수도 있다.

[0091] 산화물 반도체층의 제 1 가열 처리는 또한 섬형상 산화물 반도체층들(131 및 132)로 가공되지 않은 산화물 반도체막(130)에 대해 수행될 수 있다. 그 경우에, 제 1 가열 처리 후에, 기판은 가열 장치 밖으로 꺼내지고, 포토 리소그래피 단계가 수행된다.

[0092] 산화물 반도체층들의 탈수화 또는 탈수소화를 위한 가열 처리는 다음 타이밍들 중 임의의 타이밍에서 수행될 수도 있다: 산화물 반도체층들이 형성된 후; 소스 전극 및 드레인 전극이 산화물 반도체층 위에 형성된 후; 및 패시베이션막이 소스 전극 및 드레인 전극 위에 형성된 후.

[0093] 또한, 도 2c에 도시되어 있는 것과 같이 게이트 절연층(102)에 콘택트 홀들(118 및 119)을 형성하는 단계는 산화물 반도체막(130)에 탈수화 또는 탈수소화 처리가 행해진 후에 수행될 수도 있다.

- [0094] 산화물 반도체막의 이 에칭 단계는 웨트 에칭으로 제한되지 않고, 드라이 에칭이 수행될 수도 있다는 것을 유념해야 한다.
- [0095] 드라이 에칭을 위한 에칭 가스로서, 염소를 함유하는 가스(염소(Cl_2), 염화 붕소(BCl_3), 염화 실리콘(SiCl_4) 또는 사염화 탄소(CCl_4)과 같은 염소계 가스)가 사용되는 것이 바람직하다.
- [0096] 대안적으로, 불소를 함유하는 가스(사불화 탄소(CF_4), 불화 유황(SF_6), 불화 질소(NF_3) 또는 트리플루오로메탄(CHF_3)과 같은 불소계 가스); 브롬화 수소(HBr); 산소(O_2); 헬륨(He) 또는 아르곤(Ar)과 같은 희 가스가 첨가된 이들 가스들 중 임의의 것 등이 사용될 수 있다.
- [0097] 드라이 에칭 방법으로서, 평판 RIE(reactive ion etching) 방법 또는 ICP(inductively coupled plasma) 에칭 방법이 사용될 수 있다. 막들을 소망의 형상들로 에칭하기 위해서, 에칭 조건(코일형 전극에 인가되는 전력량, 기판 측의 전극에 인가되는 전력량, 기판 측의 전극의 온도 등)이 적절히 조정된다.
- [0098] 웨트 에칭을 위해 사용되는 에천트로서, 인산, 아세트산 및 질산을 혼합하여 얻어진 용액, 암모니아 과수(과산화수소:암모니아:물=5:2:2) 등이 사용될 수 있다. 또한, IT007N(칸토 케미컬사 제작)이 사용될 수도 있다.
- [0099] 웨트 에칭에 사용되는 에천트는 에칭된 재료와 함께 세정함으로써 제거된다. 에천트 및 에칭된 재료를 포함하는 폐액은 정화될 수도 있고 재료가 재사용될 수도 있다. 산화물 반도체층에 포함된 인듐과 같은 재료가 에칭 후 폐액으로부터 수집되어 재사용될 때, 자원들이 효율적으로 사용될 수 있고 비용이 감소될 수 있다.
- [0100] (에천트, 에칭 시간, 및 온도와 같은) 에칭 조건들은 재료에 의존하여 적절히 조정되어, 재료가 소망의 형상으로 에칭될 수 있도록 한다.
- [0101] 다음으로, 스퍼터링 방법 또는 진공 증착 방법에 의해 산화물 반도체층들(133 및 134) 위에 금속 재료를 사용하여 금속 도전막이 형성된다.
- [0102] 금속 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo 또는 W로부터 선택된 원소, 상기 원소를 포함하는 합금, 상기 원소들 중 일부가 조합되는 합금막 등이 있다. 또한, 금속 도전막은 단층 구조 또는 2개 이상의 층들의 적층 구조를 가질 수도 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층되는 2층 구조, Ti 막, 알루미늄막 및 Ti 막이 순서대로 적층되는 3층 구조 등이 제공될 수 있다. 대안적으로, Al, 및 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd) 및 스칸듐(Sc)으로부터 선택된 원소들 중 하나 또는 복수개를 포함하는 막, 합금막 또는 질화막이 사용될 수도 있다.
- [0103] 금속 도전막의 형성 이후에 가열 처리가 수행되는 경우에, 금속 도전막은 가열 처리를 견디기에 충분한 내열성을 갖는 것이 바람직하다.
- [0104] 다음에, 제 4 리소그래피 단계가 수행된다. 레지스트 마스크들(136a, 136b, 136c, 136d, 136e, 136f 및 136g)이 형성되고, 금속 도전막의 불필요한 부분들은 에칭에 의해 제거되어, 소스 전극층(105a), 드레인 전극층(105b), 소스 전극층(165a), 드레인 전극층(165b), 용량 전극층(149), 접속 전극(120), 및 제 2 단자(122)가 형성된다(도 3c 참조).
- [0105] 각 재료 및 에칭 조건들은 산화물 반도체층들(133 및 134)이 금속 도전막의 에칭에 의해 제거되지 않도록 적절히 조정된다는 것을 유념해야 한다.
- [0106] 이 실시형태에 있어서, Ti 막이 금속 도전막으로서 사용되고, In-Ga-Zn-O계 산화물 반도체막이 산화물 반도체층들(133 및 134)로서 사용되고, 암모니아 과수(암모니아, 물 및 과산화수소 용액의 혼합물)이 에천트로서 사용된다.
- [0107] 제 4 포토리소그래피 단계에 있어서, 소스 전극층들(105a 및 165a) 및 드레인 전극층들(105b 및 165b)과 동일한 재료를 사용하여 형성되는 접속 전극(120) 및 제 2 단자(122)가 각각의 단자부들에 형성된다. 제 2 단자(122)는 소스 배선(소스 전극층들(105a 및 165a)을 포함하는 소스 배선)에 전기적으로 접속된다는 것을 유념해야 한다. 접속 전극(120)은 콘택트 홀(119)에서 제 1 단자(121)와 접촉하도록 형성되어 제 1 단자(121)에 전기적으로 접속된다.
- [0108] 소스 전극층들 및 드레인 전극층들을 형성하기 위해 사용되는 레지스트 마스크들(136a, 136b, 136c, 136d, 136e, 136f 및 136g)은 잉크-젯 방법에 의해 형성될 수도 있다는 것을 유념해야 한다. 레지스트 마스크가 잉크

-젯 방법에 의해 형성될 때, 포토마스크는 불필요하며; 따라서, 제작 비용이 감소될 수 있다.

[0109] 다음에, 레지스트 마스크들(136a, 136b, 136c, 136d, 136e, 136f 및 136g)이 제거되고, 산화물 반도체층들(133 및 134)과 접촉하여 보호 절연막으로서 기능하는 산화물 절연막(107)이 형성된다.

[0110] 이 단계에서, 산화물 반도체층들(133 및 134)에는 산화물 절연막과 접촉하는 영역들이 있다. 이들 영역들 중에서, 산화물 절연막(107)과 접촉하고 게이트 절연층을 그 사이에 개재하여 게이트 전극층들과 중첩하는 영역들은 채널 형성 영역들이다.

[0111] 산화물 절연막(107)은, 물 및 수소와 같은 불순물들이 산화물 절연막(107)에 혼입되지 않도록 하는 방법인 스퍼터링 방법 등에 의해 적절히 적어도 1nm 이상의 두께를 갖도록 형성될 수 있다. 이 실시형태에 있어서, 300nm의 두께를 갖는 산화 실리콘막이 스퍼터링 방법에 의해 산화물 절연막(107)으로서 형성된다. 성막에 있어서의 기판 온도는 실온 이상 및 300℃ 이하일 수도 있다. 이 실시형태에서, 기판 온도는 실온이다. 산화 실리콘막은 희 가스(일반적으로는 아르곤) 분위기, 산소 분위기, 또는 희 가스(일반적으로는 아르곤)와 산소를 포함하는 분위기에서 스퍼터링 방법에 의해 형성될 수 있다. 또한, 산화 실리콘 타겟 또는 실리콘 타겟이 타겟으로서 사용될 수 있다. 예를 들어, 산화 실리콘막은 산소 분위기에서 실리콘 타겟을 사용하여 스퍼터링 방법에 의해 형성될 수 있다. 저항이 감소된 산화물 반도체층과 접촉하여 형성되는 산화물 절연막으로서, 수분, 수소 이온 및 OH⁻와 같은 불순물들을 포함하지 않고 외부로부터의 이들의 침입을 차단하는 무기 절연막이 사용된다. 구체적으로, 산화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 또는 산화질화 알루미늄막이 사용된다.

[0112] 다음에, 200℃ 내지 400℃, 예를 들어, 250℃ 내지 350℃의 바람직한 온도에서 불활성 가스 분위기 또는 질소 분위기에서 제 2 가열 처리가 수행된다. 예를 들어, 제 2 가열 처리는 1시간 동안 250℃의 질소 분위기에서 수행된다. 제 2 가열 처리에 의해, 산화물 절연막(107)과 중첩하는 산화물 반도체층들(133 및 134)의 일부가 산화물 절연막(107)과 접촉하는 상태로 가열된다.

[0113] 상술된 단계들을 통해, 탈수화 또는 탈수소화를 위한 가열 처리가 성막 후 산화물 반도체층 상에서 수행되어 저항을 감소시키고, 이어서, 산화물 반도체층의 일부는 선택적으로 산소-과잉 상태가 된다.

[0114] 결과적으로, 산화물 반도체층(133)에 있어서, 게이트 전극층(161)과 중첩하는 채널 형성 영역(166)은 i형 도전성을 갖고, 소스 전극층(165a)과 중첩하는 고-저항 소스 영역(167a) 및 드레인 전극층(165b)과 중첩하는 고-저항 드레인 영역(167b)이 자기정합적으로 형성되고; 따라서, 산화물 반도체층(163)이 형성된다. 유사하게, 산화물 반도체층(134)에 있어서, 게이트 전극층(101)과 중첩하는 채널 형성 영역(116)은 i형 도전성을 갖고, 소스 전극층(105a)과 중첩하는 고-저항 소스 영역(117a) 및 드레인 전극층(105b)과 중첩하는 고-저항 드레인 영역(117b)이 자기정합적으로 형성되고; 따라서, 산화물 반도체층(103)이 형성된다.

[0115] 드레인 전극층들(105b 및 165b)(및 소스 전극층들(105a 및 165a))과 중첩하는 산화물 반도체층들(103 및 163)에 고-저항 드레인 영역들(117b 및 167b)(또는 고-저항 소스 영역들(117a 및 167a))을 각각 형성함으로써, 형성된 회로의 신뢰성이 향상될 수 있다. 구체적으로, 고-저항 드레인 영역(117b)의 형성에 의해, 드레인 전극층(105b)으로부터 고-저항 드레인 영역(117b) 및 채널 형성 영역(116)으로 단계적으로 도전성이 변화되는 구조가 이용될 수 있고; 유사하게, 고-저항 드레인 영역(167b)의 형성에 의해, 드레인 전극층(165b)으로부터 고-저항 드레인 영역(167b) 및 채널 형성 영역(166)으로 단계적으로 도전성이 변화되는 구조가 이용될 수 있다. 따라서, 드레인 전극층들(105b 및 165b)에 고 전원 전위(VDD)를 공급하는 배선에 접속되는 상태로 트랜지스터들이 동작할 때, 고-저항 드레인 영역들은 버퍼들로서 기능하여, 게이트 전극층(101)과 드레인 전극층(105b) 사이 및 게이트 전극층(161)과 드레인 전극층(165b) 사이에 고 전계가 인가될 때에도 국소적으로 고 전계가 인가되지 않도록 하고; 이러한 방식으로, 트랜지스터들 각각은 내압이 증가된 구성을 가질 수 있다.

[0116] 또한, 드레인 전극층들(105b 및 165b)(및 소스 전극층들(105a 및 165a))과 중첩하는 산화물 반도체층들(103 및 163)에 고-저항 드레인 영역들(117b 및 167b)(고-저항 소스 영역들(117a 및 167a))을 각각 형성함으로써, 형성된 회로에 흐를 수도 있는 채널 형성 영역들(116 및 166)에서의 누설 전류가 감소될 수 있다.

[0117] 이 실시형태에 있어서, 산화 실리콘막이 산화물 절연막(107)으로서 스퍼터링 방법에 의해 형성된 후에, 250℃ 내지 350℃에서 가열 처리가 수행됨으로써, 소스 영역 및 드레인 영역 사이의 산화물 반도체층의 노출된 부분(채널 형성 영역)으로부터 산화물 반도체층들 각각으로 산소가 함침되어, 그 안으로 확산된다. 스퍼터링 방법에 의해 산화 실리콘막을 형성함으로써, 과도한 양의 산소가 산화 실리콘막에 포함될 수 있고, 가열 처리를 통해 산소가 산화물 반도체층들로 함침될 수 있어 확산될 수 있다. 산소가 산화물 반도체층들에 함침되어 그 안으로 확산됨으로써, 채널 영역은 고 저항화될 수 있다(즉, 채널 영역은 i형 도전성을 가질 수 있다). 蕙撰 ,

박막 트랜지스터들은 노멀리-오프 트랜지스터들로서 기능할 수 있다.

- [0118] 또한, 산화물 반도체층의 두께가 15nm 이하인 경우에 산화물 반도체층에서 고-저항 소스 영역 또는 고-저항 드레인 영역은 전체 두께 방향으로 형성된다. 산화물 반도체층의 두께가 30nm 이상 및 50nm 이하인 경우에, 산화물 반도체층의 일부에 있어서, 즉, 소스 전극층 또는 드레인 전극층과 접촉하는 산화물 반도체층의 영역 및 그 근방에 있어서, 저항이 감소되고 고-저항 소스 영역 또는 고-저항 드레인 영역이 형성되는 한편, 산화물 반도체층에서 게이트 절연막과 가까운 영역은 I형이 될 수 있다.
- [0119] 산화물 절연막(107) 위에는 보호 절연층이 부가적으로 형성될 수도 있다. 물론 들어, 질화 실리콘막이 RF 스퍼터링 방법에 의해 형성된다. RF 스퍼터링 방법은 높은 생산성을 갖기 때문에, 바람직하게는 보호 절연층의 성막 방법으로서 사용된다. 보호 절연층으로서, 수분, 수소 이온 및 OH^- 와 같은 불순물들을 포함하지 않고 외부로부터 이들의 침입을 차단하는 무기 절연막이 사용된다. 구체적으로, 질화 실리콘막, 질화 알루미늄막, 질화산화 실리콘막, 산화질화 알루미늄막 등이 사용된다. 이 실시형태에 있어서, 질화 실리콘막이 보호 절연층(106)으로서 형성된다(도 4a 참조).
- [0120] 상기 단계들을 통해서, 화소부에 박막 트랜지스터(170), 구동 회로부에 박막 트랜지스터(180), 및 용량(147)이 동일한 기관 위에 제작될 수 있다. 박막 트랜지스터들(170 및 180) 각각은 고-저항 소스 영역, 고-저항 드레인 영역 및 채널 형성 영역이 형성되는 산화물 반도체층을 포함하는 보텀-게이트형 박막 트랜지스터이다. 따라서, 박막 트랜지스터들(170 및 180) 각각에 있어서, 고-저항 드레인 영역 또는 고-저항 소스 영역이 비퍼로서 기능하여, 고 전계가 인가될 때에도 국소적으로 고 전계가 인가되지 않도록 하고; 이 방식으로, 박막 트랜지스터들(170 및 180) 각각은 내압이 증가된 구성을 가질 수 있다.
- [0121] 용량(147)은 게이트 절연층(102), 용량 배선층(108) 및 용량 전극층(149)을 사용하여 형성되고, 여기서, 용량부의 게이트 절연층(102)은 유전체로서 사용된다.
- [0122] 구동 회로 및 화소부를 동일한 기관 위에 제공함으로써, 구동 회로 및 외부 신호 간의 접속 배선들이 짧아질 수 있고; 따라서, 발광 장치의 크기 및 비용 감소가 달성될 수 있다.
- [0123] 이어서, 보호 절연층(106) 위에 컬러 필터층(191)이 형성된다. 컬러 필터층으로서, 녹색 컬러 필터층, 청색 컬러 필터층, 적색 컬러 필터층 등이 사용될 수 있고, 녹색 컬러 필터층, 청색 컬러 필터층 및 적색 컬러 필터층은 순차적으로 형성된다. 각 컬러 필터층은 프린팅 방법, 잉크-젯 방법, 포토리소그래피 기술을 사용한 에칭 방법 등에 의해 형성된다. 컬러 필터층들을 제공함으로써, 밀봉 기관의 부착 정확도에 의존하지 않고, 컬러 필터층들 및 발광 소자들의 발광 영역들의 정렬이 수행될 수 있다. 이 실시형태에 있어서, 녹색 컬러 필터층, 청색 컬러 필터층 및 적색 컬러 필터층을 형성하기 위해 제 5, 제 6 및 제 7 포토리소그래피 단계들이 수행된다.
- [0124] 다음으로, 컬러 필터층들(녹색 컬러 필터층, 청색 컬러 필터층 및 적색 컬러 필터층)을 덮는 오버코트층(192)이 형성된다. 오버코트층(192)은 투광성 수지를 사용하여 형성된다. 이 실시형태에 있어서, 오버코트층(192)은 제 8 포토리소그래피 단계에서 형성된다.
- [0125] 여기서, RGB의 세 가지 색들을 사용하여 풀 컬러 표시가 수행되는 예가 제시되지만; 본 발명은 특히 이것으로 제한되지 않고, RGBW의 네 가지 색들을 사용하여 풀 컬러 표시가 수행될 수도 있다.
- [0126] 다음에, 오버코트층(192) 및 보호 절연층(106)을 덮는 보호 절연층(109)이 형성된다(도 4b 참조). 보호 절연층(109)에 대해서, 질화 실리콘막, 질화 알루미늄막, 질화산화 실리콘막, 또는 산화질화 알루미늄막과 같은 무기 절연막이 사용된다. 콘택트 홀이 형성될 때 하나의 단계에서 에칭될 수 있기 때문에, 보호 절연층(109)은 보호 절연층(106)과 동일한 성분을 갖는 절연막인 것이 바람직하다.
- [0127] 다음으로, 제 9 포토리소그래피 단계가 수행된다. 레지스트 마스크가 형성되고, 드레인 전극층(105b)에 도달하는 콘택트 홀(125)이 산화물 절연막(107), 보호 절연층(106) 및 보호 절연층(109)을 에칭함으로써 형성된다. 이어서, 레지스트 마스크가 제거된다(도 5a 참조). 또한, 제 2 단자(122)에 도달하는 콘택트 홀(127) 및 접속 전극(120)에 도달하는 콘택트 홀(126)이 이 에칭에 의해 형성된다. 대안적으로, 콘택트 홀들을 형성하기 위한 레지스트 마스크는 잉크-젯 방법에 의해 형성될 수도 있다. 레지스트 마스크가 잉크-젯 방법에 의해 형성될 때에는 포토마스크가 사용되지 않고, 이는 제작 비용 감소를 가져온다.
- [0128] 다음에, 투광성 도전막이 형성된다. 투광성 도전막은 산화 인듐(In_2O_3) 또는 산화 인듐과 산화 주석의 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, 축약하여 ITO라고 함)과 같은 재료를 사용하여 스퍼터링 방법, 진공 증착 방법 등에 의해

형성된다. 대안적으로, 질소를 함유하는 Al-Zn-O계 비-단결정막(즉, Al-Zn-O-N계 비-단결정막), 질소를 함유하는 Zn-O계 비-단결정막, 또는 질소를 함유하는 Sn-Zn-O계 비-단결정막이 투광성 도전막의 재료로서 사용될 수도 있다. Al-Zn-O-N계 비-단결정막에서 아연의 조성비(원자%)는 47원자% 이하이고 비-단결정막에서 알루미늄의 조성비보다 높고; Al-Zn-On-N계 비-단결정막에서 알루미늄의 조성비(원자%)는 비-단결정막에서 질소의 조성비보다 높다는 것을 유념해야 한다. 이러한 재료는 염산계 용액으로 에칭된다. 그러나, 특히, ITO 에칭에서는 잔류물이 기판 상에 남기 쉽기 때문에, 산화 인듐 및 산화 아연의 합금(In₂O₃-ZnO)이 에칭 가공성을 향상시키기 위해서 사용될 수도 있다.

- [0129] 투광성 도전막에서 조성비의 단위는 원자 퍼센트(원자%)이고, 조성비는 전자 프로브 X-선 마이크로에널라이저(EPMA, electron probe X-ray microanalyzer)를 사용한 분석에 의해 평가된다는 것을 유념해야 한다.
- [0130] 다음에, 제 10 포토리소그래피 단계가 수행된다. 레지스트 마스크가 형성되고, 투광성 도전막의 불필요한 부분들이 에칭에 의해 제거되어, 제 1 전극층(110), 도전층(111) 및 단자 전극들(128 및 129)이 형성된다. 이어서, 레지스트 마스크가 제거된다.
- [0131] 유전체로서 게이트 절연층(102), 용량 배선층(108), 및 용량 전극층(149)을 포함하는 용량(147)이 또한 구동 회로부 및 화소부와 동일한 기판 위에 형성될 수 있다. 발광 장치에 있어서, 용량 전극층(149)은 전원선의 일부이고, 용량 배선층(108)은 구동 TFT의 게이트 전극층의 일부이다.
- [0132] 단자부에 형성되는 단자 전극들(128 및 129)은 FPC에 접속되는 전극들 또는 배선들로서 기능한다. 접속 전극(120)을 그 사이에 개재하여 제 1 단자(121) 위에 형성되는 단자 전극(128)은 게이트 배선용 입력 단자로서 기능하는 접속 단자 전극이다. 제 2 단자(122) 위에 형성되는 단자 전극(129)은 소스 배선용 입력 단자로서 기능하는 접속 단자 전극이다.
- [0133] 또한, 도 11a1 및 도 11a2는 각각 이 단계에서의 게이트 배선 단자부의 단면도 및 그 상면도이다. 도 11a1은 도 11a2에서의 C1-C2 선을 따라 취해진 단면도이다. 도 11a1에서, 산화물 절연막(107) 위에 형성되는 도전막(155)은 입력 단자로서 기능하는 접속 단자 전극이다. 또한, 도 11a1에서, 단자부에 있어서, 게이트 배선과 동일한 재료를 사용하여 형성되는 제 1 단자(151) 및 소스 배선과 동일한 재료를 사용하여 형성되는 접속 전극(153)은 게이트 절연층(102)을 그 사이에 개재하여 서로 중첩하고, 전기적으로 서로 접속된다. 또한, 접속 전극(153) 및 도전막(155)은 산화물 절연막(107)에 제공되는 콘택트 홀을 통해 서로 직접 접촉하여 도통된다.
- [0134] 또한, 도 11b1 및 도 11b2는 각각 이 단계에서의 소스 배선 단자부의 단면도 및 그 상면도이다. 도 11b1은 도 11b2의 D1-D2 선을 따라 취해진 단면도에 대응한다. 도 11b1에서, 산화물 절연막(107) 위에 형성되는 도전막(155)은 입력 단자로서 기능하는 접속 단자 전극이다. 또한, 도 11b1에서, 단자부에 있어서, 게이트 배선과 동일한 재료를 사용하여 형성되는 전극(156)은, 게이트 절연층(102)을 그 사이에 개재하여, 소스 배선에 전기적으로 접속되는, 제 2 단자(150) 아래에 위치되어 그와 중첩된다. 전극(156)은 제 2 단자(150)에 전기적으로 접속되지 않고, 전극(156)의 전위가 플로팅, GND 또는 0V와 같이 제 2 단자(150)와는 다른 전위로 설정될 때 노이즈 또는 정전기를 방지하기 위한 용량이 형성될 수 있다. 제 2 단자(150)는 산화물 절연막(107)을 그 사이에 개재하여 도전막(155)에 전기적으로 접속된다.
- [0135] 복수의 게이트 배선들, 소스 배선들 및 용량 배선들이 화소 밀도에 의존하여 제공된다. 단자부에 있어서, 게이트 배선과 동일한 전위의 제 1 단자, 소스 배선과 동일한 전위의 제 2 단자, 용량 배선과 동일한 전위의 제 3 단자 등은 각각 복수 정렬된다. 단자들 각각의 수는 임의의 수일 수도 있고, 단자들의 수는 실시자에 의해 적절히 결정될 수도 있다.
- [0136] 박막 트랜지스터들 및 저장 용량이 각각의 화소들에서 매트릭스형으로 배열되어 화소부가 형성되도록 하고, 이는 액티브 매트릭스 표시 장치를 제작하기 위한 기판들 중 하나로서 사용될 수 있다. 본 명세서에서, 이러한 기판은 편의상 액티브 매트릭스 기판이라고 지칭된다.
- [0137] 산화물 반도체층에서 채널 형성 영역(166)과 중첩하도록 도전층(111)이 제공됨으로써, 박막 트랜지스터의 신뢰성을 검사하기 위한 바이어스-온도 스트레스 테스트(BT 테스트라고도 함)에서, BT 테스트 전후에 박막 트랜지스터(180)의 임계 전압의 변경량이 감소될 수 있다. 도전층(111)의 전위는 게이트 전극층(161)과 동일할 수도 있거나 다를 수도 있다. 도전층(111)은 또한 제 2 게이트 전극층으로서 기능한다. 대안적으로, 도전층(111)의 전위는 GND 또는 0V일 수도 있거나, 또는 도전층(111)은 플로팅 상태에 있을 수도 있다.
- [0138] 다음에, 제 1 전극층(110)의 주변부를 덮기 위해 격벽(193)이 형성된다. 격벽(193)은 폴리이미드, 아크릴, 폴

리아미드, 또는 에폭시와 같은 유기 수지막, 무기 절연막, 또는 실록산계 수지를 사용하여 형성된다.

- [0139] 실록산계 수지는 출발 재료로서 실록산계 재료를 사용하여 형성되는 Si-O-Si 결합을 포함하는 수지에 대응한다는 것을 유념해야 한다. 실록산계 수지는 치환기로서 유기기(예를 들어, 알킬기 또는 아릴기) 또는 플루오르기를 포함할 수도 있다. 또한, 유기기는 플루오르기를 포함할 수도 있다.
- [0140] 격벽(193)은 인 유리(PSG), 인붕소 유리(BPSG) 등을 사용하여 형성될 수 있다. 격벽(193)은 이들 재료들 중 임의의 것을 사용하여 형성되는 복수의 절연막들을 적층하여 형성될 수도 있다는 것을 유념해야 한다.
- [0141] 격벽(193)을 형성하기 위한 방법에는 특별한 제한이 없다. 격벽(193)은, 재료에 의존하여, 스퍼터링 방법, SOG 방법, 스핀 코팅 방법, 디핑 방법, 스프레이 코팅 방법 또는 액적 토출 방법(예를 들어, 잉크-젯 방법, 스크린 프린팅 또는 오프셋 프린팅)과 같은 방법에 의해, 또는 닥터 나이프, 롤 코터, 커튼 코터 또는 나이프 코터와 같은 수단에 의해 형성될 수 있다. 또한, 발광 장치에 사용되는 다른 절연층들은 격벽(193)의 재료들 및 방법들의 예들로서 제시되어 있는 재료들 및 방법들을 사용하여 형성될 수도 있다.
- [0142] 제 1 전극층(110) 위에 개구부를 갖도록 감광성 수지 재료를 사용하여 격벽(193)이 형성되어, 개구부의 측벽이 연속한 곡률을 갖는 경사면으로서 형성되도록 하는 것이 특히 바람직하다. 격벽(193)이 감광성 수지 재료를 사용하여 형성될 때, 레지스트 마스크를 형성하기 위한 단계가 생략될 수 있다. 이 실시형태에 있어서, 제 11 포토리소그래피 단계들이 수행되어, 격벽(192)이 형성되도록 한다.
- [0143] 제 1 전극층(110) 위에 EL 층(194)이 형성되고, EL 층(194) 위에 제 2 전극층(195)이 형성됨으로써, 발광 소자가 형성된다. 제 2 전극층(195)은 공통 전위선에 전기적으로 접속된다. 다양한 재료들 중 임의의 재료가 제 2 전극층(195)에 사용될 수 있다. 구체적으로, 제 2 전극층(195)은 Li 또는 Cs와 같은 알칼리 금속; Mg, Ca 또는 Sr와 같은 알칼리성 토금속; 이들 재료들 중 임의의 재료를 포함하는 합금(예를 들어, Mg:Ag 또는 Al:Li); 또는 Yb 또는 Er와 같은 희토류 금속과 같이 낮은 일 함수를 갖는 재료를 사용하여 형성되는 것이 바람직하다. 이 실시형태에 있어서, 제 2 전극층(195)으로서 알루미늄막이 사용된다.
- [0144] 11개의 포토마스크들의 사용에 의한 이들 11번의 포토리소그래피 단계들을 통해, 도 1에 도시된 이 실시형태의 발광 장치가 제작될 수 있고, 이는 박막 트랜지스터(180)를 포함하는 구동 회로부, 박막 트랜지스터(170) 및 발광 소자를 포함하는 화소부, 저장 용량을 포함하는 용량(147), 및 외부 추출 단자부들을 포함한다.
- [0145] 또한, 이 실시형태에 있어서, 산화물 절연막(107), 보호 절연층(106), 및 보호 절연층(109)에서 콘택트 홀들이 하나의 포토리소그래피 단계에서 형성되는 예가 기술되었지만; 콘택트 홀들은 상이한 포토마스크들에 의해 복수의 포토리소그래피 단계들에서 형성될 수도 있다. 예를 들어, 제 5 포토리소그래피 단계는 중간 절연층들로서 기능하는 산화물 절연막(107) 및 보호 절연층(106)에 콘택트 홀들을 형성하기 위해 수행될 수도 있고, 제 6 내지 제 9 포토리소그래피 단계들은 RGB 컬러 필터층들 및 오버코트층을 형성하기 위해 수행될 수도 있고, 이어서, 제 10 포토리소그래피 단계에서 콘택트 홀들이 보호 절연층(109)에 형성될 수도 있다. 이 경우에, 포토리소그래피 단계들 및 포토마스크들의 수는 하나 씩 증가하고, 따라서, 발광 장치는 12개의 포토마스크들에 의해 12번의 포토리소그래피 단계들을 통해 형성된다.
- [0146] 상술된 포토리소그래피 단계들에 있어서, 복수의 강도들을 갖도록, 투광되는 노광 마스크인 다계조 마스크를 사용하여 형성되는 마스크층을 사용하여 에칭 단계가 수행될 수도 있다.
- [0147] 다계조 마스크를 사용하여 형성되는 마스크층은 복수의 막 두께들을 갖고 마스크층 상에서 에칭을 수행하여 그 형상들이 변경될 수 있기 때문에, 마스크층은 상이한 패턴들로의 가공을 위해 복수의 에칭 단계들에서 사용될 수 있다. 따라서, 적어도 두 종류들 이상의 상이한 패턴들에 대응하는 마스크층이 하나의 다계조 마스크에 의해 형성될 수 있다. 따라서, 노광 마스크들의 수가 감소될 수 있고 대응하는 포토리소그래피 단계들의 수 또한 감소될 수 있어서, 공정의 단순화가 실현될 수 있다.
- [0148] 또한, 발광 장치가 제작될 때, 구동 TFT의 소스 전극층에 전기적으로 접속되는 전원공급선이 제공된다. 전원공급선은 게이트 배선 및 소스 배선과 교차하고, 게이트 전극층과 동일한 재료를 사용하여 동일한 단계로 형성된다.
- [0149] 또한, 발광 장치가 제작되는 경우에, 발광 소자의 하나의 전극이 구동용 TFT의 드레인 전극층에 전기적으로 접속되고, 발광 소자의 다른 전극에 전기적으로 접속되는 공통 전위선이 제공된다. 공통 전위선은 게이트 전극층과 동일한 재료 및 단계를 사용하여 형성될 수 있다는 것을 유념해야 한다.
- [0150] 또한, 발광 장치가 제작되는 경우에, 복수의 박막 트랜지스터들이 하나의 화소에 제공되고, 하나의 박막 트랜지

스터의 게이트 전극층을 다른 박막 트랜지스터의 드레인 전극층에 접속하는 접속부가 제공된다.

- [0151] 박막 트랜지스터용으로 산화물 반도체를 사용하는 것은 제작 비용의 감소를 가져온다. 특히, 상기 방법에 의해 산화물 절연막이 산화물 반도체층과 접촉하여 형성됨으로써, 안정한 전기적 특성들을 갖는 박막 트랜지스터가 제작되어 제공될 수 있다. 따라서, 우수한 전기적 특성들을 갖는 매우 신뢰할 수 있는 박막 트랜지스터들을 포함하는 발광 장치가 제공될 수 있다.
- [0152] 반도체층에서 채널 형성 영역은 고-저항 영역이고; 따라서, 박막 트랜지스터의 전기적 특성들이 안정화되고 오프 전류의 증가 등이 방지될 수 있다. 따라서, 양호한 전기적 특성들을 갖는 매우 신뢰할 수 있는 박막 트랜지스터를 포함하는 발광 장치가 제공될 수 있다.
- [0153] 박막 트랜지스터는 정전기 등으로 인해 쉽게 파손되기 때문에, 화소부 또는 구동 회로와 동일한 기판 위에 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 바람직하게 산화물 반도체층을 포함하는 비-선형 소자로 형성된다. 예를 들어, 보호 회로들은 화소부와 주사선 입력 단자 사이 및 화소부와 신호선 입력 단자 사이에 제공된다. 이 실시형태에 있어서, 복수의 보호 회로들이 제공되어, 정전기 등으로 인한 서지 전압이 주사선, 신호선 및 용량 버스선에 인가될 때 화소 트랜지스터 등이 파손되지 않도록 한다. 따라서, 서지 전압이 보호 회로에 인가될 때 공통 배선으로 전하를 방출하기 위해 보호 회로가 형성된다. 또한, 보호 회로는 그 사이에서 주사선과 서로 병렬로 배열되는 비-선형 소자들을 포함한다. 비-선형 소자는 다이오드와 같은 2-단자 소자 또는 트랜지스터와 같은 3-단자 소자를 포함한다. 예를 들어, 비-선형 소자는 또한 화소부에서 박막 트랜지스터(170)와 동일한 단계를 통해 형성될 수 있고, 비-선형 소자의 드레인 단자에 게이트 단자를 접속함으로써 다이오드와 동일한성들을 갖도록 만들어질 수 있다.
- [0154] 이 실시형태는 다른 실시형태들에서 기술되는 구조들과 적절히 조합되어 구현될 수 있다.
- [0155] (실시형태 2)
- [0156] 이 실시형태에 있어서, 실시형태 1에서, 산화물 도전층들이 산화물 반도체층과 소스 및 드레인 전극층들 사이에 소스 영역 및 드레인 영역으로서 제공되는 예가 도 6a 내지 도 6d, 도 7a 및 도 7b를 참조하여 기술될 것이다. 따라서, 이 실시형태의 일부는 실시형태 1과 유사한 방식으로 수행될 수 있고; 따라서, 실시형태 1과 동일한 부분들 또는 유사한 기능들을 갖는 부분들 및 이러한 부분들을 형성하기 위한 단계들 각각의 설명은 생략될 것이다. 도 6a 내지 도 6d, 도 7a 및 도 7b는 단계들 중 일부를 제외하고는 도 1, 도 2a 내지 도 2c, 도 3a 내지 도 3c, 도 4a, 도 4b, 도 5a 및 도 5b와 동일하고, 동일한 부분들은 동일한 참조부호들로 표기되어 있고, 동일한 부분들의 상세한 설명은 생략된다.
- [0157] 먼저, 실시형태 1의 도 3b의 단계를 포함한 것까지의 단계들이 실시형태 1에 따라서 수행된다. 도 6a는 도 3b와 동일한 단계를 도시한다.
- [0158] 산화물 도전막(140)이 탈수화 또는 탈수소화된 산화물 반도체층들(133 및 134) 위에 형성되고, 금속 도전 재료를 사용하여 형성된 금속 도전막이 산화물 도전막(140) 위에 적층된다.
- [0159] 산화물 도전막(140)의 성막 방법으로서, 스퍼터링 방법, 진공 증착 방법(예를 들어, 전자 빔 증착 방법), 아크 방전 이온 플레이팅 방법 또는 스프레이 방법이 사용된다. 산화물 도전막(140)의 재료는 바람직하게 성분으로서 산화 아연을 함유하고, 바람직하게는 산화 인듐은 포함하지 않는다. 이러한 산화물 도전막(140)에 대해서, 산화 아연, 산화 아연 알루미늄, 산화질화 아연 알루미늄, 산화 아연 갈륨 등이 사용될 수 있다. 산화물 도전막의 두께는 50nm 내지 300nm 범위에서 적절히 선택된다. 또한, 스퍼터링 방법이 사용되는 경우에, 성막은 2wt% 내지 10wt%의 SiO_2 를 함유하는 타겟을 사용하여 성막이 수행되고, 결정화를 억제하는 $\text{SiO}_x(x>0)$ 가 산화물 도전막에 함유되도록 하여, 탈수화 또는 탈수소화를 위한 가열 처리가 나중 단계에서 수행될 때 결정화가 억제되도록 한다.
- [0160] 다음에, 제 4 포토리소그래피 단계가 수행된다. 레지스트 마스크들(136a, 136b, 136c, 136d, 135e, 136f 및 136g)이 형성되고, 금속 도전막의 불필요한 부분들이 에칭에 의해 제거되어, 소스 전극층(105a), 드레인 전극층(105b), 소스 전극층(165a), 드레인 전극층(165b), 용량 전극층(149), 접속 전극(120), 및 제 2 단자(122)가 형성된다(도 6b 참조).
- [0161] 각 재료 및 에칭 조건들은, 산화물 도전막(140) 및 산화물 반도체층들(133 및 134)이 금속 도전막의 에칭시 제거되지 않도록 적절히 조정된다는 것을 유념해야 한다.

- [0162] 다음에, 레지스트 마스크들(136a, 136b, 136c, 136d, 135e, 136f 및 136g)이 제거되고, 산화물 도전막(140)이 소스 전극층(105a), 드레인 전극층(105b), 소스 전극층(165a) 및 드레인 전극층(165b)을 사용하여 마스크들로서 에칭되어, 산화물 도전층들(164a 및 164b), 산화물 도전층들(104a 및 104b), 및 용량 전극층(185)이 형성된다 (도 6c 참조). 성분으로서 산화 아연을 함유하는 산화물 도전막(140)은, 예를 들어, 레지스트 박리액과 같은 알칼리성 용액으로 쉽게 에칭될 수 있다. 또한, 산화물 도전층들(138 및 139)이 또한 이 단계에서 각각의 단자 부들에 형성된다.
- [0163] 채널 형성 영역들을 형성하기 위해 산화물 도전층을 분할하기 위한 에칭 처리가 산화물 반도체층들과 산화물 도전층 간의 에칭 레이트들의 차이를 이용함으로써 수행된다. 산화물 반도체층들 위에 있는 산화물 도전층은 산화물 반도체층들과 비교하여 더 높은 산화물 도전막의 에칭 레이트를 이용하여 선택적으로 에칭된다.
- [0164] 따라서, 레지스트 마스크들(136a, 136b, 136c, 136d, 135e, 136f 및 136g)의 제거는 바람직하게 애싱(ashing)에 의해 수행된다. 박리액에 의한 에칭의 경우에, 에칭 조건들(에천트의 종류, 농도, 및 에칭 시간)은 산화물 도전막(140) 및 산화물 반도체층들(133 및 134)이 과도하게 에칭되지 않도록 적절히 조정된다.
- [0165] 이 실시형태에서 기술된 것과 같이, 섬형상 산화물 반도체층들이 에칭에 의해 형성되고, 산화물 도전막 및 금속 도전막이 그 위에 적층되고, 소스 전극층들 및 드레인 전극층들을 포함하는 배선 패턴을 형성하기 위해 동일한 마스크들을 사용하여 에칭이 수행되는 경우에, 산화물 도전막들이 금속 도전막의 배선 패턴 아래에 남아있을 수 있다.
- [0166] 게이트 배선(도전층(162)) 및 소스 배선(드레인 전극층(165b)) 사이의 콘택트부에서, 산화물 도전층(164b)이 소스 배선 아래에 형성된다. 바람직하게는, 산화물 도전층(164b)은 버퍼로서 기능하고, 저항은 단지 산화물 도전층의 두께에 의존하는 직렬 저항이고, 또한, 산화물 도전층(164b)은 금속의 절연성 산화물을 형성하지 않는다.
- [0167] 다음에, 보호 절연막으로서 기능하는 산화물 절연막(107)이 산화물 반도체층(133 및 134)과 접촉하여 형성된다. 이 실시형태에 있어서, 300nm의 두께를 갖는 산화 실리콘막이 스퍼터링 방법에 의해 산화물 절연막(107)으로서 성막된다.
- [0168] 다음에, 200℃ 내지 400℃, 예를 들어, 250℃ 내지 350℃의 바람직한 온도에서 불활성 가스 분위기 또는 질소 분위기에서 제 2 가열 처리가 수행된다. 예를 들어, 제 2 가열 처리는 1시간 동안 250℃에서 질소 분위기에서 수행된다. 제 2 가열 처리에 의해, 산화물 절연막(107)과 중첩하는 산화물 반도체층들(133 및 134)의 일부가 산화물 절연막(107)과 접촉한 상태로 가열된다.
- [0169] 상술된 단계들을 통해서, 저항을 감소시키기 위해 성막 후에 탈수화 또는 탈수소화를 위한 가열 처리가 산화물 반도체층 상에서 수행된 다음, 산화물 반도체층의 일부가 선택적으로 산소-과잉 상태가 된다.
- [0170] 결과적으로, 산화물 반도체층(133)에서, 게이트 전극층(161)과 중첩하는 채널 형성 영역(166)은 i형 도전성을 갖고, 소스 전극층(165a) 및 산화물 도전층(164a)과 중첩하는 고-저항 소스 영역(167a)과 드레인 전극층(165b) 및 산화물 도전층(164b)과 중첩하는 고-저항 드레인 영역(167b)은 자기정합적으로 형성되고; 따라서, 산화물 반도체층(163)이 형성된다. 유사하게, 산화물 반도체층(134)에서, 게이트 전극층(101)과 중첩하는 채널 형성 영역(116)은 i형 도전성을 갖고, 소스 전극층(105a) 및 산화물 도전층(104a)과 중첩하는 고-저항 소스 영역(117a)과 드레인 전극층(105b) 및 산화물 도전층(164b)과 중첩하는 고-저항 드레인 영역(117b)은 자기정합적으로 형성되고; 따라서, 산화물 반도체층(103)이 형성된다.
- [0171] 산화물 반도체층들(103 및 163) 및 금속 재료를 사용하여 형성되는 드레인 전극층들(105b 및 165b) 사이에 배치되는 산화물 도전층들(104b 및 164b) 또한 각각 저-저항 드레인(LRD, LRN(low-resistance n-type conductivity)이라고도 함) 영역으로서 기능한다. 유사하게, 산화물 반도체층들(103 및 163) 및 금속 재료를 사용하여 형성되는 소스 전극층들(105a 및 165a) 사이에 배치되는 산화물 도전층들(104a 및 164a) 또한 각각 저-저항 소스(LRS, LRN(low-resistance n-type conductivity)이라고도 함) 영역으로서 기능한다. 산화물 반도체층, 저-저항 드레인 영역, 및 금속 재료를 사용하여 형성되는 드레인 전극층을 포함하는 구조에 의해, 트랜지스터의 내압이 더욱 증가될 수 있다. 구체적으로, 저-저항 드레인 영역의 캐리어 농도는 고-저항 드레인 영역(HRD 영역)보다 높고, 바람직하게는, $1 \times 10^{20}/\text{cm}^3$ 이상 및 $1 \times 10^{21}/\text{cm}^3$ 이하의 범위이다.
- [0172] 상기 단계들을 통해, 화소부의 박막 트랜지스터(171) 및 구동 회로부의 트랜지스터(181)가 동일한 기판 위에 제작될 수 있다. 박막 트랜지스터들(171 및 181) 각각은, 고-저항 소스 영역, 고-저항 드레인 영역 및 채널 형성 영역이 형성되는 산화물 반도체층을 포함하는 보텀-게이트형 박막 트랜지스터이다. 따라서, 박막 트랜지스터들

(171 및 181) 각각에 있어서, 고-저항 드레인 영역 또는 고-저항 소스 영역이 버퍼로서 기능하여, 고 전계가 인가될 때에도 국소적으로 고 전계가 인가되지 않도록 하고; 이 방식으로, 박막 트랜지스터들(171 및 181) 각각은 내압이 증가된 구성을 가질 수 있다.

[0173] 용량부에 있어서, 용량(146)은 용량 배선층(108), 게이트 절연층(102), 산화물 도전층(104b)과 동일한 단계로 형성되는 용량 전극층(185), 및 드레인 전극층(105b)과 동일한 단계로 형성되는 용량 전극층(149)의 적층으로 형성된다.

[0174] 다음에, 보호 절연층(106)이 산화물 절연막(107) 위에 형성되고, 화소부에서 컬러 필터층(191)이 보호 절연층(106) 위에 형성된다. 컬러 필터층(191)을 덮기 위해 오버코트층(192)이 형성되고, 보호 절연층(106) 및 오버코트층(192)을 덮기 위해 보호 절연층(109)이 형성된다.

[0175] 다음에, 제 9 포토리소그래피 단계가 실시형태 1과 유사한 방식으로 수행된다. 레지스트 마스크가 형성되고, 드레인 전극층(105b)에 도달하는 콘택트 홀(125)이 산화물 절연막(107), 보호 절연층(106) 및 보호 절연층(109)을 에칭하여 형성된다. 이어서, 레지스트 마스크가 제거된다(도 6d 참조). 또한, 제 2 단자(122)에 도달하는 콘택트 홀(127) 및 접속 전극(120)에 도달하는 콘택트 홀(126)이 또한 이 에칭에 의해 형성된다.

[0176] 다음에, 투광성 도전막이 형성되고, 제 10 포토리소그래피 단계가 수행된다. 레지스트 마스크가 형성되고, 투광성 도전막의 불필요한 부분들이 제 1 전극층(110), 도전층(111), 및 단자 전극들(128 및 129)을 형성하기 위해 에칭에 의해 제거된다. 이어서, 레지스트 마스크들이 제거된다(도 7a 참조).

[0177] 실시형태 1에서와 같이, 격벽(193)이 제 11 포토리소그래피 단계에서 형성된다. EL 층(194) 및 제 2 전극층(195)이 제 1 전극층(110) 위에 적층되어, 발광 소자를 포함하는 이 실시형태의 발광 장치가 제작된다(도 7b 참조).

[0178] 소스 영역 및 드레인 영역으로서, 산화물 도전층들이 산화물 반도체층과 소스 및 드레인 전극층들 사이에 제공될 때, 소스 영역 및 드레인 영역은 낮은 저항을 가질 수 있고 트랜지스터는 고속으로 동작할 수 있다. 주변 회로(구동 회로)의 주파수 특성들을 향상시키기 위해서 소스 영역 및 드레인 영역에 대해 산화물 도전층들을 사용하는 것이 효율적이다. 이것은 금속 전극(예를 들어, Ti)과 산화물 도전층 사이의 콘택트가 금속 전극(예를 들어, Ti)과 산화물 반도체층 사이의 콘택트와 비교하여 콘택트 저항을 감소시킬 수 있기 때문이다.

[0179] 발광 장치의 배선 재료의 일부로서 사용되는 몰리브덴(Mo)(예를 들어, Mo/Al/Mo)은 산화물 반도체층과의 접촉 저항이 높다는 문제점이 있다. 이것은 Ti와 비교하여 Mo가 산화가 덜 이루어지고 산화물 반도체층으로부터 산소를 추출하는 영향이 더 작고, Mo와 산화물 반도체층 사이의 접촉 계면이 n형 도전성을 갖도록 변경되지 않기 때문이다. 그러나, 이러한 경우에도, 산화물 반도체층과 소스 및 드레인 전극층들 사이에 산화물 도전층을 개재함으로써 접촉 저항이 감소될 수 있고; 따라서, 주변 회로(구동 회로)의 주파수 특성들이 향상될 수 있다.

[0180] 박막 트랜지스터의 채널 길이는 산화물 도전층을 에칭할 때 결정되고; 따라서, 채널 길이가 더욱 짧아질 수 있다. 예를 들어, 채널 길이(L)는 0.1 μ m 이상 2 μ m 이하로 작게 설정될 수 있고; 이 방식으로, 동작 속도가 증가될 수 있다.

[0181] 이 실시형태는 다른 실시형태들에서 기술되는 구조들과 적절히 조합하여 구현될 수 있다.

[0182] (실시형태 3)

[0183] 이 실시형태에 있어서, 실시형태 1 또는 실시형태 2에서, 산화물 반도체층과 소스 및 드레인 전극층들 사이에서 소스 영역 및 드레인 영역으로서 산화물 도전층들이 제공되는 또 다른 예가 도 8a 내지 도 8d, 도 9a 및 도 9b를 참조하여 기술될 것이다. 따라서, 이 실시형태의 일부는 실시형태 1 또는 실시형태 2와 유사한 방식으로 수행될 수 있고; 따라서, 실시형태 1 또는 실시형태 2와 동일한 부분들 또는 유사한 기능들을 갖는 부분들 및 이러한 부분들을 형성하기 위한 단계들 각각의 설명은 생략될 것이다. 도 8a 내지 도 8d, 도 9a 및 도 9b는 단계들 중 일부를 제외하고는 도 1, 도 2a 내지 도 2c, 도 3a 내지 도 3c, 도 4a, 도 4b, 도 5a, 도 5b, 도 6a 내지 도 6d, 도 7a, 및 도 7b와 동일하기 때문에, 동일한 부분들은 동일한 참조 부호들로 표기되고 동일한 부분들의 상세한 설명은 생략된다.

[0184] 먼저, 실시형태 1에 따라서, 금속 도전막이 기판(100) 위에 형성되고, 금속 도전막은 제 1 포토리소그래피 단계에서 형성된 레지스트 마스크를 사용하여 에칭되어, 제 1 단자(121), 게이트 전극층(161), 도전층(162), 게이트 전극층(101) 및 용량 배선층(108)이 형성된다.

- [0185] 다음에, 게이트 절연층(102)이 제 1 단자(121), 게이트 전극층(161), 도전층(162), 게이트 전극층(101) 및 용량 배선층(108) 위에 형성된 다음, 산화물 반도체막 및 산화물 도전막이 적층된다. 게이트 절연층, 산화물 반도체막, 및 산화물 도전막이 공기에 노출되지 않고 연속적으로 형성될 수 있다.
- [0186] 레지스트 마스크들이 제 2 포토리소그래피 단계에서 산화물 도전막 위에 형성된다. 제 1 단자(121)에 도달하는 콘택트 홀(119) 및 도전층(162)에 도달하는 콘택트 홀(118)을 형성하기 위해 레지스트 마스크들을 사용하여 게이트 절연층, 산화물 반도체막 및 산화물 도전막이 에칭된다.
- [0187] 제 2 포토리소그래피 단계에서 형성된 레지스트 마스크들이 제거되고, 제 3 포토리소그래피 단계에서 레지스트 마스크들이 산화물 도전막 위에 새로 형성된다. 제 3 포토리소그래피 단계에서 레지스트 마스크들을 사용함으로써, 섬형상 산화물 반도체층들 및 섬형상 산화물 도전층들이 형성된다.
- [0188] 산화물 반도체막 및 산화물 도전막이 이러한 방식으로 게이트 절연층의 전체 표면 위에 적층되는 상태로 콘택트 홀들이 게이트 절연층에 형성될 때, 레지스트 마스크들은 게이트 절연층의 표면과 직접 접촉하지 않고; 따라서, 게이트 절연층의 표면의 오염(예를 들어, 게이트 절연층에 대한 불순물들 등의 부착)이 방지될 수 있다. 따라서, 게이트 절연층과 산화물 반도체막 사이 및 게이트 절연층과 산화물 도전막 사이의 계면들의 양호한 상태가 얻어질 수 있고, 그에 따라서, 신뢰성이 향상될 수 있다.
- [0189] 다음에, 산화물 반도체층들 및 산화물 도전층들이 적층된 상태에서 탈수화 또는 탈수소화를 위한 가열 처리가 수행된다. 400℃ 내지 700℃에서의 가열 처리에 의해, 산화물 반도체층들의 탈수화 또는 탈수소화가 달성될 수 있고; 따라서, 물(H₂O)이 나중 단계들에서 산화물 반도체층들에 다시 포함되는 것이 방지될 수 있다.
- [0190] 산화 실리콘과 같이 결정화를 억제하는 물질이 산화물 도전층들에 포함되지 않는 한, 산화물 도전층들은 이 가열 처리를 통해 결정화된다. 산화물 도전층들의 결정은 하지면에 대해 원주형으로 성장한다. 따라서, 산화물 도전층들 위에 형성되는 금속 도전막이 소스 전극층 및 드레인 전극층을 형성하기 위해 에칭될 때, 언더컷(undercut)의 형성이 방지될 수 있다.
- [0191] 또한, 산화물 반도체층들의 탈수화 또는 탈수소화를 위한 가열 처리에 의해, 산화물 반도체층들의 도전성이 향상될 수 있다. 단지 산화물 도전층들에는 산화물 반도체층들보다 낮은 온도에서 가열 처리가 행해질 수도 있다는 것을 유념해야 한다.
- [0192] 산화물 반도체층들 및 산화물 도전층들의 제 1 가열 처리는 또한, 섬형상 산화물 반도체층들 및 섬형상 산화물 도전층들로 가공되지 않은 산화물 반도체막 및 산화물 도전막에 수행될 수 있다. 그 경우에, 제 1 가열 처리 후에, 기판은 가열 장치로부터 꺼내지고 포토리소그래피 단계가 수행된다.
- [0193] 상술된 단계들을 통해, 산화물 반도체층들(133 및 134) 및 산화물 도전층들(142 및 143)이 얻어질 수 있다(도 8a 참조). 산화물 반도체층(133) 및 산화물 도전층(142)은 동일한 마스크를 사용하여 형성되는 섬형상 적층들이고, 산화물 반도체층(134) 및 산화물 도전층(143)은 동일한 마스크를 사용하여 형성되는 섬형상 적층들이다.
- [0194] 다음에, 제 4 포토리소그래피 단계가 수행된다. 레지스트 마스크들(136a, 136b, 136c, 136d, 136e, 136f 및 136g)이 형성되고, 금속 도전막의 불필요한 부분들이 에칭에 의해 제거되어, 소스 전극층(105a), 드레인 전극층(105b), 소스 전극층(165a), 드레인 전극층(165b), 용량 전극층(149), 접속 전극(120) 및 제 2 단자(122)가 형성된다(도 8b 참조).
- [0195] 각 재료 및 에칭 조건들은 산화물 도전층들(142 및 143) 및 산화물 반도체층들(133 및 134)이 금속 도전막의 에칭시 제거되지 않도록 적절히 조정된다는 것을 유념해야 한다.
- [0196] 다음에, 레지스트 마스크들(136a, 136b, 136c, 136d, 136e, 136f 및 136g)이 제거된 다음, 마스크들로서 소스 전극층(105a), 드레인 전극층(105b), 소스 전극층(165a), 및 드레인 전극층(165b)을 사용하여 산화물 도전층들(142 및 143)이 에칭되어, 산화물 도전층들(164a 및 164b) 및 산화물 도전층들(104a 및 104b)이 형성된다(도 8c 참조). 성분으로서 산화 아연을 함유하는 산화물 도전층들(142 및 143)은, 예를 들어, 레지스트 박리액과 같은 알칼리성 용액으로 쉽게 에칭될 수 있다.
- [0197] 따라서, 레지스트 마스크들(136a, 136b, 136c, 136d, 136e, 136f 및 136g)의 제거는 바람직하게 애싱에 의해 수행된다. 박리액에 의한 에칭의 경우에, 에칭 조건들(에천트의 종류, 농도 및 에칭 시간)은 산화물 도전층들(142 및 143) 및 산화물 반도체층들(133 및 134)이 과도하게 에칭되지 않도록 적절히 조정된다.
- [0198] 다음에, 보호 절연막으로서 기능하는 산화물 절연막(107)이 산화물 반도체층(133 및 134)과 접촉하여 형성된다.

이 실시형태에 있어서, 300nm의 두께를 갖는 산화 실리콘막이 스퍼터링 방법에 의해 산화물 절연막(107)으로서 성막된다.

- [0199] 다음에, 200℃ 내지 400℃, 예를 들어, 250℃ 내지 350℃의 바람직한 온도에서 불활성 가스 분위기 또는 질소 분위기에서 제 2 가열 처리가 수행된다. 예를 들어, 제 2 가열 처리는 1시간 동안 250℃에서 질소 분위기에 수행된다. 제 2 가열 처리에 의해, 산화물 절연막(107)과 중첩하는 산화물 반도체층들(133 및 134)의 일부가 산화물 절연막(107)과 접촉하는 상태로 가열된다.
- [0200] 상술된 단계들을 통해, 성막 후에 탈수화 또는 탈수소화를 위한 가열 처리가 산화물 반도체층에 수행되어 저항을 감소시킨 다음, 산화물 반도체층의 일부가 선택적으로 산소-과잉 상태가 된다.
- [0201] 결과적으로, 산화물 반도체층(133)에 있어서, 게이트 전극층(161)과 중첩하는 채널 형성 영역(166)은 i형 도전성을 갖고, 소스 전극층(165a) 및 산화물 도전층(164a)과 중첩하는 고-저항 소스 영역(167a)과 드레인 전극층(165b) 및 산화물 도전층(164b)과 중첩하는 고-저항 드레인 영역(167b)이 자기정합적으로 형성되고; 따라서, 산화물 반도체층(163)이 형성된다. 유사하게, 산화물 반도체층(134)에 있어서, 게이트 전극층(101)과 중첩하는 채널 형성 영역(116)은 i형 도전성을 갖고, 소스 전극층(105a) 및 산화물 도전층(104a)과 중첩하는 고-저항 소스 영역(117a)과 드레인 전극층(105b) 및 산화물 도전층(164b)과 중첩하는 고-저항 드레인 영역(117b)이 자기정합적으로 형성되고; 따라서, 산화물 반도체층(103)이 형성된다.
- [0202] 산화물 반도체층들(103 및 163) 및 금속 재료를 사용하여 형성되는 드레인 전극층들(105b 및 165b) 사이에 배치되는 산화물 도전층들(104b 및 164b)은 또한 각각 저-저항 드레인(LRD, LRN이라고도 함) 영역으로서 기능한다. 유사하게, 산화물 반도체층들(103 및 163) 및 금속 재료를 사용하여 형성되는 소스 전극층들(105a 및 165a) 사이에 배치되는 산화물 도전층들(104a 및 164a) 각각은 또한 저-저항 소스(LRS, LRN이라고도 함) 영역으로서 기능한다. 산화물 반도체층, 저-저항 드레인 영역, 및 금속 재료를 사용하여 형성되는 드레인 전극층을 포함하는 구조에 의해, 트랜지스터의 내압이 더욱 증가될 수 있다. 구체적으로, 저-저항 드레인 영역의 캐리어 농도는 고-저항 드레인 영역(HRD 영역) 보다 높고, 바람직하게는, $1 \times 10^{20}/\text{cm}^3$ 이상 및 $1 \times 10^{21}/\text{cm}^3$ 이하의 범위에 있다.
- [0203] 상기 단계들을 통해, 화소부에서 박막 트랜지스터(172) 및 구동 회로부에서 트랜지스터(182)가 동일한 기판 위에 제작될 수 있다. 박막 트랜지스터들(172 및 181) 각각은, 고-저항 소스 영역, 고-저항 드레인 영역 및 채널 형성 영역이 형성되는 산화물 반도체층을 포함하는 보텀-게이트형 박막 트랜지스터이다. 따라서, 박막 트랜지스터들(172 및 181) 각각에 있어서, 고-저항 드레인 영역 또는 고-저항 소스 영역은 버퍼로서 기능하여, 고 전계가 인가될 때에도 국소적으로 고 전계가 인가되지 않도록 하고; 이러한 방식으로, 박막 트랜지스터들(172 및 182) 각각은 내압이 증가된 구성을 가질 수 있다.
- [0204] 용량부에 있어서, 용량(147)은 용량 배선층(108), 게이트 절연층(102), 및 드레인 전극층(105b)과 동일한 단계로 형성되는 용량 전극층(149)의 적층으로 형성된다.
- [0205] 다음에, 보호 절연층(106)이 산화물 절연막(107) 위에 형성되고, 화소부에서 컬러 필터층(191)이 보호 절연층(106) 위에 형성된다. 컬러 필터층(191)을 덮기 위해 오버코트층(192)이 형성되고, 보호 절연층(106) 및 오버코트층(192)을 덮기 위해 보호 절연층(109)이 형성된다.
- [0206] 다음에, 실시형태 1의 유사한 방식으로 제 9 포토리소그래피 단계가 수행된다. 레지스트 마스크가 형성되고, 드레인 전극층(105b)에 도달하는 콘택트 홀(125)이 산화물 절연막(107), 보호 절연층(106) 및 보호 절연층(109)을 에칭하여 형성된다. 이어서, 레지스트 마스크가 제거된다(도 8d 참조). 또한, 제 2 단자(122)에 도달하는 콘택트 홀(127) 및 접속 단자(120)에 도달하는 콘택트 홀(126)이 또한 이 에칭에 의해 형성된다.
- [0207] 다음에, 투광성 도전막이 형성되고, 제 10 포토리소그래피 단계가 수행된다. 레지스트 마스크가 형성되고, 제 1 전극층(110), 도전층(111), 및 단자 전극들(128 및 129)을 형성하기 위해 투광성 도전막의 불필요한 부분들이 에칭에 의해 제거된다. 이어서, 레지스트 마스크들이 제거된다(도 9a 참조).
- [0208] 실시형태 1에서와 같이, 격벽(193)이 제 11 포토리소그래피 단계에서 수행된다. EL 층(194) 및 제 2 전극층(195)이 제 1 전극층(110) 위에 적층되어, 발광 소자를 포함하는 이 실시형태의 발광 장치가 제작된다(도 9b 참조).
- [0209] 산화물 반도체층과 소스 및 드레인 전극층들 사이에 소스 영역 및 드레인 영역으로서 산화물 도전층들이 제공될 때, 소스 영역 및 드레인 영역은 더 낮은 저항을 가질 수 있고, 트랜지스터는 고속으로 동작할 수 있다. 주변 회로(구동 회로)의 주파수 특성들을 향상시키기 위해서 소스 영역 및 드레인 영역에 대해 산화물 도전층들을 사

용하는 것이 효과적이다. 이것은 금속 전극(예를 들어, Ti)과 산화물 도전층 간의 접촉이 금속 전극(예를 들어, Ti)과 산화물 반도체층 간의 접촉에 비해 접촉 저항을 감소시킬 수 있기 때문이다.

- [0210] 접촉 저항은 산화물 반도체층과 소스 및 드레인 전극층들 사이에 산화물 도전층들을 개재함으로써 감소될 수 있고; 따라서, 주변 회로(구동 회로)의 주파수 특성들이 향상될 수 있다.
- [0211] 박막 트랜지스터의 채널 길이는 산화물 도전층을 에칭할 때 결정되고; 따라서, 채널 길이는 더욱 짧아질 수 있다. 예를 들어, 채널 길이(L)는 0.1 μ m 이상 2 μ m 이하로 작게 설정될 수 있고; 이 방식으로, 동작 속도가 증가될 수 있다.
- [0212] 이 실시형태는 다른 실시형태들에서 기술된 구조들과 적절히 조합하여 구현될 수 있다.
- [0213] (실시형태 4)
- [0214] 이 실시형태에 있어서, 화소부에 있어서의 박막 트랜지스터 및 발광 소자의 제 1 전극층이 접속 전극층을 통해서 전기적으로 접속되는 발광 장치의 예가 도 16, 도 17a 내지 도 17d, 도 18a 및 도 18b를 참조하여 기술될 것이다. 이 실시형태에 있어서, 화소부에 있어서의 트랜지스터 및 발광 소자의 제 1 전극층의 접속 방법을 제외하고는 실시형태 1과 유사한 재료들 및 방법들이 사용될 수 있다. 따라서, 이 실시형태의 일부는 실시형태 1과 유사한 방식으로 수행될 수 있고; 따라서, 실시형태 1과 동일한 부분들 또는 유사한 기능들을 갖는 부분들 및 이러한 부분들을 형성하기 위한 단계들 각각의 설명은 생략될 것이다. 단계들 중 일부를 제외하고는 도 16, 도 17a 내지 도 17d, 도 18a 및 도 18b는 도 1, 도 2a 내지 도 2c, 도 3a 내지 도 3c, 도 4a, 도 4b, 도 5a 및 도 5b와 동일하기 때문에, 동일한 부분들은 동일한 참조 부호들로 표기되고, 동일한 부분들의 상세한 설명은 생략된다.
- [0215] 이 실시형태의 발광 장치가 도 16에 도시되어 있다. 화소부에서의 박막 트랜지스터(170)의 드레인 전극층(105b)은 접속 전극층(196)을 통해 제 1 전극층(110)에 전기적으로 접속된다. 도 16에 도시된 발광 장치를 제작하기 위한 방법은 도 17a 내지 도 17d, 도 18a 및 도 18b를 참조하여 기술될 것이다.
- [0216] 먼저, 실시형태 1에 따라서, 실시형태 1에서의 도 4a의 단계를 포함한 것까지의 단계들이 수행된다. 도 17a는 도 4a와 동일한 단계를 도시한다.
- [0217] 다음에, 제 5 포토리소그래피 단계가 수행된다. 레지스트 마스크가 형성되고, 드레인 전극층(105b)에 도달하는 콘택트 홀(125), 제 2 단자(122)에 도달하는 콘택트 홀(127), 및 접속 전극(120)에 도달하는 콘택트 홀(126)이 산화물 절연막(107) 및 보호 절연층(106)을 에칭함으로써 형성된다. 이어서, 레지스트 마스크가 제거된다(도 17b 참조).
- [0218] 다음에, 도전막이 형성되고, 제 6 포토리소그래피 단계가 수행된다. 레지스트 마스크들이 형성되고, 접속 전극층(196), 도전층(112) 및 단자 전극들(113 및 114)을 형성하기 위해 도전막의 불필요한 부분들이 에칭에 의해 제거된다. 다음에, 레지스트 마스크들이 제거된다(도 17c 참조). 도전막으로서, 금속 도전막이 사용될 수 있고; 따라서, 접속 전극층(196), 도전층(112) 및 단자 전극들(113 및 114)이 금속 도전층으로 형성될 수 있다.
- [0219] 접속 전극층(196)으로서, 그 주 성분으로서 Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소를 포함하는 막 또는 원소들 중 임의의 원소의 막 및 그 합금막을 포함하는 적층막이 사용될 수 있다. 따라서, 이 실시형태에서와 같이, 도전층(112) 및 단자 전극들(113 및 114)이 접속 전극층(196)과 동일한 단계로 형성되는 경우에, 도전층(112) 및 단자 전극들(113 및 114)은 또한 그 주 성분으로서 Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소를 포함하는 막 또는 원소들 중 임의의 원소의 막 및 그 합금막을 포함하는 적층막을 사용하여 형성될 수 있다. 도전막은 상기 원소를 포함하는 단층으로 제한되지 않고, 2개 이상의 층들의 적층으로 형성될 수 있다. 도전막의 성막 방법으로서, 스퍼터링 방법, 진공 증착 방법(예를 들어, 전자 빔 증착 방법), 아크 방전 이온 플레팅 방법 또는 스프레이 방법이 사용될 수 있다.
- [0220] 다음에, 제 7 내지 제 9 포토리소그래피 단계들에서 화소부의 보호 절연층(106) 위에 RGB 컬러 필터층들(191)이 형성되고, 제 10 포토리소그래피 단계에서 컬러 필터층들(191)을 덮기 위해 오버코트층(192)이 형성된다. 접속 전극층(196), 도전층(112), 단자 전극들(113 및 114), 보호 절연층(106), 및 오버코트층(192)을 덮기 위해 보호 절연층(109)이 형성된다(도 17d 참조).
- [0221] 다음에, 제 11 포토리소그래피 단계가 수행된다. 레지스트 마스크가 형성되고, 접속 전극층(196)에 도달하는 콘택트 홀(125)이 보호 절연층(109)을 에칭하여 형성된다. 이어서, 레지스트 마스크가 제거된다. 또한, 단자 전극들(113 및 114) 위의 보호 절연층(109) 또한 이 에칭에 의해 제거되어, 단자 전극들(113 및 114)이 노출된

다(도 18a 참조).

- [0222] 이어서, 투광성 도전막이 형성된다. 제 12 포토리소그래피 단계가 수행된다. 레지스트 마스크가 형성되고, 투광성 도전막의 불필요한 부분들이 에칭되어 제 1 전극층(110)을 형성한다. 이어서, 레지스트 마스크가 제거된다.
- [0223] 실시형태 1에서와 같이, 제 13 포토리소그래피 단계에서 격벽(193)이 형성된다. EL 층(194) 및 제 2 전극층(195)이 제 1 전극층(110) 위에 적층되고, 따라서, 발광 소자를 포함하는 이 실시형태의 발광 장치가 제작된다(도 18b 참조).
- [0224] 접속 전극층(196)이 형성되는 경우에, 접속 전극(196)과 동일한 단계로 동일한 재료를 사용하여 전원공급선이 형성될 수 있다. 또한, 공통 전위선 또한 접속 전극층(196)과 동일한 단계로 동일한 재료를 사용하여 형성될 수 있다.
- [0225] 이 실시형태는 다른 실시형태들에서 기술된 구성들과 적절히 조합하여 구현될 수 있다.
- [0226] (실시형태 5)
- [0227] 이 실시형태에 있어서, 실시형태 1과는 제작 공정이 부분적으로 다른 박막 트랜지스터의 예가 도 10을 참조하여 기술될 것이다. 도 10은 단계들 중 일부를 제외하고는 도 1, 도 2a 내지 도 2c, 도 3a 내지 도 3c, 도 4a, 도 4b, 도 5a, 및 도 5b와 동일하다. 따라서, 도 1, 도 2a 내지 도 2c, 도 3a 내지 도 3c, 도 4a, 도 4b, 도 5a, 및 도 5b와 동일한 부분들은 동일한 참조 부호들로 표기되고, 그 부분들에 대한 상세한 설명은 생략된다.
- [0228] 먼저, 실시형태 1에 따라서, 게이트 전극층 및 게이트 절연층이 기판 위에 형성된다. 이어서, 화소부에 있어서, 게이트 전극층에 도달하는 콘택트 홀이 제 2 포토리소그래피 단계에서 형성된다(도시되지 않음).
- [0229] 다음에, 산화물 반도체막(130)이 형성된 다음, 제 3 포토리소그래피 단계에서 섬형상 산화물 반도체층들(131 및 132)로 가공된다.
- [0230] 다음에, 산화물 반도체층들(131 및 132)이 탈수화 또는 탈수소화된다. 탈수화 또는 탈수소화가 수행되는 제 1 가열 처리의 온도는 400℃ 이상 및 750℃ 이하, 바람직하게는, 425℃ 이상 및 750℃ 이하이다. 제 1 가열 처리의 온도가 425℃ 이상인 경우에 가열 처리 시간은 1시간 이하일 수도 있지만, 제 1 가열 처리의 온도가 425℃ 미만인 경우에 가열 처리 시간은 1시간 이상으로 설정된다는 것을 유념해야 한다. 여기서, 기판은 가열 처리 장치들의 일 예인 전기 노에 도입되고, 산화물 반도체층들에는 질소 분위기에서 가열 처리가 행해진다. 이어서, 산화물 반도체층들은 공기에 노출되지 않고, 물 또는 수소가 다시 산화물 반도체층들에 혼입되는 것이 방지된다. 이러한 방식으로, 산화물 반도체층들이 형성된다. 이어서, 고순도 산소 가스, 고순도 N₂O 가스, 또는 조건조 에어(-40℃ 이하, 바람직하게는, -60℃ 이하의 노점을 가짐)가 동일한 노에 도입되어, 냉각이 수행된다. 물, 수소 등이 산소 가스 또는 N₂O 가스에 함유되지 않는 것이 바람직하다. 또한, 가열 처리를 위해 장치에 도입되는 산소 가스 또는 N₂O 가스는 6N(99.9999%) 이상, 바람직하게는, 7N(99.99999%) 이상의 순도를 갖는 것이 바람직하고; 즉, 산소 가스 또는 N₂O 가스의 불순물 농도가 바람직하게는 1ppm 이하, 더 바람직하게는, 0.1ppm 이하이다.
- [0231] 가열 처리 장치는 전기 노로 제한되지 않고, 예를 들어, GRTA(gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치와 같은 RTA(rapid thermal annealing) 장치일 수도 있다. LRTA 장치는 할로겐 램프, 금속 할로겐화물 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자파)의 복사에 의해, 처리될 대상을 가열하기 위한 장치이다. 또한, LRTA 장치에는 램프뿐만 아니라 저항 발열체와 같은 발열체로부터의 열 전도 또는 열 복사에 의해, 처리될 대상을 가열하는 장치가 제공될 수도 있다. GRTA는 고온 가스를 사용하는 가열 처리의 방법이다. 가스로서, 가열 처리에 의해, 처리될 대상과 반응하지 않는 불활성 가스, 예를 들어, 질소 또는 아르곤과 같은 희 가스가 사용된다. 가열 처리는 수분 동안 600℃ 내지 750℃에서 RTA 방법에 의해 수행될 수도 있다.
- [0232] 또한, 탈수화 또는 탈수소화를 위한 제 1 가열 처리 이후에, 산소 가스 분위기 또는 N₂O 가스 분위기에서, 200℃ 이상 및 400℃ 이하, 바람직하게는 200℃ 이상 및 300℃ 이하에서 가열 처리가 수행될 수도 있다.
- [0233] 산화물 반도체층들(131 및 132)의 제 1 가열 처리는 또한 섬형상 산화물 반도체층들로 가공되지 않은 산화물 반도체막(130)에서 수행될 수 있다. 그 경우에, 제 1 가열 처리 이후에, 기판은 가열 장치에서 꺼내지고 포토리

소그래피 단계가 수행된다.

- [0234] 상기 처리를 통해, 산화물 반도체막의 전체 영역이 산소-과잉 상태가 됨으로써, 고저항(i형 도전성)이 얻어진다. 따라서, 전체 영역이 i형 도전성을 갖는 산화물 반도체층들(168 및 198)이 형성된다.
- [0235] 다음에, 제 4 포토리소그래피 단계가 수행된다. 레지스트 마스크들이 산화물 반도체층들(168 및 198) 위에 형성되고, 소스 전극층 및 드레인 전극층이 선택적인 에칭에 의해 형성된다. 산화물 절연막(107)이 스퍼터링 방법에 의해 형성된다.
- [0236] 다음에, 박막 트랜지스터들의 전기적 특성들의 변화를 감소시키기 위해서, 불활성 가스 분위기 또는 질소 가스 분위기에서 (바람직하게, 150℃ 이상 및 350℃ 미만에서) 가열 처리가 수행될 수도 있다. 예를 들어, 가열 처리는 1시간 동안 250℃에서 질소 분위기 하에서 수행될 수도 있다.
- [0237] 다음에, 보호 절연층(106)이 산화물 절연막(107) 위에 형성되고, 화소부에서 컬러 필터층(191)이 보호 절연층(106) 위에 형성된다. 컬러 필터층(191)을 덮기 위해 오버코트층(192)이 형성되고, 보호 절연층(106) 및 오버코트층(192)을 덮기 위해 보호 절연층(109)이 형성된다.
- [0238] 다음에, 제 9 포토리소그래피 단계가 수행된다. 레지스트 마스크들이 형성되고, 제 1 단자(121), 도전층(162), 드레인 전극층(105b) 및 제 2 단자(122)에 도달하는 콘택트 홀들이 게이트 절연층(102), 산화물 절연막(107), 보호 절연층(106), 및 보호 절연층(109)을 에칭하여 형성된다. 투광성 도전막이 형성된 후에, 제 10 포토리소그래피 단계가 수행된다. 레지스트 마스크들이 형성되고 선택적인 에칭이 수행되어 제 1 전극층(110), 단자 전극(128), 단자 전극(129) 및 배선층(145)을 형성한다.
- [0239] 이 실시형태는 제 1 단자(121) 및 단자 전극(128)이 접속 전극(120) 없이 서로 직접 접속되는 예이다. 또한, 드레인 전극층(165b) 및 도전층(162)은 배선층(145)을 통해 서로 접속된다.
- [0240] 용량부에 있어서, 용량(147)은 용량 배선층(108), 게이트 절연층(102), 및 소스 전극층 및 드레인 전극층과 동일한 단계로 형성되는 용량 전극층(149)의 적층으로 형성된다.
- [0241] 상기 단계들을 통해, 구동 회로부에 박막 트랜지스터(183) 및 화소부에 박막 트랜지스터(173)가 동일한 기판 위에 형성될 수 있다.
- [0242] 실시형태 1에서와 같이, 격벽(193)이 형성되고 EL 층(194) 및 제 2 전극층(195)이 제 1 전극층(110) 위에 적층됨으로써, 발광 소자를 포함하는 이 실시형태의 발광 장치가 제작된다(도 10 참조).
- [0243] 이 실시형태는 다른 실시형태들에서 기술된 구조들과 적절히 조합하여 구현될 수 있다.
- [0244] (실시형태 6)
- [0245] 이 실시형태에서, 실시형태 1 내지 실시형태 5 중 임의의 실시형태에서 기술된 발광 장치에 있어서, 박막 트랜지스터 및 전계 발광을 이용하는 발광 소자의 사용에 의해 액티브 매트릭스 발광 표시 장치를 제작하는 예가 기술될 것이다.
- [0246] 전계 발광을 이용하는 발광 소자들은 발광 재료가 유기 화합물인지 무기 화합물인지에 따라 분류된다. 일반적으로, 전자는 유기 EL 소자라고 하고, 후자는 무기 EL 소자라고 한다.
- [0247] 유기 EL 소자에 있어서, 발광 소자에 전압을 인가함으로써, 전자들 및 정공들이 각각 한 쌍의 전극들로부터 발광성 유기 화합물을 함유하는 층으로 주입되고, 따라서, 전류가 흐른다. 이어서, 캐리어들(전자들 및 정공들)이 재결합하여, 발광성 유기 화합물이 여기된다. 발광성 유기 화합물이 여기 상태에서부터 기저 상태로 돌아옴으로써 발광된다. 이러한 메커니즘으로 인해, 이러한 발광 소자는 전류-여기형 발광 소자라고 한다.
- [0248] 무기 EL 소자들은 그들의 소자 구성들에 따라서 분산형 무기 EL 소자 및 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자들이 바인더에 분산되는 발광층을 갖고, 그 발광 메커니즘은 도너 준위 및 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층이 유전층들 사이에 끼워지고, 또한 그것이 전극들 사이에 끼워지는 구조를 갖고, 그 발광 메커니즘은 금속 이온들의 내각 전자 천이를 이용하는 국제형 발광이다. 본원에서는 발광 소자로서 유기 EL 소자의 예가 기술된다는 것을 유념해야 한다.
- [0249] 도 19는 발광 장치의 예로서 디지털 시간 계조 구동이 적용될 수 있는 화소 구성의 예를 도시한다.
- [0250] 디지털 시간 계조 구동이 적용될 수 있는 화소의 구조 및 동작이 기술된다. 여기서, 하나의 화소는 채널 형성

영역을 위한 산화물 반도체층을 각각 포함하는 2개의 n-채널 트랜지스터들을 포함한다.

- [0251] 화소(6400)는 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404), 및 용량소자(6403)를 포함한다. 스위칭용 트랜지스터(6401)의 게이트는 주사선(6406)에 접속되고, 스위칭용 트랜지스터(6401)의 제 1 전극(소스 전극 및 드레인 전극 중 하나)은 신호선(6405)에 접속되고, 스위칭용 트랜지스터(6401)의 제 2 전극(소스 전극 및 드레인 전극 중 다른 하나)은 구동용 트랜지스터(6402)의 게이트에 접속된다. 구동용 트랜지스터(6402)의 게이트는 용량소자(6403)를 통해 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제 1 전극은 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제 2 전극은 발광 소자(6404)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 대응한다. 공통 전극(6408)은 동일한 기판 위에 제공되는 공통 전위선에 전기적으로 접속된다.
- [0252] 발광 소자(6404)의 제 2 전극(공통 전극(6408))은 저 전원 전위로 설정된다. 저 전원 전위는, 전원선(6407)에 설정되는 고 전원 전위를 기준으로 하여 저 전원 전위가 고 전원 전위보다 작은 전위라는 것을 유념해야 한다. 저 전원 전위로서, 예를 들어, GND, 0V 등이 이용될 수도 있다. 고 전원 전위와 저 전원 전위 간의 전위 차가 발광 소자(6404)에 인가되어 전류가 발광 소자(6404)에 흐르도록 함으로써, 발광 소자(6404)가 발광한다. 따라서, 각 전위는 고 전원 전위와 저 전원 전위 간의 전위 차가 발광 소자(6404)의 순방향 임계 전압 이상이 되도록 설정된다.
- [0253] 구동용 트랜지스터(6402)의 게이트 용량이 용량(6403)의 대체물로서 사용될 때, 용량(6403)이 생략될 수 있다. 구동용 트랜지스터(6402)의 게이트 용량은 채널 영역과 게이트 전극 사이에 형성될 수도 있다.
- [0254] 전압-입력 전압 구동 방법의 경우에, 비디오 신호가 구동용 트랜지스터(6402)의 게이트에 입력되어 구동용 트랜지스터(6402)가 완전히 턴온 또는 턴 오프되도록 한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작하고; 따라서, 전원선(6407)의 전압보다 높은 전압이 구동용 트랜지스터(6402)의 게이트 인가된다. "전원선의 전압 + 구동용 트랜지스터(6402)의 V_{th} " 이상인 전압이 신호선(6405)에 인가된다는 것을 유념해야 한다.
- [0255] 디지털 시간 계조 구동 대신 아날로그 계조 구동을 수행하는 경우에, 도 19에 도시되어 있는 것과 동일한 화소 구성이 신호 입력을 변경함으로써 사용될 수 있다.
- [0256] 아날로그 계조 구동을 수행하는 경우에, 발광 소자(6404)의 순방향 전압 + 구동용 트랜지스터(6402)의 V_{th} 는 전압 이상의 전압이 구동용 트랜지스터(6402)의 게이트에 인가된다. 발광 소자(6404)의 순방향 전압은 소망의 휘도가 얻어지는 전압을 나타내고, 적어도 순방향 임계 전압을 포함한다. 구동용 트랜지스터(6402)가 포화 영역에서 동작할 수 있도록 하기 위해 비디오 신호를 입력함으로써, 발광 소자(6404)를 통해 전류가 흐를 수 있다. 구동용 트랜지스터(6402)가 포화 영역에서 동작할 수 있도록 하기 위해서, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다 높게 설정된다. 아날로그 비디오 신호에 의해, 비디오 신호에 따른 전류가 발광 소자(6404)에 흐르고, 아날로그 계조 구동이 수행될 수 있다.
- [0257] 도 19에 도시된 화소 구성은 이것으로 제한되지 않는다. 예를 들어, 스위치, 저항, 용량, 트랜지스터, 논리 회로 등이 도 19에 도시되어 있는 화소에 추가될 수도 있다.
- [0258] 다음에, 발광 소자의 구성이 도 20a 내지 도 20c를 참조하여 기술된다. 여기서, 화소의 단면 구조는 예로서 n-채널 구동용 TFT를 취함으로써 기술된다. 도 20a 내지 도 20c에 각각 도시되어 있는 발광 장치들에 사용되는 구동용 TFT들(7001, 7011 및 7021)은 실시형태 1 내지 실시형태 5 중 임의의 실시형태에서 기술된 박막 트랜지스터와 유사한 방식으로 형성될 수 있고, 산화물 반도체층을 각각 포함하는 매우 신뢰할 수 있는 박막 트랜지스터들이다.
- [0259] 발광 소자로부터 방출된 광을 추출하기 위해서, 애노드 및 캐소드 중 적어도 하나가 광을 투과시킬 필요가 있다. 박막 트랜지스터 및 발광 소자는 기판 위에 형성된다. 발광 소자는, 광이 기판에 반대쪽 표면을 통해 추출되는 상면 사출 구조; 광이 기판 측의 표면을 통해 추출되는 하면 사출 구조; 또는 기판에 반대쪽 표면 및 기판 측의 표면을 통해 광이 추출되는 양면 사출 구조를 가질 수 있다. 화소 구성은 이들 사출 구조들 중 임의의 것을 갖는 발광 소자에 적용될 수 있다.
- [0260] 하면 사출 구조를 갖는 발광 소자가 도 20a를 참조하여 기술될 것이다.
- [0261] 도 20a는 구동용 TFT(7011)가 n-채널 트랜지스터이고 발광 소자(7012)로부터 제 1 전극층(7013) 쪽으로 광이 사출되는 경우에 있어서의 화소의 단면도이다. 도 20a에 있어서, 발광 소자(7012)의 제 1 전극층(7013)은 구동용 TFT(7011)에 전기적으로 접속되는 투광성 도전막(7017) 위에 형성되고, EL 층(7014) 및 제 2 전극층(7015)이 제

1 전극층(7013) 위에 순서대로 적층된다. 도전막(7017)은 보호 절연층(7035), 보호 절연층(7032) 및 산화물 절연층(7031)에 형성된 콘택트 홀을 통해 구동용 TFT(7011)의 드레인 전극층에 전기적으로 접속된다는 것을 유념해야 한다.

[0262] 발광 도전막(7017)으로서, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가되는 인듐 주석 산화물의 막과 같은 투광성 도전막이 사용될 수 있다.

[0263] 또한, 발광 소자의 제 1 전극층(7013)에 대해 다양한 재료들이 사용될 수 있다. 예를 들어, 제 1 전극층(7013)이 캐소드로서 사용되는 경우에, Li 또는 Cs와 같은 알칼리 금속, Mg, Ca, 또는 Sr과 같은 알칼리 토류 금속, 그것들 중 임의의 것을 함유하는 합금(예를 들어, Mg:Ag, Al:Li), 또는 Yb 또는 Er과 같은 희토류 금속과 같이 낮은 일 함수를 갖는 재료가 바람직하다. 도 20a에 있어서, 제 1 전극층(7013)은 광이 투과될 수 있는 두께(바람직하게, 약 5nm 내지 30nm)를 갖도록 형성된다. 예를 들어, 20nm의 두께를 갖는 알루미늄막이 제 1 전극층(7013)으로서 사용된다.

[0264] 대안적으로, 투광성 도전막(7017) 및 제 1 전극층(7013)을 형성하기 위해 투광성 도전막 및 알루미늄막이 적층된 다음 선택적으로 에칭될 수도 있다. 이 경우에, 에칭은 동일한 마스크를 사용하여 수행될 수 있는 것이 바람직하다.

[0265] 또한, 제 1 전극층(7013)의 주변은 격벽(7019)으로 덮여진다. 격벽(7019)은 폴리이미드, 아크릴, 폴리이미드 또는 에폭시와 같은 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 사용하여 형성된다. 격벽(7019)은 제 1 전극층(7013) 위에 개구부를 갖도록 감광성 수지 재료를 사용하여 형성되어, 개구부의 측벽이 연속하는 곡률을 갖는 경사면으로서 형성되도록 하는 것이 특히 바람직하다. 감광성 수지 재료가 격벽(7019)에 사용될 때, 레지스트 마스크를 형성하는 단계는 생략될 수 있다.

[0266] 또한, 제 1 전극층(7013) 및 격벽(7019) 위에 형성된 EL 층(7014)은 적어도 발광층을 포함하고 단층 또는 적층된 복수의 층들을 사용하여 형성될 수도 있다. EL 층(7014)이 복수의 층들을 사용하여 형성될 때, 전자-주입층, 전자-수송층, 발광층, 정공-수송층, 및 정공-주입층이 캐소드로서 기능하는 제 1 전극층(7013) 위에 순서대로 적층된다. 이들 층들 모두를 형성할 필요는 없다는 것을 유념해야 한다.

[0267] 적층 순서는 상기 순서로 제한되지 않는다. 제 1 전극층(7013)은 애노드로서 기능할 수도 있고, 정공-주입층, 정공-수송층, 발광층, 전자-수송층, 및 전자-주입층이 제 1 전극층(7013) 위에 순서대로 적층될 수도 있다. 전력 소비 관점에서, 제 1 전극층(7013)은 캐소드로서 기능하도록 하고, 전자-주입층, 전자-수송층, 발광층, 정공-수송층 및 정공-주입층을 제 1 전극층(7013) 위에 순서대로 적층하는 것이 바람직하고, 이는 구동 회로부의 구동 전압의 증가가 억제될 수 있고 그에 따라서 전력 소비가 감소될 수 있기 때문이라는 것을 유념해야 한다.

[0268] 또한, EL 층(7014) 위에 형성되는 제 2 전극층(7015)에 대해 다양한 재료들이 사용될 수 있다. 예를 들어, 제 2 전극층(7015)이 애노드로서 사용되는 경우에, ZrN, Ti, W, Ni, Pt, 또는 Cr과 같이 높은 일 함수를 갖는 재료, 또는 ITO, IZO 또는 ZnO와 같은 투명 도전 재료가 바람직하다. 또한, 제 2 전극층(7015) 위에, 광을 차단하는 금속, 광을 반사하는 금속 등을 사용하여 차광막(7016)이 형성된다. 이 실시형태에서는, ITO 막이 제 2 전극층(7015)으로서 사용되고, Ti 막이 차광막(7016)으로서 사용된다.

[0269] 발광 소자(7012)는, 발광층을 포함하는 EL 층(7014)이 제 1 전극층(7013)과 제 2 전극층(7015) 사이에 끼워지는 영역에 대응한다. 도 20a에 도시되어 있는 소자 구성의 경우에, 광은 발광 소자(7012)로부터 화살표로 나타난 것과 같이 제 1 전극층(7013) 측으로 방출되어 컬러 필터층(7033)을 통과하여 외부로 나간다.

[0270] 컬러 필터층(7033)은 잉크-젯 방법 등과 같은 액적 토출 방법, 프린팅 방법, 포토리소그래피 기술의 사용에 의한 에칭 방법 등에 의해 형성된다.

[0271] 컬러 필터층(7033)은 오버코트층(7034)으로 덮이고, 보호 절연층(7035)이 또한 그 위에 형성된다. 오버코트층(7034)이 도 20a에서는 작은 두께를 갖는 것으로 도시되어 있지만, 오버코트층(7034)은 컬러 필터층(7033)으로 인한 거칠기를 감소시키는 기능을 갖는다는 것을 유념해야 한다.

[0272] 다음에, 양면 사출 구조를 갖는 발광 소자가 도 20b를 참조하여 기술될 것이다.

[0273] 도 20b에 있어서, 구동용 TFT(7021)에 전기적으로 접속되는 투광성 도전막(7027) 위에 발광 소자(7022)의 제 1 전극층(7023)이 형성되고, EL 층(7024) 및 제 2 전극층(7025)이 제 1 전극층(7023) 위에 순서대로 적층된다. 도전막(7027)은 보호 절연층(7045), 보호 절연층(7042) 및 산화물 절연층(7041)에 형성되는 콘택트 홀을 통해

구동용 TFT(7021)의 드레인 전극층에 전기적으로 접속된다는 것을 유념해야 한다.

- [0274] 투광성 도전막(7027)으로서, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가되는 인듐 주석 산화물의 막과 같은 투광성 도전막이 사용될 수 있다.
- [0275] 제 1 전극층(7023)에 대해 다양한 재료들이 사용될 수 있다. 예를 들어, 제 1 전극층(7023)이 캐소드로서 사용되는 경우에, Li 또는 Cs와 같은 알칼리 금속같이 낮은 일 함수를 갖는 재료, Mg, Ca 또는 Sr과 같은 알칼리 토류 금속, 이들 중 임의의 것을 포함하는 합금(예를 들어, Mg:Ag, Al:Li), 또는 Yb 또는 Er과 같은 희토류 금속이 바람직하다. 이 실시형태에 있어서, 제 1 전극층(7023)은 캐소드로서 기능하고, 광이 투과될 수 있는 두께(바람직하게, 약 5nm 내지 30nm)를 갖도록 형성된다. 예를 들어, 20nm의 두께를 갖는 알루미늄막이 캐소드로서 사용된다.
- [0276] 대안적으로, 투광성 도전막 및 알루미늄막이 적층된 다음 선택적으로 에칭되어, 투광성 도전막(7027) 및 제 1 전극층(7023)을 형성하도록 할 수도 있다. 이 경우에, 동일한 마스크를 사용하여 에칭이 수행될 수 있는 것이 바람직하다.
- [0277] 또한, 제 1 전극층(7023)의 주변은 격벽(7029)으로 덮인다. 격벽(7029)은 폴리이미드, 아크릴, 폴리아미드 또는 에폭시와 같은 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성된다. 격벽(7029)은 제 1 전극층(7023) 위에 개구부를 갖도록 감광성 수지 재료를 사용하여 형성되어, 개구부의 측벽이 연속하는 곡률을 갖는 경사면으로서 형성되도록 하는 것이 특히 바람직하다. 감광성 수지 재료가 격벽(7029)에 사용될 때, 레지스트 마스크를 형성하는 단계가 생략될 수 있다.
- [0278] 또한, 제 1 전극층(7023) 및 격벽(7029) 위에 형성된 EL 층(7024)은 적어도 발광층을 포함할 수도 있고, 단층 또는 적층된 복수의 층들을 사용하여 형성될 수도 있다. EL 층(7024)이 복수의 층들을 사용하여 형성될 때, 캐소드로서 기능하는 제 1 전극층(7023) 위에 전자-주입층, 전자-수송층, 발광층, 정공-수송층, 및 정공-주입층이 순서대로 적층된다. 이들 층들을 모두 형성할 필요는 없다는 것을 유념해야 한다.
- [0279] 적층 순서는 상기 순서로 제한되지 않는다. 제 1 전극층(7023)은 애노드로서 기능할 수도 있고, 정공-주입층, 정공-수송층, 발광층, 전자-수송층, 및 전자-주입층이 애노드 위에 순서대로 적층될 수도 있다. 전력 소비 관점에서, 제 1 전극층(7023)이 캐소드로서 기능하도록 하고, 캐소드 위에 전자-주입층, 전자-수송층, 발광층, 정공-수송층, 및 정공-주입층을 순서대로 적층하는 것이 바람직하며, 이는 전력 소비가 감소될 수 있기 때문이다.
- [0280] 또한, EL 층(7024) 위에 형성되는 제 2 전극층(7025)에 대해 다양한 재료들이 사용될 수 있다. 예를 들어, 제 2 전극층(7025)이 애노드로서 사용되는 경우에, 높은 일 함수를 갖는 재료, 예를 들어, ITO, IZO 또는 ZnO와 같은 투명 도전 재료가 사용되는 것이 바람직하다. 이 실시형태에 있어서, 제 2 전극층(7025)은 애노드로서 사용되고, 산화 실리콘을 포함하는 ITO 막이 형성된다.
- [0281] 발광 소자(7022)는, 발광층을 포함하는 EL 층(7024)이 제 1 전극층(7023)과 제 2 전극층(7025) 사이에 끼워지는 영역에 대응한다. 도 20b에 도시되어 있는 소자 구성의 경우에, 화살표들로 나타난 바와 같이, 발광 소자(7022)로부터 제 2 전극층(7025) 측 및 제 1 전극층(7023) 측으로 광이 방출된다.
- [0282] 컬러 필터층(7043)은 잉크-젯 방법 등과 같은 액적 토출 방법, 프린팅 방법, 포토리소그래피 기술의 사용에 의한 에칭 방법 등에 의해 사용된다.
- [0283] 컬러 필터층(7043)은 오버코트층(7044)으로 덮여지고, 보호 절연층(7045)이 또한 그 위에 형성된다.
- [0284] 양면 사출 구조를 갖는 발광 소자가 사용되고, 두 표시 표면들 상에서 풀 컬러 표시가 수행될 때, 제 2 전극층(7025) 측으로부터의 광은 컬러 필터층(7043)을 통과하지 않고; 따라서, 또 다른 컬러 필터층이 제공되는 밀봉 기판이 제 2 전극층(7025) 상에 제공되는 것이 바람직하다는 것을 유념해야 한다.
- [0285] 다음에, 상면 사출 구조를 갖는 발광 소자가 도 20c를 참조하여 기술될 것이다.
- [0286] 도 20c는 구동용 TFT(7001)가 n-채널 트랜지스터이고 광이 발광 소자(7002)로부터 제 2 전극층(7005) 측으로 방출되는 경우에 있어서의 화소의 단면도이다. 20c에 있어서, TFT(7001)에 전기적으로 접속되는 발광 소자(7002)의 제 1 전극층(7003)이 형성되고, EL 층(7004) 및 제 2 전극층(7005)이 제 1 전극층(7003) 위에 순서대로 적층된다.
- [0287] 또한, 제 1 전극층(7003)에 대해 다양한 재료들이 사용될 수 있다. 예를 들어, 제 1 전극층(7003)이 캐소드로

서 사용되는 경우에, Li 또는 Cs와 같은 알칼리 금속과 같이 낮은 일 함수를 갖는 재료, Mg, Ca 또는 Sr과 같은 알칼리 토류 금속, 그것들 중 임의의 것을 함유하는 합금(예를 들어, Mg:Ag, Al:Li), 또는 Yb 또는 Er과 같은 희토류 금속이 바람직하다.

[0288] 또한, 제 1 전극층(7003)의 주변은 격벽(7009)으로 덮여진다. 격벽(7009)은 폴리이미드, 아크릴, 폴리아미드 또는 에폭시와 같은 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 사용하여 형성된다. 제 1 전극층(7003) 위에 개구부를 갖도록 감광성 수지 재료를 사용하여 격벽(7009)이 형성되어, 개구부의 측벽이 연속하는 곡률을 갖는 경사면으로서 형성되도록 하는 것이 특히 바람직하다. 감광성 수지 재료가 격벽(7009)에 사용될 때, 레지스트 마스크를 형성하는 단계가 생략될 수 있다.

[0289] 또한, 제 1 전극층(7003) 및 격벽(7009) 위에 형성되는 EL 층(7004)은 적어도 발광층을 포함할 수도 있고, 단층 또는 적층된 복수의 층들을 사용하여 형성될 수도 있다. EL 층(7004)이 복수의 층들을 사용하여 형성될 때, 캐소드로서 사용되는 제 1 전극층(7003) 위에 전자-주입층, 전자-수송층, 발광층, 정공-수송층, 및 정공-주입층이 순서대로 적층된다. 이들 층들 모두를 형성할 필요는 없다는 것을 유념해야 한다.

[0290] 적층 순서는 상기 순서로 제한되지 않는다. 애노드로서 사용되는 제 1 전극층(7003) 위에 정공-주입층, 정공-수송층, 발광층, 전자-수송층, 및 전자-주입층이 순서대로 적층될 수도 있다.

[0291] 도 20c에 있어서, Ti 막, 알루미늄막, 및 Ti 막이 순서대로 형성되는 적층막 위에 정공-주입층, 정공-수송층, 발광층, 전자-수송층, 및 전자-주입층이 순서대로 적층되고, 따라서, Mg:Ag 합금 박막 및 ITO 막의 적층이 형성된다.

[0292] TFT(7001)가 n형 트랜지스터일 때, 전자-주입층, 전자-수송층, 발광층, 정공-수송층, 및 정공-주입층을 제 1 전극층(7003) 위에 순서대로 적층하는 것이 바람직하고, 이는 구동 회로의 전압 증가가 억제될 수 있고, 그에 따라서, 전력 소비가 감소될 수 있기 때문이라는 것을 유념해야 한다.

[0293] 제 2 전극층(7005)은 투광성 도전막을 사용하여 형성된다. 예를 들어, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가되는 인듐 주석 산화물의 막과 같은 투광성 도전막이 사용될 수 있다.

[0294] 발광 소자(7002)는 발광층을 포함하는 EL 층(7004)이 제 1 전극층(7003)과 제 2 전극층(7005) 사이에 끼워지는 영역에 대응한다. 도 20c에 도시되어 있는 화소의 경우에, 광은 화살표로 나타낸 것과 같이 발광 소자(7002)로부터 제 2 전극층(7005) 측으로 방출된다.

[0295] 또한, 도 20c에 있어서, TFT(7001)의 드레인 전극층은 산화물 절연층(7051), 보호 절연층(7052), 및 보호 절연층(7055)에 형성된 콘택트 홀을 통해 제 1 전극층(7003)에 전기적으로 접속된다. 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드 또는 에폭시와 같은 수지 재료를 사용하여 평탄화 절연층(7053)이 형성될 수 있다. 이러한 수지 재료들 외에, 저 유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 사용하는 것도 바람직하다. 평탄화 절연층(7053)은 이들 재료들을 사용하여 형성되는 복수의 절연막들을 적층함으로써 형성될 수도 있다는 것을 유념해야 한다. 평탄화 절연층(7053)을 형성하기 위한 방법에 대해서는 특별한 제한이 없다. 평탄화 절연층(7053)은, 재료에 의존하여, 스퍼터링 방법, SOG 방법, 스핀 코팅 방법, 디핑 방법, 스프레이 코팅 방법, 또는 액적 토출 방법(예를 들어, 잉크젯 방법, 스크린 프린팅, 또는 오프셋 프린팅)과 같은 방법으로, 또는 닥터 나이프, 롤 코터, 커튼 코터, 또는 나이프 코터와 같은 수단에 의해 형성될 수 있다.

[0296] 또한, 격벽(7009)은 인접 화소의 제 1 전극층으로부터 제 1 전극층(7003)을 절연시키기 위해 형성된다. 격벽(7009)은 폴리이미드, 아크릴, 폴리아미드 또는 에폭시와 같은 유기 수지막, 무기 절연막, 또는 유기 폴리실록산의 막을 사용하여 형성된다. 격벽(7009)은 제 1 전극층(7003) 위에 개구부를 갖도록 감광성 수지 재료를 사용하여 형성되어, 개구부의 측벽이 연속하는 곡률을 갖는 경사면으로서 형성되도록 하는 것이 특히 바람직하다. 감광성 수지 재료가 격벽(7009)에 사용될 때, 레지스트 마스크를 형성하는 단계가 생략될 수 있다.

[0297] 도 20c의 구조에 있어서, 풀 컬러 표시가 수행될 때, 예를 들어, 발광 소자(7002)가 녹색 발광 소자로서 사용되고, 인접한 발광 소자들 중 하나는 적색 발광 소자로서 사용되고, 다른 것은 청색 발광 소자로서 사용된다. 대안적으로, 네 종류들의 발광 소자들을 사용하는 풀 컬러 표시가 가능한 발광 표시 장치가 제작될 수도 있고, 이는 세 종류들의 발광 소자들뿐만 아니라 백색 발광 소자를 포함한다.

- [0298] 대안적으로, 도 20c에 도시된 구조에 있어서, 배열되는 복수의 발광 소자들 모두가 백색 발광 소자들이고 컬러 필터 등을 갖는 밀봉 기관이 발광 소자(7002) 위에 배열되는 방식으로, 풀 컬러 표시가 가능한 발광 표시 장치가 제작될 수도 있다. 백색과 같이 단색을 나타내는 재료가 형성된 다음 컬러 필터 또는 컬러 변환층과 조합될 때, 풀 컬러 표시가 수행될 수 있다.
- [0299] 제 1 전극층이 박막 트랜지스터와 직접 접촉하는 예들이 도 20a 내지 도 20c에 도시되어 있지만; 실시형태 4에서 기술된 것과 같이, 박막 트랜지스터의 드레인 전극층은 접속 전극층을 통해 제 1 전극층에 전기적으로 접속될 수도 있다. 실시형태 2, 실시형태 3 및 실시형태 5 중 어느 하나에 기술된 박막 트랜지스터들은 TFT들(7001, 7011 및 7021)로서 사용될 수도 있다.
- [0300] 말할 필요없이, 단색 발광의 표시 또한 수행될 수 있다. 예를 들어, 조명 장치는 백색 발광을 사용하여 형성될 수 있고; 대안적으로, 에어리어-컬러 발광 장치가 단색 발광을 사용하여 형성될 수도 있다.
- [0301] 필요하다면, 원형 편광판을 포함하는 편광막과 같은 광학 막이 제공될 수도 있다.
- [0302] 여기서는 발광 소자로서 유기 EL 소자가 기술되었지만, 무기 EL 소자 또한 발광 소자로서 제공될 수 있다는 것을 유념해야 한다.
- [0303] 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)가 발광 소자에 전기적으로 접속되는 예가 기술되었지만; 전류 제어를 위한 TFT가 구동용 TFT와 발광 소자 사이에 접속되는 구조가 이용될 수도 있다는 것을 유념해야 한다.
- [0304] 이 실시형태는 다른 실시형태들 중 임의의 것과 적절히 조합될 수 있다.
- [0305] (실시형태 7)
- [0306] 이 실시형태에 있어서, 실시형태 1 내지 실시형태 6 중 임의의 실시형태에서 기술된 발광 소자의 소자 구성의 예가 기술될 것이다.
- [0307] 도 21a에 도시되어 있는 소자 구성에 있어서, 발광 영역을 포함하는 EL 층(1003)이 한 쌍의 전극들(제 1 전극(1001) 및 제 2 전극(1002)) 사이에 끼워져 있다. 이 실시형태의 다음 기술에 있어서 예로서 제 1 전극(1001)은 애노드로서 사용되고 제 2 전극(1002)은 캐소드로서 사용된다는 것을 유념해야 한다.
- [0308] EL 층(1003)은 적어도 발광층을 포함하고, 발광층 외에 기능층을 포함하는 적층 구조를 가질 수도 있다. 발광층 이외의 기능층으로서, 높은 정공-주입성을 갖는 물질, 높은 정공-수송성을 갖는 물질, 높은 전자-수송성을 갖는 물질, 높은 전자-주입성을 갖는 물질, 양극성 물질(높은 전자-수송 및 정공-수송성을 갖는 물질) 등을 포함하는 층이 사용될 수 있다. 구체적으로, 정공-주입층, 정공-수송층, 전자-수송층, 및 전자-주입층과 같은 기능층들이 적절히 조합되어 사용될 수 있다.
- [0309] 도 21a에 도시되어 있는 발광 소자는, 제 1 전극(1001)과 제 2 전극(1002) 사이에서 발생하는 전위차로 인해 전류가 흐르고 정공들 및 전자들은 EL 층(1003)에서 재결합할 때 발광한다. 즉, 발광 영역이 EL 층(1003)에 형성된다.
- [0310] 제 1 전극(1001) 및 제 2 전극(1002) 중 하나 또는 모두를 통해 발광이 외부로 추출된다. 따라서, 제 1 전극(1001) 및 제 2 전극(1002) 중 어느 하나 또는 모두는 투광성 물질을 사용하여 형성된다.
- [0311] 도 21b에 도시되어 있는 것과 같이, 제 1 전극(1001) 및 제 2 전극(1002) 사이에는 복수의 EL 층들이 적층될 수도 있다는 것을 유념해야 한다. n (n 은 2 이상의 자연수)개의 층들이 적층되는 경우에, 각 m -번째(m 은 1 이상 및 $n-1$ 이하의 자연수) EL 층과 각 $(m+1)$ -번째 EL 층 사이에는 바람직하게 전하 발생층(1004)이 제공된다.
- [0312] 전하 발생층(1004)은 유기 화합물과 금속 산화물의 복합 재료, 금속 산화물, 또는 유기 화합물과 알칼리 금속, 알칼리 토류 금속 또는 그 화합물의 복합 재료를 사용하여 형성될 수 있다. 대안적으로, 이들 재료들은 적절히 조합될 수 있다. 유기 화합물과 금속 산화물의 복합 재료는, 예를 들어, 유기 화합물과 V_2O_5 , MoO_3 또는 WO_3 와 같은 금속 산화물을 포함한다. 유기 화합물로서, 방향족 아민 화합물, 카르바졸 유도체, 방향족 탄화수소, 및 고분자 화합물(올리고머, 덴드리머, 폴리머 등)과 같은 다양한 화합물들이 사용될 수 있다. 유기 화합물로서, 정공-수송성을 갖고 $10^{-6} \text{ cm}^2/\text{Vs}$ 이상의 정공 이동도를 갖는 유기 화합물을 사용하는 것이 바람직하다. 그러나, 물질들이 전자-수송성들보다 높은 정공-수송성들을 갖는 한, 상술된 재료들 이외의 물질들이 또한 사용될 수도 있다. 전하 발생층(1004)에 사용되는 이들 재료들은 캐리어-주입성 및 캐리어-수송성이 우수하고; 따라서, 발

광 소자가 저 전류 및 저 전압에서 구동될 수 있다.

- [0313] 전하 발생층(1004)은 유기 화합물과 금속 산화물의 복합 재료와 또 다른 재료의 조합으로 형성될 수도 있다는 것을 유념해야 한다. 예를 들어, 유기 화합물과 금속 산화물의 복합 재료를 포함하는 층은 전자-공여성을 갖는 물질들로부터 선택된 물질의 화합물 및 높은 전자-수송성을 갖는 화합물을 포함하는 층과 조합될 수도 있다. 또한, 유기 화합물과 금속 산화물의 복합 재료를 포함하는 층이 투명 도전막과 조합될 수도 있다.
- [0314] 이러한 구조를 갖는 발광 소자에 있어서, 에너지 이동 및 소광(quenching)과 같은 문제점들이 발생하지 않을 수 있고, 재료들의 선택에 있어서의 확장성으로 인해 높은 발광 효율 및 긴 수명 모두를 갖는 발광 소자가 쉽게 얻어질 수 있다. 또한, EL 층들 중 하나로부터 인광을, EL 층들 중 다른 하나로부터 형광을 제공하는 발광 소자가 쉽게 얻어질 수 있다.
- [0315] 전하 발생층(1004)은, 제 1 전극층(1001) 및 제 2 전극층(1002)에 전압이 인가될 때, 전하 발생층(1004)과 접촉하여 형성되는 하나의 EL 층(1003)에 정공들을 주입하는 기능 및 전하 발생층(1004)과 접촉하여 형성되는 다른 EL 층(1003)에 전자들을 주입하는 기능을 갖는다는 것을 유념해야 한다.
- [0316] 도 21b에 도시된 발광 소자는 발광층에 사용되는 발광 물질의 종류를 변경함으로써 다양한 발광색들을 제공할 수 있다. 또한, 상이한 컬러들의 복수의 발광 물질들이 발광 물질로서 사용됨으로써, 넓은 스펙트럼을 갖는 발광 또는 백색 발광 또한 얻어질 수 있다.
- [0317] 도 21b에 도시되어 있는 발광 소자를 사용하여 백색 광을 얻는 경우에, 복수의 발광층들의 조합에 있어서, 적색 광, 청색 광 및 녹색 광을 포함하는 백색 광을 방출하기 위한 구조가 사용될 수도 있다. 예를 들어, 발광 물질로서 청색 형광 물질을 포함하는 제 1 EL 층 및 발광 물질들로서 녹색 및 적색 인광 물질들을 포함하는 제 2 EL 층을 포함하는 구성을 들 수 있다. 대안적으로, 적색 발광을 나타내는 제 1 EL 층, 녹색 발광을 나타내는 제 2 EL 층, 및 청색 발광을 나타내는 제 EL 층을 포함하는 구성을 들 수 있다. 또한, 보색들의 광을 방출하는 발광층들을 포함하는 구성에 의해, 백색 발광이 얻어질 수 있다. 적층된 2개의 EL 층들을 포함하는 소자에서, 제 1 EL 층으로부터의 발광 및 제 2 EL 층으로부터의 발광이 서로에 대해 보색들을 가질 때, 컬러들의 조합은 다음과 같다: 청색 및 황색, 청색-녹색 및 적색 등.
- [0318] 상술된 적층형 소자의 구성에 있어서, 적층된 EL 층들 사이에 전하 발생층을 제공함으로써, 소자는 전류 밀도를 낮게 유지하면서 높은 휘도 영역에서 긴 수명을 가질 수 있다는 것을 유념해야 한다. 또한, 전극 재료의 저항으로 인한 전압 강하가 감소될 수 있음으로써, 넓은 면적에서 균일한 발광이 가능하다.
- [0319] 이 실시형태는 다른 실시형태들에 개시된 구조들과 적절히 조합될 수 있다.
- [0320] (실시형태 8)
- [0321] 이 실시형태에 있어서, 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면이 도 22a 및 도 22b를 참조하여 기술될 것이다. 도 22a는 제 1 기판 위에 형성되는 박막 트랜지스터 및 발광 소자가 제 1 기판과 제 2 기판 사이에 절재로 밀봉되는 패널의 평면도이다. 도 22b는 도 22a의 H-I 선을 따라 취해진 단면도이다.
- [0322] 절재(4505)는 제 1 기판(4501) 위에 제공되는 화소부(4502), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)을 둘러싸도록 제공된다. 또한, 제 2 기판(4506)이 화소부(4502), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b) 위에 제공된다. 따라서, 화소부(4502), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)은 제 1 기판(4501), 절재(4505) 및 제 2 기판(4506)에 의해 충전재(4507)와 함께 밀봉된다. 패널은 높은 기밀성 및 적은 탈가스를 갖는 (접합막 또는 자외선 경화 수지막과 같은) 보호막 또는 커버재로 패키징(밀봉)되어 재료를 덮어서 패널이 외기에 노출되지 않도록 하는 것이 바람직하다.
- [0323] 제 1 기판(4501) 위에 형성되는 화소부(4502), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b) 각각은 복수의 박막 트랜지스터들을 포함하고, 화소부(4502)에 포함되는 박막 트랜지스터(4510) 및 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)가 도 22b에서 예로서 도시되어 있다.
- [0324] 실시형태 1 내지 실시형태 5에 도시되어 있는, 산화물 반도체층들을 포함하는 매우 신뢰할 수 있는 박막 트랜지스터들 중 임의의 것이 박막 트랜지스터들(4509 및 4510)로서 사용될 수 있다. 구동 회로용 박막 트랜지스터(4509)로서, 실시형태 1 내지 실시형태 5에 기술되어 있는 박막 트랜지스터들(180, 181 및 182) 중 임의의 것이 사용될 수 있다. 화소용 박막 트랜지스터(4510)로서, 실시형태 1 내지 실시형태 5에 기술되어 있는 박막 트랜지스터들(170, 171 및 172) 중 임의의 것이 사용될 수 있다. 이 실시형태에 있어서, 박막 트랜지스터들(4509

및 4510)은 n-채널 박막 트랜지스터들이다.

- [0325] 구동 회로용 박막 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 중첩하도록 도전층(4540)이 절연층(4544) 위에 제공된다. 산화물 반도체층의 채널 형성 영역과 중첩하도록 도전층(4540)이 제공됨으로써, BT 테스트 전후에 박막 트랜지스터(4509)의 임계 전압의 변경량이 감소될 수 있다. 또한, 도전층(4540)의 전위는 박막 트랜지스터(4509)의 게이트 전극층의 전위와 같거나 다를 수도 있다. 도전층(4540)은 또한 제 2 게이트 전극층으로서 기능할 수 있다. 대안적으로, 도전층(4540)의 전위는 GND 또는 0V일 수도 있거나, 또는 도전층(4540)은 플로팅 상태에 있을 수도 있다.
- [0326] 도시되어 있지는 않지만, 실시형태 1의 보호 절연층(106)과 같은 보호 절연층이 산화물 절연층(4542)과 절연층(4544) 사이에 제공될 수도 있다.
- [0327] 박막 트랜지스터(4510)는 제 1 전극층(4517)에 전기적으로 접속된다.
- [0328] 산화물 절연층(4542)은 실시형태 1에서 기술된 산화물 절연막(107)과 유사한 재료 및 방법을 사용하여 형성될 수도 있다.
- [0329] 발광 소자(4511)의 발광 영역과 중첩하도록 하기 위해 컬러 필터층(4545)이 산화물 절연층(4542) 위에 형성된다.
- [0330] 또한, 컬러 필터층(4545)의 표면 거칠기를 감소시키기 위해서, 컬러 필터층(4545)은 평탄화 절연막으로서 기능하는 오버코트층(4543)으로 덮여진다.
- [0331] 또한, 절연층(4544)이 오버코트층(4543) 위에 형성된다. 절연층(4544)은 실시형태 1에서 기술된 보호 절연층(109)과 유사한 재료 및 방법을 사용하여 형성될 수도 있다.
- [0332] 또한, 참조부호 4511은 발광 소자를 나타낸다. 발광 소자(4511)에 포함되는 화소 전극인 제 1 전극층(4517)은 박막 트랜지스터(4510)의 소스 또는 드레인 전극층에 전기적으로 접속된다. 발광 소자(4511)가 제 1 전극층(4517), 전계 발광층(4512), 및 제 2 전극층(4513)의 적층 구조를 갖더라도, 발광 소자(4511)의 구성은 이 실시형태에서 기술되는 구성으로 제한되지 않는다는 것을 유념해야 한다. 발광 소자(4511)의 구성은 광이 발광 소자(4511) 등으로부터 추출되는 방향에 의존하여 적절히 변경될 수 있다.
- [0333] 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 격벽(4520)이 형성된다. 격벽(4520)은 감광성 재료를 사용하여 형성되고 제 1 전극층(4517) 위에 개구가 형성되어, 개구의 측벽이 연속하는 곡물을 갖는 경사면으로서 형성되도록 하는 것이 특히 바람직하다.
- [0334] 전계 발광층(4512)은 단층 또는 적층된 복수의 층들로 형성될 수도 있다.
- [0335] 산소, 수소, 수분, 이산화탄소 등이 발광 소자(4511)에 침입되는 것을 방지하기 위해서, 보호막이 제 2 전극층(4513) 및 격벽(4520) 위에 형성될 수도 있다. 보호막으로서, 질화 실리콘막, 질화산화 실리콘막, DLC 막 등이 형성될 수 있다.
- [0336] 또한, 다양한 신호들 및 전위들이 FPC들(4518a 및 4518b)로부터 신호선 구동 회로들(4503a 및 4503b), 주사선 구동 회로들(4504a 및 4504b), 또는 화소부(4502)에 공급된다.
- [0337] 발광 소자(4511)에 포함되는 제 1 전극층(4517)과 동일한 도전막으로부터 접속 단자 전극(4515)이 형성되고, 박막 트랜지스터(4509)에 포함되는 소스 및 드레인 전극층들과 동일한 도전막으로부터 단자 전극(4516)이 형성된다.
- [0338] 접속 단자 전극(4515)은 이방성 도전막(4519)을 통해 FPC(4518a)에 포함된 단자에 전기적으로 접속된다.
- [0339] 발광 소자(4511)로부터 광이 추출되는 방향에 위치되어 있는 제 2 기판은 투광성을 가질 필요가 있다. 그 경우에, 유리판, 플라스틱판, 폴리에스테르막 또는 아크릴막과 같은 투광성 재료가 제 2 기판(4506)에 사용된다.
- [0340] 충전재(4507)로서, 질소 또는 아르곤과 같은 불활성 가스 외에, 자외선 경화 수지 또는 열경화성 수지가 사용될 수 있다. 예를 들어, PVC(polyvinyl chloride), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(polyvinyl butyral), 또는 EVA(ethylene vinyl acetate)가 사용될 수 있다. 예를 들어, 질소가 충전재로 사용된다.
- [0341] 또한, 필요하다면, 편광판, (타원형 편광판을 포함한) 원형 편광판, 위상차판($\lambda/4$ 판 또는 $\lambda/2$ 판), 또는 컬러 필터와 같은 광학 막이 발광 소자의 발광면 상에 적절히 제공될 수도 있다. 또한, 편광판 또는 원형 편광판

에는 반사 방지막(anti-reflection film)이 제공될 수도 있다. 예를 들어, 반사된 광이 표면 상의 요철들에 의해 확산될 수 있도록 하는 눈부심 방지(anti-glare) 처리가 수행될 수도 있어서, 눈부심이 감소될 수 있도록 한다.

- [0342] 신호선 구동 회로들(4503a 및 4503b) 및 주사선 구동 회로들(4504a 및 4504b)은, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성되는 구동 회로들로서 실장될 수도 있다. 대안적으로, 신호선 구동 회로들이나 그 일부, 또는 주사선 구동 회로들이나 그 일부만이 개별적으로 형성되어 탑재될 수도 있다. 이 실시형태는 도 22a 및 도 22b에 도시되어 있는 구성으로 제한되지 않는다.
- [0343] 상기 단계들을 통해, 반도체 장치로서 신뢰성이 높은 발광 장치(표시 패널)가 제작될 수 있다.
- [0344] 이 실시형태는 다른 실시형태들에서 기술된 구성들과 적절히 조합되어 구현될 수 있다.
- [0345] (실시형태 9)
- [0346] 이 실시형태에 있어서, 적어도 구동 회로들 중 일부 및 화소부에 제공되는 박막 트랜지스터가 동일한 기판 위에 형성되는 예가 이하 기술된다.
- [0347] 화소부에 제공되는 박막 트랜지스터는 실시형태 1 내지 실시형태 5에 따라서 형성된다. 실시형태 1 내지 실시형태 5에 기술되어 있는 박막 트랜지스터들은 n-채널 TFT들이고; 따라서, n-채널 TFT들을 사용하여 형성될 수 있는 구동 회로들 중 일부는 화소부의 박막 트랜지스터와 동일한 기판 위에 형성된다.
- [0348] 도 12a는 액티브 매트릭스 표시 장치의 블록도의 예를 도시한다. 표시 장치는 기판(5300) 위에 화소부(5301), 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303), 및 신호선 구동 회로(5304)를 포함한다. 화소부(5301)에는, 신호선 구동 회로(5304)로부터 연장되는 복수의 신호선들 및 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303)로부터 연장되는 복수의 주사선들이 제공된다. 표시 소자들을 포함하는 화소들은 주사선들 및 신호선들이 교차하는 영역들에서 매트릭스형으로 배열된다는 것을 유념해야 한다. 또한, 표시 장치의 기판(5300)은 플렉시블 인쇄 회로(FPC)와 같은 접속부를 통해 타이밍 제어 회로(5305)(제어기 또는 제어 IC라고도 함)에 접속된다.
- [0349] 도 12a에 있어서, 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303), 및 신호선 구동 회로(5304)가 화소부(5301)와 동일한 기판(5300) 위에 형성된다. 따라서, 외부에 제공되는 구동 회로 등의 부품들의 수가 감소되고, 그것은 비용 감소를 가져온다. 또한, 구동 회로가 기판(5300) 외부에 제공되는 경우에 배선들을 연장함으로써 접속부에서 접속들의 수가 감소될 수 있고, 그것은 신뢰성의 향상 또는 수율의 향상을 가져온다.
- [0350] 타이밍 제어 회로(5305)는, 예를 들어, 제 1 주사선 구동 회로 시작 신호(GSP1) 및 주사선 구동 회로 클럭 신호(GCLK1)를 제 1 주사선 구동 회로(5302)에 공급한다. 타이밍 제어 회로(5305)는, 예를 들어, 제 2 주사선 구동 회로 시작 신호(GSP2, 시작 펄스라고도 함) 및 주사선 구동 회로 클럭 신호(GCLK2)를 제 2 주사선 구동 회로(5303)에 공급한다. 타이밍 제어 회로(5305)는 신호선 구동 회로 시작 신호(SSP), 신호선 구동 회로 클럭 신호(SCLK), 비디오 신호 데이터(DATA, 간단히 비디오 신호라고도 함), 및 래치 신호(LAT)를 신호선 구동 회로(5304)에 공급한다. 각 클럭 신호는 위상들이 이동되는 복수의 클럭 신호들일 수도 있거나, 또는 클럭 신호를 반전시켜 얻어지는 반전된 클럭 신호(CKB)와 함께 공급될 수도 있다는 것을 유념해야 한다. 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303) 중 하나가 제거될 수 있다는 것을 유념해야 한다.
- [0351] 도 12b는 구동 주파수가 낮은 회로들(예를 들어, 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303))이 화소부(5301)와 동일한 기판(5300) 위에 형성되고, 신호선 구동 회로(5304)가 화소부(5301)와는 다른 기판 위에 형성되는 구성을 도시한다. 이 구조에 의해, 기판(5300) 위에 형성된 구동 회로는 단결정 반도체를 사용하여 형성되는 트랜지스터에 비해 전계 효과 이동도가 낮은 박막 트랜지스터를 사용하여 형성될 수 있다. 따라서, 표시 장치의 크기 증가, 비용 감소, 수율 향상 등이 달성될 수 있다.
- [0352] 실시형태 1 내지 실시형태 5에서 기술된 박막 트랜지스터들은 n-채널 TFT들이다. 도 13a 및 도 13b는 n-채널 TFT들을 사용하여 형성되는 신호선 구동 회로의 구성 및 동작의 예를 도시한다.
- [0353] 신호선 구동 회로는 시프트 레지스터(5601) 및 스위칭 회로(5602)를 포함한다. 스위칭 회로(5602)는 복수의 스위칭 회로들(5602_1 내지 5602_N)(N은 자연수)을 포함한다. 스위칭 회로들(5602_1 내지 5602_N)은 각각 복수의 박막 트랜지스터들(5603_1 내지 5603_k)(k는 자연수)을 포함한다. 박막 트랜지스터들(5603_1 내지 5603_k)이 n-채널 TFT들인 예가 기술된다.

- [0354] 신호선 구동 회로에서의 접속 관계가 스위칭 회로(5602_1)를 예로 하여 기술된다. 박막 트랜지스터들(5603_1 내지 5603_k)의 제 1 단자들은 각각 배선들(5604_1 내지 5604_k)에 접속된다. 박막 트랜지스터들(5603_1 내지 5603_k)의 제 2 단자들은 각각 신호선들(S1 내지 Sk)에 접속된다. 박막 트랜지스터들(5603_1 내지 5603_k)의 게이트들은 배선(5605_1)에 접속된다.
- [0355] 시프트 레지스터(5601)는 H-레벨 신호들(H 신호들 또는 고 전원 전위 레벨의 신호들이라고도 함)을 순차적으로 배선들(5605_1 내지 5605_N)에 출력하고 스위칭 회로들(5602_1 내지 5602_N)을 순차적으로 선택하는 기능을 갖는다.
- [0356] 스위칭 회로(5602_1)는 배선들(5604_1 내지 5604_k)과 신호선들(S1 내지 Sk) 간의 도전 상태(제 1 단자들 및 제 2 단자들 간의 전기적 연속성)를 제어하기 위한 기능, 즉, 배선들(5604_1 내지 5604_k)의 전위들이 신호선들(S1 내지 Sk)에 공급되는지를 제어하는 기능을 갖는다. 이러한 방식으로, 스위칭 회로(5602_1)는 선택기로서 기능한다. 또한, 박막 트랜지스터들(5603_1 내지 5603_k) 각각은 배선들(5604_1 내지 5604_k)과 신호선들(S1 내지 Sk) 간의 도전 상태들을 제어하는 기능들, 즉, 배선들(5604_1 내지 5604_k)의 전위들을 신호선들(S1 내지 Sk)에 공급하는 기능들을 갖는다. 이러한 방식으로, 박막 트랜지스터들(5603_1 내지 5603_k) 각각은 스위치로서 기능한다.
- [0357] 비디오 신호 데이터(DATA)는 배선들(5604_1 내지 5604_k) 각각에 입력된다는 것을 유념해야 한다. 비디오 신호 데이터(DATA)는 많은 경우들에 있어서 화상 신호 또는 화상 데이터에 대응하는 아날로그 신호이다.
- [0358] 다음에, 도 13a의 신호선 구동 회로의 동작이 도 13b의 타이밍 차트를 참조하여 기술된다. 도 13b는 신호들(Sout_1 내지 Sout_N) 및 신호들(Vdata_1 내지 Vdata_k)의 예들을 도시한다. 신호들(Sout_1 내지 Sout_N)은 시프트 레지스터(5601)로부터의 출력 신호들의 예들이고, 신호들(Vdata_1 내지 Vdata_k)은 배선들(5604_1 내지 5604_k)에 입력되는 신호들의 예들이다. 신호선 구동 회로의 하나의 동작 기간은 표시 장치에서의 일 게이트 선택 기간에 대응한다는 것을 유념해야 한다. 예를 들어, 일 게이트 선택 기간은 기간들(T1 내지 TM)로 분할된다. 기간들(T1 내지 TM) 각각은 비디오 신호 데이터(DATA)가 선택된 행에서 화소들에 기록되는 기간이다.
- [0359] 이 실시형태의 도면들 등에 도시되어 있는 구성들에 있어서, 신호 파형들의 왜곡 등은 어떤 경우들에 있어서는 간략화를 위해 과장되어 있다는 것을 유념해야 한다. 따라서, 반드시 축척대로 도시되어 있는 것으로 제한되는 것은 아니다.
- [0360] 기간들(T1 내지 TM)에 있어서, 시프트 레지스터(5601)는 H-레벨 신호들을 배선들(5605_1 내지 5605_N)에 순차적으로 출력한다. 예를 들어, 기간(T1)에 있어서, 시프트 레지스터(5601)는 H-레벨 신호를 배선(5605_1)에 출력한다. 이어서, 박막 트랜지스터들(5603_1 내지 5603_k)이 턴 온되어, 배선들(5604_1 내지 5604_k) 및 신호선들(S1 내지 Sk)이 도통 상태가 된다. 이 경우에, Data(S1) 내지 Data(Sk)가 각각 배선들(5604_1 내지 5604_k)에 입력된다. Data(S1) 내지 Data(Sk)는 각각 박막 트랜지스터들(5603_1 내지 5603_k)을 통해 제 1 내지 k-번째 열들에서 선택된 행의 화소들에 입력된다. 따라서, 기간들(T1 내지 TM)에 있어서, 비디오 신호 데이터(DATA)가 선택된 행의 화소들에 k 열들씩 순차적으로 기록된다.
- [0361] 상술된 바와 같이, 비디오 신호 데이터(DATA)를 복수의 열들씩 화소들에 기록함으로써, 비디오 신호 데이터(DATA)의 수 또는 배선들의 수가 감소될 수 있다. 따라서, 외부 회로에 대한 접속들의 수가 감소될 수 있다. 비디오 신호들을 화소들에 복수의 열들씩 기록함으로써, 기록 시간이 연장될 수 있고, 비디오 신호들의 불충분한 기록이 방지될 수 있다.
- [0362] 시프트 레지스터(5601) 및 스위칭 회로(5602)로서, 실시형태 1 내지 실시형태 5 중 임의의 실시형태에 기술된 박막 트랜지스터를 포함하는 회로가 사용될 수 있다는 것을 유념해야 한다.
- [0363] 주사선 구동 회로 및/또는 신호선 구동 회로의 일부에 사용되는 시프트 레지스터의 한 형태가 도 14a 내지 도 14c, 도 15a 및 도 15b를 참조하여 기술된다.
- [0364] 주사선 구동 회로는 시프트 레지스터를 포함한다. 주사선 구동 회로는 또한 어떤 경우들에 있어서는 레벨 시프터, 버퍼 등을 포함할 수도 있다. 주사선 구동 회로에 있어서, 클럭 신호(CLK) 및 시작 펄스 신호(SP)가 시프트 레지스터에 입력된 다음, 선택 신호가 발생된다. 발생된 선택 신호는 버퍼에 버퍼링되어 증폭되고, 결과적인 신호가 대응하는 주사선에 공급된다. 한 라인 분의 화소들에 있어서의 트랜지스터들의 게이트 전극들은 주사선에 접속된다. 한 라인 분의 화소들에 있어서의 트랜지스터들은 한 번에 모두 턴 온되어야 하기 때문에, 대량의 전류를 공급할 수 있는 버퍼가 사용된다.

- [0365] 시프트 레지스터는 제 1 내지 N -번째 펄스 출력 회로들(10_1 내지 10_ N)(N 은 3 이상의 자연수)을 포함한다(도 14a 참조). 제 1 배선(11)으로부터의 제 1 클럭 신호(CK1), 제 2 배선(12)으로부터의 제 2 클럭 신호(CK2), 제 3 배선(13)으로부터의 제 3 클럭 신호(CK3), 및 제 4 배선(14)으로부터의 제 4 클럭 신호(CK4)가 도 14a에 도시되어 있는 시프트 레지스터의 제 1 내지 N -번째 펄스 출력 회로들(10_1 내지 10_ N)에 공급된다. 또한, 제 5 배선(15)으로부터의 시작 펄스(SP1)(제 1 시작 펄스)가 제 1 펄스 출력 회로(10_1)에 입력된다. 또한, 이전 단의 펄스 출력 회로(10_(n -1))로부터의 신호(이전 단 신호(OUT(n -1))라고 함)가 제 2 또는 후속 단에서의 n -번째 펄스 출력 회로(10_ n)(n 은 2 이상 및 N 이하의 자연수)에 입력된다. 제 1 펄스 출력 회로(10_1) 이후의 2개의 단들인 제 3 펄스 출력 회로(10_3)로부터의 신호가 제 1 펄스 출력 회로(10_1)에 입력된다. 유사하게, n -번째 펄스 출력 회로(10_ n) 이후의 2개의 단들인 (n +2)-번째 펄스 출력 회로(10_(n +2))로부터의 신호(후속 단 신호(OUT(n +2))라고 함)가 제 2 또는 후속 단에서의 n -번째 펄스 출력 회로(10_ n)에 입력된다. 따라서, 각각의 단들에서의 펄스 출력 회로들은 이전 및/또는 후속 단에서의 펄스 출력 회로에 입력되는 제 1 출력 신호들(OUT(1)(SR) 내지 OUT(N)(SR)), 및 다른 회로들 등에 입력되는 제 2 출력 신호들(OUT(1) 내지 OUT(N))을 출력한다. 도 14a에 도시되어 있는 것과 같이, 후속 단 신호(OUT(n +2))는 시프트 레지스터의 마지막 2개의 단들에는 입력되지 않기 때문에, 예를 들어, 제 2 시작 펄스(SP2) 및 제 3 시작 펄스(SP3)는 시프트 레지스터의 마지막 2개의 단들에 별도로 입력될 수도 있다는 것을 유념해야 한다..
- [0366] 클럭 신호(CK)는 일정한 간격들에서 H-레벨 신호 및 L-레벨 신호(L 신호 또는 저 전원 전위 레벨의 신호라고도 함) 사이에서 진동하는 신호라는 것을 유념해야 한다. 여기서, 제 1 내지 제 4 클럭 신호들(CK1 내지 CK4)은 1/4 사이클만큼 순차적으로 지연된다(즉, 그들은 서로 위상이 90° 벗어나 있다). 이 실시형태에 있어서, 제 1 내지 제 4 클럭 신호들(CK1 내지 CK4)을 사용함으로써, 펄스 출력 회로들의 구동을 제어하는 것 등이 수행된다. 클럭 신호는 또한 신호가 입력되는 구동 회로에 따라서 GCK 또는 SCK라고도 하지만; 여기서는, 클럭 신호로서 CK를 사용하여 설명이 이루어진다.
- [0367] 도 14b는 도 14a에 도시되어 있는 펄스 출력 회로들(10_1 내지 10_ N) 중 하나이다. 제 1 입력 단자(21), 제 2 입력 단자(22), 및 제 3 입력 단자(23)는 제 1 내지 제 4 배선들(11 내지 14) 중 어느 하나에 전기적으로 접속된다. 예를 들어, 도 14a에 있어서, 제 1 펄스 출력 회로(10_1)의 제 1 입력 단자(21)는 제 1 배선(11)에 전기적으로 접속되고, 제 1 펄스 출력 회로(10_1)의 제 2 입력 단자(22)는 제 2 배선(12)에 전기적으로 접속되고, 제 1 펄스 출력 회로(10_1)의 제 3 입력 단자(23)는 제 3 배선(13)에 전기적으로 접속된다. 또한, 제 2 펄스 출력 회로(10_2)의 제 1 입력 단자(21)는 제 2 배선(12)에 전기적으로 접속되고, 제 2 펄스 출력 회로(10_2)의 제 2 입력 단자(22)는 제 3 배선(13)에 전기적으로 접속되고, 제 2 펄스 출력 회로(10_2)의 제 3 입력 단자(23)는 제 4 배선(14)에 전기적으로 접속된다.
- [0368] 제 1 내지 N -번째 펄스 출력 회로들(10_1 내지 10_ N) 각각은 제 1 입력 단자(21), 제 2 입력 단자(22), 제 3 입력 단자(23), 제 4 입력 단자(24), 제 5 입력 단자(25), 제 1 출력 단자(26), 및 제 2 출력 단자(27)를 포함한다(도 14b 참조). 제 1 펄스 출력 회로(10_1)에 있어서, 제 1 클럭 신호(CK1)는 제 1 입력 단자(21)에 입력되고; 제 2 클럭 신호(CK2)는 제 2 입력 단자(22)에 입력되고; 제 3 클럭 신호(CK3)는 제 3 입력 단자(23)에 입력되고; 시작 펄스는 제 4 입력 단자(24)에 입력되고; 후속 단 신호(OUT(3))는 제 5 입력 단자(25)에 입력되고; 제 1 출력 신호(OUT(1)(SR))는 제 1 출력 단자(26)로부터 출력되고; 제 2 출력 신호(OUT(1))는 제 2 출력 단자(27)로부터 출력된다.
- [0369] 3개의 단자들을 갖는 박막 트랜지스터(TFT)에 더하여, 상기 실시형태에서 기술된, 4개의 단자들을 갖는 박막 트랜지스터가 제 1 내지 N -번째 펄스 출력 회로들(10_1 내지 10_ N) 각각에 사용될 수 있다. 본 명세서에 있어서, 박막 트랜지스터가 그 사이에 반도체층을 갖는 2개의 게이트 전극들을 포함할 때, 반도체층 아래에 위치되는 게이트 전극은 하부 게이트 전극이라고도 하고, 반도체층 위에 위치되는 게이트 전극은 상부 게이트 전극이라고도 한다는 것을 유념해야 한다.
- [0370] 박막 트랜지스터의 채널 형성 영역을 포함하는 반도체층에 산화물 반도체가 사용될 때, 제작 공정에 의존하는 어떤 경우들에 있어서는 임계 전압이 음 또는 양의 방향으로 이동된다. 따라서, 채널 형성 영역을 포함하는 반도체층에 산화물 반도체가 사용되는 박막 트랜지스터는 바람직하게 임계 전압이 제어될 수 있는 구성을 갖는다. 4개의 단자들을 갖는 박막 트랜지스터의 임계 전압은 상부 게이트 전극 및/또는 하부 게이트 전극의 전위를 제어함으로써 소망의 값으로 제어될 수 있다.
- [0371] 다음에, 도 14b에 도시되어 있는 펄스 출력 회로의 구체적인 회로 구성의 예가 도 14c를 참조하여 기술된다.
- [0372] 도 14c에 도시되어 있는 펄스 출력 회로는 제 1 내지 제 13 트랜지스터들(31 내지 43)을 포함한다. 제 1 내지

제 5 입력 단자(21 내지 25) 외에, 신호들 또는 전원 전위들이, 제 1 고 전원 전위(VDD)가 공급되는 전원선(51), 제 2 고 전원 전위(VCC)가 공급되는 전원선(52), 및 저 전원 전위(VSS)가 공급되는 전원선(53)으로부터 제 1 내지 제 13 트랜지스터들(31 내지 43)에 공급된다. 제 1 출력 단자(26) 및 제 2 출력 단자(27)를 통해 신호들 등이 출력된다. 여기서, 도 14c의 전원선들의 전원 전위들은, 제 1 전원 전위(VDD)가 제 2 전원 전위(VCC) 이상이 되고 제 2 전원 전위(VCC)가 제 3 전원 전위(VSS)보다 크게 되도록 설정된다. 제 1 내지 제 4 클럭 신호들(CK1 내지 CK4)이 일정한 간격으로 H-레벨 신호 및 L-레벨 신호 사이에서 진동하는 신호들일지라도, 클럭 신호가 H 레벨에 있을 때 전위는 VDD이고 클럭 신호가 L 레벨에 있을 때 전위는 VSS이다. 전원선(51)의 전위(VDD)가 전원선(52)의 전위(VCC)보다 높게 설정될 때, 트랜지스터의 게이트 전극에 인가되는 전위는 동작에 불리하게 영향을 미치지 않고 낮아질 수 있음으로써, 트랜지스터의 임계 전압의 시프트가 감소될 수 있고 열화가 억제될 수 있다. 4개의 단자들을 갖는 박막 트랜지스터는 바람직하게 제 1 내지 제 13 트랜지스터들(31 내지 43) 중에서 제 1 트랜지스터(31) 및 제 6 내지 제 9 트랜지스터들(36 내지 39)에 사용된다는 것을 유념해야 한다. 제 1 트랜지스터(31) 및 제 6 내지 제 9 트랜지스터들(36 내지 39)은 게이트 전극의 제어 신호에 의해 소스 또는 드레인 이 되는 전극들 중 하나에 접속된 각 노드의 전위를 스위칭하는 것이 필요하다. 제 1 트랜지스터(31) 및 제 6 내지 제 9 트랜지스터들(36 내지 39)은 게이트 전극에 입력된 제어 신호에 대한 빠른 응답(전류의 급격한 증가)에 의해 펄스 출력 회로들의 오작동들을 더욱 감소시킬 수 있다. 따라서, 4개의 단자들을 갖는 박막 트랜지스터가 사용될 때, 임계 전압이 제어될 수 있고, 펄스 출력 회로들의 오작동들이 더욱 감소될 수 있다.

[0373]

도 14c에 있어서, 제 1 트랜지스터(31)의 제 1 단자는 전원선(51)에 전기적으로 접속되고, 제 1 트랜지스터(31)의 제 2 단자는 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 제 1 트랜지스터(31)의 게이트 전극들(하부 게이트 전극 및 상부 게이트 전극)은 제 4 입력 단자(24)에 전기적으로 접속된다. 제 2 트랜지스터(32)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 2 트랜지스터(32)의 제 2 단자는 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 제 2 트랜지스터(32)의 게이트 전극은 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제 3 트랜지스터(33)의 제 1 단자는 제 1 입력 단자(21)에 전기적으로 접속되고, 제 3 트랜지스터(33)의 제 2 단자는 제 1 출력 단자(26)에 전기적으로 접속된다. 제 4 트랜지스터(34)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 4 트랜지스터(34)의 제 2 단자는 제 1 출력 단자(26)에 전기적으로 접속된다. 제 5 트랜지스터(35)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 5 트랜지스터(35)의 제 2 단자는 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제 5 트랜지스터(35)의 게이트 전극은 제 4 입력 단자(24)에 전기적으로 접속된다. 제 6 트랜지스터(36)의 제 1 단자는 전원선(52)에 전기적으로 접속되고, 제 6 트랜지스터(36)의 제 2 단자는 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제 6 트랜지스터(36)의 게이트 전극들(하부 게이트 전극 및 상부 게이트 전극)은 제 5 입력 단자(25)에 전기적으로 접속된다. 제 7 트랜지스터(37)의 제 1 단자는 전원선(52)에 전기적으로 접속되고, 제 7 트랜지스터(37)의 제 2 단자는 제 8 트랜지스터(38)의 제 2 단자에 전기적으로 접속되고, 제 7 트랜지스터(37)의 게이트 전극들(하부 게이트 전극 및 상부 게이트 전극)은 제 3 입력 단자(23)에 전기적으로 접속된다. 제 8 트랜지스터(38)의 제 1 단자는 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제 8 트랜지스터(38)의 게이트 전극들(하부 게이트 전극 및 상부 게이트 전극)은 제 2 입력 단자(22)에 전기적으로 접속된다. 제 9 트랜지스터(39)의 제 1 단자는 제 1 트랜지스터(31)의 제 2 단자 및 제 2 트랜지스터(32)의 제 2 단자에 전기적으로 접속되고, 제 9 트랜지스터(39)의 제 2 단자는 제 3 트랜지스터(33)의 게이트 전극 및 제 10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되고, 제 9 트랜지스터(39)의 게이트 전극들(하부 게이트 전극 및 상부 게이트 전극)은 전원선(52)에 전기적으로 접속된다. 제 10 트랜지스터(40)의 제 1 단자는 제 1 입력 단자(21)에 전기적으로 접속되고, 제 10 트랜지스터(40)의 제 2 단자는 제 2 출력 단자(27)에 전기적으로 접속되고, 제 10 트랜지스터(40)의 게이트 전극은 제 9 트랜지스터(39)의 제 2 단자에 전기적으로 접속된다. 제 11 트랜지스터(41)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 11 트랜지스터(41)의 제 2 단자는 제 2 출력 단자(27)에 전기적으로 접속되고, 제 11 트랜지스터(41)의 게이트 전극은 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제 12 트랜지스터(42)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 12 트랜지스터(42)의 제 2 단자는 제 2 출력 단자(27)에 전기적으로 접속되고, 제 12 트랜지스터(42)의 게이트 전극은 제 7 트랜지스터의 게이트 전극들(하부 게이트 전극 및 상부 게이트 전극)에 전기적으로 접속된다. 제 13 트랜지스터(43)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 13 트랜지스터(43)의 제 2 단자는 제 1 출력 단자(26)에 전기적으로 접속되고, 제 13 트랜지스터(43)의 게이트 전극은 제 7 트랜지스터(37)의 게이트 전극들(하부 게이트 전극 및 상부 게이트 전극)에 전기적으로 접속된다.

- [0374] 도 14c에 있어서, 제 3 트랜지스터(33)의 게이트 전극, 제 10 트랜지스터(40)의 게이트 전극 및 제 9 트랜지스터(39)의 제 2 단자의 접속점은 노드 A라고 한다. 또한, 제 2 트랜지스터(32)의 게이트 전극, 제 4 트랜지스터(34)의 게이트 전극, 제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자, 및 제 11 트랜지스터(41)의 게이트 전극의 접속점은 노드 B라고 한다.
- [0375] 도 15a는, 도 14c에 도시되어 있는 펄스 출력 회로가 제 1 펄스 출력 회로(10_1)로서 사용될 때, 제 1 내지 제 5 입력 단자들(21 내지 25)에 입력되는 신호들 및 제 1 출력 단자(26) 및 제 2 출력 단자(27)로부터 출력되는 신호들을 도시한다.
- [0376] 구체적으로, 제 1 클럭 신호(CK1)는 제 1 입력 단자(21)에 입력되고; 제 2 클럭 신호(CK2)는 제 2 입력 단자(22)에 입력되고; 제 3 클럭 신호(CK3)는 제 3 입력 단자(23)에 입력되고; 시작 펄스(SP1)는 제 4 입력 단자(24)에 입력되고; 후속 단 신호(OUT(3))는 제 5 입력 단자(25)에 입력되고; 제 1 출력 신호(OUT(1)(SR))는 제 1 출력 단자(26)로부터 출력되고; 제 2 출력 신호(OUT(1))는 제 2 출력 단자(27)로부터 출력된다.
- [0377] 박막 트랜지스터는 게이트, 드레인 및 소스의 적어도 3개의 단자들을 갖는 소자라는 것을 유념해야 한다. 또한, 박막 트랜지스터는, 게이트와 중첩하는 영역에 채널 영역이 형성되는 반도체를 포함하고, 채널 영역을 통해 드레인과 소스 사이에 흐르는 전류량은 게이트의 전위를 제어함으로써 제어될 수 있다. 여기서, 박막 트랜지스터의 소스 및 드레인은 박막 트랜지스터의 구조, 동작 조건 등에 의존하여 변경될 수도 있기 때문에, 어느 것이 소스인지 또는 드레인인지 규정하는 것은 어렵다. 따라서, 소스 또는 드레인으로서 기능하는 영역은 어떤 경우들에 있어서는 소스 또는 드레인으로 불리지 않는다. 이러한 경우에 있어서, 예를 들어, 소스 및 드레인 중 하나는 제 1 단자로 언급될 수도 있고, 다른 하나는 제 2 단자로 언급될 수도 있다.
- [0378] 도 14c 및 도 15a에 있어서, 노드 A를 플로팅 상태로 설정함으로써 부트스트랩 동작을 수행하기 위한 용량소자가 부가적으로 제공될 수도 있다는 것을 유념해야 한다. 또한, 노드 B에 전기적으로 접속된 하나의 전극을 갖는 용량소자가 노드 B의 전위를 유지하기 위해서 부가적으로 제공될 수도 있다.
- [0379] 여기서, 도 15b는 도 15a에 도시되어 있는 복수의 펄스 출력 회로들을 포함하는 시프트 레지스터의 타이밍 차트를 도시한다. 시프트 레지스터가 주사선 구동 회로인 경우에, 도 15b의 기간 61은 수직 추적 기간에 대응하고, 도 15b의 기간 62는 게이트 선택 기간에 대응한다는 것을 유념해야 한다..
- [0380] 도 15a에 도시되어 있는 것과 같이, 게이트에 제 2 전원 전위(VCC)가 공급되는 제 9 트랜지스터(39)에 의해, 부트스트랩 동작 전후에, 이하 기술되는 이점들이 얻어진다는 것을 유념해야 한다.
- [0381] 게이트에 제 2 전원 전위(VCC)가 공급되는 제 9 트랜지스터(39) 없이, 노드 A의 전위가 부트스트랩 동작에 의해 증가될 때, 제 1 박막 트랜지스터(31)의 제 2 단자인 소스의 전위는 제 1 전원 전위(VDD)보다 높은 값으로 증가한다. 이어서, 제 1 트랜지스터(31)의 제 1 단자, 즉, 전원선(51) 측에 있는 단자는 제 1 트랜지스터(31)의 소스로서 기능하게 된다. 따라서, 제 1 트랜지스터(31)에 있어서, 게이트와 소스 사이 및 게이트와 드레인 사이에는, 높은 바이어스 전압이 인가되고, 따라서, 상당한 스트레스가 가해지고, 이것은 트랜지스터에 열화를 유발할 수도 있다. 따라서, 게이트 전극에 제 2 전원 전위(VCC)가 인가되는 제 9 트랜지스터(39)에 의해, 노드 A의 전위는 부트스트랩 동작에 의해 증가되지만, 동시에, 제 1 트랜지스터(31)의 제 2 단자의 전위 증가는 방지될 수 있다. 다시 말해서, 제 9 트랜지스터(39)에 의해, 제 1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 음의 바이어스 전압의 레벨이 낮아질 수 있다. 따라서, 이 실시형태에서의 회로 구성에 의해, 제 1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 음의 바이어스 전압이 낮아질 수 있어서, 스트레스로 인한 제 1 트랜지스터(31)의 열화가 더욱 억제될 수 있다.
- [0382] 제 9 트랜지스터(39)는, 제 9 트랜지스터(39)의 제 1 단자 및 제 2 단자가 제 1 트랜지스터(31)의 제 2 단자와 제 3 트랜지스터(33)의 게이트 사이에 접속되도록 제공된다는 것을 유념해야 한다. 시프트 레지스터가 이 실시형태의 복수의 펄스 출력 회로들을 포함하는 경우에, 제 9 트랜지스터(39)는 주사선 구동 회로보다 더 많은 단들을 갖는 신호선 구동 회로에서 제거될 수도 있고, 이는 트랜지스터들의 수를 감소시키는데 유리하다.
- [0383] 산화물 반도체가 제 1 내지 제 13 트랜지스터들(31 내지 43)의 반도체층들 각각에 사용될 때, 박막 트랜지스터들의 오프 전류량이 감소될 수 있고, 온 전류량 및 전계-효과 이동도가 증가될 수 있고, 열화율이 감소될 수 있음으로써, 회로의 오작동들이 감소될 수 있다. 또한, 산화물 반도체를 포함하는 트랜지스터는, 비정질 실리콘을 포함하는 트랜지스터에 비해, 게이트 전극에 대한 고 전위의 인가로 인해 트랜지스터의 열화율이 더 낮다. 따라서, 제 2 전원 전위(VCC)가 공급되는 전원선에 제 1 전원 전위(VDD)가 공급될 때에도, 유사한 동작이 수행될 수 있고 회로들 간에 제공되는 전원선들의 수가 감소될 수 있어서, 회로의 크기 감소가 달성될 수 있다.

- [0384] 제 3 입력 단자(23)를 통해 제 7 트랜지스터(37)의 게이트 전극들(하부 게이트 전극 및 상부 게이트 전극)에 공급되는 클럭 신호가, 제 2 입력 단자(22)를 통해 제 7 트랜지스터(37)의 게이트 전극들(하부 게이트 전극 및 상부 게이트 전극)에 공급되는 클럭 신호가 되고; 제 2 입력 단자(22)를 통해 제 8 트랜지스터(38)의 게이트 전극들(하부 게이트 전극 및 상부 게이트 전극)에 공급되는 클럭 신호가 제 3 입력 단자(23)를 통해 제 8 트랜지스터(38)의 게이트 전극들(하부 전극 및 상부 전극)에 공급되는 클럭 신호가 되도록 접속 관계가 변경될 때에도 유사한 효과가 얻어진다는 것을 유념해야 한다. 도 15a에 도시되어 있는 시프트 레지스터에 있어서, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)는 모두 온 상태이고, 제 7 트랜지스터(37)는 턴 오프되고 제 8 트랜지스터(38)는 온 상태를 유지하고, 이어서, 제 7 트랜지스터(37)가 오프 상태를 유지하고 제 8 트랜지스터(38)가 턴 오프됨으로써, 제 2 입력 단자(22) 및 제 3 입력 단자(23)의 전위들의 감소에 의해 유발되는 노드 B의 전위 감소가, 제 7 트랜지스터(37)의 게이트 전극의 전위 감소 및 제 8 트랜지스터(38)의 게이트 전극의 전위 감소로 인해 2번 발생한다는 것을 유념해야 한다. 한편, 도 15a에 도시되어 있는 시프트 레지스터에 있어서, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38) 모두가 온 상태에 있고, 제 7 트랜지스터(37)가 온 상태를 유지하고 제 8 트랜지스터(38)가 턴 오프되고, 이어서, 제 7 트랜지스터(37)가 턴 오프되고 제 8 트랜지스터(38)가 오프 상태를 유지함으로써, 제 2 입력 단자(22) 및 제 3 입력 단자(23)의 전위들의 감소로 인해 유발되는 노드 B의 전위의 감소가, 제 8 트랜지스터(38)의 게이트 전극의 전위 감소로 인해 한 번 감소될 수 있다. 따라서, 클럭 신호(CK3)가 제 3 입력 단자(23)를 통해 제 7 트랜지스터(37)의 게이트 전극들(하부 전극 및 상부 전극)에 공급되고, 클럭 신호(CK2)가 제 2 입력 단자(22)를 통해 제 8 트랜지스터(38)의 게이트 전극들(하부 게이트 전극 및 상부 게이트 전극)에 공급되는 접속 관계가 바람직하다. 이것은 노드 B의 전위의 변동 회수들이 감소될 수 있고 잡음이 감소될 수 있기 때문이다.
- [0385] 이러한 방식에서, 제 1 출력 단자(26)의 전위 및 제 2 출력 단자(27)의 전위가 L 레벨로 유지되는 기간에, H 레벨 신호가 노드 B에 정기적으로 공급되고; 따라서, 펄스 출력 회로의 오작동이 억제될 수 있다.
- [0386] 이 실시형태는 다른 실시형태들에서 기술된 구성들과 적절히 조합되어 구현될 수 있다.
- [0387] (실시형태 10)
- [0388] 본 명세서에 개시되는 발광 장치는 (오락기를 포함한) 다양한 전자 기기들에 적용될 수 있다. 전자 기기들의 예들로는 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터 등의 모니터, 디지털 카메라나 디지털 비디오 카메라와 같은 카메라, 디지털 포토 프레임, 휴대 전화(셀룰러 폰 또는 휴대 전화 장치라고도 함), 휴대용 게임 콘솔, 휴대용 정보 단말, 오디오 재생 장치, 파친코기와 같은 대형 게임기 등이 있다.
- [0389] 도 23a는 휴대 전화(1100)를 도시한다. 휴대 전화(1100)에는 하우징(1101)에 내장된 표시부(1102), 조작 버튼들(1103), 외부 접속 포트(1104), 스피커(1105), 마이크로폰(1106) 등이 제공된다.
- [0390] 도 23a에 도시되어 있는 표시부(1102)가 손가락 등으로 터치될 때, 데이터가 휴대 전화(1100)에 입력될 수 있다. 또한, 전화를 걸고 문자를 보내는 것과 같은 조작들은 손가락 등으로 표시부(1102)를 터치함으로써 수행될 수 있다.
- [0391] 표시부(1102)의 주로 세 가지 화면 모드들이 있다. 제 1 모드는 주로 화상들을 표시하기 위한 표시 모드이다. 제 2 모드는 주로 문자와 같은 데이터를 입력하기 위한 입력 모드이다. 제 3 모드는 표시 모드 및 입력 모드의 두 모드들이 조합되는 표시-입력 모드이다.
- [0392] 예를 들어, 전화를 걸거나 문자를 보내는 경우에, 표시부(1102)에 대해 주로 문자를 입력하기 위한 입력 모드가 선택되어, 화면 상에 표시되는 문자들이 입력될 수 있도록 한다. 이 경우에, 표시부(1102)의 거의 전체 화면 상에 키보드 또는 숫자 버튼들을 표시하는 것이 바람직하다.
- [0393] 자이로스코프 또는 가속도 센서와 같이 기울기를 검출하기 위한 센서를 포함하는 검출 장치가 휴대 전화(1100) 내부에 제공될 때, 표시부(1102)의 화면 상의 표시는 휴대 전화(1100)의 방향(풍경 모드 또는 인물 모드에 대해 휴대 전화(1100)가 수평으로 놓였는지 수직으로 놓였는지)을 결정함으로써 자동으로 전환될 수 있다.
- [0394] 화면 모드는 표시부(1102)를 터치함으로써 또는 하우징(1101)의 조작 버튼들(1103)을 조작함으로써 전환된다. 대안적으로, 화면 모드들은 표시부(1102) 상에 표시되는 화상의 종류에 의존하여 전환될 수도 있다. 예를 들어, 표시부 상에 표시되는 화상의 신호가 동화상 데이터의 신호일 때, 화면 모드는 표시 모드로 전환된다. 신호가 문자 데이터의 신호일 때, 화면 모드는 입력 모드로 전환된다.
- [0395] 또한, 입력 모드에 있어서, 표시부(1102)를 터치하는 것에 의한 입력이 특정 기간 동안 수행되지 않으면서, 표

시부(1102)에서의 광학 센서에 의해 검출된 신호가 검출될 때, 화면 모드는 입력 모드로부터 표시 모드로 변경되도록 제어될 수도 있다.

- [0396] 표시부(1102)는 이미지 센서로서 기능할 수도 있다. 예를 들어, 표시부(1102)에 손바닥 또는 손가락으로 터치할 때 장문(palm print), 지문 등을 촬상함으로써, 개인 식별이 수행될 수 있다. 또한, 표시부에 근적외선 광을 방출하는 백라이트 또는 센서용 광원을 제공함으로써, 손가락 정맥, 손바닥 정맥 등도 촬상될 수 있다.
- [0397] 실시형태 1 내지 실시형태 9 중 임의의 실시형태에서 기술된 발광 장치가 표시부(1102)에 사용됨으로써, 신뢰성이 증가될 수 있다.
- [0398] 도 23b는 휴대용 정보 단말의 예를 도시한다. 도 23b에 예가 도시되어 있는 휴대용 정보 단말은 복수의 기능들을 가질 수 있다. 예를 들어, 전화 기능 외에, 이러한 휴대용 정보 단말은 컴퓨터를 내장함으로써 다양한 데이터를 처리하는 기능을 가질 수 있다.
- [0399] 도 23b에 도시되어 있는 휴대용 정보 단말은 하우징(1800) 및 하우징(1801)을 갖는다. 하우징(1801)은 표시 패널(1802), 스피커(1803), 마이크로폰(1804), 포인팅 장치(1806), 카메라 렌즈(1807), 외부 접속 단자(1808) 등을 포함한다. 하우징(1800)은 키보드(1810), 외부 메모리 슬롯(1811) 등을 포함한다. 또한, 안테나가 하우징(1800 또는 1801)에 내장된다.
- [0400] 표시 패널(1802)에는 터치 패널이 제공된다. 영상들로서 표시되는 복수의 조작키들(1805)이 도 23b에서 점선들로 도시되어 있다.
- [0401] 또한, 상기 구성 외에, 비접촉 IC 칩, 소형 메모리 장치 등이 내장될 수도 있다.
- [0402] 본 발명의 발광 장치는 표시 패널(1802)에 사용될 수 있고, 표시의 방향은 응용 모드에 따라서 적절히 변경된다. 또한, 카메라 렌즈(1807)는 표시 패널(1802)과 동일한 표면 상에 제공되고, 따라서, 비디오 폰으로서 사용될 수 있다. 스피커(1803) 및 마이크로폰(1804)은 음성 통화들뿐만 아니라 영상 전화 통화들, 기록 및 사운드 재생 등에 사용될 수 있다. 또한, 도 23b에 도시되어 있는 것과 같이 전개되는 상태에 있어서의 하우징들(1800 및 1801)은 하나가 다른 하나의 위로 겹쳐지도록 슬라이드될 수 있고; 따라서, 휴대용 정보 단말의 크기가 감소될 수 있고, 이는 휴대하기에 적합한 휴대용 정보 단말이 되도록 한다.
- [0403] 외부 접속 단자(1808)는 AC 어댑터 및 USB 케이블과 같은 다양 종류들의 케이블들에 접속될 수 있고, 충전 및 개인용 컴퓨터와의 데이터 통신이 가능하다. 또한, 기억 매체가 외부 메모리 슬롯(1811)에 삽입될 수 있어서, 대량의 데이터가 기억될 수 있고 이동될 수 있도록 한다.
- [0404] 또한, 상기 기능들 외에, 적외선 통신 기능, 텔레비전 수신 기능 등이 제공될 수도 있다.
- [0405] 도 24a는 텔레비전 장치(9600)를 도시한다. 텔레비전 세트(9600)에서, 표시부(9603)는 하우징(9601)에 내장된다. 표시부(9603)는 영상들을 표시할 수 있다. 여기서, 하우징(9601)은 스탠드(9605)에 의해 지지된다.
- [0406] 텔레비전 장치(9600)는 하우징(9601)의 조작 스위치 또는 별도의 원격 제어기(9610)에 의해 조작될 수 있다. 채널들 및 볼륨은 원격 제어기(9610)의 조작 키(9609)에 의해 제어될 수 있어서, 표시부(9603) 상에 표시된 영상이 제어될 수 있도록 한다. 또한, 원격 제어기(9610)에는 원격 제어기(9610)로부터 출력된 데이터를 표시하기 위한 표시부(9607)가 제공될 수도 있다.
- [0407] 텔레비전 장치(9600)에는 수신기, 모뎀 등이 제공된다는 것을 유념해야 한다. 수신기를 사용함으로써, 일반적인 텔레비전 방송이 수신될 수 있다. 또한, 표시 장치가 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속될 때, (송신자로부터 수신자로의) 일 방향 또는 (송신자와 수신자 간 또는 수신자들 간의) 양 방향 정보 통신이 수행될 수 있다.
- [0408] 실시형태 1 내지 실시형태 9 중 어느 하나의 실시형태에서 기술된 발광 장치가 표시부(9603)에 사용되어, 신뢰성이 증가될 수 있다.
- [0409] 도 24b는 디지털 포토 프레임(9700)을 도시한다. 예를 들어, 디지털 포토 프레임(9700)에서, 표시부(9703)가 하우징(9701)에 내장된다. 표시부(9703)는 다양한 화상들을 표시할 수 있다. 예를 들어, 표시부(9703)는 디지털 카메라 등으로 촬영한 화상의 데이터를 표시할 수 있고, 통상의 포토 프레임으로서 기능할 수 있다.
- [0410] 실시형태 1 내지 실시형태 9 중 임의의 실시형태에서 기술된 발광 장치가 표시부(9703)에 사용되어, 신뢰성이 증가될 수 있다.

- [0411] 디지털 포토 프레임(9700)에는 조작부, 외부 접속 단자(USB 단자, USB 케이블과 같은 다양한 케이블들에 접속될 수 있는 단자 등), 기록 매체 삽입부 등이 제공된다는 것을 유념해야 한다. 이들 구성요소들은 표시부가 제공되는 표면 상에 제공될 수도 있지만, 디지털 포토 프레임(9700)의 디자인을 위해 측면 또는 후면 상에 제공하는 것이 바람직하다. 예를 들어, 디지털 카메라로 촬영한 화상 데이터를 기억시키는 메모리가 디지털 포토 프레임의 기록 매체 삽입부에 삽입되어, 화상 데이터가 전송되어 표시부(9703) 상에 표시될 수 있다.
- [0412] 디지털 포토 프레임(9700)은 데이터를 무선으로 송신하고 수신하도록 구성될 수도 있다. 소망의 화상 데이터가 무선으로 전달되어 표시되는 구조가 이용될 수도 있다.
- [0413] 도 25는 휴대용 게임기이고, 연결부(9893)로 접속되는 하우징(9881) 및 하우징(9891)의 2개의 하우징들로 구성되어, 휴대용 게임기가 개폐될 수 있도록 한다. 표시부(9882) 및 표시부(9883)가 각각 하우징(9881) 및 하우징(9891)에 내장된다.
- [0414] 실시형태 1 내지 실시형태 9 중 임의의 실시형태에서 기술된 발광 장치가 표시부들(9882 및 9883)에 사용되어, 신뢰성이 증가될 수 있다.
- [0415] 도 25에 도시되어 있는 휴대용 게임기에는 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작키들(9885), 접속 단자(9887), (힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 사운드, 시간, 경도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 갖는)센서(9888), 및 마이크로폰(9889)) 등이 제공된다. 말할 필요 없이, 휴대용 게임기의 구조는 상기로 제한되지 않고, 적어도 본 명세서에 개시된 박막 트랜지스터가 제공되는 다른 구조들이 이용될 수 있다. 휴대용 게임기는, 적절히 부가적인 악세서리를 포함할 수도 있다. 도 25에 도시되어 있는 휴대용 게임기는 표시부 상에 표시하기 위해 기록 매체에 기억되어 있는 프로그램 또는 데이터를 관독하는 기능, 및 무선 통신에 의해 또 다른 휴대용 게임기와 데이터를 공유하는 기능을 갖는다. 도 25에 도시되어 있는 휴대용 게임기의 기능은 상술된 것으로 제한되지 않고, 휴대용 게임기는 다양한 기능들을 가질 수 있다는 것을 유념해야 한다.
- [0416] 도 26은 상기 실시형태들에 따라 형성되는 발광 장치가 실내 조명 장치(3001)로서 사용되는 예이다. 상기 실시형태들에 기술된 발광 장치는 대면적화가 가능하기 때문에, 발광 장치는 큰 면적을 갖는 조명 장치로서 사용될 수 있다. 또한, 실시형태 2에 기술되어 있는 발광 장치는 탁상 램프(3000)로서 사용될 수 있다. 조명 기구는, 그 카테고리에, 천정등, 벽등, 자동차 내부용 조명, 비상 출구등 등을 포함한다는 것을 유념해야 한다.
- [0417] 상술된 바와 같이, 실시형태 1 내지 실시형태 9 중 임의의 실시형태에서 기술된 발광 장치는 상기의 것들과 같은 다양한 전자 기기들의 표시 패널들에 사용될 수 있고, 따라서, 신뢰성이 높은 전자 기기가 제공될 수 있다.
- [0418] 본원은 2009년 9월 4일 일본 특허청에 출원되고, 그 전체 내용이 참조로서 본원에 포함되는 일본 특허 출원 제 2009-204972 호를 기반으로 한다.

부호의 설명

- [0419]
- | | |
|------------------|--------------------|
| 10 : 펄스 출력 회로 | 11 내지 15 : 배선 |
| 21 내지 25 : 입력 단자 | 26, 27 : 출력 단자 |
| 31 내지 43 : 트랜지스터 | 51 내지 53 : 전원선 |
| 100 : 기판 | 101 : 게이트 전극층 |
| 102 : 게이트 절연층 | 103 : 산화물 반도체층 |
| 106 : 보호 절연층 | 107 : 산화물 절연막 |
| 108 : 용량 배선층 | 109 : 보호 절연층 |
| 110 : 전극층 | 111, 112 : 도전층 |
| 113 : 단자 전극 | 116 : 채널 형성 영역 |
| 118, 119 : 콘택트 홀 | 120 : 접속 전극 |
| 121, 122 : 단자 | 125 내지 127 : 콘택트 홀 |

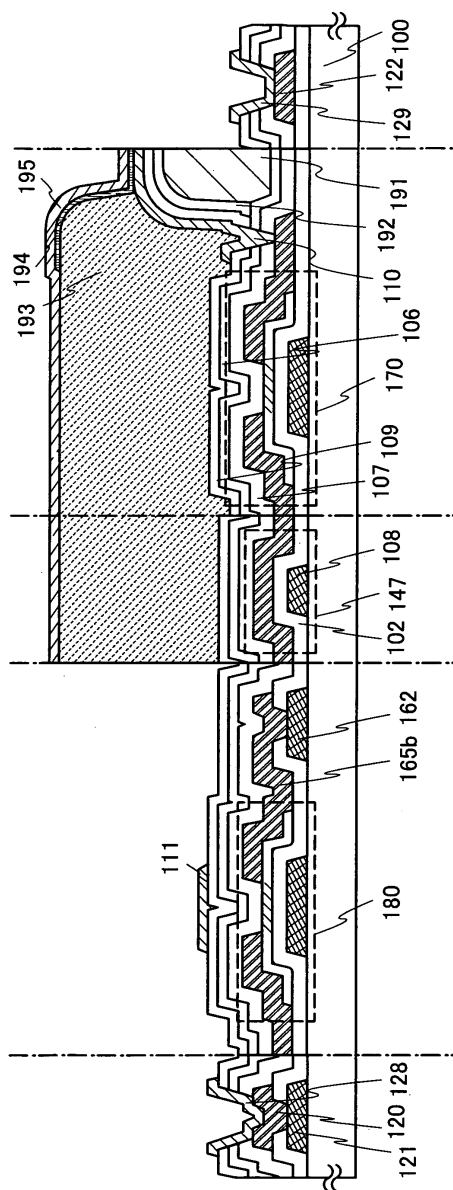
128, 129 : 단자 전극	130 : 산화물 반도체막
131, 133, 134 : 산화물 반도체층	137 : 레지스트 마스크
138 : 산화물 도전층	140 : 산화물 도전막
142, 143 : 산화물 도전층	145 : 배선층
146, 147 : 용량	149 : 용량 전극층
150, 151 : 단자	153 : 접속 전극
155 : 도전막	156 : 전극
161 : 게이트 전극층	162 : 도전층
163 : 산화물 반도체층	166 : 채널 형성 영역
168 : 산화물 반도체층	170 내지 173 : 박막 트랜지스터
180 내지 183 : 박막 트랜지스터	185 : 용량 전극층
191 : 컬러 필터층	192 : 오버코트층
193 : 격벽	194 : EL 층
195 : 전극층	196 : 접속 전극층
198 : 산화물 반도체층	1001, 1002 : 전극
1003 : EL 층	1004 : 전하 발생층
104a, 104b : 산화물 도전층	105a : 소스 전극층
105b : 드레인 전극층	1100 : 휴대 전화
1101 : 하우징	1102 : 표시부
1103 : 조작 버튼	1104 : 외부 접속 포트
1105 : 스피커	1106 : 마이크론
117a : 고-저항 소스 영역	117b : 고-저항 드레인 영역
135a, 136a : 레지스트 마스크	164a, 164b : 산화물 도전층
165a : 소스 전극층	165b : 드레인 전극층
167a : 고-저항 소스 영역	167b : 고-저항 드레인 영역
1800, 1801 : 하우징	1802 : 표시 패널
1803 : 스피커	1804 : 마이크론
1805 : 조작키	1806 : 포인팅 장치
1807 : 카메라 렌즈	1808 : 외부 접속 단자
1810 : 키보드	1811 : 외부 메모리 슬롯
3000 : 조명 기구	3001 : 조명 장치
4501 : 기관	4502 : 화소부
4505 : 쉘재	4506 : 기관
4507 : 충전재	4509, 4510 : 박막 트랜지스터
4511 : 발광 소자	4512 : 전계 발광층
4513 : 전극층	4515 : 접속 단자 전극

4516 : 단자 전극	4517 : 전극층
4519 : 이방성 도전막	4520 : 격벽
4540 : 도전층	4542 : 산화물 절연층
4543 : 오버코트층	4544 : 절연층
4545 : 컬러 필터층	4546 : 절연층
5300 : 기관	5301 : 화소부
5302, 5303 : 주사선 구동 회로	5304 : 신호선 구동 회로
5305 : 타이밍 제어 회로	5601 : 시프트 레지스터
5602 : 스위칭 회로	5603 : 박막 트랜지스터
5604, 5605 : 배선	6400 : 화소
6401 : 스위칭 트랜지스터	6402 : 트랜지스터
6403 : 용량 소자	6404 : 발광 소자
6405 : 신호선	6406 : 주사선
6407 : 전원선	6408 : 공통 전극
7001 : TFT	7002 : 발광 소자
7003 : 전극층	7004 : EL 층
7005 : 전극층	7009 : 격벽
7011 : 구동용 TFT	7012 : 발광 소자
7013 : 전극층	7014 : EL 층
7015 : 전극층	7016 : 차광막
7017 : 도전막	7019 : 격벽
7021 : 구동용 TFT	7022 : 발광 소자
7023 : 전극층	7024 : EL 층
7025, 7026 : 전극층	7027 : 도전막
7029 : 격벽	7031 : 산화물 절연층
7032 : 보호 절연층	7033 : 컬러 필터층
7034 : 오버코트층	7035 : 보호 절연층
7041 : 산화물 절연층	7042 : 보호 절연층
7043 : 컬러 필터층	7044 : 오버코트층
7045 : 보호 절연층	7051 : 산화물 절연층
7052 : 보호 절연층	7053 : 평탄화 절연층
7055 : 보호 절연층	9600 : 텔레비전 장치
9601 : 하우징	9603 : 표시부
9605 : 스탠드	9607 : 표시부
9609 : 조작키	9610 : 원격 제어기
9700 : 디지털 포토 프레임	9701 : 하우징

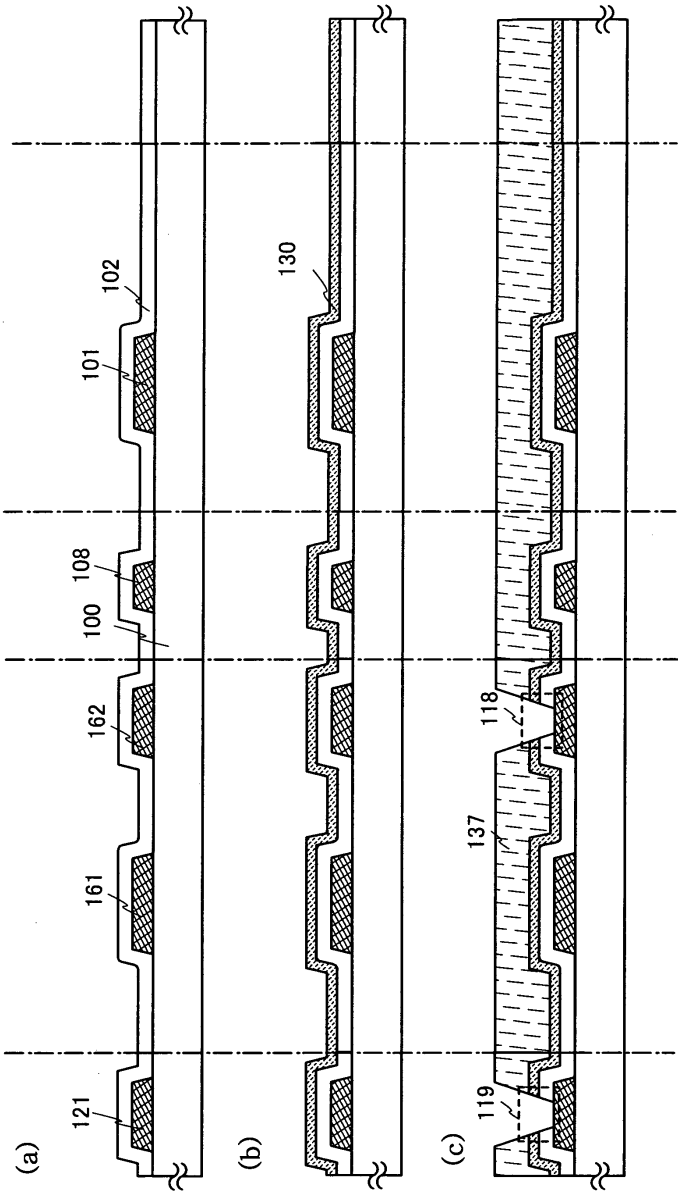
- | | |
|-------------------|-------------------|
| 9703 : 표시부 | 9881 : 하우징 |
| 9882, 9883 : 표시부 | 9884 : 스피커부 |
| 9885 : 조작키 | 9886 : 기록 매체 삽입부 |
| 9887 : 접속 단자 | 9888 : 센서 |
| 9889 : 마이크로폰 | 9890 : LED 램프 |
| 9891 : 하우징 | 4503a : 신호선 구동 회로 |
| 4504a : 주사선 구동 회로 | |

도면

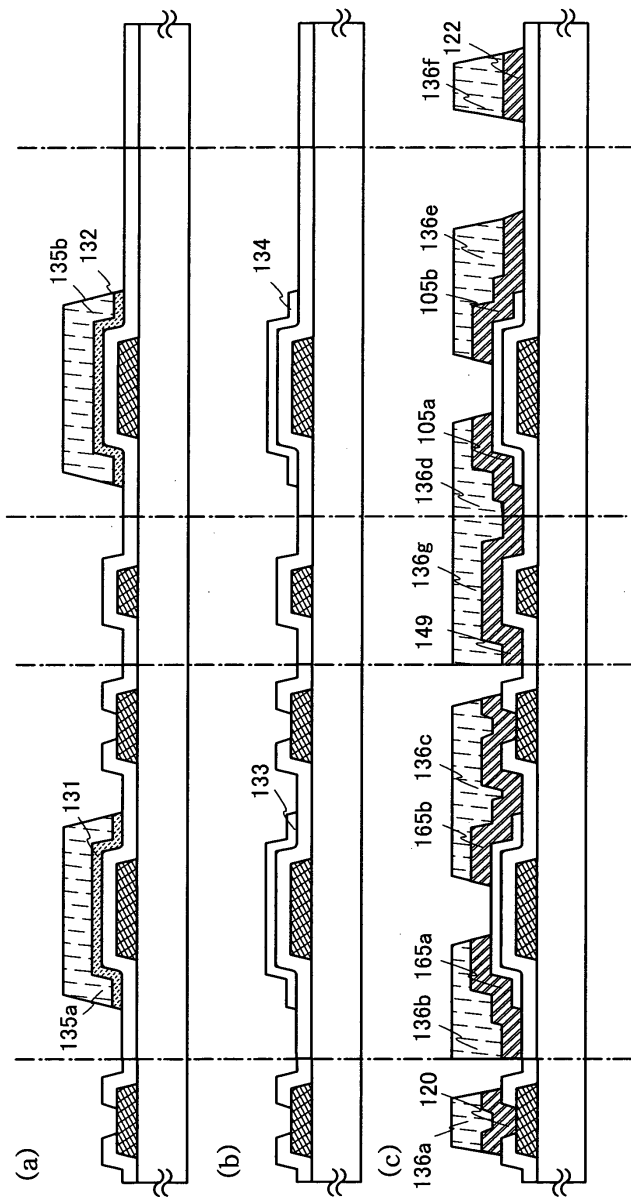
도면1



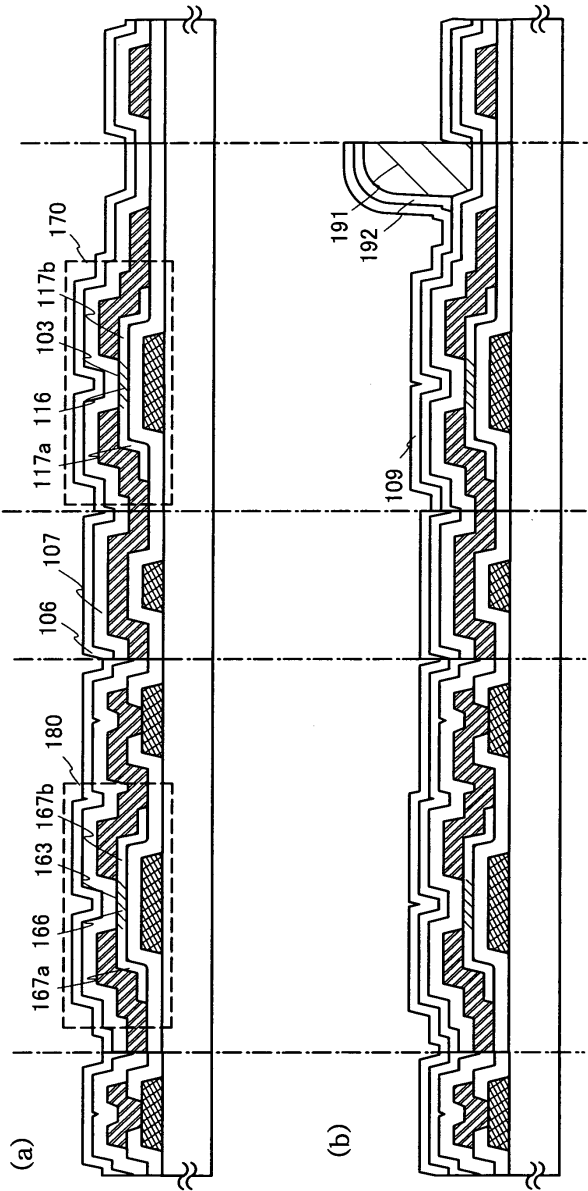
도면2



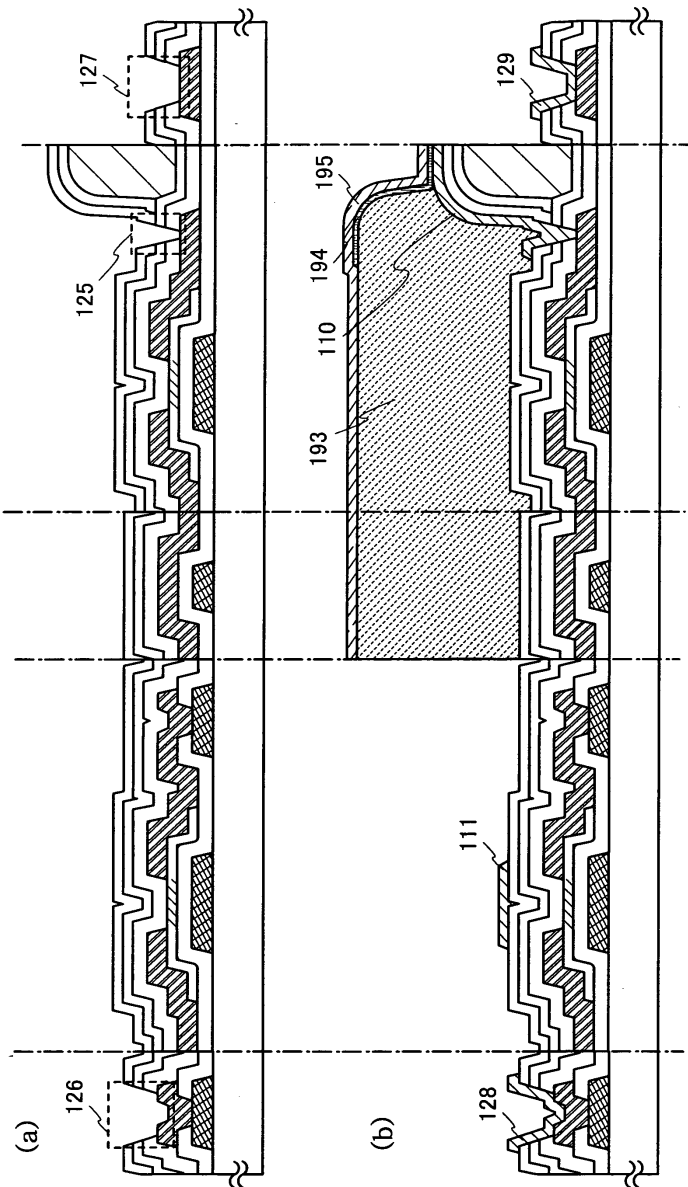
도면3



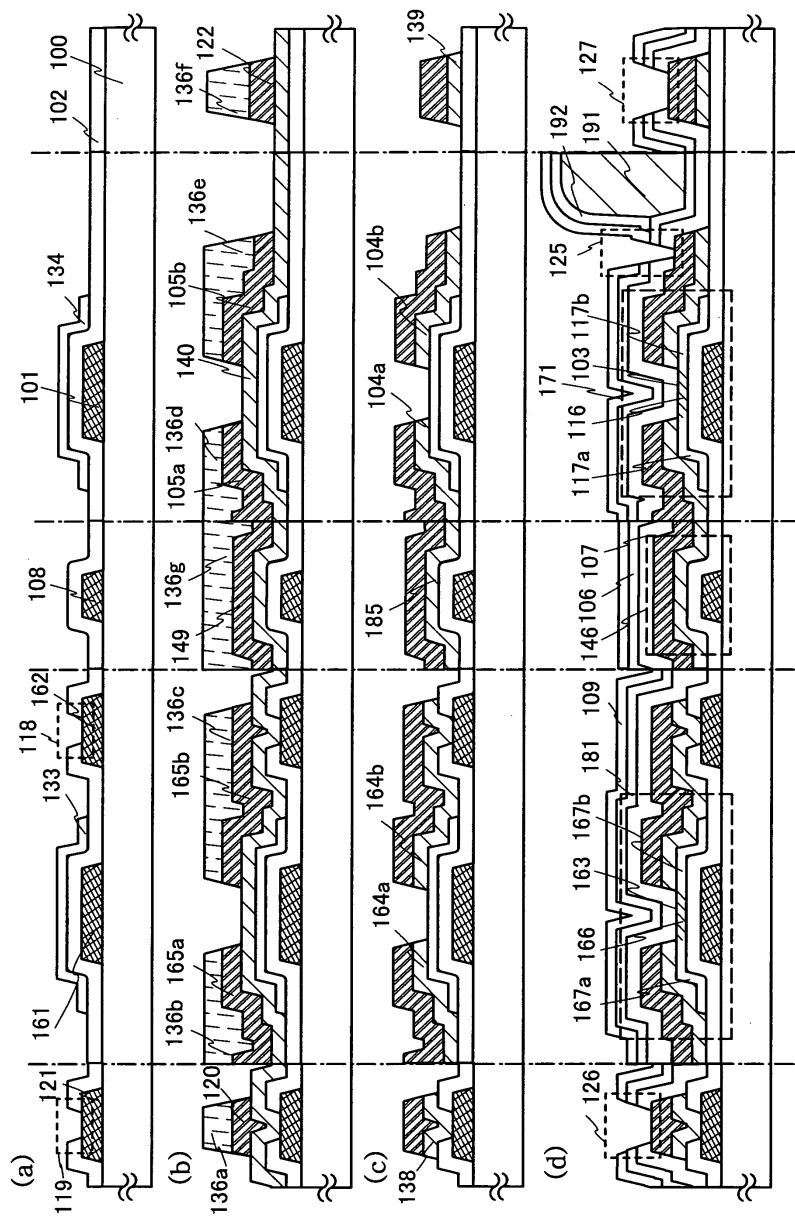
도면4



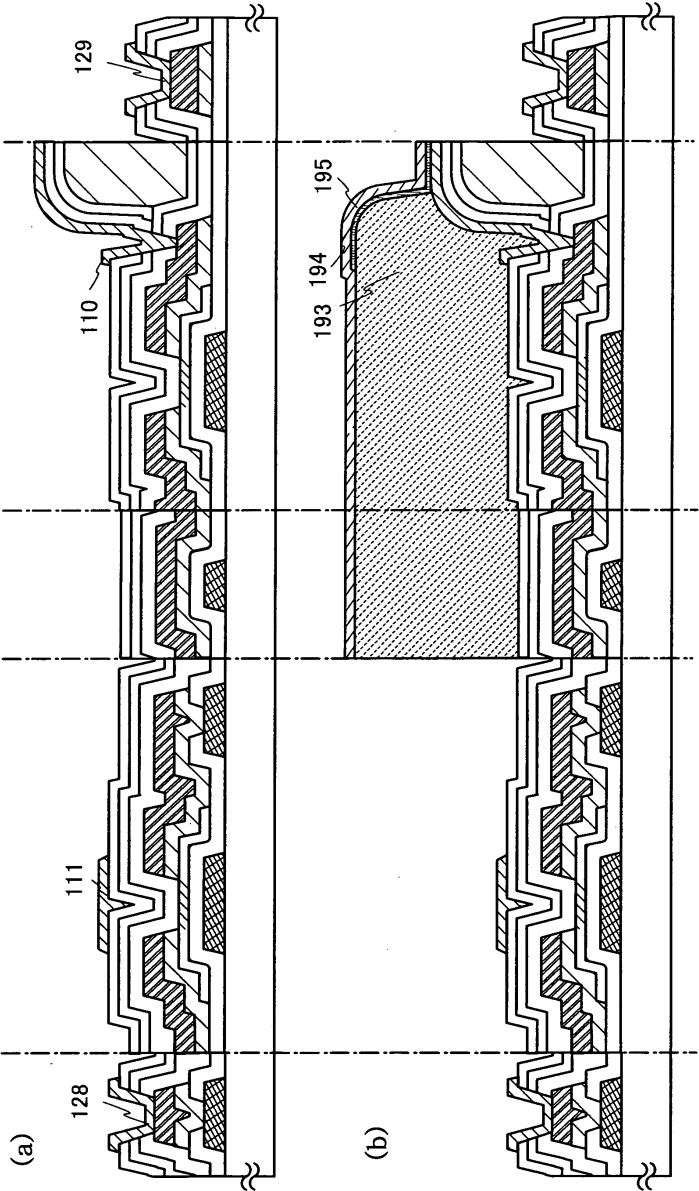
도면5



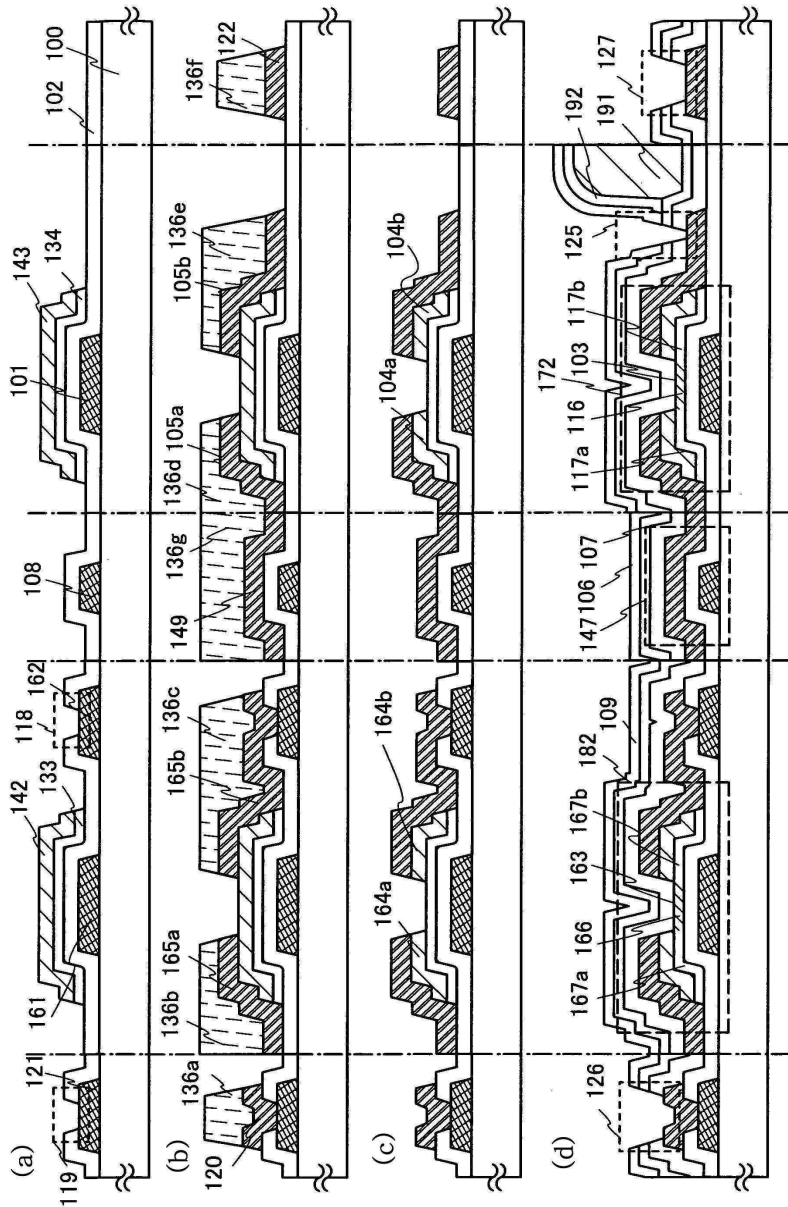
도면6



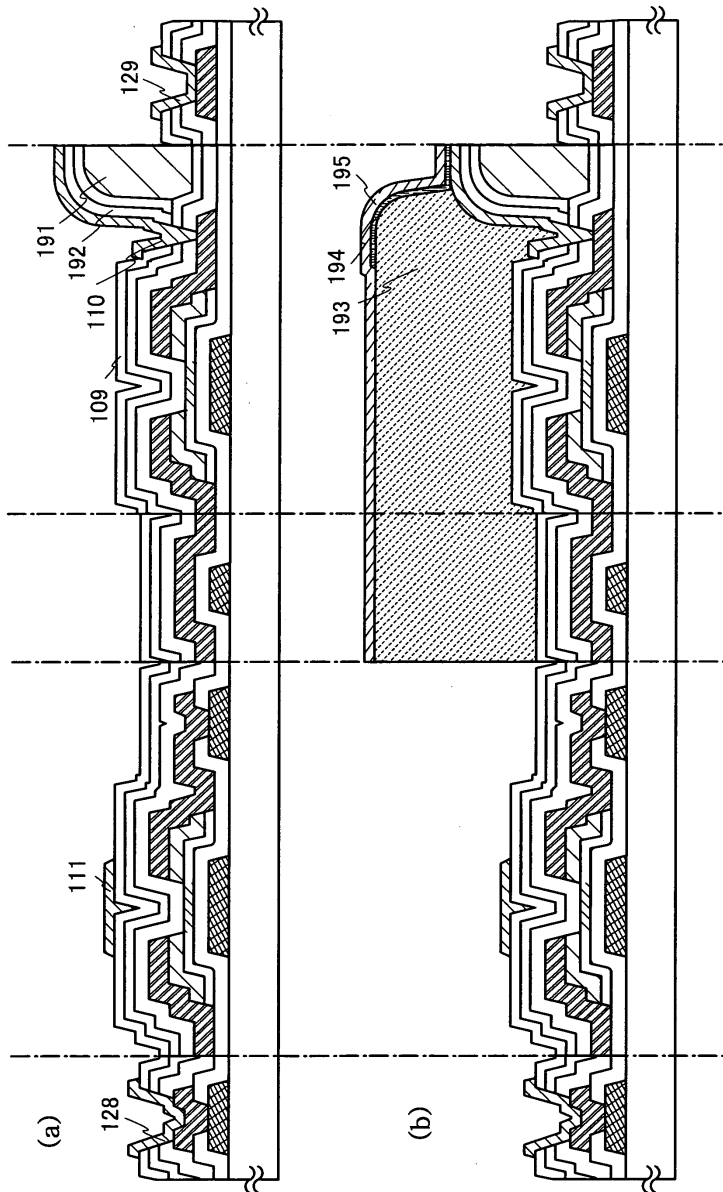
도면7



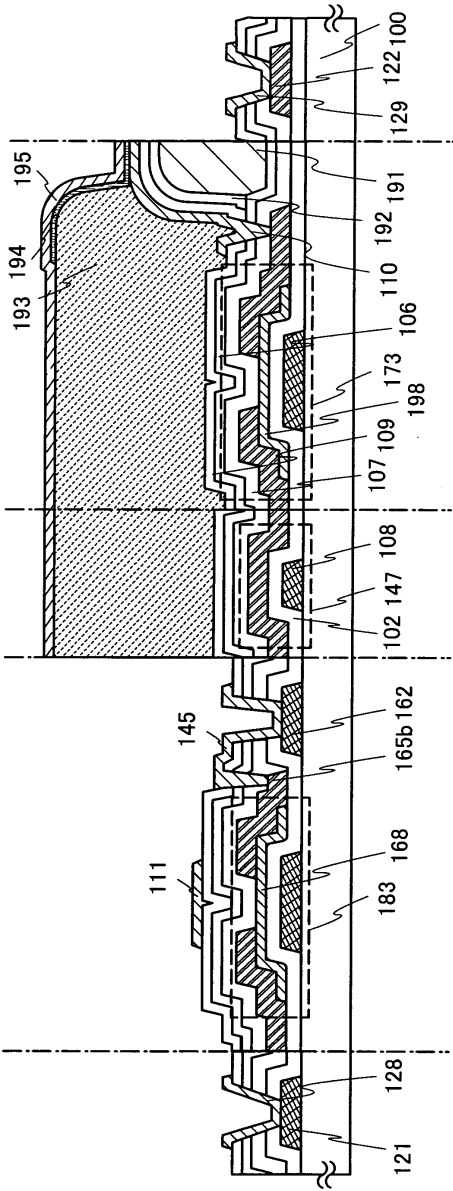
도면8



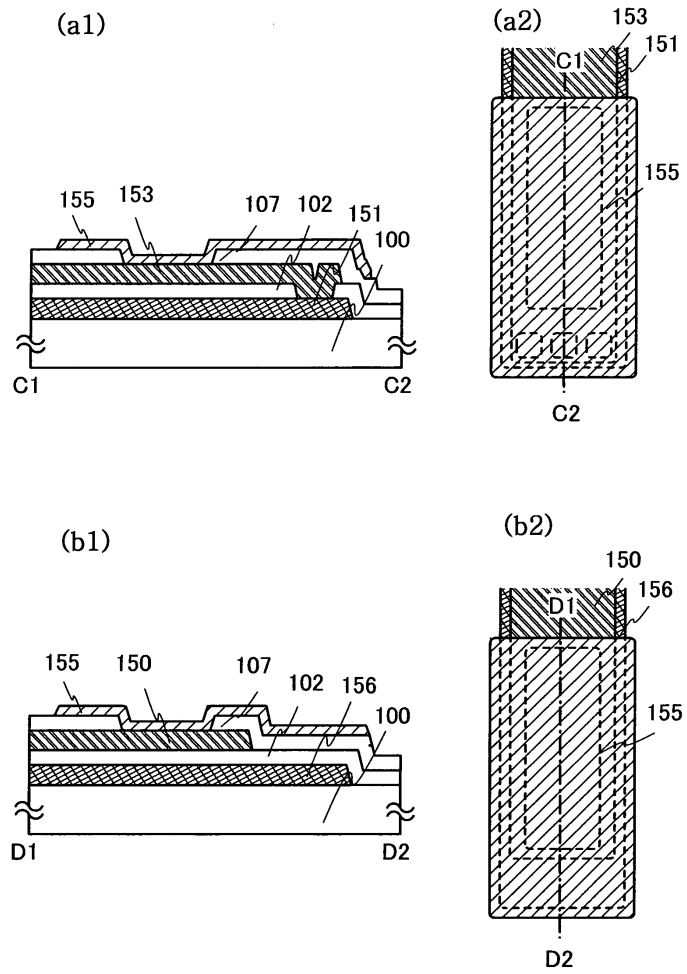
도면9



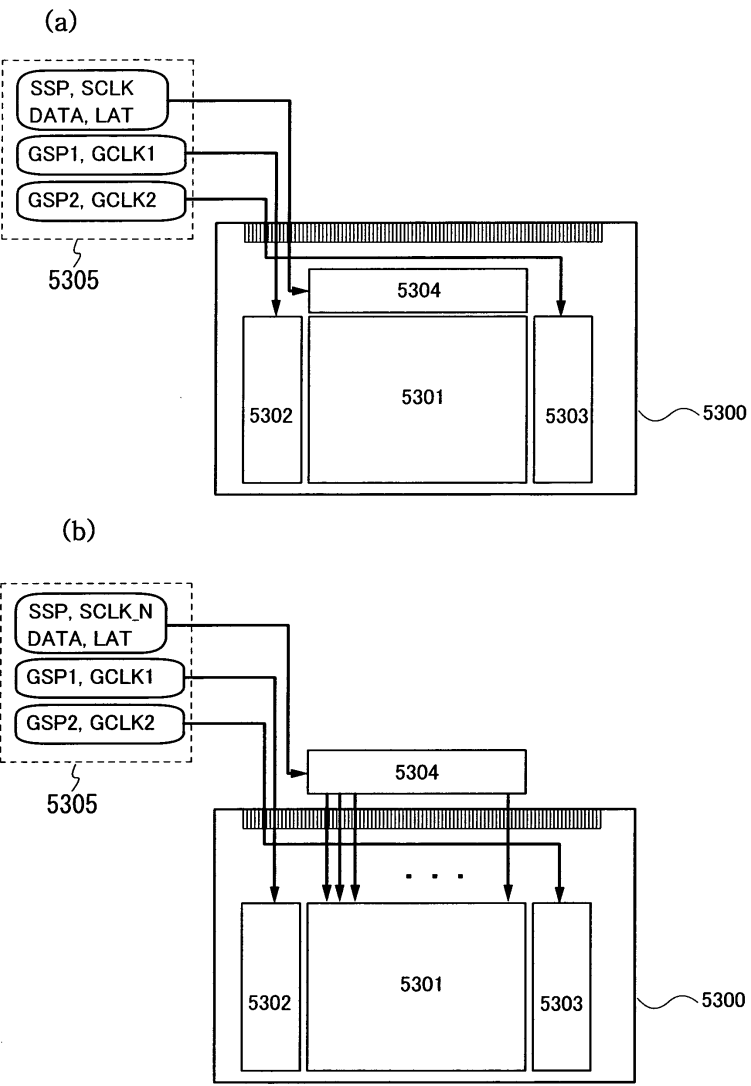
도면10



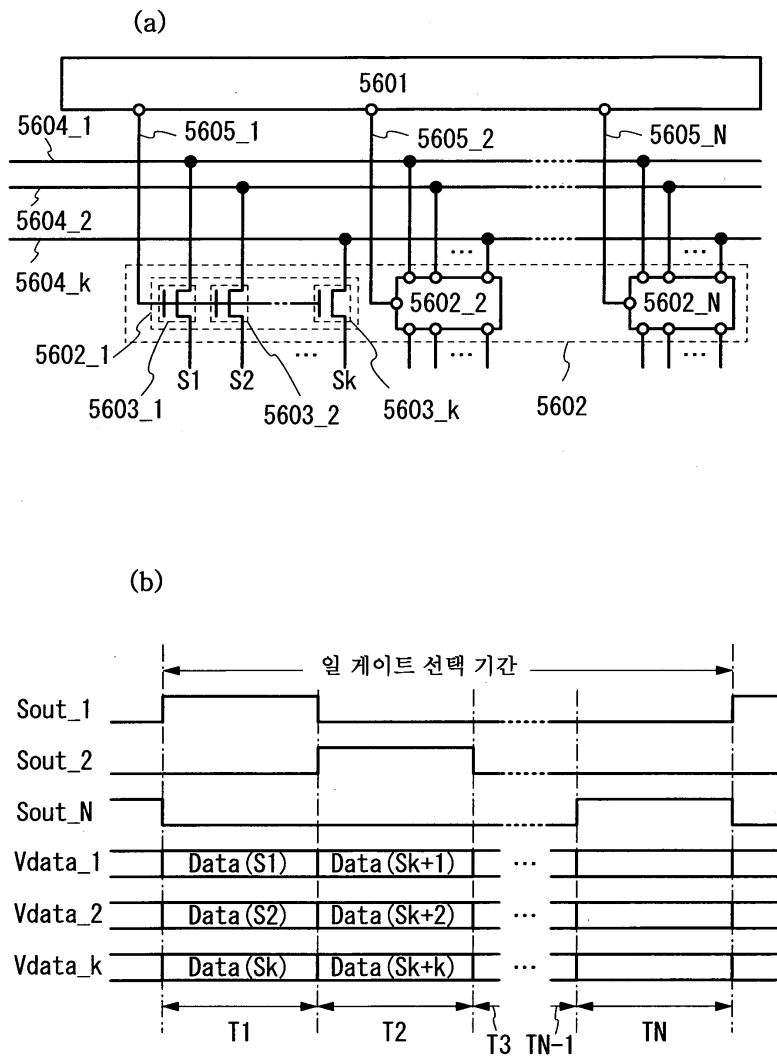
도면11



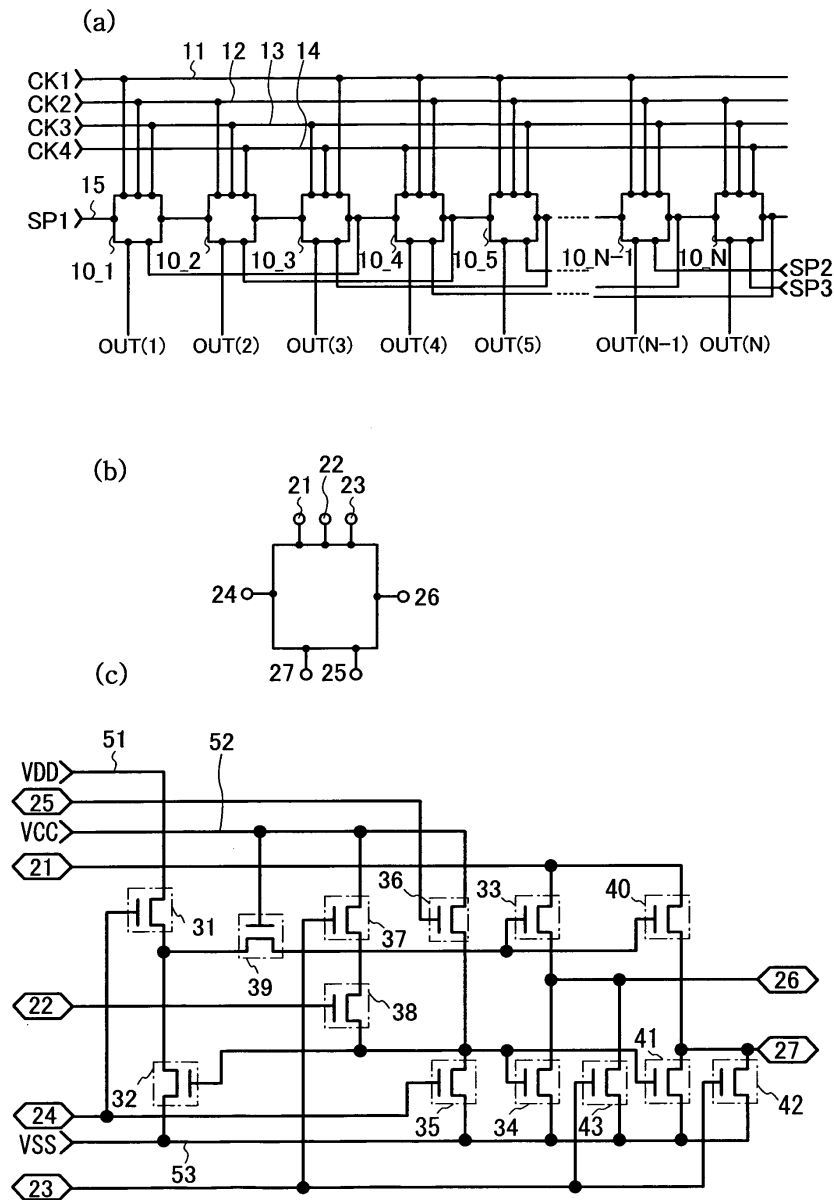
도면12



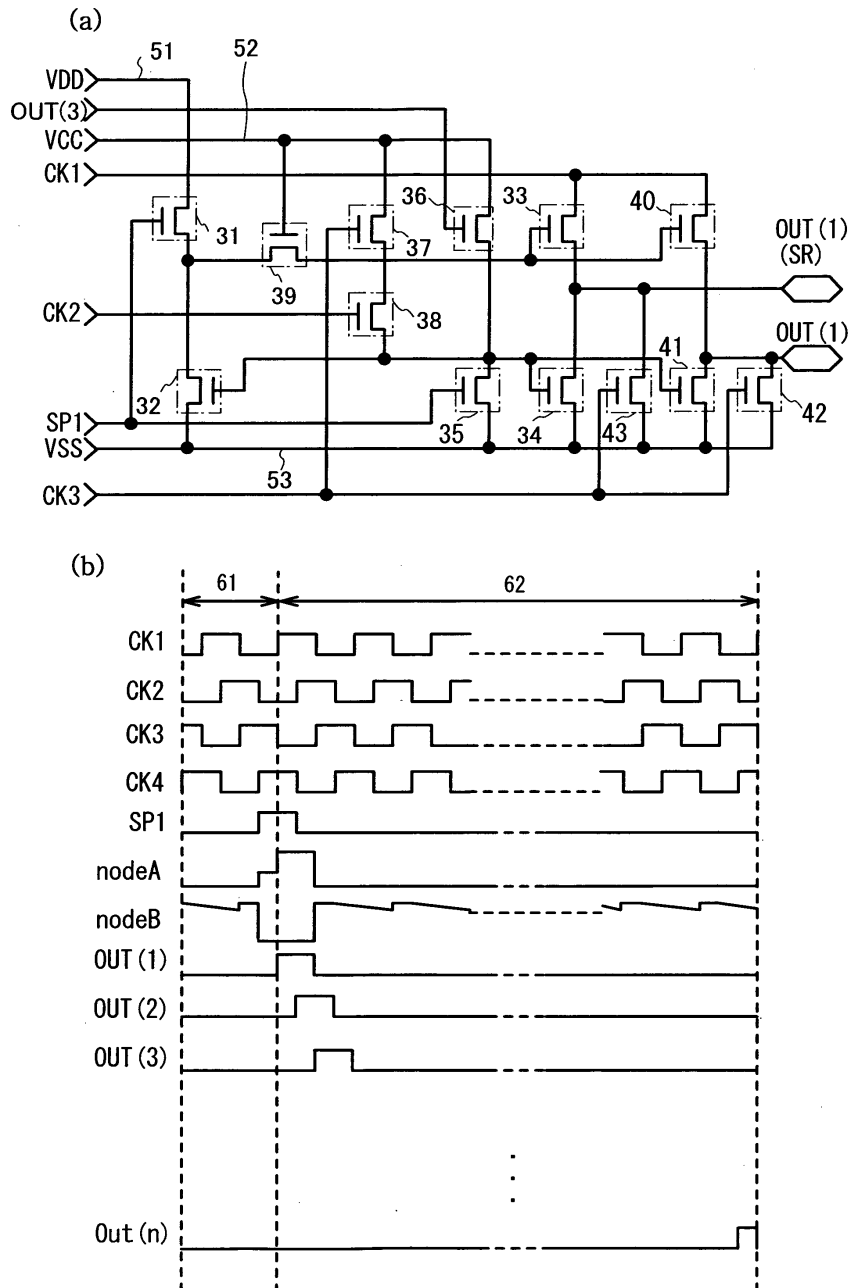
도면13



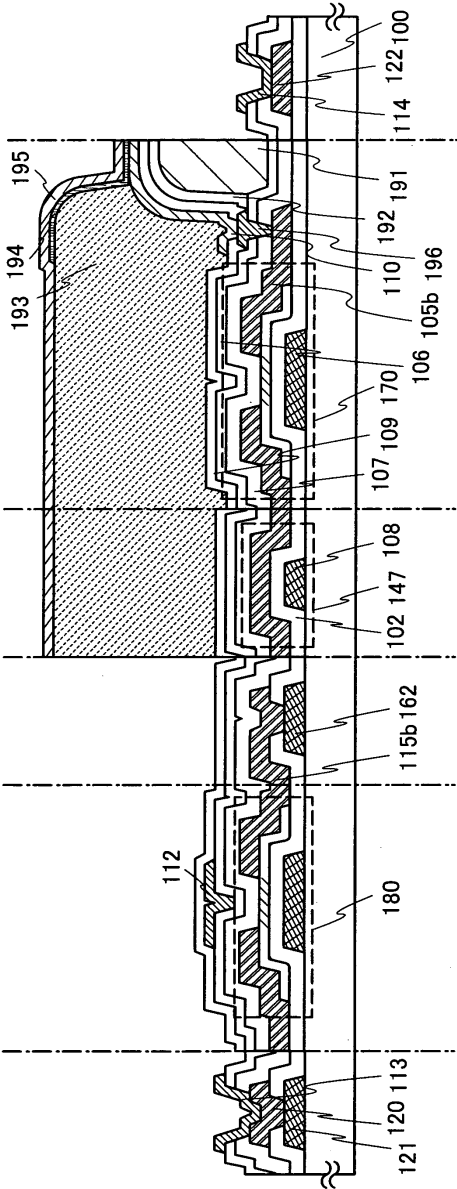
도면14



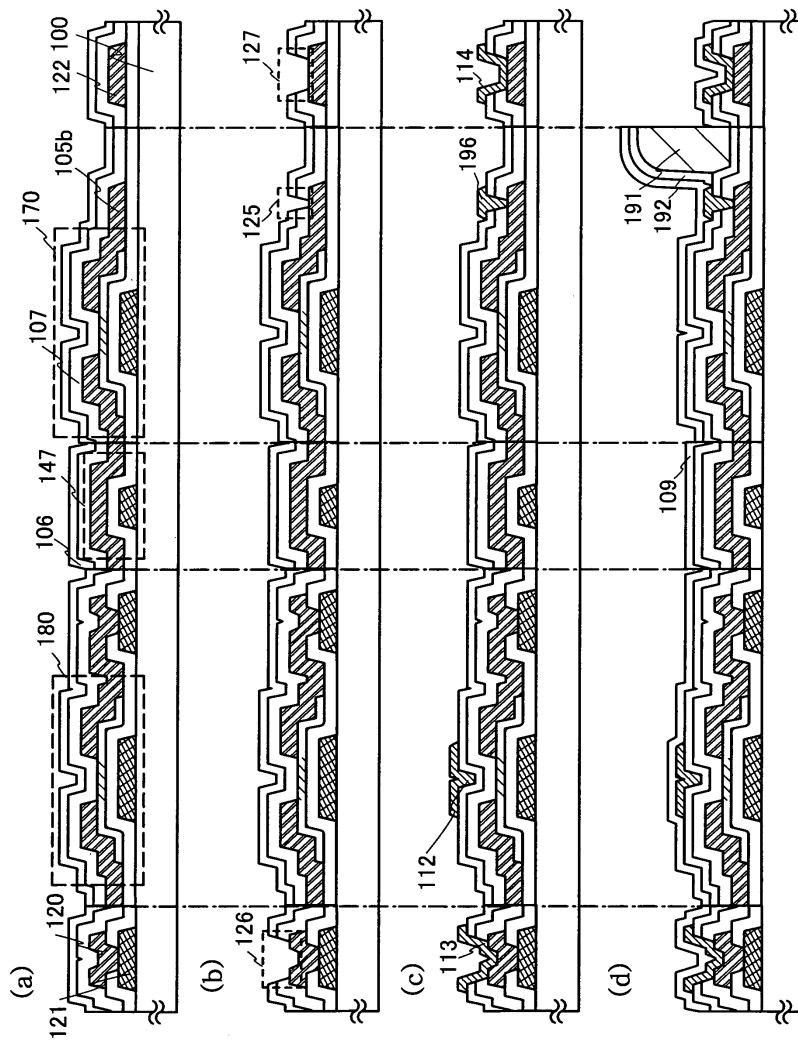
도면15



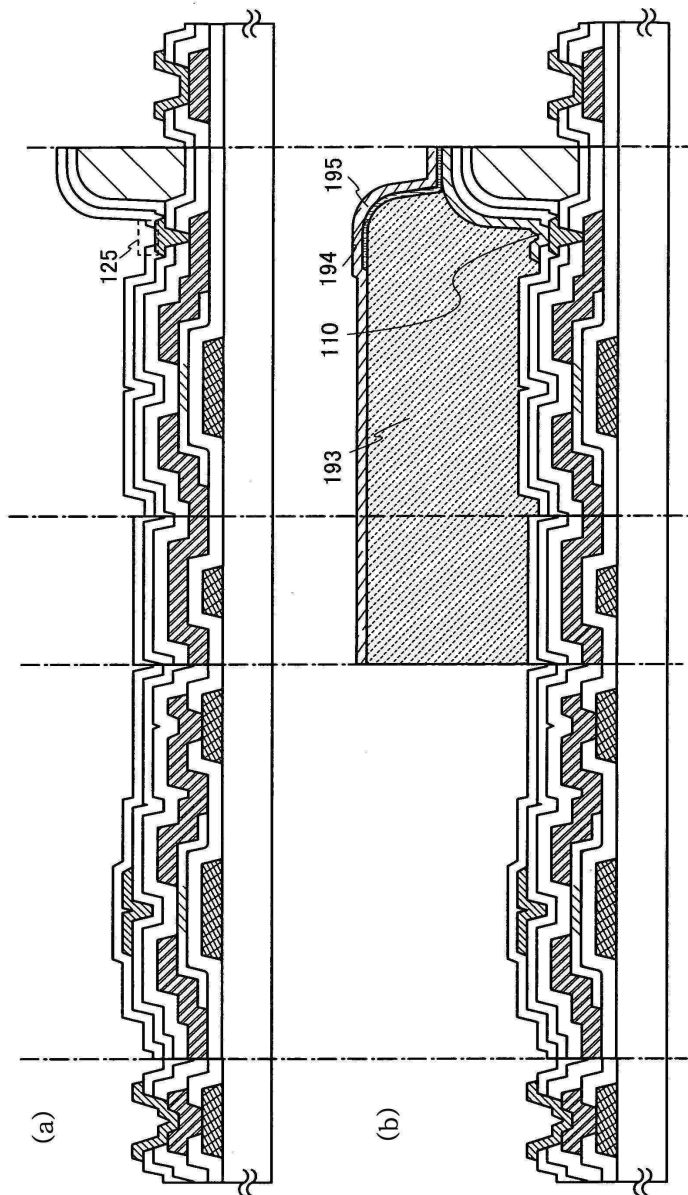
도면16



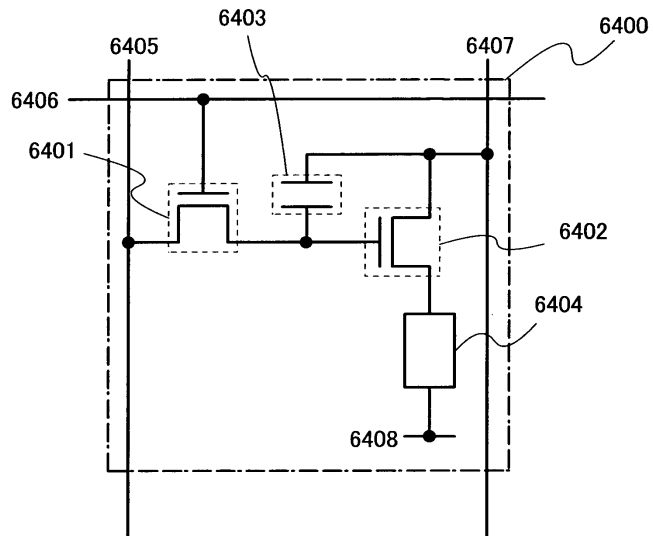
도면17



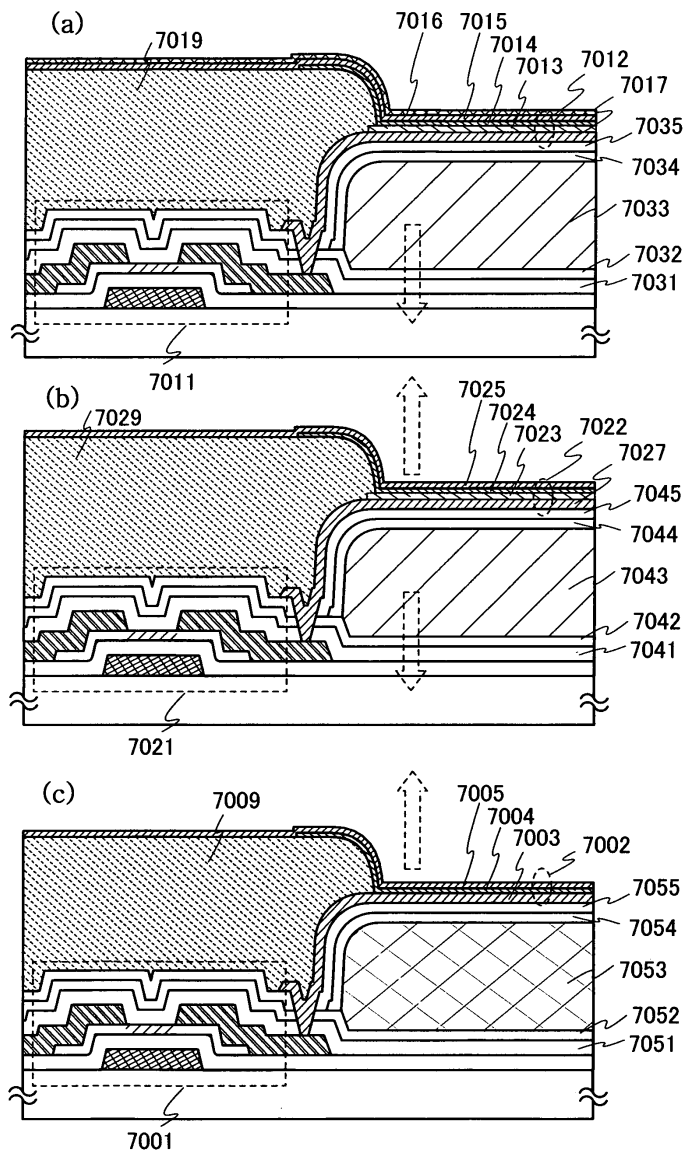
도면18



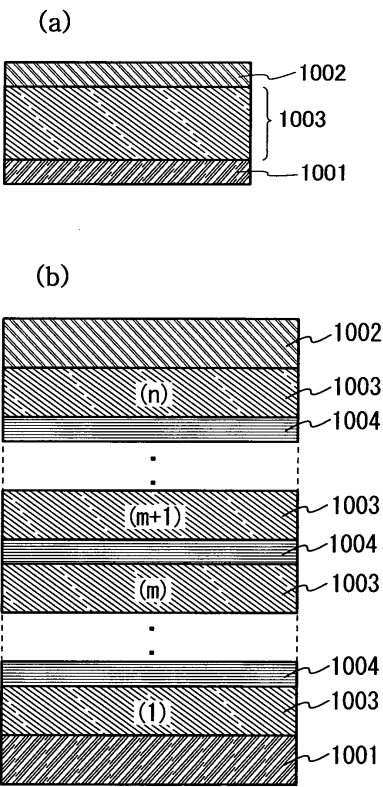
도면19



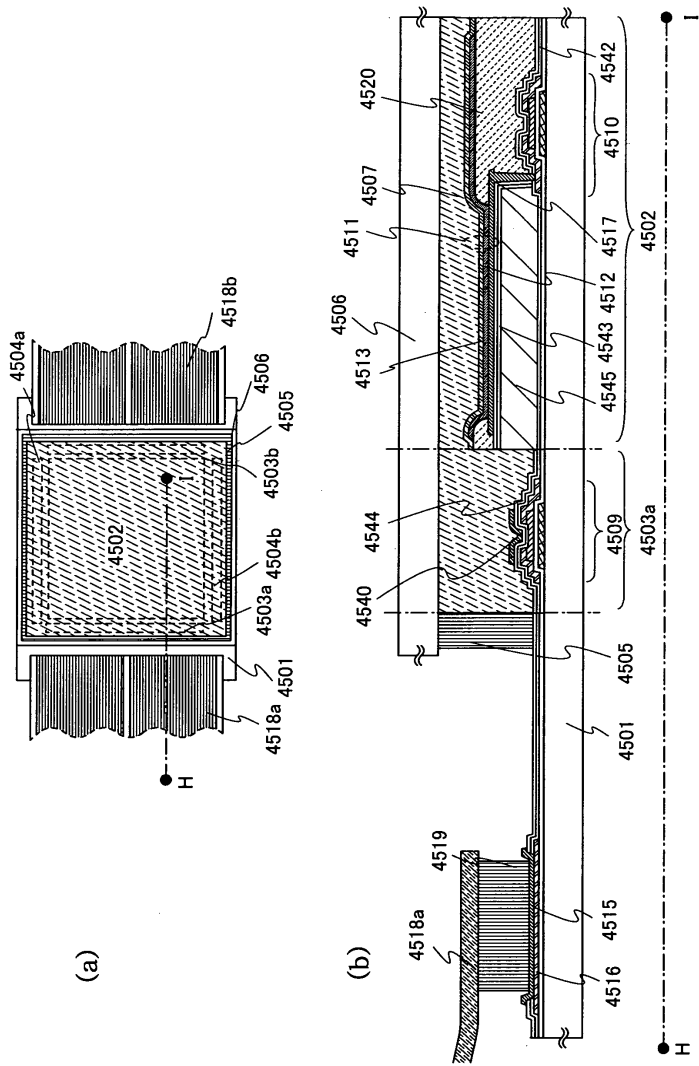
도면20



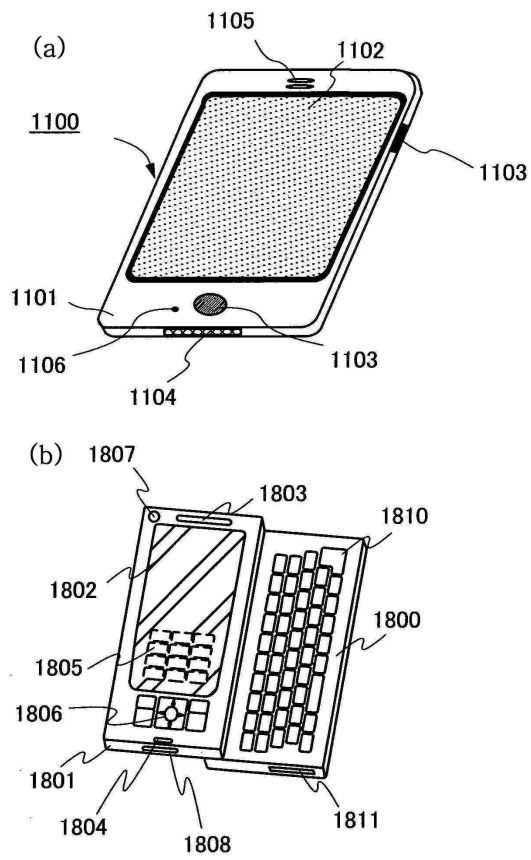
도면21



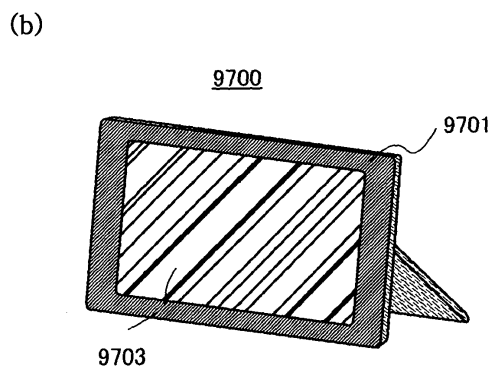
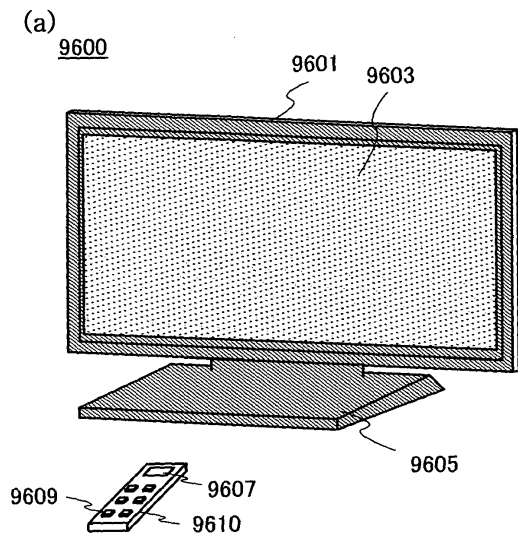
도면22



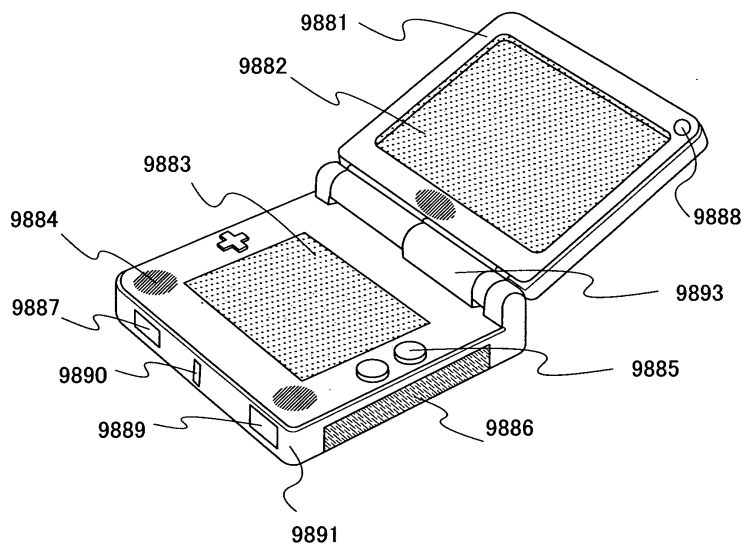
도면23



도면24



도면25



도면26

