



(12) 发明专利申请

(10) 申请公布号 CN 103426858 A

(43) 申请公布日 2013. 12. 04

(21) 申请号 201210424567. 2

(22) 申请日 2012. 10. 30

(30) 优先权数据

61/649, 140 2012. 05. 18 US

13/536, 877 2012. 06. 28 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 陈硕懋 叶德强 叶灵翰

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社杲 孙征

(51) Int. Cl.

H01L 23/522(2006. 01)

H01L 23/31(2006. 01)

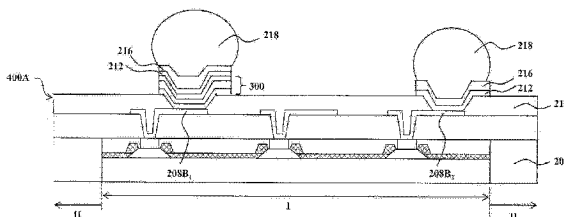
权利要求书1页 说明书8页 附图18页

(54) 发明名称

具有金属绝缘体金属电容器的封装件及其制造方法

(57) 摘要

一种封装件包括在该封装件的第一区中形成的芯片和在邻近第一区的该封装件的第二区中形成的模塑料。在芯片和模塑料上形成第一聚合物层,在第一聚合物层上形成第二聚合物层,在第一和第二聚合物层之间形成多个互连结构。在第二聚合物层上形成金属绝缘体金属(MIM)电容器并将其电连接至多个互连结构的至少一个。在多个互连结构的至少一个的上方形成金属凸块并将其电连接至多个互连结构的至少一个。本发明提供具有金属绝缘体金属电容器的封装件及其制造方法。



1. 一种封装件,包括:
芯片,形成在所述封装件的第一区中;
模塑料,形成在邻近所述第一区的所述封装件的第二区中;
第一聚合物层,形成在所述芯片和所述模塑料上;
第二聚合物层,形成在所述第一聚合物层上;
多个互连结构,形成在所述第一聚合物层和所述第二聚合物层之间;
金属绝缘体金属(MIM)电容器,形成在所述第二聚合物层上并电连接至所述多个互连结构中的至少一个;以及
金属凸块,形成在所述多个互连结构中的至少一个的上方并电连接至所述多个互连结构中的至少一个。
2. 根据权利要求1所述的封装件,其中,所述MIM电容器形成在所述第一区或所述第二区的至少一区中。
3. 根据权利要求1所述的封装件,其中,所述多个互连结构形成在所述第一区或所述第二区的至少一区中。
4. 根据权利要求1所述的封装件,其中,所述金属凸块形成在所述MIM电容器的上方并电连接至所述MIM电容器。
5. 根据权利要求1所述的封装件,还包括位于所述MIM电容器上方的隔离涂层。
6. 根据权利要求1所述的封装件,其中,所述MIM电容器包括下部金属层、电容器介电层以及上部金属层,并且所述电容器介电层包括氮化层。
7. 一种封装件,包括:
芯片,形成在所述封装件的第一区中;
模塑料,形成在邻近所述第一区的所述封装件的第二区中;
第一聚合物层,形成在所述芯片和所述模塑料上;
第二聚合物层,形成在所述第一聚合物层上;
第三聚合物层,形成在所述第二聚合物层上;
第一互连结构,形成在所述第一聚合物层和所述第二聚合物层之间;
第二互连结构,形成在所述第二聚合物层和所述第三聚合物层之间,并电连接至所述第一互连结构;以及
金属绝缘体金属(MIM)电容器,形成在所述第二聚合物层和所述第三聚合物层中的至少一层中,并电连接至所述第一互连结构和所述第二互连结构中的至少一个。
8. 根据权利要求7所述的封装件,其中,所述MIM电容器形成在所述第一区中的所述芯片的上方。
9. 根据权利要求7所述的封装件,其中,所述MIM电容器形成在所述第二区的所述模塑料的上方。
10. 根据权利要求7所述的封装件,其中,所述MIM电容器包括下部金属层、电容器介电层以及上部金属层,并且所述电容器介电层包括氮化层。

具有金属绝缘体金属电容器的封装件及其制造方法

[0001] 相关申请的交叉参考

[0002] 本申请要求于 2012 年 5 月 18 日提交的美国临时专利申请第 61/649,140 号的优先权,其全部内容结合于此作为参考。

技术领域

[0003] 本发明涉及封装件及制造该封装件的方法,具体而言,涉及具有金属绝缘体金属(MIM)电容器的封装件及其制造方法。

背景技术

[0004] 射频(RF)和混合信号集成电路采用电容器元件用于去耦、过滤、振荡等。由于金属提供适用于低成本下的高速应用的无损耗和高电导电极的优点,金属绝缘体金属(MIM)电容器结构在模拟、混合信号以及 RF 器件中已经成为最受欢迎的电容器。MIM 电容器结构在插入两个中间金属层之间时具有弹性的优点。对于日益复杂的混合信号和 RF 应用来说,芯片尺寸参数限制了 MIM 电容器面积。

发明内容

[0005] 为了解决现有技术中存在的问题,根据本发明的一个方面,提供了一种封装件,包括:芯片,形成在所述封装件的第一区中;模塑料,形成在邻近所述第一区的所述封装件的第二区中;第一聚合物层,形成在所述芯片和所述模塑料上;第二聚合物层,形成在所述第一聚合物层上;多个互连结构,形成在所述第一聚合物层和所述第二聚合物层之间;金属绝缘体金属(MIM)电容器,形成在所述第二聚合物层上并电连接至所述多个互连结构中的至少一个;以及金属凸块,形成在所述多个互连结构中的至少一个的上方并电连接至所述多个互连结构中的至少一个。

[0006] 在上述封装件中,其中,所述 MIM 电容器形成在所述第一区或所述第二区的至少一区中。

[0007] 在上述封装件中,其中,所述多个互连结构形成在所述第一区或所述第二区的至少一区中。

[0008] 在上述封装件中,其中,所述金属凸块形成在所述 MIM 电容器的上方并电连接至所述 MIM 电容器。

[0009] 在上述封装件中,还包括位于所述 MIM 电容器上方的隔离涂层。

[0010] 在上述封装件中,其中,所述 MIM 电容器包括下部金属层、电容器介电层以及上部金属层,并且所述电容器介电层包括氮化层。

[0011] 在上述封装件中,其中,所述 MIM 电容器包括下部金属层、电容器介电层以及上部金属层,并且所述电容器介电层包括氮化层,其中,所述下部金属层包括钛层或氮化钛层中的至少一层。

[0012] 在上述封装件中,其中,所述 MIM 电容器包括下部金属层、电容器介电层以及上部

金属层,并且所述电容器介电层包括氮化层,其中,所述上部金属层包括钛层或氮化钛层中的至少一层。

[0013] 在上述封装件中,还包括位于所述 MIM 电容器上的金属化层,其中所述金属化层包括铜、铜合金、钛或氮化钛中的至少一种。

[0014] 在上述封装件中,其中,所述芯片的顶面与所述模塑料的顶面齐平。

[0015] 在上述封装件中,其中,所述多个互连结构包括铜。

[0016] 根据本发明的另一方面,还提供了一种封装件,包括:芯片,形成在所述封装件的第一区中;模塑料,形成在邻近所述第一区的所述封装件的第二区中;第一聚合物层,形成在所述芯片和所述模塑料上;第二聚合物层,形成在所述第一聚合物层上;第三聚合物层,形成在所述第二聚合物层上;第一互连结构,形成在所述第一聚合物层和所述第二聚合物层之间;第二互连结构,形成在所述第二聚合物层和所述第三聚合物层之间,并电连接至所述第一互连结构;以及金属绝缘体金属(MIM)电容器,形成在所述第二聚合物层和所述第三聚合物层中的至少一层中,并电连接至所述第一互连结构和所述第二互连结构中的至少一个。

[0017] 在上述封装件中,其中,所述 MIM 电容器形成在所述第一区中的所述芯片的上方。

[0018] 在上述封装件中,其中,所述 MIM 电容器形成在所述第二区的所述模塑料的上方。

[0019] 在上述封装件中,其中,所述 MIM 电容器包括下部金属层、电容器介电层以及上部金属层,并且所述电容器介电层包括氮化层。

[0020] 在上述封装件中,其中,所述 MIM 电容器包括下部金属层、电容器介电层以及上部金属层,并且所述电容器介电层包括氮化层,其中,所述下部金属层包括所述第二互连结构的一部分。

[0021] 在上述封装件中,其中,所述 MIM 电容器包括下部金属层、电容器介电层以及上部金属层,并且所述电容器介电层包括氮化层,其中,所述下部金属层包括所述第一互连结构的一部分。

[0022] 在上述封装件中,其中,所述 MIM 电容器包括下部金属层、电容器介电层以及上部金属层,并且所述电容器介电层包括氮化层,其中,所述下部金属层和所述上部金属层的至少一层包括钛层、氮化钛层或铜层中的至少一层。

[0023] 在上述封装件中,其中,所述芯片的顶面与所述模塑料的顶面齐平。

[0024] 在上述封装件中,其中,所述第一互连结构和所述第二互连结构包括铜。

附图说明

[0025] 图 1-10 是根据一个或多个实施例制造具有金属绝缘体金属(MIM)电容器的封装件的方法的截面图;

[0026] 图 11 是根据一个或多个实施例的具有 MIM 电容器的封装件的截面图;

[0027] 图 12 是根据一个或多个实施例的具有 MIM 电容器的封装件的截面图;

[0028] 图 13 是根据一个或多个实施例的具有 MIM 电容器的封装件的截面图;

[0029] 图 14-16 是根据一个或多个实施例的具有双钝化后互连(PPI)结构和 MIM 电容器的封装件的截面图;

[0030] 图 17-21 是根据一个或多个实施例制造具有 MIM 电容器的封装件的方法的截面

图。

具体实施方式

[0031] 应该理解为了实施各种实施例的不同部件,本发明提供了许多不同的实施例或实例。以下描述的部件和布置的特定实例以简化本发明。然而,本发明可以体现为许多不同的形式并且不应该解释为限于在此阐述的实施例;相反,提供这些实施例使得本说明书深入完整并且向本领域的普通技术人员充分地传达了本发明。然而,显然在没有这些具体细节的情况下,一个或多个实施例也可以实施。

[0032] 附图中,为清楚起见放大了层和区域的厚度和宽度。附图中相同的参考编号表示相同的元件。附图中示出的元件和区域实际上是示意性的,因此图中示出的相对尺寸或间隔不用于限制本发明的范围。

[0033] 图 1-10 是处于根据一个或多个实施例制造具有金属绝缘体金属 (MIM) 电容器的封装件的方法的各阶段的封装件的截面图。

[0034] 参考图 1,至少一个芯片 100 通过粘附膜 202 连接到载具晶圆 200。作为实例,取决于芯片 100 的尺寸、载具晶圆 200 的尺寸以及具体的应用,几十个芯片 100 或数百个芯片 100 或更多芯片可以连接到载具晶圆 200。芯片 100 具有第一面 100a(在此也被称为正面 100a) 和第二面 100b(在此也被称为背面 100b)。芯片 100 具有先前在晶圆上制造然后从晶圆分离出的半导体器件或集成电路。例如,芯片 100 可以包括在半导体衬底上形成的一层或多层电路和 / 或电功能,并且可以包括导线、通孔、电容器、二极管、晶体管、电阻器、电感器和 / 或其他电子元件。例如,取放机器可以用于将芯片 100 放在载具晶圆 200 上的预定位置。在一些实施例中,芯片 100 的背面 100b 连接到粘附膜 202,从而芯片 100 面朝上地安装在载具晶圆 200 上。

[0035] 图 1 中所示的芯片 100 包括半导体衬底 10、多个焊盘 12、钝化层 14、绝缘层 16 以及多个接触件 18。根据一些实施例在半导体衬底 10 中和 / 或上形成电路。半导体衬底 10 可以包括,例如体硅(掺杂或无掺杂的)或绝缘体上硅(SOI)衬底的有源层。还可以使用其它衬底如多层或梯度衬底。在半导体衬底 10 中和 / 或上形成的电路可以是适合于特定应用的任何类型的电路。在一些实施例中,电路包括在衬底 10 上形成的电子器件,衬底 10 具有位于电子器件上面的一层或多层介电层。可以在介电层之间形成金属层以在电子器件之间按规定路线发送电信号。还可以在一层或多层介电层中形成电子器件。例如,电路可以包括各种 N 型金属氧化物半导体 (NMOS) 和 / 或 P 型金属氧化物半导体 (PMOS) 器件,诸如晶体管、电容器、电阻器、二极管、光电二极管、保险丝等,互连以执行一个或多个功能。这些功能可以包括存储结构、处理结构、传感器、放大器、配电、输入 / 输出电路等。本领域的普通技术人员将认识到,为说明的目的提供上述实例仅是为了进一步解释一些示例性实施例的应用并且不意味着以任何方式限制本发明。视给定的申请可以使用其它的电路。在电路的上方形成一层或多层介电层和相关的金属化层,并且可以形成穿过介电层的接触件以提供与电路的连接。

[0036] 在半导体衬底 10 上形成焊盘 12。在一些实施例中,焊盘 12 是由铝、铝铜、铝合金、铜、铜合金等形成。在焊盘 12 的上方形成并图案化如钝化层 14 的一层或多层钝化层。在一些实施例中,钝化层 14 通过诸如化学汽相沉积 (CVD)、物理汽相沉积 (PVD) 等任何合适的

方法由诸如未掺杂的硅酸盐玻璃 (USG)、氮化硅、氧化硅、氮氧化硅或无孔材料的介电材料形成。形成钝化层 14 并对其图案化以覆盖焊盘 12 的外围部分,并且通过钝化层 14 中的开口以暴露焊盘 12 的一部分。接触件 18 穿过位于钝化层 14 的上方的绝缘层 16 中的开口在焊盘 12 的暴露部分的上方形成。在一些实施例中,接触件 18 由铜、铜合金、铝、铝合金等构成。接触件 18 可以形成为绝缘层 16 中的通孔、插塞、柱或线以与焊盘 12 建立电接触。在一些实施例中,绝缘层 16 是聚合物层或介电材料。在至少一个实施例中,从绝缘层 16 暴露接触件 18 的顶面用于与后续形成的布线层电连接。

[0037] 参考图 2,形成模塑料 204 以填充芯片 100 之间的间隙。在一些实施例中,在芯片 100 和粘附膜 202 位于芯片 100 之间的部分的上方提供模塑料 204,然后对模塑料 204 实施研磨工艺以暴露每一芯片 100 的正面 100a 的顶面 100s,从而使得模塑料 204 的顶面 204a 与芯片 100 的顶面 100s 基本上齐平。研磨工艺可以平坦化芯片 104 的顶面 100s,从而使得位于芯片 100 的顶面 100s 中的任何不均匀可以至少减小并可能基本上被消除。而且,通过研磨工艺可以将芯片 100 的高度或厚度减小到选定的高度。这产生包括第一区 I(在此也被称为芯片区 I) 和第二区 II(在此也被称为扇出区 II) 的重组晶圆 400。在芯片区 I 上,形成芯片 100。在扇出区 II 上,形成模塑料 204。在模塑料 204 的上方可以形成后续形成的布线层以电连接芯片 100。

[0038] 参考图 3,在重组晶圆 400 上形成第一聚合物层 206 并且对其图案化以覆盖芯片 100 的顶面 100s 和模塑料 204 的顶面 204a,然后在第一聚合物层 206 上形成钝化后互连 (PPI) 结构 208。在一些实施例中,第一聚合物层 206 包括聚苯并恶唑 (PBO) 层、聚酰亚胺层、苯并环丁烯 (BCB) 层、环氧树脂层或感光材料层。在至少一个示例性实施例中,第一聚合物层 206 是由低温的 PBO 层构成。可通过光刻工艺图案化第一聚合物层 206 以形成开口,通过该开口暴露下面的接触件 18。PPI 结构 208 可通过在图案化的聚合物层 206 中形成的开口与芯片 100 的接触件 18 电连接。在一些实施例中,PPI 结构 208 是使用带有光掩模的电镀、非电电镀、溅射、化学汽相沉积方法由铜、铝、铜合金或其它移动导电材料形成的金属化层。PPI 结构 208 可以形成在第一聚合物层 206 的开口中以电连接接触件 18,并且延伸到第一聚合物层 206 的表面。在一些实施例中,可在芯片区 I 和 / 或扇出区 II 的上方形成 PPI 结构 208。PPI 结构 208 可执行互连层、电源线、再分配线 (RDL)、电感器、电容器或任何无源元件的功能。每一个 PPI 结构 208 都包括第一区 208A 和第二区 208B。第一区 208A 在本文中也称为互连线区 208A,而第二区 208B 在本文中也称为接合区 208B,后续的工艺中在接合区 208B 上将形成凸块部件和 / 或电容器。图 3 的实施例示出接合区 208B 设置在接触件 18 的外面。在其它实施例中,通过 PPI 结构 208 的布线,接合区 208B 可直接形成在接触件 18 上方。

[0039] 参考图 4,在第一聚合物层 206 和 PPI 结构 208 上形成第二聚合物层 210。在第二聚合物层 210 中形成多个开口 210a 以暴露 PPI 结构 208 的第二区 208B 的一部分。在一些实施例中,第二聚合物层 210 包括聚苯并恶唑 (PBO) 层、聚酰亚胺层、苯并环丁烯 (BCB) 层、环氧树脂层或感光材料层。第二聚合物层 210 可以由与第一聚合物层 206 相同的材料构成。根据器件性能的需要,开口 210 的数量和位置的设计是灵活的。图 4 的实施例示出暴露第一接合区 208B₁(在其上将形成电容器) 和第二接合区 208B₂(在其上形成凸块) 的开口 210a。

[0040] 图 5 示出在 PPI 结构 208 的第一接合区 $208B_1$ 上形成金属绝缘体金属 (MIM) 电容器 300, 留下第二接合区 $208B_2$ 用于形成凸块。在至少一个实施例中, MIM 电容器 300 穿过第二聚合物层 210 的开口 210a 形成在第一接合区 $208B_1$ 上, 而且该 MIM 电容器 300 可以延伸到第二聚合物层 210 的表面。在至少一个实施例中, MIM 电容器 300 包括下部金属层 310、上部金属层 330 以及在金属层 310 和 330 之间形成的电容器介电层 320。下部金属层 310 可以包括钛 (Ti) 层、氮化钛 (TiN) 层或它们的组合。上部金属层 330 可以包括钛 (Ti) 层、氮化钛 (TiN) 层或它们的组合。在一些实施例中, 下部金属层 310 具有介于约 500 埃到约 1500 埃的厚度, 并且上部金属层 330 具有介于约 500 埃到约 1500 埃的厚度。电容器介电层 320 可以包括氮化层、氮化硅层或其它具有高介电常数的介电材料层。在一些实施例中, 电容器介电层 320 是通过低温 CVD 或等离子体强化 CVD (PECVD) 方法沉积的氮化硅层。在一些实施例中, 电容器介电层 320 是在小于约 200 摄氏度的工艺温度下通过 PECVD 方法形成的具有约 250 埃或更小的厚度的氮化硅层, 从而在 MIM 电容器 300 中达到大于约 $2\text{fF}/\text{cm}^2$ 的增大的电容密度。在至少一个示例性实施例中, MIM 电容器 300 的形成包括通过沉积、光刻和蚀刻方法沿着第二聚合物层 210 的开口 210a 的侧壁和底部在第一接合区 $208B_1$ 的暴露的部分上形成下部金属层 310 的步骤。然后, 在形成的表面上依次沉积电容器介电层 320 和上部金属层 330, 紧接着是光刻和蚀刻工艺从而在下部金属层 310 上形成电容器介电层 320 和上部金属层 330。

[0041] 参考图 6, 在得到的结构上形成阻挡层 212 以覆盖 MIM 电容器 300、第二聚合物层 210 以及 PPI 结构 208 的第二接合区 $208B_2$ 的暴露的部分。在一些实施例中, 阻挡层 212 包括至少一层金属化层, 该金属化层包括钛 (Ti)、钽 (Ta)、氮化钛 (TiN)、氮化钽 (TaN)、铜 (Cu)、铜合金、镍 (Ni)、锡 (Sn)、金 (Au) 或它们的组合。在一些实施例中, 阻挡层 212 包括至少一层钛层和至少一层铜层。

[0042] 参考图 7, 然后在阻挡层 212 上形成掩模层 214 用于限定凸块窗口。在实施例中, 掩模层 214 是由用开口 214a 图案化的光刻胶形成。在一些实施例中, 开口 214a 直接位于第一接合区 $208B_1$ 和 / 或第二接合区 $208B_2$ 的上方。在一些实施例中, 至少一个开口 214a 直接位于 MIM 电容器 300 的上方。图 7 的实施例示出位于第一接合区 $208B_1$ (其上形成 MIM 电容器 300) 和第二接合区 $208B_2$ (其上不形成 MIM 电容器 300) 上方的开口 214a。接着, 实施电镀步骤以形成位于开口 214a 内的凸块下金属化 (UBM) 层 216, 从而在阻挡层 212 的暴露部分的上方形成 UBM 层 216 以建立与 PPI 结构 208 的电接触。在一些实施例中, UBM 层 216 由铜、铜合金、铝、铝合金等形成。UBM 层 216 可以形成为薄层或柱。

[0043] 参考图 8, 去除掩模层 214 之后图案化阻挡层 212, 从而蚀刻去除阻挡层 212 未被 UBM 层 216 覆盖的部分并且再次暴露第二聚合物层 210 未被 UBM 层 216 覆盖的部分。

[0044] 参考图 9, 在至少一层 UBM 层 216 上形成至少一个凸块 218。在一些实施例中, 在每一 UBM 层 216 上形成一个凸块 218。在一些实施例中, 凸块 218 是焊料凸块、铜凸块、包括 Ni 或 Au 的金属凸块或它们的组合。在一些实施例中, 凸块 218 是通过在 UBM 层 216 上放置焊球然后热回流该焊球而形成的焊料凸块。在至少一个实施例中, 焊料凸块具有大于约 $200\ \mu\text{m}$ 的直径。在一些实施例中, 焊料凸块包括无铅预焊料层, SnAg, 或含有锡、铅、银、铜、镍、铋的合金的焊料材料, 或它们的组合。在一些实施例中, 通过使用光刻技术电镀焊料层然后进行回流工艺形成焊料凸块。

[0045] 接下来,如图 10 所示。重组晶圆 400 从载具晶圆 200 分离,并且被切割成多个单独的封装件 400A(在本文中也被称为扇出封装件)。扇出封装件 400A 包括在芯片区 I 中形成的至少一个芯片 100、在芯片区 I 中的第二聚合物层 210 上形成的至少一个 MIM 电容器 300 以及在芯片区 I 和 / 或扇出区 II 中形成的扇出互连件。在第二聚合物层 210 上形成 MIM 电容器 300,其中上部金属层 330 电连接到 UBM 层 216 并且下部金属层 310 电连接到 PPI 结构 208。MIM 电容器 300、UBM 层 216 和 PPI 结构 208 的布置可减少后端线 (BEOL) 布线层、节省硅面积成本以及减小布线阻力。上述工艺可应用于模拟、混合信号和 RF 器件。

[0046] 图 10 的扇出封装件 400A 示出在芯片区 I 内的第二聚合物层 210 上形成 MIM 电容器 300 的实施例。在另一实施例中,图 11 的扇出封装件 400B 示出在扇出区 II 上的第二聚合物层 210 上形成 MIM 电容器 300,其中 MIM 电容器 300 可与延伸到扇出区 II 的 PPI 结构 208 电连接。在一些实施例中,可在芯片区 I 和扇出区 II 中均形成 MIM 电容器 300。

[0047] 图 12 是根据一个或多个实施例具有 MIM 电容器的封装件的截面图。在形成 UBM 层 216 后形成隔离涂层 220。形成隔离涂层 220 以覆盖 UBM 层 216 和第二聚合物层 210,然后图案化以形成至少一个开口 220a,该开口 220a 暴露其上将形成凸块 218 的 UBM 层 216b,而形成在 MIM 电容器 300 上的 UBM 层 216a 仍然被隔离涂层 220 覆盖。接下来,在 UBM 层 216b 的暴露部分上形成凸块 218。图 12 的扇出封装件 400C 示出在芯片区 I 内的第二聚合物层 210 上形成 MIM 电容器 300 的实施例。在另一实施例中,图 13 的扇出封装件 400D 示出在扇出区 II 内的第二聚合物层 210 上的 MIM 电容器 300,其中 MIM 电容器 300 可与延伸到扇出区 II 的 PPI 结构 208 电连接。

[0048] 图 14-16 是根据一个或多个实施例在双 PPI 结构上具有 IMI 电容器的封装件的截面图。与图 1-13 中的描述相同或相似的部分的解释将被省略。

[0049] 参考图 14,在第一聚合物层 206 的上方形成多个双 PPI 结构。每一个双 PPI 结构包括第一 PPI 结构 208I 和第二 PPI 结构 208II。第一 PPI 结构 208I 形成在第一聚合物层 206 和第二聚合物层 210 之间并且电连接至芯片 100 的接触件 18。第二 PPI 结构 208II 形成在第二聚合物层 210 上并且被第三聚合物层 222 覆盖,并且通过第二聚合物层 210 中的开口电连接至第一 PPI 结构 208I。在一些实施例中,可在第一聚合物层 206、第二聚合物层 210 或第三聚合物层 222 中的至少一层的上方形成 MIM 电容器。在一些实施例中,可在第一 PPI 结构 208I、第二 PPI 结构 208II 或它们的组合上形成 MIM 电容器。在一些实施例中,在芯片区 I、扇出区 II 或它们的组合中形成 MIM 电容器。

[0050] 参考图 14, MIM 电容器 300A 包括形成在第三聚合物层 222 上的下部金属层、介电层和上部金属层并通过第三聚合物层 222 中的开口电连接至第二 PPI 结构 208II。可以在 MIM 电容器 300A 上形成阻挡层 212 和 UBM 层 216。在一些实施例中,MIM 电容器 300A 可形成在芯片区 I、扇出区 II 或它们的组合中。

[0051] 参考图 15,在第二聚合物层 210 的上方形成 MIM 电容器 300B。在至少一个实施例中,MIM 电容器 300B 包括上部金属层 330B、电容器介电层 320B 以及下部金属层 310B,下部金属层 310B 是第二 PPI 结构 208II 和 / 或第一 PPI 结构 208I 的一部分。在一些实施例中,MIM 电容器 300B 可形成在芯片区 I、扇出区 II 或它们的组合中。

[0052] 参考图 16,在第二聚合物层 210 中形成 MIM 电容器 300C。在至少一个实施例中,MIM 电容器 300C 包括上部金属层 330C、电容器介电层 320C 以及下部金属层 310C,下部金属

层 310C 是第一 PPI 结构 208I 的一部分。在一些实施例中, MIM 电容器 300C 可形成在芯片区 I、扇出区 II 或它们的组合中。

[0053] 图 17-21 是处于根据又一其他实施例制造具有 MIM 电容器的封装件的方法的各个阶段中的封装件的截面图。

[0054] 如图 17 所示, 用开口 214a 图案化在阻挡层 212 上形成的掩模层 214。在一些实施例中, 开口 214a 直接位于第一接合区 $208B_1$ 、第二接合区 $208B_2$ 以及第三接合焊盘区 $208B_3$ 的上方。第三接合焊盘区 $208B_3$ 邻近第一接合区 $208B_1$, 从而使得连续形成在第一接合区 $208B_1$ 和第三接合焊盘区 $208B_3$ 上的阻挡层 212 通过开口 214a 暴露。接下来, 实施电镀步骤以分别形成位于开口 214a 内的 UBM 层 216, 从而 UBM 层 216 形成在阻挡层 212 的暴露部分的上方以电接触 PPI 结构 208。

[0055] 参考图 18, 去除掩模层 214 之后图案化阻挡层 212, 从而蚀刻去除阻挡层 212 未被 UBM 层 216 覆盖的部分并且再次暴露第二聚合物层 210 的未被 UBM 层 216 覆盖的部分。在至少一个实施例中, UBM 层 216 和阻挡层 212 覆盖邻近 MIM 结构 300 的 PPI 结构 208 的第三接合焊盘区 $208B_3$ 。

[0056] 参考图 19, 形成隔离涂层 220 以覆盖 UBM 层 216 和第二聚合物层 210, 然后图案化以形成暴露 UBM 层 216b (其上将形成凸块 218) 的至少一个开口 220a, 而形成在 MIM 电容器 300 上的 UBM 层 216a 仍然被隔离涂层 220 覆盖。隔离层 220 可以阻止对 UBM 层 216 的氧化。在至少一个实施例中, 隔离涂层 220 是由与第二聚合物层 210 相同的材料形成。

[0057] 接下来, 如图 20 所示, 在 UBM 层 216b 的暴露部分上形成凸块 218。接下来, 如图 21 所示, 重组晶圆 400 从载具晶圆 200 分离, 并且切割成多个单独的封装件 400E。图 20 的扇出封装件 400E 示出在芯片区 I 内的第二聚合物层 210 上形成 MIM 电容器 300 的实施例。在扇出封装件 400E 的另一实施例中, 可在扇出区 II 内的第二聚合物层 210 上形成 MIM 电容器 300, 其中 MIM 电容器 300 可与延伸到扇出区 II 的 PPI 结构 208 电连接。

[0058] 根据实施例, 一种封装件包括在封装件的第一区中形成的芯片和在邻近第一区的封装件的第二区中形成的模塑料。在芯片和模塑料上形成第一聚合物层, 在第一聚合物层上形成第二聚合物层, 并且在第一聚合物层和第二聚合物层之间形成多个互连结构。在第二聚合物层上形成金属绝缘体金属 (MIM) 电容器并将其电连接至多个互连结构中的至少一个。金属凸块形成在多个互连结构中的至少一个的上方并且电连接至多个互连结构中的至少一个。

[0059] 根据一些实施例, 一种封装件包括在封装件的第一区中形成的芯片和在邻近第一区的封装件的第二区中形成的模塑料。在芯片和模塑料上形成第一聚合物层, 在第一聚合物层上形成第二聚合物层, 并且在第二聚合物层上形成第三聚合物层。在第一聚合物层和第二聚合物层之间形成第一互连结构, 第二互连结构形成在第二聚合物层和第三聚合物层之间并电连接至第一互连结构。金属绝缘体金属 (MIM) 电容器形成在第二聚合物层和第三聚合物层中的至少一层中并电连接至第一互连结构和第二互连结构中的至少一个。

[0060] 参考实例, 本发明具体示出和描述了它们的实施例, 本领域的普通技术人员将认识到本发明的许多实施例的变化。尽管已经详细描述了实施例和它们的部件, 但应该理解可以在不背离本实施例的思想和范围内作出各种变化、替换或更改。

[0061] 上述方法实施例示出示例性步骤, 但是不必用示出的顺序实施这些步骤。根据本

发明的实施例的思想和范围,视情况步骤可以增加、取代、改变顺序和 / 或消除。结合不同的权利要求和 / 或不同的实施例的实施例包括在本发明的范围内而且在阅读本发明后这些实施例对于本领域的普通技术人员将是显而易见的。

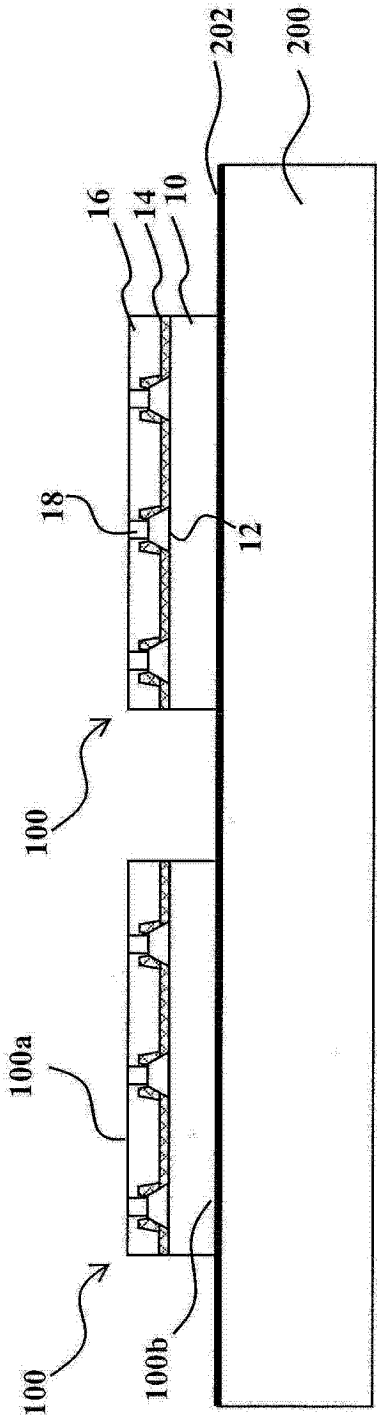


图 1

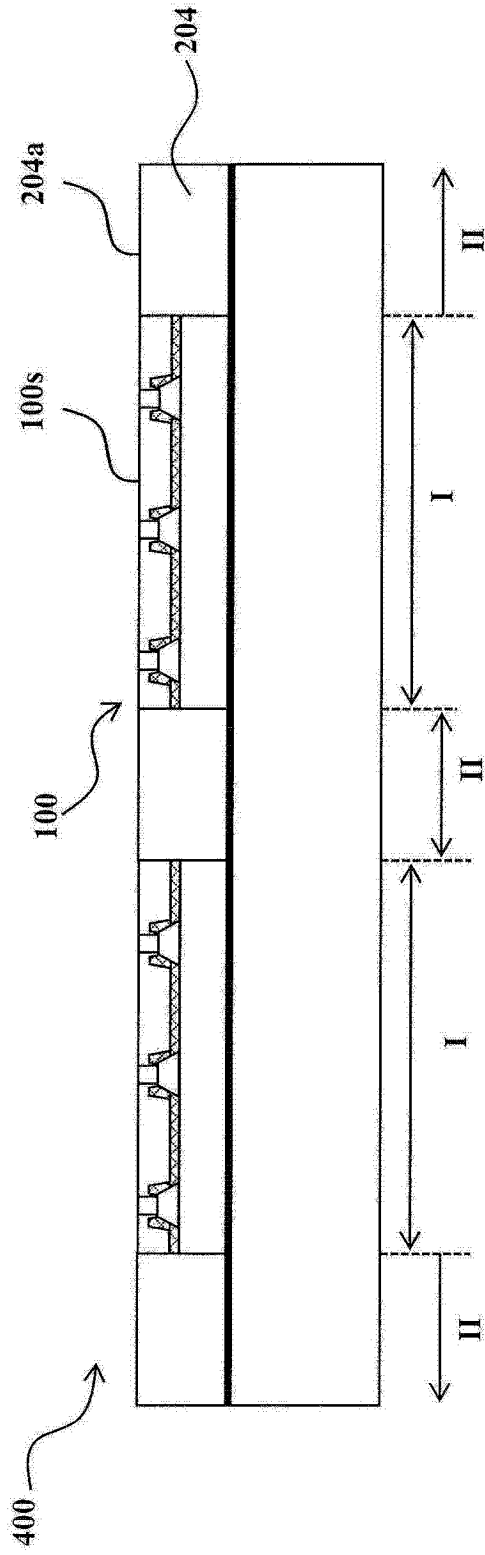


图 2

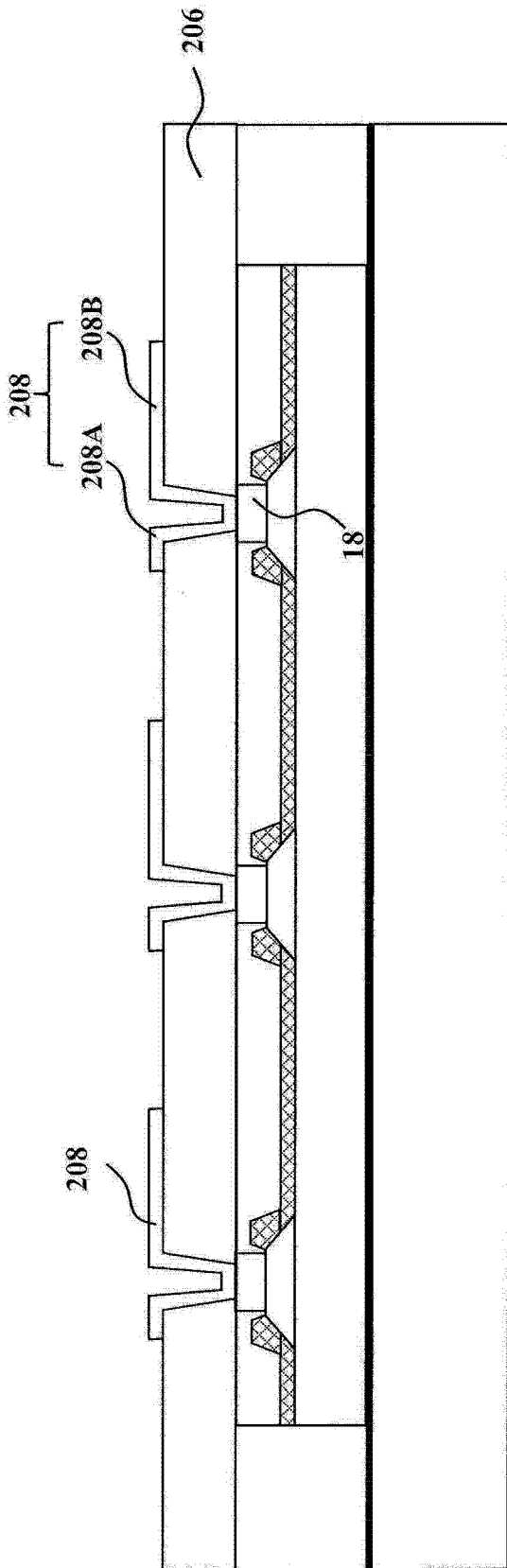


图 3

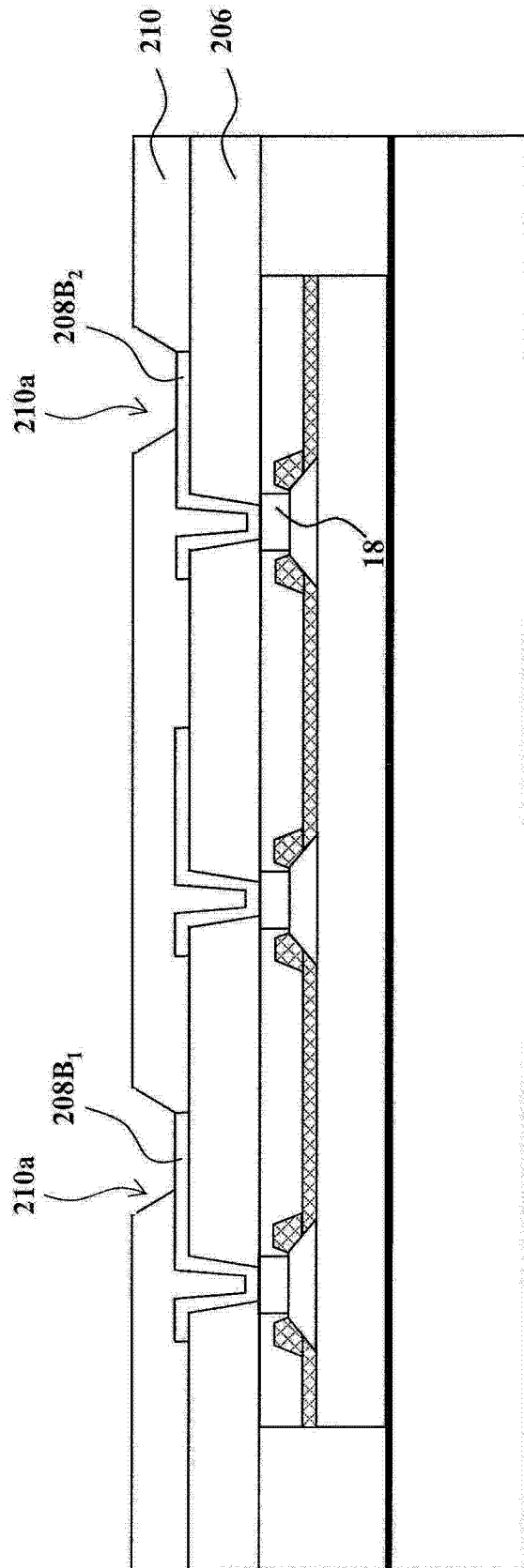


图 4

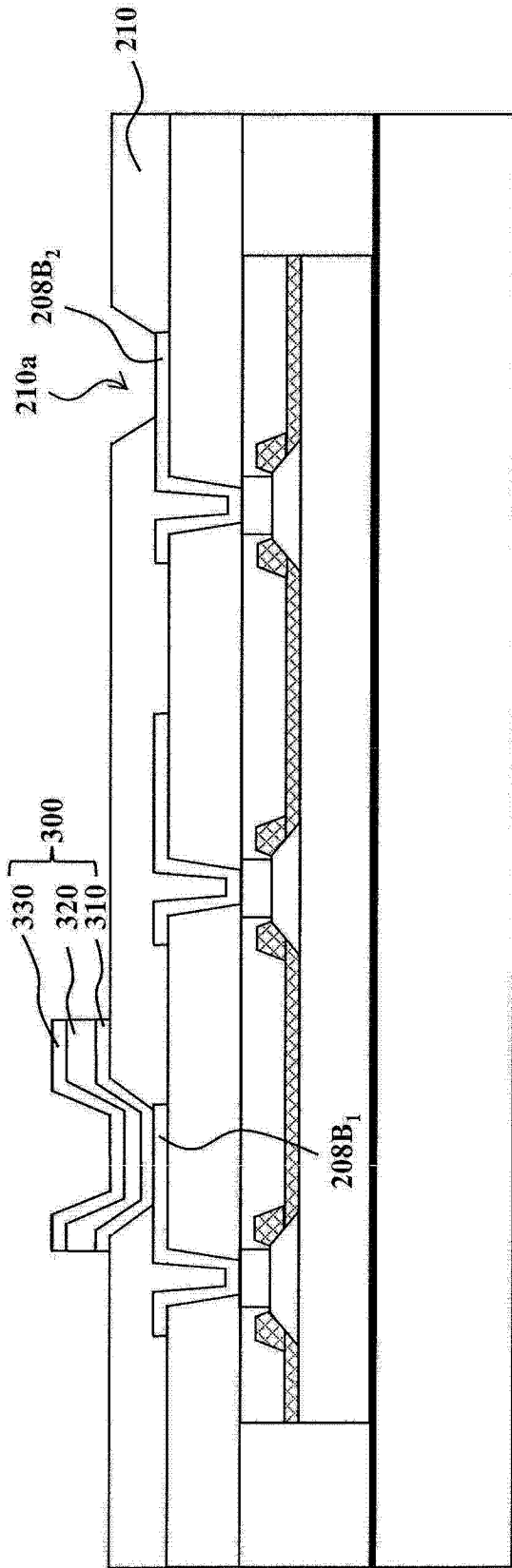


图 5

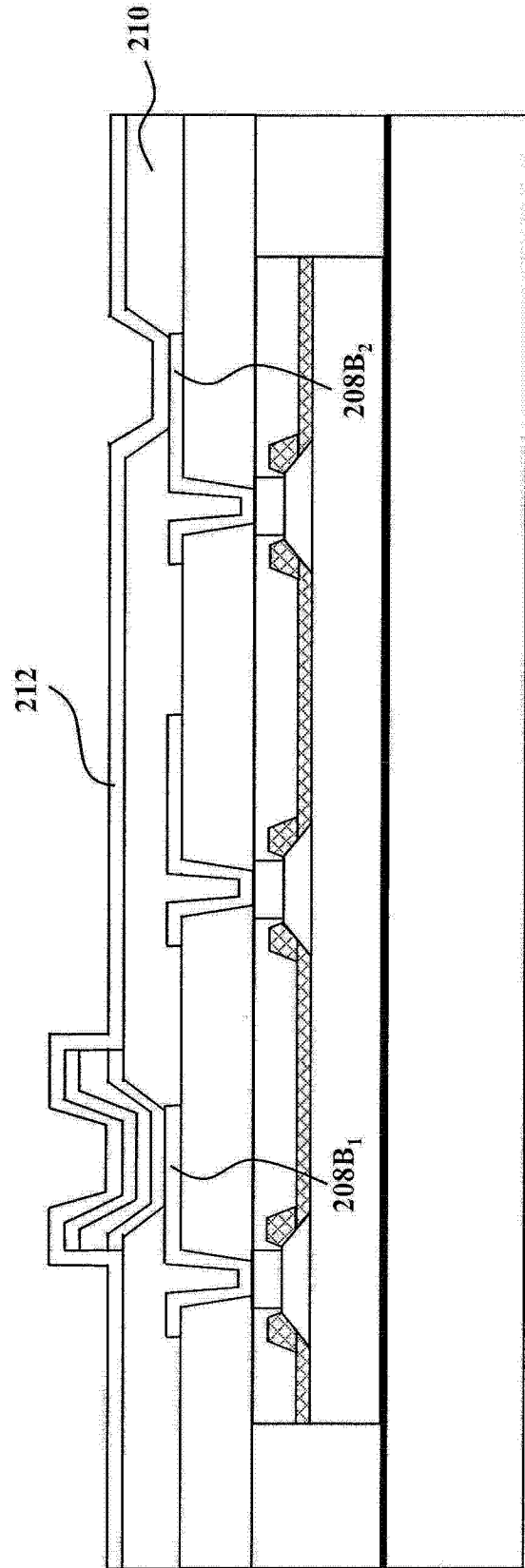


图 6

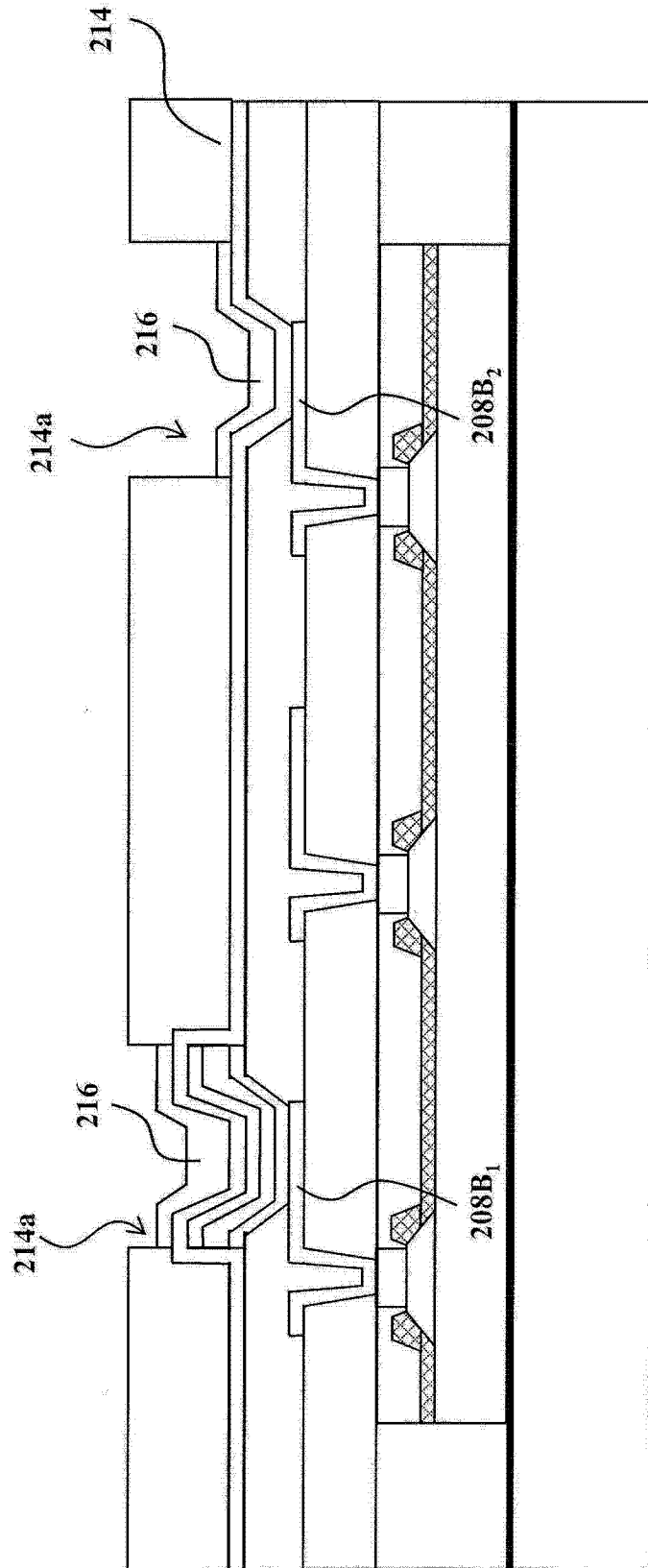


图 7

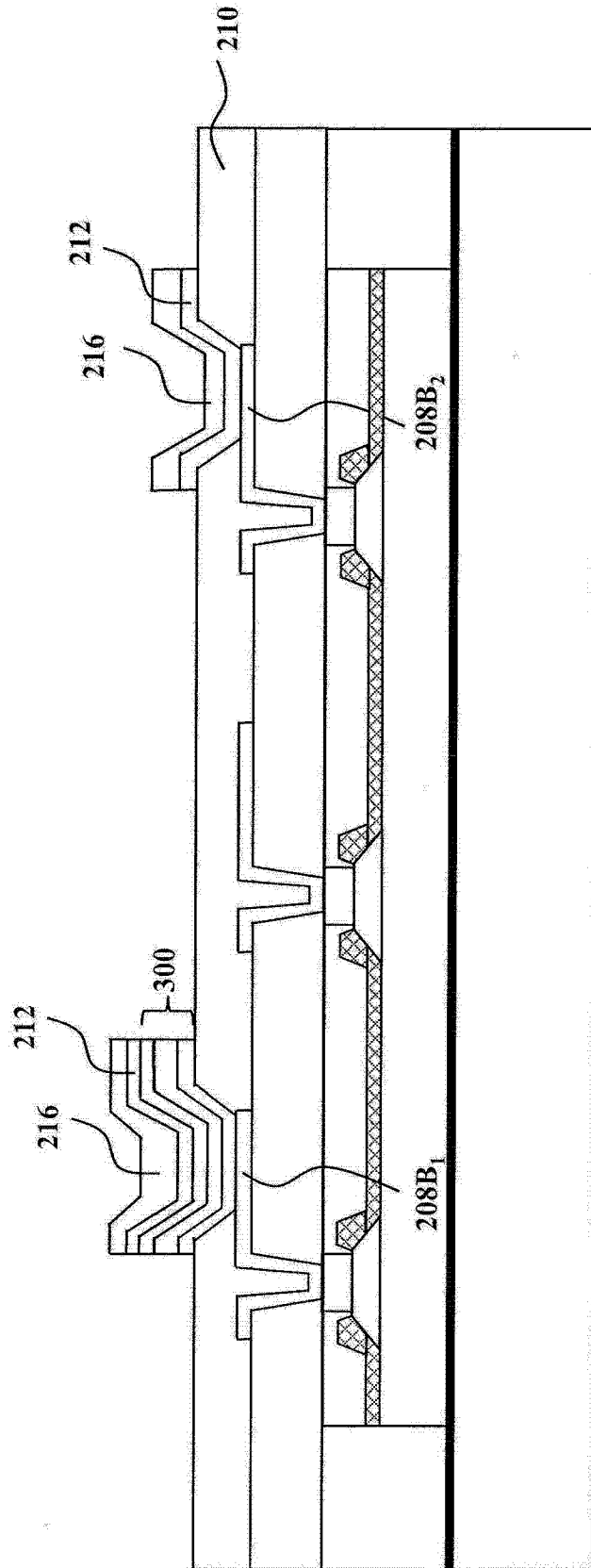


图 8

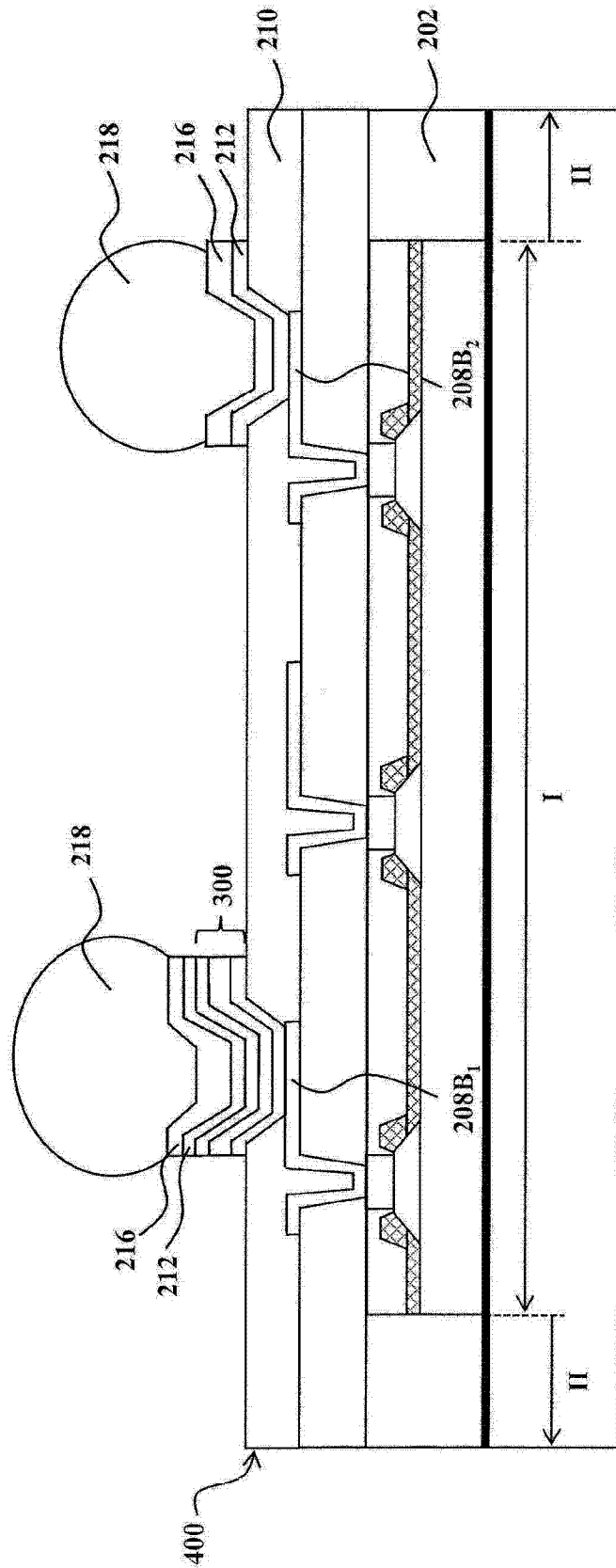


图 9

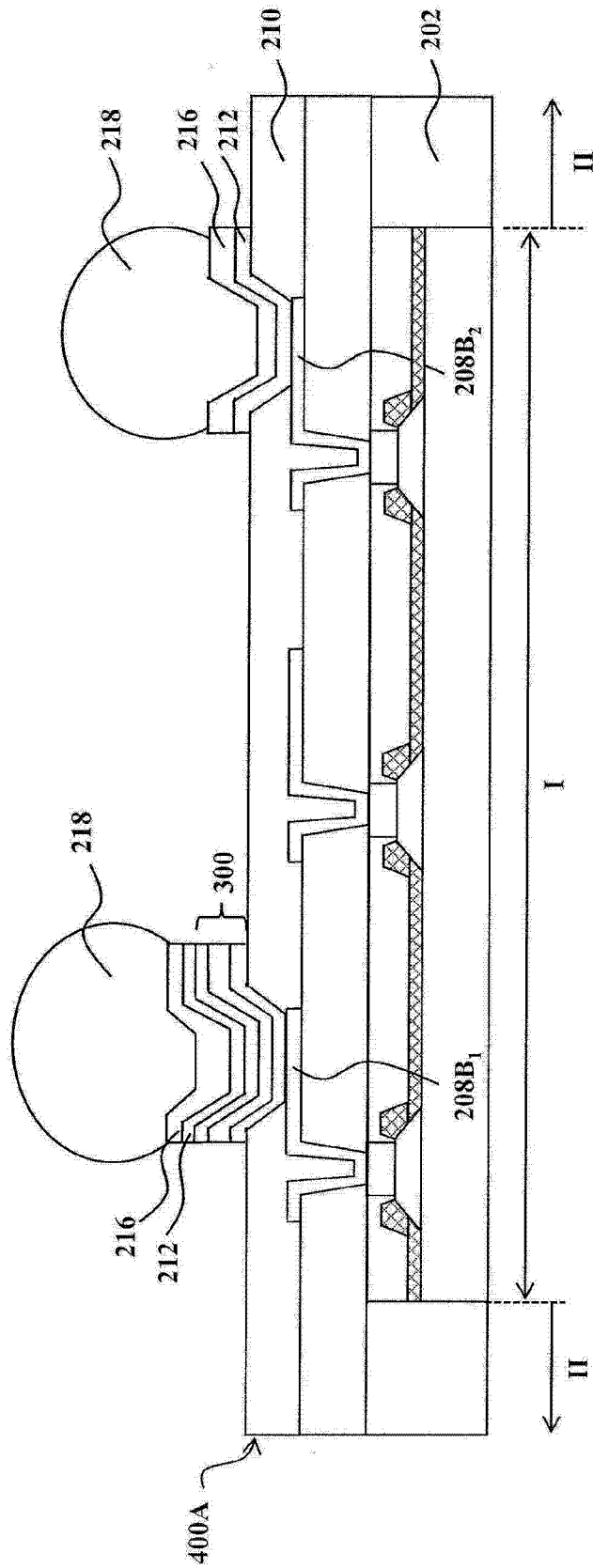


图 10

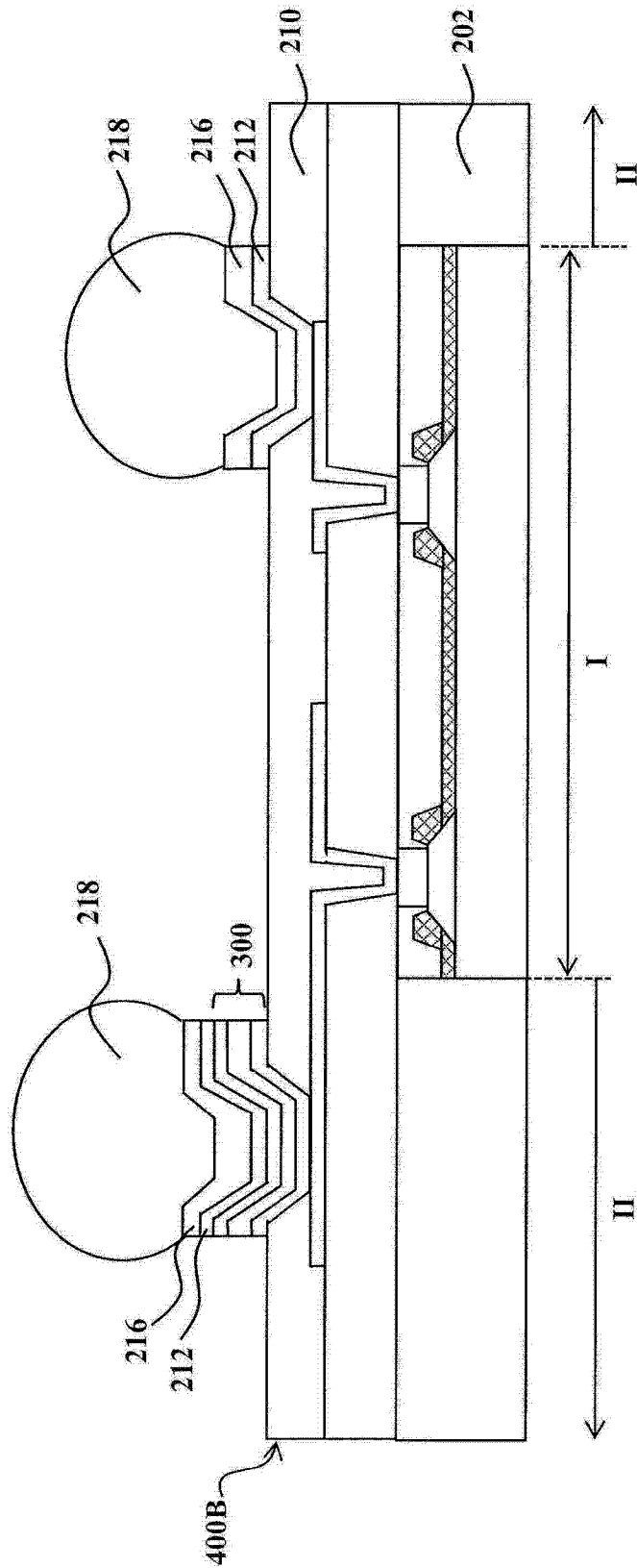


图 11

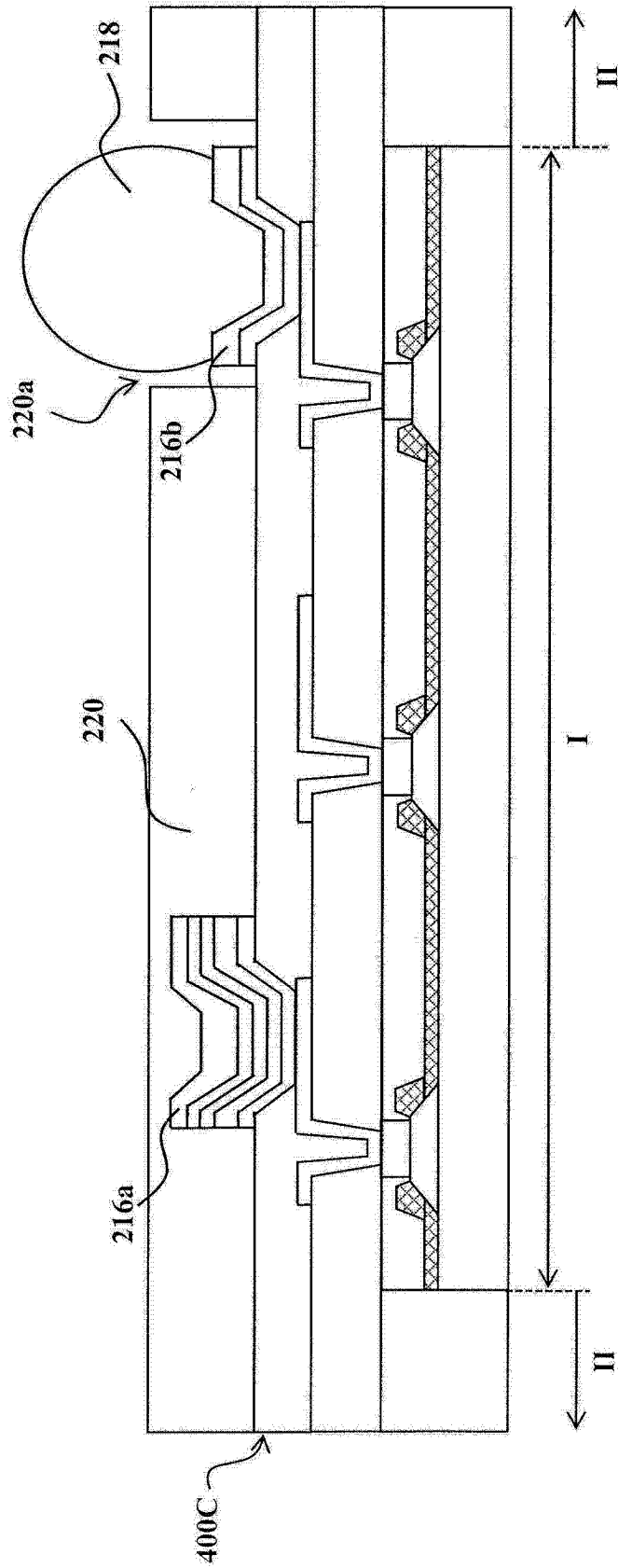


图 12

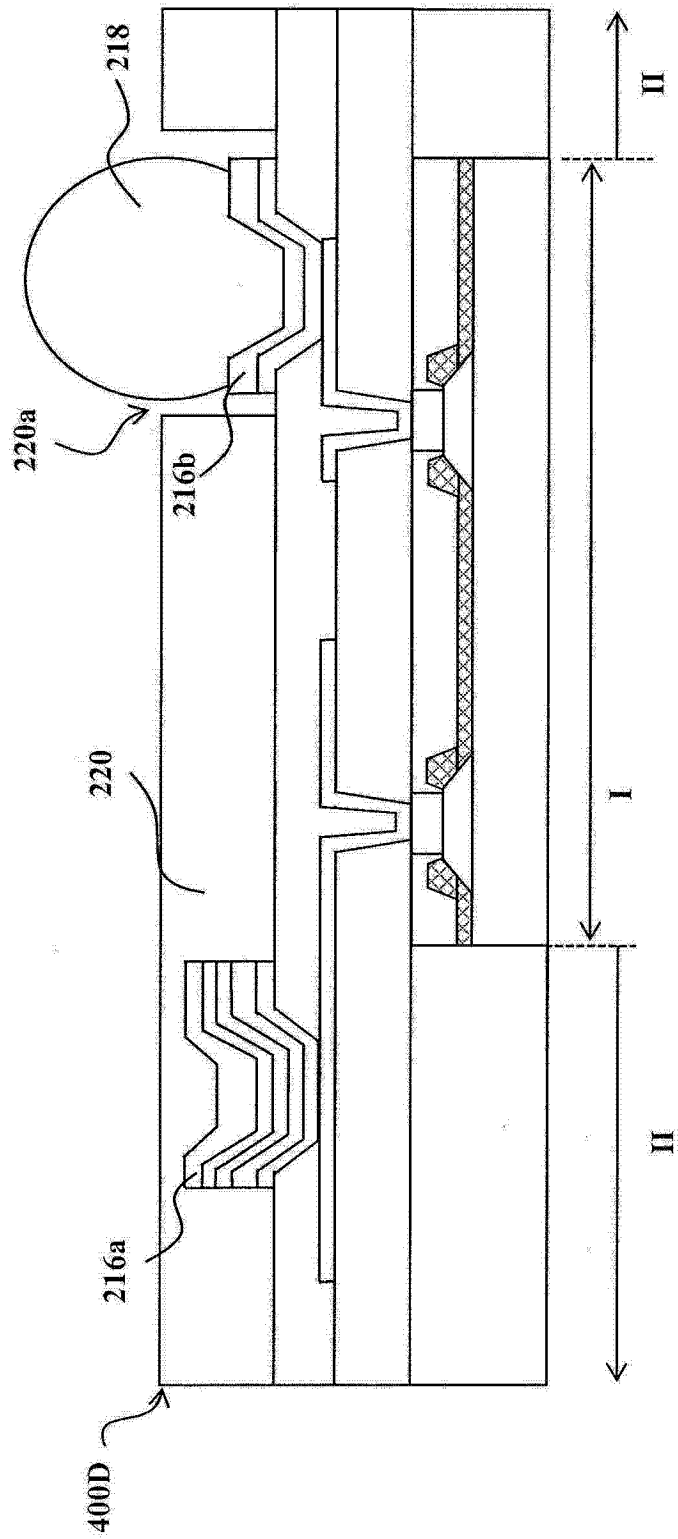


图 13

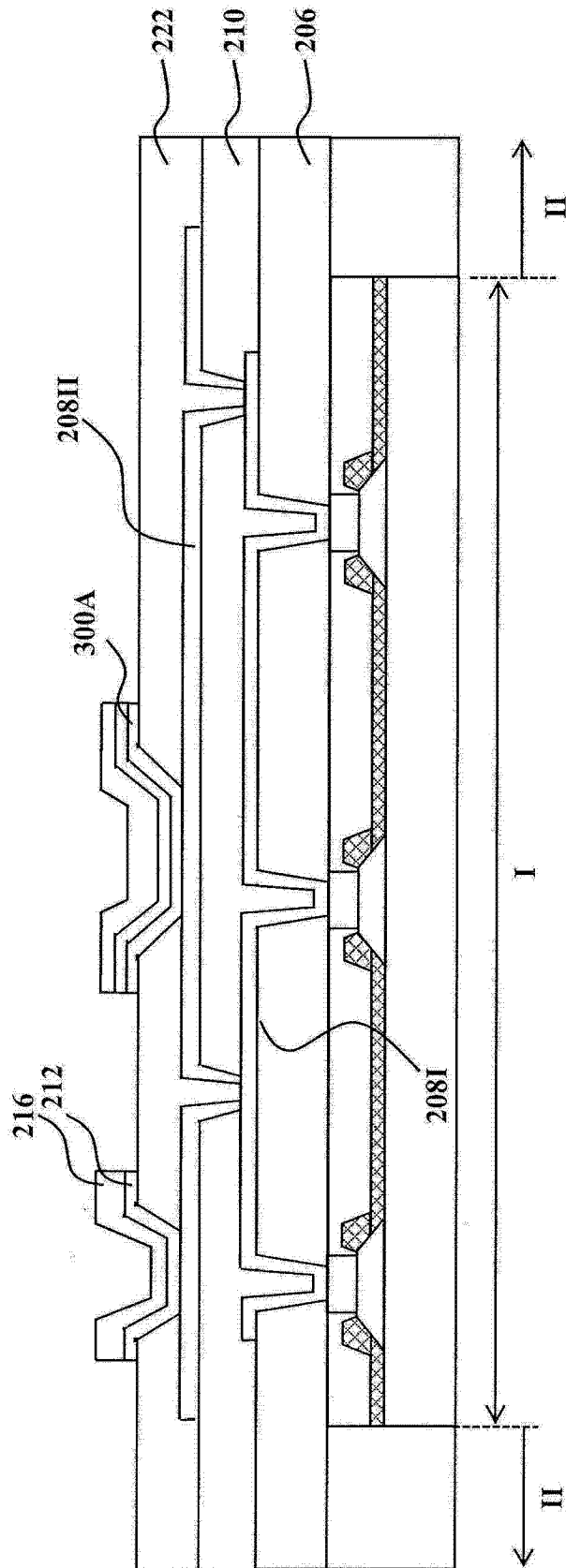


图 14

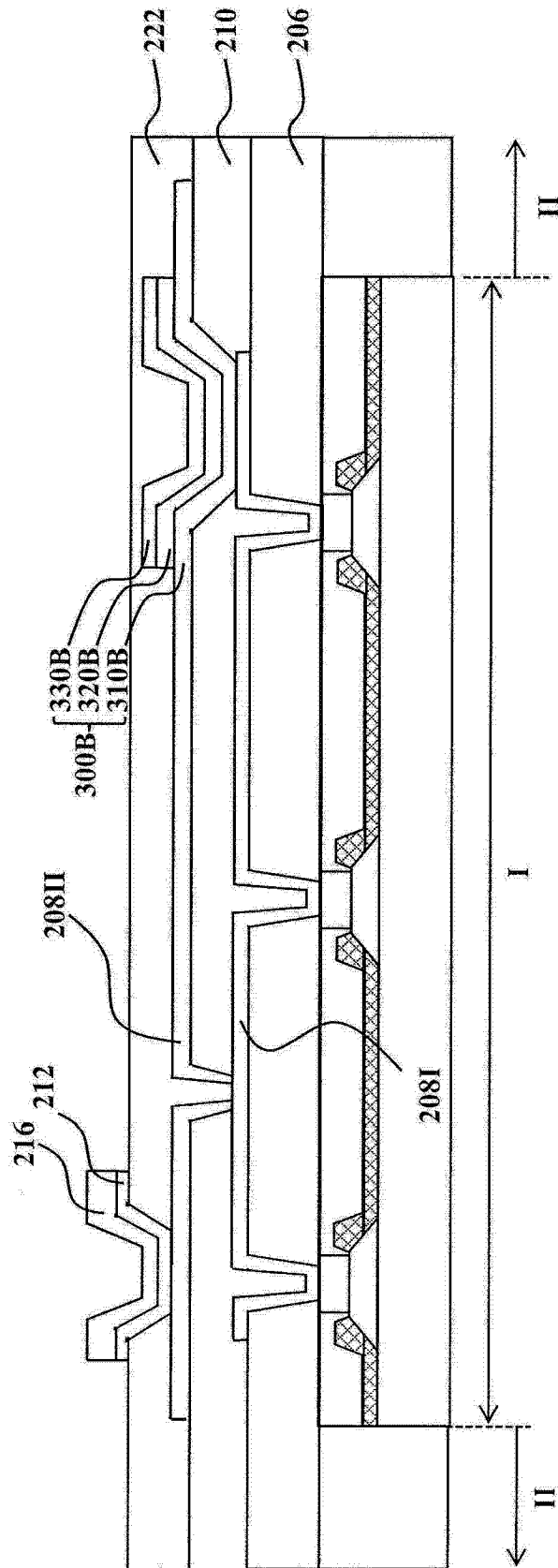


图 15

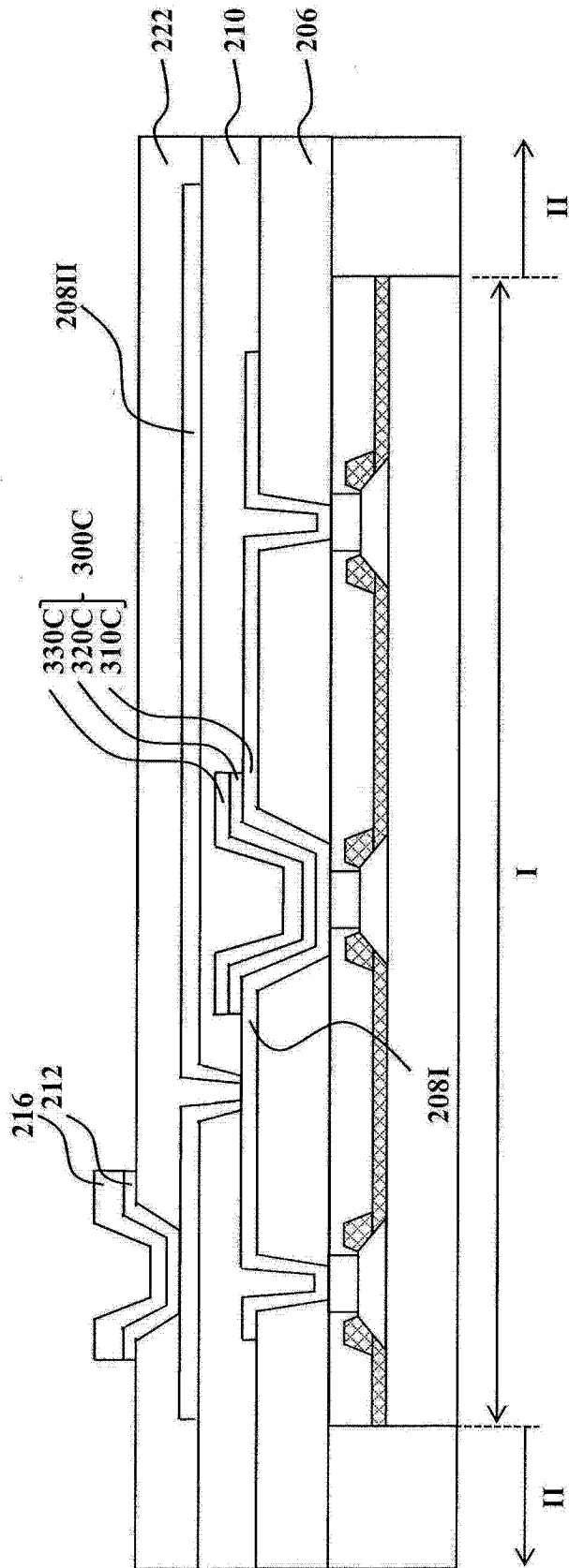


图 16

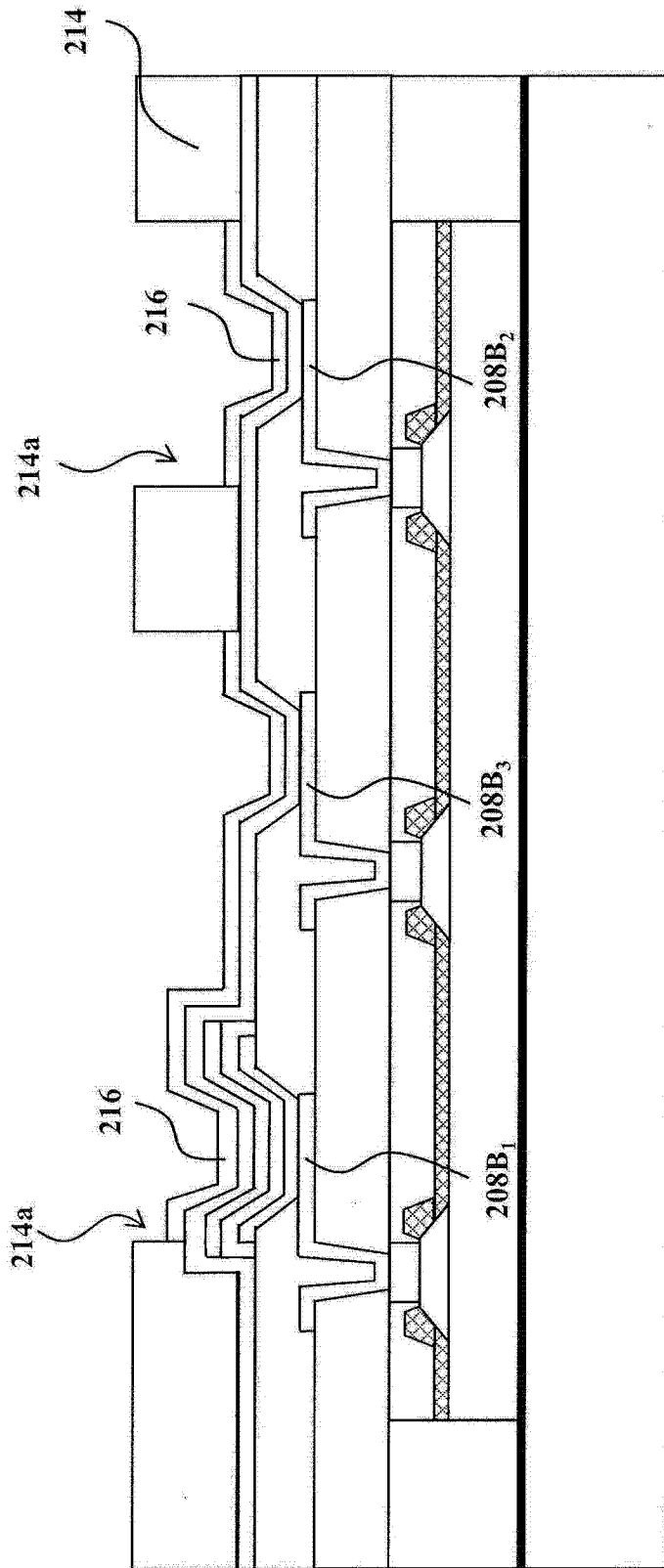


图 17

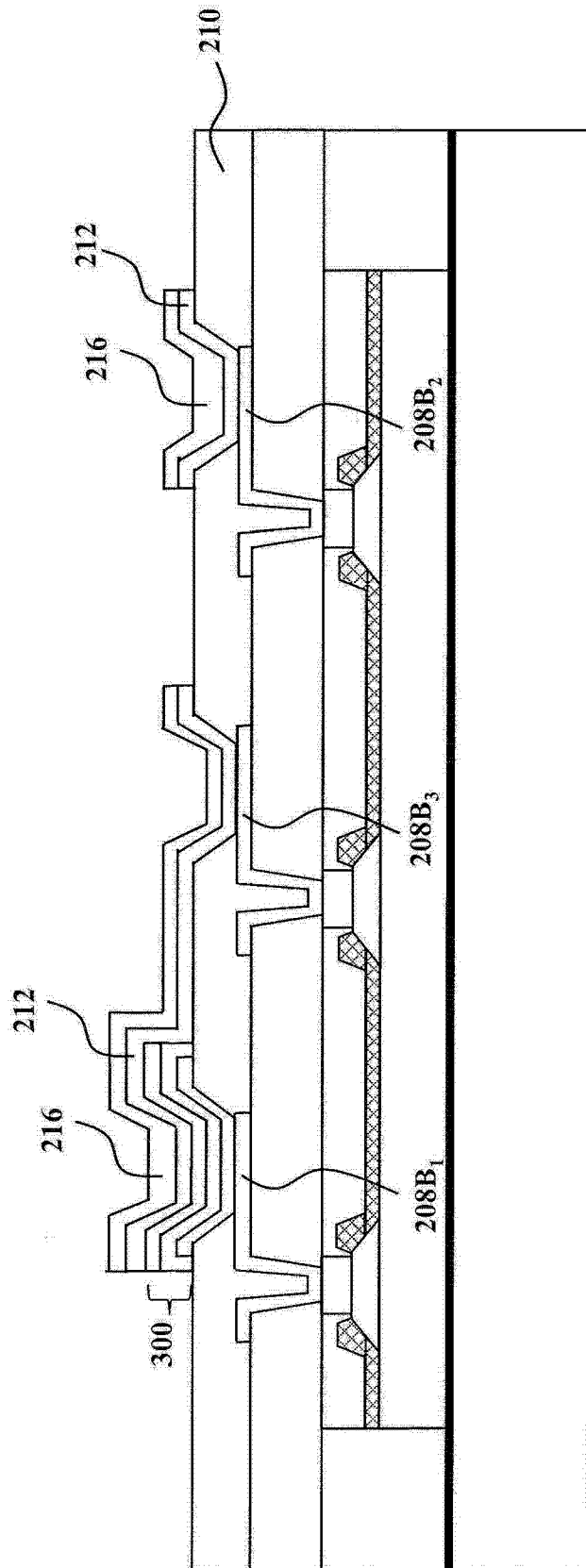


图 18

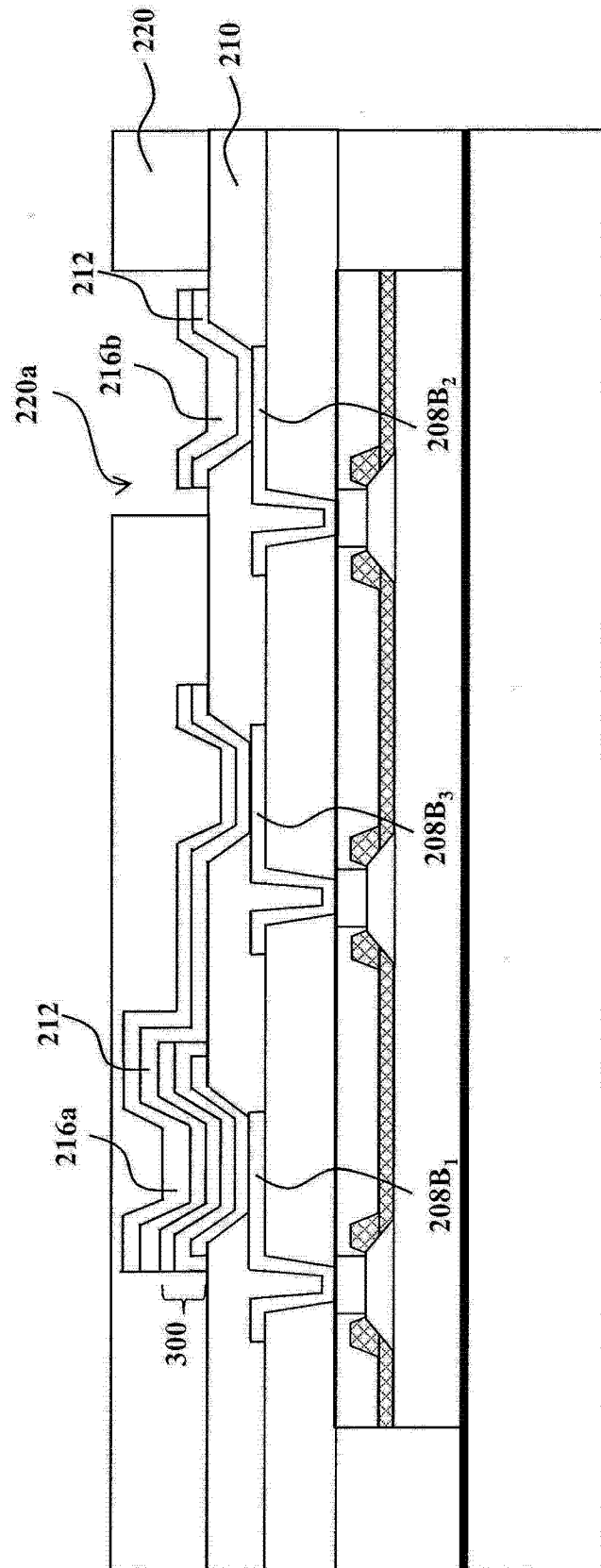


图 19

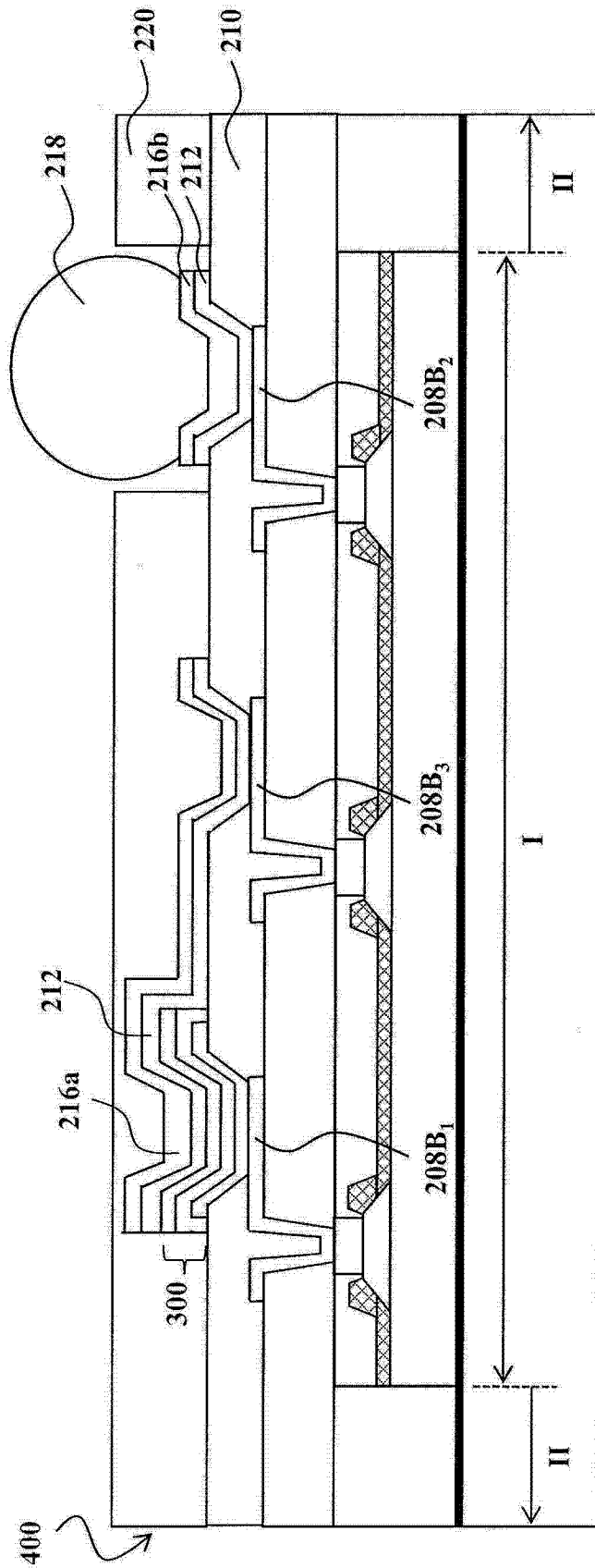


图 20

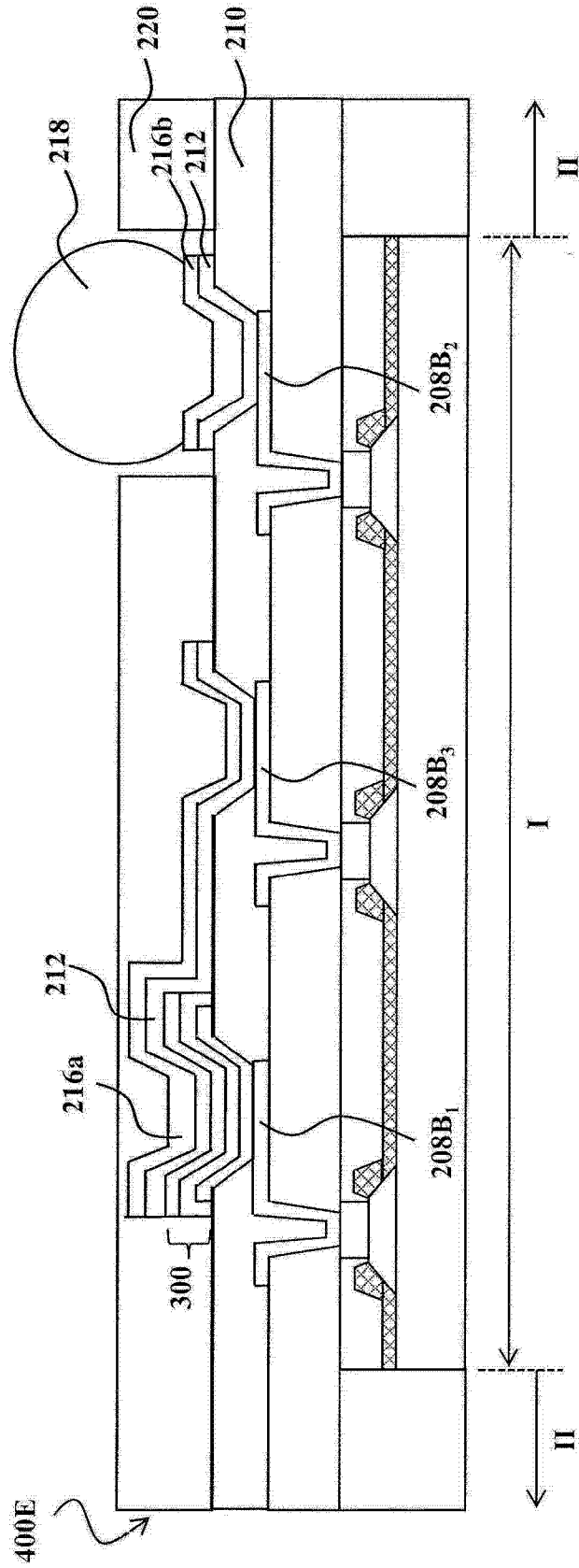


图 21