

[19]中华人民共和国专利局

[51]Int.Cl⁶

H01L 23/495

H01L 23/48 H01L 23/52

H01L 29/40



[12] 发明专利申请公开说明书

[21] 申请号 96197259.9

[43]公开日 1998年11月4日

[11] 公开号 CN 1198252A

[22]申请日 96.9.25

[30]优先权

[32]95.9.29 [33]US[31]08/536,155

[86]国际申请 PCT/US96/15351 96.9.25

[87]国际公布 WO97/12399 英 97.4.3

[85]进入国家阶段日期 98.3.27

[71]申请人 英特尔公司

地址 美国加利福尼亚州

[72]发明人 R·拉斯托吉 白 鹏 S·阿梅德

W·K·梅耶尔

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 邹光新 王 岳

权利要求书 2 页 说明书 5 页 附图页数 3 页

[54]发明名称 用于集成电路的含有专用腔室淀积的
两薄层钛的金属堆栈

[57]摘要

一种用于集成电路的金属堆栈(35)表明有改善的电迁移特性。大约185Å的钛基层(31)形成在ILD上,接着形成体导电层(32),比如铝铜合金层。大约185Å的钛盖层(33)形成在体导电层(32)上。最后,一层氮化钛的抗反射涂层(ARC)(34)形成在盖层(33)上。

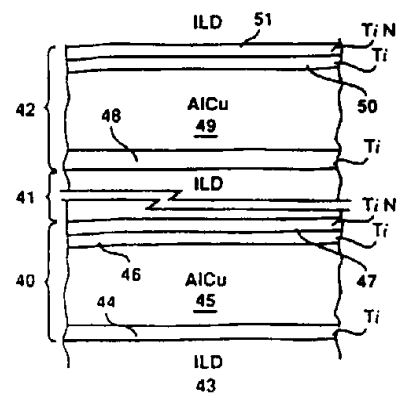
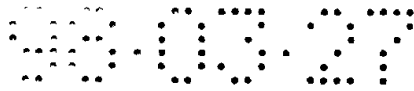
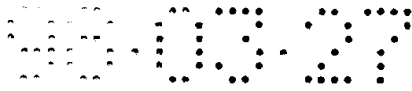


FIGURE 4



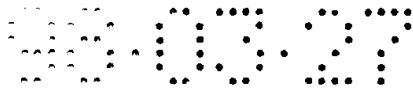
权 利 要 求 书

- 1.一种在集成电路中用作互连结构的金属堆栈, 包括:
一层钛基底层;
一层和基底层接触的体导电层; 和
5 一层和体导电层接触的钛盖层。
- 2.根据权利要求1的金属堆栈, 其中基底层厚度大约在 125 \AA 到 200 \AA 之间。
- 3.根据权利要求1的金属堆栈, 其中盖层厚度大约在 125 \AA 到 200 \AA 之间。
- 10 4.根据权利要求1的金属堆栈, 其中基底层和盖层每层厚度都大约在 125 \AA 到 200 \AA 之间。
- 5.根据权利要求1、2、3或4的金属堆栈, 其中体导电层包括铝铜合金。
- 6.根据权利要求4的金属堆栈, 其中一层氮化钛的抗反射涂层和盖
15 层的上表面接触。
- 7.一种在集成电路中用作互连结构的金属堆栈, 包括
一层厚度大约为 185 \AA 的钛基底层;
一层和基底层接触的体导电层; 和
一层和体导电层接触、厚度大约为 185 \AA 的钛盖层。
- 20 8.根据权利要求7的金属堆栈, 其中体导电层包括铝铜合金。
- 9.根据权利要求8的金属堆栈, 包括和盖层上表面接触的一层抗反
射涂层。
- 10.根据权利要求9的金属堆栈, 包括一层含有形成在盖层上的氮化
钛的抗反射涂层。
- 25 11.一种在介质层上制备金属堆栈的方法, 包括以下步骤:
在介质层上溅射第一层钛;
在第一层钛上形成体导电层; 和
在体导电层上溅射第二层钛。
- 12.根据权利要求11的方法, 其中第一层钛的厚度大约在 125 \AA 到
30 200 \AA 之间。
- 13.根据权利要求12的方法, 其中第二层钛的厚度大约在 125 \AA 到
 200 \AA 之间。



14.根据权利要求 13 的方法，其中形成步骤包括溅射铝铜合金。

15.根据权利要求 14 的方法，包括在第二层钛上形成一层氮化钛的附加步骤。



说明书

用于集成电路的含有用专用腔室淀积的薄层钛的金属堆栈

5

发明背景

1.发明领域

本发明涉及在集成电路中用于互连结构的金属堆栈。

2.相关申请

10 本发明和于 1994 年 10 月 17 日提交的共同未决的申请 Serial No.324763 有关,其题目为“一种新型通孔外形和制作方法”(A Novel Via Hole Profile and Method of Fabrication),并转让给本申请的受让人。

现有技术描述

15 现代集成电路通常包括数百万个有源和无源器件,比如制作在诸如硅等半导体衬底上的晶体管、电容和电阻等。这些器件在最初制备时是相互绝缘的,后来相互连接起来形成功能电路。这些互连结构的质量对连通的集成电路的性能和可靠性有极大的影响。在现代超大规模集成(ULSI)电路中互连结构越来越决定着密度和性能的极限。

20 通常互连结构由可包括基层、体导电层和/或盖层的金属堆栈制作而成。堆栈一般通过溅射形成在介质层上,然后通过光刻工艺被腐蚀以确定互连结构。在现有生产工艺中,使用了多层互连结构。例如可用四层金属堆栈,每一层之间通过中间介质层(ILD)相互绝缘。在金属堆栈中往往用铝和铝合金作为体导电层。

25 对这些薄膜导体来说电迁移是一个严重的可靠性问题。由于熔点低,铝对电迁移比其它金属更敏感。当大电流经过导体时,原子被输运,并在晶界处产生空位而集成空位网。空位集结通常产生在晶界和导体侧壁的交界处。在所选的铝铜合金中边界保持不受损伤,大概它们由富铜平面沉淀物得到加固,而形成具有几种尖锐形边缘的空隙。这些各种形状的空隙继续扩大,直到开路终止这一过程。

30 高熔点金属通常结合铝合金使用以提供旁路层,即在甚至有这些空隙时仍有导电路径。有时用钛和氧化钛层作为旁路层,如将给合图 1 和图 2 所讨论的。

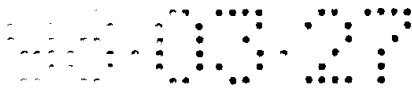


图 1 显示了一种用于互连结构的现有技术的金属堆栈。在图 1 中金属堆栈形成在中间介质层 (ILD) 10 上。体导电层 11 包括铝铜合金层 11。这一层的厚度根据该层需要传输的电流而不同,典型的层厚为 3500 Å。一层氮化钛 (TiN) 形成在层 11 的上表面上。在如图 1 所述的现有技术堆栈中这一层大约有 370 Å 厚。然后大约 1000 Å 厚的一层钛 13 溅射到层 12 的上表面上。接着一层抗反射涂层 (ARC) 14 形成在层 13 的上表面上。对图 1 所示的现有技术实例这层涂层为 370 Å 厚。

图 2 显示了另一种用于互连结构、形成在 ILD20 上的现有技术金属堆栈。首先大约 1000 Å 厚的钛基层 21 形成在 ILD20 上。接着仍为铝铜合金层 12 的体导电层形成在钛层 21 的上表面上。和前面一样,这一层的厚度由该层需要传输的电流量确定 (如 6000 Å 到 12000 Å 厚)。一层 ARC23 形成在层 22 的上表面上。层 23 仍包括一层 370 Å 厚的 TiN 膜。

将要看到本发明提供了一种和图 1 与图 2 所示堆栈不同的堆栈。新公开的金属堆栈发现有优良的质量。特别是对图 1 和图 2 所示的金属堆栈电迁移性能得到改善。

发明概述

描述了一种用于集成电路互连结构的改进金属堆栈。该堆栈包括大约 125 Å 到 200 Å 厚的薄钛基层。体导电层形成在基层的上表面上。在一个实施方案中这一层包括铝铜合金。大约 125 Å 到 200 Å 厚的钛盖层形成在体导电层的上表面上。一层氮化钛的抗反射涂层形成在盖层的上表面上。

附图简述

图 1 是用于集成电路互连结构的一种现有技术金属堆栈的垂直剖面图。

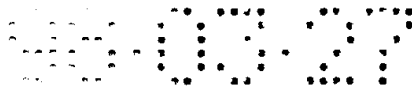
图 2 是用于集成电路互连结构的另一种现有技术金属堆栈的垂直剖面图。

图 3 是根据本发明制作的金属堆栈的垂直剖面图。

图 4 是根据本发明制作的两个金属堆栈的垂直剖面图。

图 5 是用于制作图 2 和图 3 的金属堆栈的溅射系统平面图,并示出了晶片移动的顺序。

图 6 是示意用于制作本发明金属堆栈的步骤的流程图。



发明详述

本发明描述了一种在集成电路中用作互连结构的新型金属堆栈。为了对本发明有透彻的理解，在下面的叙述中陈述了许多具体的细节，比如具体的材料、工艺和设备等。不过对于本领域的技术人员很明显有本
5 发明可不用这些具体细节来实施。在其他情况下，为了不使本发明不必要地难于理解，熟知的生产材料、工艺和设备没有陈述。

在图 3 的剖面图中示意了使用本发明新型金属堆栈 35 的互连结构的一部分。一般地本发明的金属堆栈 35 形成在 ILD 层上，比如 ILD30。在堆栈 35 的层 31 - 34 在介质上形成以后，采用熟知的光刻工艺来掩
10 蔽堆栈，并刻蚀掉部分堆栈以形成互连结构，以下将要说明。

通路用来在金属堆栈的不同层之间以及堆栈和衬底区之间提供导电路径。一种和本发明的金属堆栈一起使用的通路描述于共同未决的、题目为“一种新型通孔外形和制作方法”的申请， Serial No.327763，
提交于 1994 年 10 月 17 日，转让给本发明的受让人。

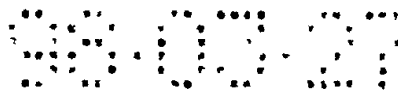
15 如图 3 的堆栈所示的本发明

图 3 所示的堆栈 35 包括在专用腔室中溅射到 ILD 层 30 上的钛基底
20 层 31。尽管钛是优选的，其他高熔点金属也可用于这一薄层。这一旁路层可大约为 125 Å 到 200 Å 厚，而 185 Å 是优选的。

在一个实施方案中，体导电层 32 用含有大约 0.5% 铜的铝铜合金，
20 体导电层 32 和基底层 31 的上表面相接触。尽管由于其电阻率低且工艺熟知而使铝合金层是优选的，但应当理解其他低阻材料也可用作体导电层。层 32 厚度的选取随层 32 要传输的电流值而变化。正如将要结合图 4 描述的，在某一集成电路中这一层的厚度对于一个电流值和另一电
25 流以值相比可以不同。层 32 厚度的典型值在大约 5000 Å 到 20,000 Å 之间。

一层薄的钛盖层 33 紧接着层 32 的上表面形成。层 33 是在专用腔
室中溅射的钛，在优选实施例方案中优选地约为 185 Å 厚。不过这一层可大约在 125 Å 到 200 Å 厚。和层 31 的情况一样，其他高熔点材料也可用于层 33。

30 最后，一层抗反射涂层 (ARC) 34 形成在层 33 的上表面上。这一层氮化钛 (TiN) 大约为 150 Å 厚。众所周知，这一层可减少反射，否则这会使掩蔽金属堆栈更加困难。



应当注意，由图 3 可知在堆栈 35 中有两个铝合金和钛的界面。一个这样的界面在层 31 和 32 之间，而另一个在层 32 和 33 之间。当钛和铝被充分加热，要发生反应而形成铝化钛 (TiAl_3)。一般地，在钛层和体导电层之间发生完全反应而在其界面形成铝化钛层。这可通过在形成金属堆栈后采用高温处理来完成，比如在 ILD 淀积、ILD 退火、高温灰清洗步骤以及其他步骤中通常所做的那样。尽管在现在采纳的优选实施方案中钛层 31 和 33 的初始厚度每层大约 185 \AA ，但 185 \AA 的 Ti 会和 525 \AA 的 AlCu 合金反应并形成大约 760 \AA 的 TiAl_3 层。

对图 3 所示的金属堆栈和图 1 与图 2 所示的现有技术堆栈进行了性能测试比较。图 3 所示的金属堆栈在通路电阻、金属底割、空隙和薄层电阻这些方面性能更好。图 3 的堆栈证明和现有技术的堆栈可同样制造。已发现对图 3 的堆栈由缺陷密度测量的电迁移性能和图 1 与图 2 的现有技术堆栈相比出人意料地高。

图 4 的多层结构

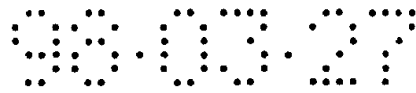
在一般地集成电路中，图 3 的堆栈应用在多个不同层次中。这部分地示于图 4 的横截面中。第一金属堆栈 40 形成在 ILD43 上。堆栈 40 通过 ILD41 和第二金属堆栈 42 分开。另一层 ILD 形成在堆栈 42 上，可支撑另外的金属堆栈。

在一般的工艺流程中，堆栈 40 在形成后通过熟知的光刻和刻蚀工艺形成互连结构的图案。任何熟知的刻蚀技术，比如用含有 BCl_3 和 Cl_2 的反应离子刻蚀 (RIE)，可用来对堆栈 40 刻出图案以形成互连结构。

接着 LID41 用熟知的化学汽相淀积 (CVD) 形成在有图案的堆栈 40 上。例如，淀积掺杂的二氧化硅层至大约 $10,000 \text{ \AA}$ 厚。众所周知，层 41 也可用化学腐蚀或化学机械抛光作平面化处理以形成平坦表面，在其上可形成堆栈 42。

然后用和形成堆栈 35 相同的方式在 ILD41 上形成堆栈 42。中间清洗、通路接触处理步骤和其他熟知的步骤没有描述。

堆栈 40 和 42 每个都可和图 3 的堆栈 35 相同，除了体导电层的厚度可变化以外。例如，堆栈 40 包括一层薄的钛基层 44，在优选实施方案中其厚度大约为 185 \AA 。体导电层的厚度可为例如 5400 \AA 。薄的钛盖层 46 形成在层 45 上，在优选实施方案中其厚度大约为 185 \AA 。ARC 涂层 47 然后形成在层 46 上。



在堆栈 40 图形化以及 ILD41 平面化以后，就制备堆栈 42，开始是大约 185 Å 的钛基层 48。接着在层 48 上形成铝铜合金的体导电层 49，该层可比堆栈 42 更厚些（例如 7400 Å）。然后第二层薄钛盖层 50 形成在层 49 上（大约 185 Å 厚）。最后另一层 ARC 涂层 50 形成在层 50 上以对堆栈 42 形成图案。

本发明金属堆栈的工艺流程

本发明的金属堆栈用市场上可买到的集束（Cluster）溅射设备形成，比如 AMAT5500，Endura 溅射系统。如图 5 所示这些系统包括一个中心区 60，装有自动机械臂使晶片从一个腔室移动到另一个腔室，比如在腔室 61、62、63 和 64 之间移动。每个腔室可分别控制以在每个腔室中进行不同的工艺过程。

为形成本发明的堆栈，晶片首先如 66 所示传送到腔室 61 中，在腔室 61 中钛基层首先溅射到 ILD 上。这在图 6 中示为步骤 71，它接在 ILD70 的工艺过程之后。在形成大约 185 Å 厚的钛基层之后，晶片接着移到腔室 63。在腔室 63 中体导电层比如铝铜合金淀积在钛基层上。这在图 6 中由工艺步骤 72 示出。

现在晶片移到腔室 64，钛盖层形成在体导电层上。根据目前的优选方案，这一盖层仍为大约 185 Å 厚。这一盖层在图 6 中由工艺步骤 73 示出。

最后晶片传送到腔室 62，ARC（TiN 涂层）形成在钛盖层上。这在图 6 中由步骤 74 示出。

这样，描述了由包括薄钛层、体导电层和薄钛盖层的金属堆栈形成的一种新型互连结构及其制备方法。

说明书附图

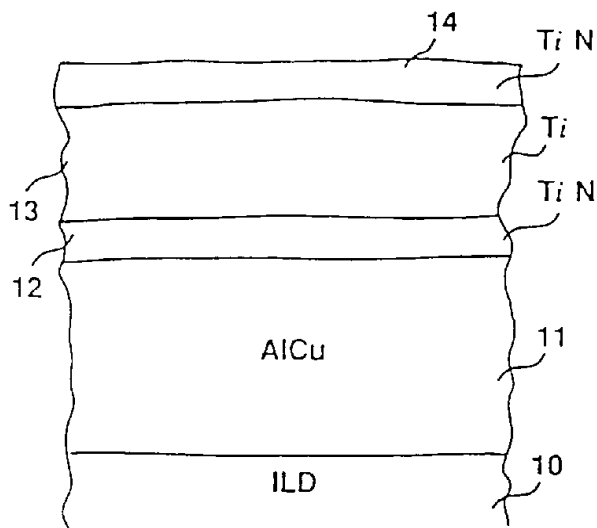


FIGURE 1
Prior Art

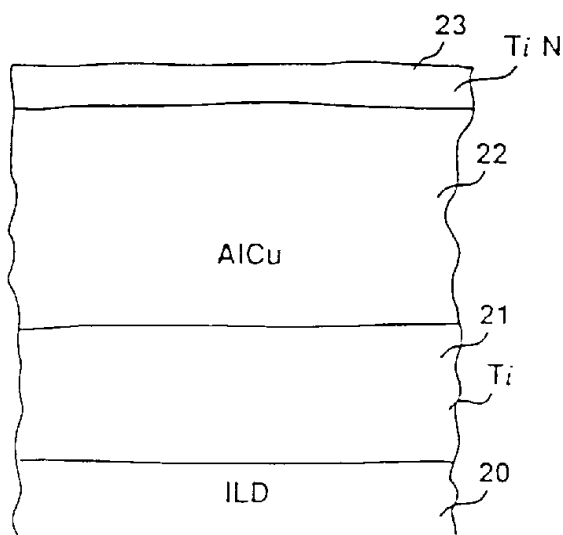


FIGURE 2
Prior Art

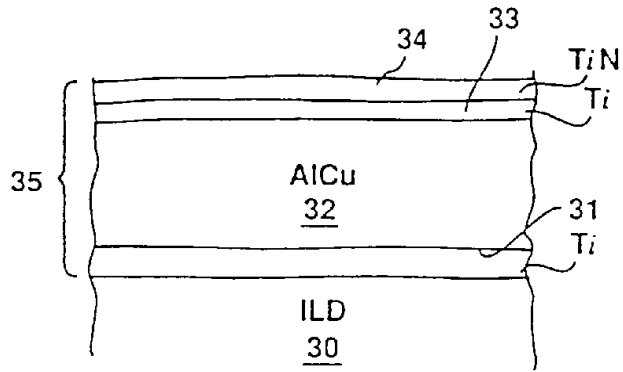


FIGURE 3

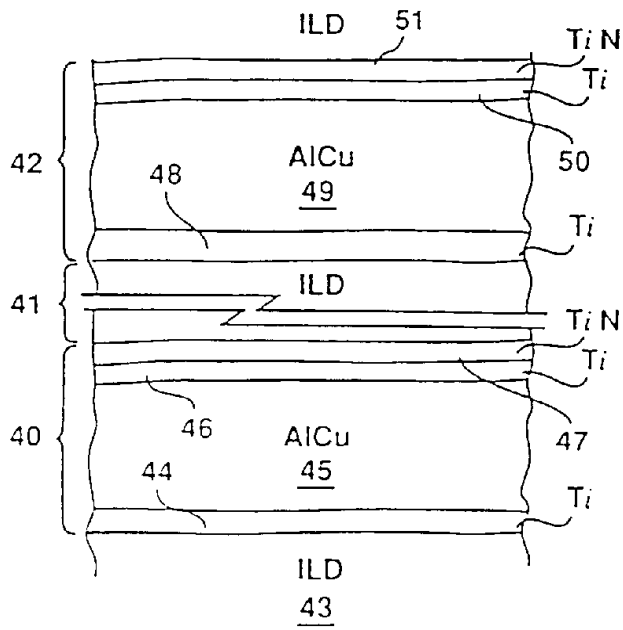


FIGURE 4

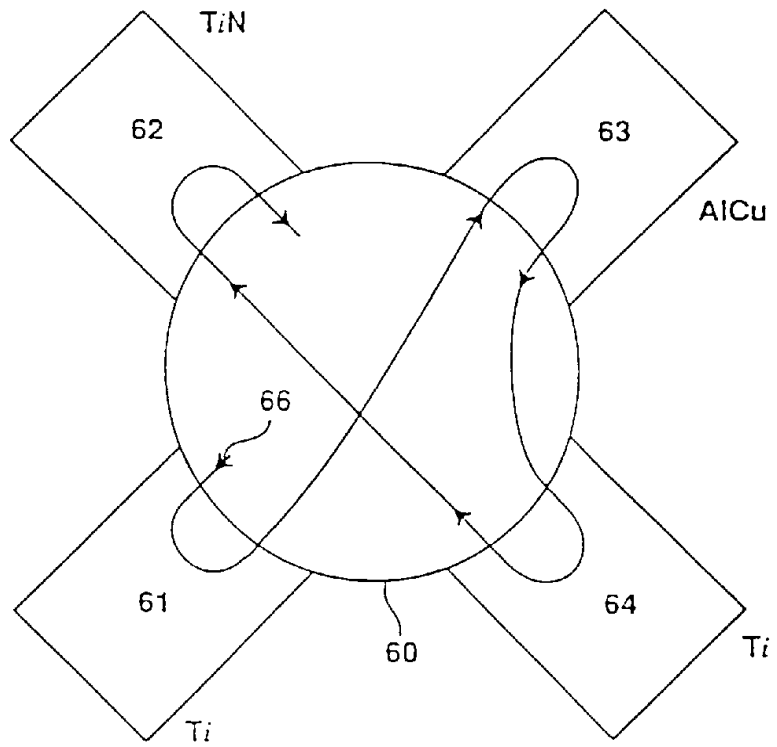


FIGURE 5

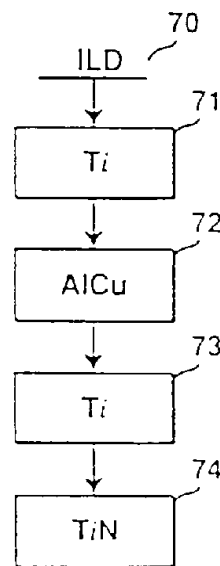


FIGURE 6