

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】令和1年10月24日(2019.10.24)

【公表番号】特表2019-520660(P2019-520660A)
 【公表日】令和1年7月18日(2019.7.18)
 【年通号数】公開・登録公報2019-028
 【出願番号】特願2019-500870(P2019-500870)
 【国際特許分類】

G 0 6 F 12/06 (2006.01)

【 F I 】

G 0 6 F 12/06 5 1 5 C

G 0 6 F 12/06 5 4 0 C

【手続補正書】

【提出日】令和1年9月12日(2019.9.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリコントローラ(500)を有するデバイス(100, 200)であって、
 メモリコントローラ(500)は、
 アクセスアドレスを含むメモリアクセス要求を受信するホストインタフェース(512)
)と、
 メモリアクセスをメモリシステム(120)に提供するメモリインタフェース(514)
)と、

前記アクセスアドレスを、複数の領域のうち選択された領域にプログラム可能にマッピングするために、前記ホストインタフェース(512)に接続されたアドレスデコーダ(522, 610)であって、第1の2のべき乗のサイズを有する一次デコーダ(720)と、第2の2のべき乗のサイズを有する二次デコーダ(730)とを使用して、前記アクセスアドレスを、非2のべき乗のサイズを有する第1領域にマッピングするようにプログラム可能であり、前記アクセスアドレスを前記第1領域にマッピングすることに応じて第1領域マッピング信号を提供する、アドレスデコーダ(522, 610)と、

前記メモリアクセス要求及び領域マッピング信号を記憶するために前記アドレスデコーダ(522, 610)に接続されたコマンドキュー(520)と、

前記領域マッピング信号に部分的に基づいて評価された複数の基準に基づいて、前記コマンドキュー(520)から前記メモリアクセス要求を選択し、これに応じて、対応するメモリアクセスを前記メモリインタフェース(514)に提供するアービタ(538)と、
 を備える、

デバイス(100, 200)。

【請求項2】

前記領域マッピング信号は、前記メモリシステム(120)のチップ選択信号に対応する、

請求項1のデバイス(100, 200)。

【請求項3】

前記アドレスデコーダ(522, 610)は、複数の領域デコーダを備え、
 領域デコーダ(710)毎に、

前記一次デコーダ(720)は、前記アクセスアドレスを受信し、一次領域選択信号を提供し、第1ベースアドレス及び第1の2のべき乗のサイズを有し、

前記二次デコーダ(730)は、前記アクセスアドレスを受信し、二次領域選択信号を提供し、第2ベースアドレス及び第2の2のべき乗のサイズを有し、

前記領域デコーダ(710)は、前記一次領域選択信号及び前記二次領域選択信号のうち少なくとも一方のアクティベートに応じて、対応する領域マッピング信号をアクティベートするための論理回路(740)をさらに備える、

請求項1のデバイス(100, 200)。

【請求項4】

前記第1領域は、 $2^N + 2^{(N-1)}$ (Nは整数)のサイズを有し、

前記一次デコーダ(720)は、サイズ 2^N のサブ領域をデコードし、

前記二次デコーダ(730)は、サイズ $2^{(N-1)}$ の領域をデコードする、

請求項3のデバイス(100, 200)。

【請求項5】

前記アドレスデコーダ(522, 610)は、前記アクセスアドレスをデコードして、行アドレス、列アドレス、バンクアドレス及びバンクグループを提供する、

請求項3のデバイス(100, 200)。

【請求項6】

各領域デコーダ(710)は、

前記一次デコーダ(720)に関連する第1構成レジスタのセット(750)と、

前記二次デコーダ(730)に関連する第2構成レジスタのセット(760)と、をさらに備える、

請求項3のデバイス(100, 200)。

【請求項7】

第3の2のべき乗のサイズを有する第1の一次デコーダ(720)と、前記第3の2のべき乗のサイズを有する第1の二次デコーダ(730)とを使用して、前記アクセスアドレスを、2のべき乗のサイズを有する第1領域(920)に選択的にマッピングし、これに応じて前記第1領域マッピング信号を提供する第1領域デコーダ(710, CS0)と

、
前記第3の2のべき乗のサイズを有する第2の一次デコーダ(720)と、前記第3の2のべき乗のサイズを有する第2の二次デコーダ(730)とを使用して、前記アクセスアドレスを、2のべき乗のサイズを有する第2領域(930)に選択的にマッピングし、これに応じて第2領域マッピング信号を提供する第2領域デコーダ(710, CS1)と、をさらに備え、

前記メモリコントローラ(500)は、前記第1の一次デコーダ(720)と、前記第2の一次デコーダ(720)と、前記第1の二次デコーダ(730)と、前記第2の二次デコーダ(730)と、の各々の間で、前記アクセスアドレスに対応するメモリ空間をインターリーブする、

請求項1のデバイス(100, 200)。

【請求項8】

前記デバイス(100, 200)は、データ処理システム(100)であって、

前記アクセスアドレスを有するメモリアクセス要求を提供するためのメモリアクセスエージェント(110, 210, 220)と、

前記メモリアクセスに回答するメモリシステム(120)であって、少なくとも1つの非2のべき乗領域を含む複数の領域を有するメモリシステム(120)と、をさらに備える、

請求項1のデバイス(100, 200)。

【請求項9】

前記デバイス(200)は、単一の集積回路チップ上に形成されたマイクロプロセッサ(100)であって、

前記アクセスアドレスを有するメモリアクセス要求を提供するためのメモリアクセスエージェント(110, 210, 220)をさらに備える、
請求項1のデバイス(100, 200)。

【請求項10】

アクセスアドレスを含むメモリアクセス要求を受信することと、

前記アクセスアドレスをデコードし、これに応じて、対応する領域マッピング信号を提供することであって、前記デコードすることは、第1の2のべき乗のサイズを有する第1の一次デコーダ(720)と、第2の2のべき乗のサイズを有する第1の二次デコーダ(730)とを使用して、前記アクセスアドレスを、非2のべき乗のサイズを有する第1領域に選択的にマッピングすることを含む、ことと、

前記アクセスアドレスを前記第1領域にマッピングすることに応じて、第1領域マッピング信号を提供することと、

前記メモリアクセス要求及び領域マッピング信号を記憶することと、

記憶された前記メモリアクセス要求を、前記領域マッピング信号に部分的に基づいて評価された複数の基準に基づいて選択することと、

選択されたメモリアクセス要求に応じて、対応するメモリアクセスを提供することと、を含む、

方法。

【請求項11】

前記選択されたメモリアクセス要求の前記対応する領域マッピング信号に応じて、複数のチップ選択信号のうち選択されたチップ選択信号をアクティベートすることをさらに含む、

請求項10の方法。

【請求項12】

前記デコードすることは、

第1アクセスアドレスが、第1ベースアドレス及び前記第1の2のべき乗のサイズによって定義された第1サブ領域内に存在する場合に、前記第1アクセスアドレスをデコードして一次領域選択信号を提供することと、

前記第1アクセスアドレスが、第2ベースアドレス及び前記第2の2のべき乗のサイズによって定義された第2サブ領域内に存在する場合に、前記第1アクセスアドレスをデコードして二次領域選択信号を提供することと、

前記一次領域選択信号及び前記二次領域選択信号のうち少なくとも一方のアクティベートに応じて、対応する領域マッピング信号をアクティベートすることと、を含む、

請求項10の方法。

【請求項13】

前記第1アクセスアドレスをデコードして一次領域選択信号を提供すること、及び、前記第1アクセスアドレスをデコードして二次領域選択信号を提供すること、の各々は、

前記第1アクセスアドレスをデコードして行アドレス、列アドレス、バンクアドレス及びバンクグループを提供することを含む、

請求項12の方法。

【請求項14】

第3の2のべき乗のサイズを有する前記第1の一次デコーダ(720)と、前記第3の2のべき乗のサイズを有する前記第1の二次デコーダ(730)とを使用して、前記アクセスアドレスを、2のべき乗のサイズを有する前記第1領域(920)に選択的にマッピングし、これに応じて第1領域マッピング信号を提供することと、

前記第3の2のべき乗のサイズを有する第2の一次デコーダ(720)と、前記第3の2のべき乗のサイズを有する第2の二次デコーダ(730)とを使用して、前記アクセスアドレスを、2のべき乗のサイズを有する第2領域(930)に選択的にマッピングし、これに応じて第2領域マッピング信号を提供することと、をさらに含み、

前記アクセスアドレスを前記第1領域(920)に選択的にマッピングすること、及び

、前記アクセスアドレスを前記第2領域(930)に選択的にマッピングすること、の各々は、前記第1の一次デコーダ(720)と、前記第2の一次デコーダ(720)と、前記第1の二次デコーダ(730)と、前記第2の二次デコーダ(730)と、の間で、前記アクセスアドレスに対応するメモリ空間(910)をインターリーブすることを含む、請求項10の方法。

【請求項15】

前記デコードすることは、

複数のプログラム可能なビットに応じて、前記アクセスアドレスの対応する複数のビットのうち何れのビットがハッシュ関数で使用されるかを決定し、前記ハッシュ関数を使用して前記アクセスアドレスを選択的にハッシュすることをさらに含む、

請求項10の方法。

【請求項16】

メモリコントローラ(500)を有するデバイス(100,200)であって、

メモリコントローラ(500)は、

アクセスアドレスを含むメモリアクセス要求を受信するホストインタフェース(512)と、

メモリアクセスをメモリシステム(120)に提供するメモリインタフェース(514)であって、前記メモリアクセスは、ハッシュされたアドレスを含む、メモリインタフェース(514)と、

ハッシュ関数を用いて、前記アクセスアドレスを、前記メモリシステム(120)の複数の領域のうち選択された領域にプログラム可能にマッピングするために、前記ホストインタフェース(512)に接続されたアドレスデコーダ(522,1010)であって、複数のプログラム可能なビットに応じて、前記アクセスアドレスの対応する複数のビットのうち何れのビットが前記ハッシュ関数で使用されるかを決定するアドレスデコーダ(522,1010)と、

前記ハッシュされたアドレスを含むメモリアクセス要求を記憶するために前記アドレスデコーダ(522,1010)に接続されたコマンドキュー(520)と、

複数の基準に基づいて前記コマンドキュー(520)から前記メモリアクセス要求を選択し、これに応じて、前記ハッシュされたアドレスを含む対応するメモリアクセスを前記メモリインタフェース(514)に提供するアービタ(538)と、を備え、

前記アドレスデコーダ(522,1010)は、

前記アクセスアドレスと、前記アクセスアドレスのプログラム可能な部分をハッシュするための少なくとも1つのプログラム可能なチップ選択ハッシュビットと、に応じて、1つのハッシュされたチップ選択信号を各アクセス要求に関連付けるチップ選択ハッシュ回路(1012)と、

前記アクセスアドレスと、前記ハッシュされたチップ選択信号と、前記アクセスアドレスのプログラム可能な部分をハッシュするための少なくとも1つのプログラム可能なバンクアドレスハッシュビットと、に応じて、各アクセス要求を、選択されハッシュされたチップ選択に対応するチップ内の1つのバンクに関連付けるバンクアドレスハッシュ回路(1014)と、を備え、

前記デバイス(100,200)は、符号化されたチップ選択信号のビットにそれぞれ対応する複数のチップ選択構成レジスタ(1020)をさらに備え、各チップ選択構成レジスタは、前記アクセスアドレスのビットにそれぞれ対応する複数のビットを記憶し、対応するビットが前記ハッシュ関数の一部を形成するかどうかを定義する、

デバイス(100,200)。

【請求項17】

前記チップ選択ハッシュ回路(1012)は、前記符号化されたチップ選択信号のビット毎に、前記複数のチップ選択構成レジスタ(1020)のうち対応するレジスタ内のビットが示す前記アクセスアドレスの複数のビットの各々の間で排他的論理和演算を実行する、

請求項 16 のデバイス (100, 200)。

【請求項 18】

メモリコントローラ (500) を有するデバイス (100, 200) であって、
メモリコントローラ (500) は、

アクセスアドレスを含むメモリアクセス要求を受信するホストインタフェース (512)
と、

メモリアクセスをメモリシステム (120) に提供するメモリインタフェース (514)
であって、前記メモリアクセスは、ハッシュされたアドレスを含む、メモリインタフェ
ース (514) と、

ハッシュ関数を用いて、前記アクセスアドレスを、前記メモリシステム (120) の複
数の領域のうち選択された領域にプログラム可能にマッピングするために、前記ホストイ
ンタフェース (512) に接続されたアドレスデコーダ (522, 1010) であって、
複数のプログラム可能なビットに応じて、前記アクセスアドレスの対応する複数のビット
のうち何れのビットが前記ハッシュ関数で使用されるかを決定するアドレスデコーダ (5
22, 1010) と、

前記ハッシュされたアドレスを含むメモリアクセス要求を記憶するために前記アドレ
スデコーダ (522, 1010) に接続されたコマンドキュー (520) と、

複数の基準に基づいて前記コマンドキュー (520) から前記メモリアクセス要求を選
択し、これに応じて、前記ハッシュされたアドレスを含む対応するメモリアクセスを前記
メモリインタフェース (514) に提供するアービタ (538) と、を備え、

前記アドレスデコーダ (522, 1010) は、

前記アクセスアドレスと、前記アクセスアドレスのプログラム可能な部分をハッシュす
るための少なくとも 1 つのプログラム可能なチップ選択ハッシュビットと、に応じて、1
つのハッシュされたチップ選択信号を各アクセス要求に関連付けるチップ選択ハッシュ回
路 (1012) と、

前記アクセスアドレスと、前記ハッシュされたチップ選択信号と、前記アクセスアドレ
スのプログラム可能な部分をハッシュするための少なくとも 1 つのプログラム可能なバン
クアドレスハッシュビットと、に応じて、各アクセス要求を、選択されハッシュされたチ
ップ選択に対応するチップ内の 1 つのバンクに関連付けるバンクアドレスハッシュ回路 (
1014) と、を備え、

前記デバイス (100, 200) は、符号化されたバンクアドレス信号のビットにそれ
ぞれ対応する複数のバンクアドレス構成レジスタ (1030) をさらに備え、各バンクア
ドレス構成レジスタは、前記アクセスアドレスのビットにそれぞれ対応する複数のビット
を記憶し、前記アクセスアドレスの対応するビットが前記ハッシュ関数で使用されるかど
うかを定義する、

デバイス (100, 200)。

【請求項 19】

前記バンクアドレスハッシュ回路 (1014) は、前記符号化されたバンクアドレス信
号のビット毎に、前記複数のバンクアドレス構成レジスタ (1030) のうち対応するレ
ジスタ内のビットが示す前記アクセスアドレスの複数のビットの各々の間で排他的論理和
演算を実行する、

請求項 18 のデバイス (100, 200)。