

公告本**發明專利說明書**

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 95143436

※申請日期： 95.11.23

※IPC 分類：H01L

29/76, 29/66

一、發明名稱：(中文/英文)

(2006.03)

超接面功率金屬氧化物半導體場效電晶體

SUPERJUNCTION POWER MOSFET

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 艾朵爾 D 迪 佛瑞沙
DE FRESART, EDOUARD D.
2. 羅伯 W 貝爾德
BAIRD, ROBERT W.
3. 金健明
QIN, GANMING

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.
3. 中華人民共和國 P.R.C.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年12月14日；11/304,196

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供用於製造 TMOS 裝置 (40) 之方法及設備，TMOS 裝置 (40) 包含位於由在一第一表面處之 N 型 JFET 區 (56) 分隔的多個 P 型體區 (46) 中之多個電並聯的 N 型源極區 (50)。閘極 (53) 上覆於位於該等體區之間的體通道區 (47) 及該 JFET 區 (56)。該 JFET 區 (56) 經由一 N 型磊晶區 (44) 與一下伏汲極區 (42) 連通。離子植入及熱處理係用於調整長度為 L_{acc} 之該 JFET 區 (56) 中之淨有效摻雜濃度 N_d 及長度為 L_{body} 之該 P 型體區 (46) 中之淨有效摻雜濃度 N_a ，使得 P 型體區與 JFET 區之間的一電荷平衡關係式 $(L_{body} * N_a) = k_1 * (L_{acc} * N_d)$ 得以滿足，其中 k_1 約為 $0.6 \leq k_1 \leq 1.4$ 。可使用平面技術來製造該整個裝置 (40)，且電荷平衡區無需延伸穿過該下伏 N 型磊晶區 (44) 至該汲極 (42)。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

40	TMOS 裝置
41	基板
42	N++型汲極區
43	表面
44	N 型磊晶層
45	汲極觸點
46	P 型體區
47	通道區
48	P++型體觸點區
49	源極區
50	N++型源極區
51	源極/體觸點
52	閘極介電質
53	閘極導體
54	多晶矽層
55	複晶金屬矽化物層
56	N 型 JFET 區
57	箭頭
58	N 型漂移
60	介電層
61、62	側壁隔片

63	深度
64	體觸點數金
65	觸點
67	深度
68、69	厚度
W_G	閘極長度

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
(無)

九、發明說明：

【發明所屬之技術領域】

本發明大體上係關於場效電晶體(FET)，且更明確地說，係關於TMOS型FET。

【先前技術】

現今，場效電晶體(FET)已廣泛使用。常見種類往往稱為金屬氧化物半導體(MOS)裝置，儘管"金屬"可能由除簡單金屬外之其他物質製成，且"氧化物"亦可為簡單氧化物外之其他物質。因此，如本文中所使用之術語"金屬"及"氧化物"意欲分別包括任何適宜且穩定的導電及絕緣材料。可用於電力應用之特定種類的MOS裝置為TMOS裝置，如此稱謂係因為電流路徑遵循"T"形。

圖1說明先前技術之超接面TMOS裝置20。TMOS裝置20形成於具有N+汲極區22之基板21中或基板21上，該汲極區22(舉例而言)具有0.01歐姆-公分之電阻率且厚度 D_{drain} 約為350微米，且其下表面耦接至汲極觸點23。N型磊晶區24位於汲極區22之上且具有通常約為30微米-50微米之厚度 D_{epi} 。P型體區26自基板21之上表面25延伸約為1微米-3微米之距離 D_{body} 至N型磊晶區24中。P+型體觸點區28及N+型源極區30自上表面25延伸至P型體區26中。N+源極區30具有通常約為0.3微米之厚度 D_s 。由閘極34覆蓋之閘極絕緣體32在P型體區26中之通道區27上方的源極區30與位於P型體區26之間的體間區36之間延伸。觸點31係提供至P+型體觸點區28及N+源極區30，且連接35係提供至閘極34。在P

型體區 26 之下且延伸穿過 N 型磊晶區 24 至汲極 22 者為橫向寬度為 L_P 之 P 型隔離區 38。在體間 N 型區 36 之下者為深度為 D_{drift} 且橫向寬度為 L_N 之 N 型漂移區 39，該 N 型漂移區 39 延伸穿過 N 型磊晶區 24 至汲極 22。 L_P 及 L_N 通常約為 5 微米 - 8 微米。P 型隔離區 38 及 N 型漂移區 39 形成一組大體上等寬之垂直通道，該等垂直通道分別自 P 型體區 26 及體間區 36 延伸距離 D_{drift} 而穿過 N 型磊晶層 24 至 N+ 型汲極觸點 22，通常距離 D_{drift} 約為 32 微米 - 48 微米。為獲得與先前技術裝置 20 之超接面作用，N 型漂移區 38 中之雜質數量應為 P 型隔離區 39 中之雜質數量的 100% 至 150%。當施加適當的偏壓時，電流自源極 30 流至汲極 22，如箭頭 37 所示。 W_G 為閘極長度且 L_{acc} 為對立的 P 型體區 26 之間的長度。因此，通道長度 L_{CH} 大致為 $(1/2) * (W_G - L_{\text{acc}})$ 。在先前技術中， W_G 通常大致約為 4 微米或更大且 L_{acc} 約為 2.4 微米或更大。

雖然習知 TMOS 裝置非常有用，但其受到此項技術中眾所熟知之許多限制。舉例而言，導通電阻 $R_{\text{DS(ON)}}$ 往往高於所要值，閘極源極間電容 C_{GS} 及閘極汲極間電容 C_{GD} 往往大於所要值，閘極電荷 Q_G 可大於所要值，且其他裝置性質亦可小於最佳值。雖然過去已進行各種改良以嘗試改善此等及其他問題，例如採用超接面結構(參見(例如)頒予 Yasushi Miyasaka 等人之美國專利第 6,291,856 B1 號)，但情況往往如下：對一個特性之改良導致另一重要特性之降級或實質上增加製造難度。舉例而言，雖然可藉由增加磊晶區 24 中之摻雜來改良 $R_{\text{DS(ON)}}$ ，但此趨於不必要地增加

C_{GD} 及/或 Q_G ，及/或不必要地降低擊穿電壓 BV_{DSS} 。相反，雖然可藉由增厚體間區36上之閘極氧化物來減小 C_{GD} 及 Q_G ，但此趨於增加 $R_{DS(ON)}$ 及/或不必要地擾動臨限電壓。雖然使用如圖1中所示之超接面結構可藉由形成電荷平衡漂移區38、39來避免某些此等併發因素，但要製造所需的高度(D_{drift})通常為其寬度(L_P 、 L_N)之4-5倍的P型及N型緊密填充的平行六面體38、39之並排配置(如圖1中所說明)係困難且昂貴的。對於當橫向裝置尺寸(例如 W_G 、 L_P 、 L_N 等)通常必須製造得較小時之較高頻率之操作，此甚至更難以實現，因為 L_P 及 L_N 之較小值往往與 D_{drift} 之較大值關聯。縱橫比(例如 L_N/D_{drift})愈大，製造該等裝置(尤其亦適於處理較大電流之較大面積裝置)便愈困難且成本愈高。此等及其他因素之組合限制了習知裝置以較高速度切換大量功率之能力。因此，正需要其結構及製造模式避免此等及其他困難之MOS裝置。因此，需要提供具有較高電流及較高切換速度之MOS裝置。此外，需要裝置結構之變化及用於改良裝置之製造方法與現有裝置製造技術(尤其與平面技術)相容。此外，本發明之其他所要特徵及特性將在隨後的實施方式及附隨申請專利範圍中，聯合隨附圖式及前述技術領域及先前技術而變得顯而易見。

【實施方式】

以下實施方式本質上僅為例示，且並非意欲限制本發明或本發明之應用及用途。此外，並不意欲受限於在前述技術領域、先前技術、發明內容或以下實施方式中存在之任

何明確或隱含的理論。

為簡單且清楚地進行說明，圖形說明構造之通用方式，且可省略眾所熟知之特徵及技術之描述及細節以避免使本發明不必要地晦澀。此外，圖形中之元件不必需按比例繪製。舉例而言，可相對其他元件或區而誇大圖形中之某些元件或區之尺寸，以有助於改良對本發明之瞭解。

本描述及申請專利範圍中之術語"第一"、"第二"、"第三"、"第四"及其類似術語(若存在)可用於在類似的元件之間進行區分且並不必需用於描述特定的順序或時間順序。應瞭解如此使用之術語在適當的情況下可互換，使得本文中描述之本發明之實施例(例如)能夠以除本文中所說明或所描述之順序之外的順序來操作。此外，術語"包含"、"包括"、"具有"及其任何變體，意欲覆蓋非排他的內涵物，使得包含元件列表之製程、方法、物品或設備不必需受限於彼等元件，而可包括此製程、方法、物品或設備未明確列出或所固有的其他元件。

本描述及申請專利範圍中之術語"左"、"右"、"內"、"外"、"前"、"後"、"上"、"下"、"頂部"、"底部"、"在...上方"、"在...下方"、"在...上"及"在...下"及其類似術語(若存在)係用於描述目的且並不必需用於描述永久的相對位置。應瞭解如此使用之術語在適當的情況下可互換，使得本文中描述之本發明之實施例(例如)能夠以除本文中所說明或所描述之方位之外的其他方位來操作。如本文中所使用之術語"耦接"定義為以電方式或非電方式直接或間接進行連

接。

MOS裝置可為稱為PMOS裝置之P通道型裝置或稱為NMOS裝置之N通道型裝置。本發明係有用地關於NMOS裝置，且在本文中對此等結構進行描述。然而，此為說明之便利而並非意欲進行限制，且本文中所教示之原則亦適用於PMOS裝置。因此，如本文中所使用之術語"P型"及"N型"意欲分別等效於且包括更一般之術語"第一導電類型"及"第二導電類型"，其中"第一"及"第二"可指P導電類型或N導電類型。另外，在 N_a 係指每單位體積受體之數量且 N_d 係指每單位體積供體之數量處，熟習此項技術者基於本文中之描述應瞭解更一般的描述符 N_{first} 及 N_{second} 可用於指每單位體積供體或受體之數量，其中"第一"及"第二"可指供體抑或受體。而且，如上所提及，術語"金屬"及"氧化物"及金屬-氧化物-半導體及縮寫"MOS"意欲分別包括任何相當穩定的導電及絕緣材料，例如但不限於本文中所描述之彼等材料。

圖2為貫穿根據本發明之一實施例之TMOS裝置40之簡化的示意性剖面圖。裝置40包含具有下表面43及上表面45之基板41，其可便利地由矽形成但亦可使用其他半導體材料。電阻率通常為0.004歐姆-公分之N++汲極區42通常在下表面41處或相鄰於下表面41而提供。汲極觸點45以連接D便利地在N++汲極區42之下表面41上提供。然而，此並非意欲進行限制，因為其可與汲極區42之下表面43接觸或在其形成為內埋層之情況下，可與上表面45接觸。N型磊

晶區 44 自 N++ 汲極區 42 向上延伸。P 型體區 46 自上表面 45 向下延伸至 N 型磊晶區 44 中，且以距離 L_{acc} 橫向分隔。P++ 型體觸點區 48 及 N++ 型源極區 50 延伸至 P 型體區 46 中。閘極介電質 52 (例如二氧化矽) 上覆於通道區 47 及所謂的 JFET 區 56 之上的表面 45，且亦便利地在源極區 50 上方略微延伸。寬度為 W_G 之導電閘電極 53 上覆於閘極介電質 52。閘電極 53 理想地為複合夾層，其中層 54 便利地由摻雜多晶矽形成，且層 55 便利地由複晶金屬矽化物 (例如矽化鎢 WSi_x ，其中通常 $1.5 \leq x \leq 2$ ，但亦可使用其他組成範圍及其他複晶金屬矽化物) 形成。多晶矽層 54 及複晶金屬矽化物層 55 之組合提供低閘極電阻，其有助於獲得良好的切換速度。外部閘極觸點 162 係相對閘電極 53 遠端地提供。介電層 60 (例如氧化矽) 在閘電極 53 上方提供，使得源極及體觸點敷金 64 (例如 Al、Cu、Au、Si 及/或其合金) 可橋接有效通道區 47 及 JFET 區 56 上之閘電極 53，且可耦接至閘電極 53 任一側上之源極區 50 及體區觸點 48。具有 Cu 跡線之 Al 較佳用於敷金 64，但此並非意欲進行限制。為描述之便利性，在本文中使用的縮寫 "Al:Cu" (指敷金 64) 意欲不僅指較佳之組合，而且指可使用之許多其他可能之金屬組合，包括但不限於以上所列之金屬組合。外部觸點 65 係相對敷金 64 遠端地製成。

較佳為在源極區 50 及體觸點區 48 與源極/體敷金 64 之間提供導電障壁材料 51 (例如 Ti/TiN 或其他導電金屬互化物)，以阻礙複晶金屬矽化物 55 及敷金 64 之間的互擴散，

但其並非本質的。此有助於維持至源極區 50/體觸點區 48 之低電阻連接。如上所提及，其他導電材料可用於源極/體敷金 64。或者，敷金 64 可直接應用至源極區 50/體觸點區 48，但此較不理想。提供側壁隔片 61、62 以分隔閘電極 53 之橫向邊緣與源極/體觸點 51 及源極/體敷金 64。通道長度 L_{CH} 約為 $(1/2) \cdot (W_G - L_{acc})$ 。在一較佳實施例中， L_{acc} 及 L_{CH} (通道 47) 皆大致約為 0.2 微米 - 0.3 微米，使得 W_G 大致約為 0.6 微米 - 1.0 微米或更小。然而， L_{acc} 可小於 0.2 微米。使用值小之 L_{acc} 及 W_G 可大體上增強高速切換效能。當施加適當偏壓時，電流自源極 50 流至汲極 42，如箭頭 57 所示。已發現藉由將 W_G 值減小至大致 1-2 微米，且將 L_{acc} 減小至小於 1 微米，且謹慎地控制如結合圖 3 至圖 12 更完整描述之 JFET 區 56 及 P 型體區 46 中之摻雜，可獲得具有優越效能之裝置，而不會損害擊穿電壓 BV_{DSS} ，且沒有形成深窄 P 型隔離物 38 及 N 型漂移柱 39 (例如圖 1 之裝置 20 中所用者) 的負擔。舉例而言，對圖 2 之結構的分析表明 JFET 區 56 之電阻可減小約百分之五十或更多，其預期使 $R_{DS(ON)}$ 降低至少百分之二十五，其他不變。此外，此改良可在不對 BV_{DSS} 或 Q_g 產生負面影響之情況下達成。此外，可獲得 Q_g 與 $R_{DS(ON)}$ 之間所要的折衷靈活性。舉例而言，若最大切換速度最為重要，則可使用最小裝置尺寸，藉此獲得用於相同 $R_{DS(ON)}$ 之較低 Q_g ，或者當低損耗最為重要時 (例如對於非常高的電流)，則可使用較大尺寸，以獲得用於相同 Q_g 之較低 $R_{DS(ON)}$ ，所有此等情況皆不會對 BV_{DSS} 產生負面影

響。因此，不僅改良了整體效能，而且可充分利用折衷速度及功率處理性能之能力，以設計為特定應用而優化之裝置。此為超越先前技術之重大改良。

圖3至圖12為展示進一步細節且根據本發明之進一步實施例的簡化的示意性剖面圖，其說明製造圖2之裝置40之方法的循序步驟101-110。圖3展示循序步驟101，其中提供較佳為矽且包含由N型層44頂蓋之N++摻雜層42之半導體晶圓或基板41。可用此項技術中眾所熟知之各種方法來達成由大體上均勻摻雜的層44頂蓋之重度摻雜層42的組合。舉例而言，層42可為其上藉由磊晶成長而形成層44之起始基板，或層44可為其中藉由摻雜或其他方法形成層42之起始基板。或者，層或區42可為在層44內在預定深度處提供且在表面45處或他處與重度摻雜沉降區接觸之內埋層。任一種配置皆係有用的。層44較佳為磊晶層但此不是本質的，且層44在圖3至圖12上標識為"N型磊晶"層僅僅係作為實例且並非意欲進行限制。層42便利地摻雜砷至約0.004歐姆-公分，但亦可使用較大或較小的摻雜程度。層44便利地摻雜磷至約0.1歐姆-公分至1.0歐姆-公分，其中約0.3歐姆-公分較佳，但亦可使用較重及較輕的摻雜。層44之厚度較佳約為3微米-4微米，但亦可使用更薄或更厚的層。通常為幾千埃厚度之初始氧化層111提供於上表面45上。遮罩層115(例如光阻)係應用於初始氧化層111上且經圖案化以提供延伸至半導體表面45之開口113。P型邊緣區123穿過開口113引入至N型層44中，藉此提供圖3中所說

明之結構。利用硼之離子植入117為較佳摻雜方法，但亦可使用此項技術中眾所熟知之其他摻雜配置來提供P型邊緣區123。熟習此項技術者應瞭解圖3至圖12僅展示所製造之裝置結構的一部分，且可在基板41中之他處提供類似於摻雜區123之其他摻雜區(未圖示)。在圖4之步驟102中，遮罩層115被移除，且場氧化層120已成長，或者形成至約初始氧化層111之厚度之兩倍的厚度，但亦可使用更大或更小之厚度值。應用遮罩層126且將其圖案化以曝露場氧化層120之部分119。部分119便利地藉由蝕刻經由遮罩層126中之開口125來移除。在場氧化層120之沈積或成長期間所遭遇之較高溫度導致初始邊緣區123在N型層44中向下及橫向擴散，藉此提供擴展P型邊緣區124'，如圖4中所示。

在圖5之步驟103中，屏蔽氧化物130係形成於表面45上，且遮罩層127(例如光阻)係便利地提供於屏蔽氧化物130及場氧化層120上方，且遮罩層127經圖案化，以具有開口129，希望N型摻雜區56位於該開口中。提供N型植入133以在遮罩開口129下方之N型磊晶層44中形成初始N型摻雜區56'。適宜劑量為約每平方公分 $1\text{E}13$ 至 $1\text{E}14$ 個原子，其中每平方公分約 $3\text{E}13$ 個原子較佳。適宜植入能量處於 100 keV - 350 keV 之範圍，其中約 200 keV 較佳。

現參看圖6至圖12，在步驟105中，較佳為藉由短暫蝕刻來移除屏蔽氧化物130，且閘極氧化物52係便利地形成於其位置中，但此並非本質的，且屏蔽氧化物130亦可充當閘極氧化物。閘極氧化物52較佳藉由熱成長而形成至一厚

度，該厚度係視裝置之所需電壓能力及閘極電容而定。適宜閘極氧化物厚度處於100埃-500埃之範圍，其中350埃-500埃之範圍對於較高電壓電力裝置係較佳的，但亦可使用較大或較小的厚度。多晶矽或其他毯覆式多晶半導體(SC)層112係提供於氧化層120、52上方。然後，在多晶半導體層122上方提供毯覆式複晶金屬矽化物層114(例如矽化鎢 WSi_x ($1.5 \leq x \leq 2$)或其他複晶金屬矽化物)。然後，在複晶金屬矽化物層114上方提供毯覆式介電層116(例如二氧化矽)。層112、114、116可由化學氣相沈積(CVD)或電漿輔助化學氣相沈積(PECVD)來便利地但並非本質地形成。然而，亦可使用其他形成技術。濺鍍及蒸鍍為用於層112、114、116中任一層及所有層之替代沈積方法之非限制性實例。導電層112、114之厚度應連同用於此等層之材料的選擇來加以選擇，以便提供相對低電阻的閘電極53。通常，適宜的厚度大致為幾千埃。由裝置設計者選擇介電層116之厚度，以在不產生過厚的裝置上部構造之情況下，將源極導體49與閘極導體53(參見圖2)之間的電容耦合限制為可接收的程度。熟習此項技術者應瞭解如何作出此等選擇。將遮罩層128(例如光阻)應用至介電層116上方，且使其圖案化以提供開口121、122，其中藉由蝕刻便利地移除層112、114、116之下伏部分，藉此產生圖6之結構。層112、114、116對應於圖2及圖12之層54、55、60。在圖7之步驟105中，移除遮罩層128，且進行側壁氧化以在多晶半導體層112及複晶金屬矽化物層114之曝露橫向邊緣上

形成第一側壁隔片61。在此形成第一側壁隔片61之熱氧化步驟的過程中，內埋摻雜區56'稍微向外擴散。在圖8之步驟106中，經由開口121、122在約40 KeV至100 KeV之能量範圍下，以處於每平方公分約 $1E12$ 至 $1E13$ 個原子之範圍的劑量來提供P型植入136(例如硼)，其中在約60 KeV之能量範圍下的每平方公分約 $6E12$ 個原子的劑量較佳。植入136在開口121、122下形成摻雜區46'，藉此提供圖8中所說明之結構。需要使用某範圍之能量以便達成自植入區46'形成之P型體區46最終所需之大體上均勻的摻雜。在圖9之步驟107中，高溫驅動係在(例如)約攝氏900度至攝氏1200度下提供，其中在約攝氏950度至攝氏1100度下持續70分鐘較佳。驅動步驟107重新分佈各種N型及P型摻雜物，使得P型摻雜區46'擴展以形成P型摻雜體區46，N型摻雜區56'進一步擴展以形成JFET區56，且區124'進一步擴展以形成形成圖2及圖12之P型邊緣區124。

在圖10之步驟108中，提供大致位於開口121、122中央之遮罩區166，藉此在遮罩區166與第一側壁隔片61之間留下開口170。然後，以通常在約40 keV至120 keV之範圍中的能量、以通常在每平方公分約 $1E15$ 至 $5E15$ 個原子之範圍的劑量施加N+型植入163(例如砷)，較佳為在約90 keV之能量下施加每平方公分約 $4E15$ 個原子的劑量。經由氧化層52便利地執行植入163，以形成源極區50'，如圖10中所示。雖然離子植入較佳，但亦可使用此項技術中眾所熟知之其他摻雜方法。在圖11之步驟109中，(例如藉由CVD、

PECVD、蒸鍍或濺鍍)在圖10之結構上沈積介電質毯覆層(例如氧化矽)，且然後使用此項技術中眾所熟知之方法對其進行差異蝕刻，以在層112、114、116之橫向邊緣上提供第二側壁隔片62，且在開口121、122中提供第一側壁隔片61。此各向異性蝕刻亦移除在側壁隔片62之間的開口121、122中之氧化層52。然後，經由開口121、122將P型植入186提供至表面45中，以形成P型區48'。可使用任何適宜P型摻雜物，但硼較佳。植入186通常在處於約20 keV至60 keV之範圍的能量下，以每平方公分 $5E14$ 至 $5E15$ 個原子的劑量來執行。約40 keV之能量及每平方公分約 $1E15$ 個原子之劑量較佳。此提供圖11中所說明之結構。

在圖12之步驟110中，蝕刻穿過介電層116之開口193，以允許與複晶金屬矽化物層114接觸。然後，經由開口121、122及193沈積、遮罩及蝕刻金屬間導電障壁層，以在開口121、122下方留下與源極區50及體觸點區48接觸之金屬間障壁區51，且在開口193下方留下與複晶金屬矽化物層114接觸之金屬間障壁區192。然後在該結構上方沈積及遮罩以及蝕刻Al:Cu或其他高度導電性材料之層64，以提供與導電障壁層區51接觸之源極/體敷金64，及與導電障壁層區192接觸之閘極導線196，如圖12中所示。隨後大體上完成圖2中所說明之結構。此外，圖12說明如何有效地建立至閘極敷金53之連接。熟習此項技術者應瞭解閘極觸點196下方之導電區112、114係電耦接至圖2及圖12之平面外部的區54、55。

現參看圖2及圖12，當P型體區46之長度 L_{body} 與此區中每單位體積淨有效受體濃度 N_a 之乘積大體上等於JFET區56之長度 L_{acc} 與區56中每單位體積淨有效供體濃度 N_d 之乘積時(亦即當 $(L_{body} * N_a) = k_1 * (L_{acc} * N_d)$ 時，其中 L_{body} 及 L_{acc} 以同一單位進行量測且 k_1 為無量綱參數)，可達成本發明之最佳益處。 k_1 通常處於約 $0.6 \leq k_1 \leq 1.4$ 之範圍，便利地處於 $0.8 \leq k_1 \leq 1.2$ 之範圍，理想地處於約 $0.9 \leq k_1 \leq 1.1$ 之範圍，且較佳為約 $k_1 \sim 1.0$ 。亦希望JFET區56之深度94(下文中稱為 D_{JFET})與P型體區46之深度63(下文中稱為 D_{body})大約相等，亦即 $D_{body} = k_2 * D_{JFET}$ ，其中 k_2 為無量綱常數，其理想地處於 $0.8 \leq k_2 \leq 1.2$ 之範圍，且較佳處於約 $0.9 \leq k_2 \leq 1.1$ 之範圍。進一步希望區56及46中之摻雜作為區24中之深度(對於大多數深度94、63)的函數而大體上恆定，亦即在P型體46之至少一半深度上，斜率 $dN_a/dy = k_3$ 處於約 $3E20$ 原子/公分四次方 $\leq k_3 \leq 5E20$ 原子/公分四次方之範圍，且在N型JFET區56之至少一半深度上，斜率 $dN_d/dy = k_4$ 處於約 $2E20$ 原子/公分四次方 $\leq k_4 \leq 4E20$ 原子/公分四次方之範圍，其中 y 量測距表面45之距離。前述條件可藉由適當地調整圖5之步驟103中之植入133的能量及劑量、步驟108之植入136的能量及劑量，及至少與步驟104-107關聯及/或否則在製造裝置40期間執行的熱處理來實現。最佳地達成條件 $(L_{body} * N_a) = k_1 * (L_{acc} * N_d)$ (對於上述 k_1 之範圍)之植入及熱處理將視裝置設計者所選擇的特定雜質摻雜物而定。基於本文中之教示，熟習此項技術者有能力進

行此等調整而不會進行不當實驗。應注意，電荷相等條件 $(L_{\text{body}} * N_a) = k_1 * (L_{\text{acc}} * N_d)$ 大體上僅適用於裝置40之近表面區，亦即適用於P型體區46及JFET區56，且在上覆於P型體區26及JFET區56之下的汲極區42上的N型磊晶區24之部分49(深度262、67)中不作要求。因此，不需要用於先前技術裝置20中之P型分隔區38及N型漂移區39之平行六面體的複雜配置。應進一步注意，裝置40可大體上完全使用可用的平面製造技術來製造。不需要往往關聯於先前技術裝置(例如圖1之裝置20)之較複雜的溝槽及再填充技術。此為本發明之另一實質優勢。

根據一第一實施例，其提供一種MOS裝置，該裝置包含：一具有一第一導電類型且具有一第一主表面之半導體基板；一具有該第一導電類型之第一區，其自該第一主表面延伸一第一距離至該基板中，且在一大體上平行於該第一主表面之方向上具有長度 L_{acc} ，且具有一約為 N_{first} 之淨有效摻雜物濃度；至少一對具有一第二相反導電類型之經隔開體區，其自該第一主表面延伸一第二距離至該基板中且由具有該第一導電類型之該第一區分隔，且每一體區在一大體上平行於該第一主表面之方向上具有長度 L_{body} 且具有一約為 N_{second} 之淨有效摻雜物濃度；位於大體上在該第一表面上且延伸至該第一區之該等經隔開體區中的通道區；具有該第一導電類型之源極區，其大體上位於該等經隔開體區中之該第一表面上且藉由該等通道區而與該第一區分隔；一位於上覆於該等通道區及該第一區之該第一表

面上方的絕緣閘極；一具有該第一導電類型之汲極區，其在該基板中位於該第一區之下，且其中 $(L_{\text{body}} * N_{\text{second}}) = k_1 * (L_{\text{acc}} * N_{\text{first}})$ ， k_1 具有一處於約 $0.6 \leq k_1 \leq 1.4$ 之範圍的值。根據另一實施例， k_1 具有一處於約 $0.8 \leq k_1 \leq 1.2$ 之範圍的值。根據又一實施例， k_1 具有一處於約 $0.9 \leq k_1 \leq 1.1$ 之範圍的值。根據再一實施例，該第一距離具有一 D_{body} 之值，且該第二距離具有一 D_{JFET} 之值，且 $D_{\text{body}} = k_2 * D_{\text{JFET}}$ ，其中 k_2 理想地處於 $0.8 \leq k_2 \leq 1.2$ 之範圍。根據再又一實施例， k_2 理想地處於 $0.9 \leq k_2 \leq 1.1$ 之範圍。根據另一實施例，該等體區中之至少一些體區中之該有效淨摻雜物濃度 N_{second} 使得在該等體區之至少約一半深度上，一斜率 $dN_{\text{second}}/dy = k_3$ 處於約 $3E20$ 原子/公分四次方 $\leq k_3 \leq 5E20$ 原子/公分四次方之範圍。根據再另一實施例，該相鄰第一區中之該有效淨摻雜物濃度 N_{first} 使得在該等體區之至少約一半深度上，一斜率 $dN_{\text{first}}/dy = k_4$ 處於約 $2E20$ 原子/公分四次方 $\leq k_4 \leq 4E20$ 原子/公分四次方之範圍。

根據一第二實施例，提供一種由一包含以下步驟之製程製造的 MOS 裝置：提供一具有一第一導電類型之基板；在該基板中形成一具有一第一導電類型之汲極區；在一第一表面上形成多個具有該第一導電類型之第一區，該等第一區具有大體上平行於該第一表面量測的第一長度 L_{acc} ，且與該汲極區分隔，且延伸一第一距離 D_{JFET} 至該基板中，且在該多個區中之至少一些區中具有淨有效摻雜物濃度 N_{first} ；在該基板中在該第一表面上形成多個體區，該等體

區具有大體上平行於該第一表面量測的第二長度 L_{body} ，且具有一第二相反導電類型，且自該第一表面延伸一第二距離 D_{body} 至該基板中，且在該多個體區中之至少一些體區中具有淨有效摻雜物濃度 N_{second} ，其中對於該多個體區中之至少一對體區及一介入之第一區，滿足關係式 $(L_{body} * N_{second}) = k_1 * (L_{acc} * N_{first})$ ，其中 k_1 具有一處於約 $0.6 \leq k_1 \leq 1.4$ 之範圍的值。根據另一實施例，形成該第一區之方法進一步包含在該第一區中植入具有該第一導電類型的摻雜物離子。根據再一實施例，形成該第一區之方法進一步包含使用一個以上的植入能量植入該等摻雜物離子。根據又一實施例，形成該多個體區之方法進一步包含使用一個以上的植入能量植入摻雜物離子。根據又再一實施例， $D_{body} = k_2 * D_{JFET}$ ，其中 k_2 理想地處於 $0.8 \leq k_2 \leq 1.2$ 之範圍。根據再又一實施例，一在 D_{body} 與 D_{JFET} 之間的區及該汲極區具有一單種導電類型。根據另一實施例， L_{acc} 小於等於約0.3微米。根據再另一實施例， L_{acc} 小於等於約0.2微米。

根據一第三實施例，提供一種用於形成一MOS裝置之方法，該方法包含：提供一具有一上表面之具有一第一導電類型的半導體基板；經由該上表面進行第一植入，即植入具有一第一導電類型之一第一劑量，以形成一第一摻雜區；在該上表面上形成一閘極介電質；在該閘極介電質上沈積一閘極導體及一上覆介電層；遮罩及蝕刻該閘極導體及該上覆介電層，以提供至少兩個延伸至該閘極介電質且界定該閘極之橫向範圍之第一經隔開開口；經由該上表面

進行第二植入，即在該至少兩個第一經隔開開口中植入具有一第二相反導電類型之一第二劑量，以在該基板中形成具有一第二相反導電類型之第二區；在該第二植入步驟後的任意時間，對該裝置進行熱處理，使得在與該第一劑量及該第二劑量組合之情況下，該第一摻雜區及該第二摻雜區擴展相遇，且使得擴展後橫向長度為 L_{first} 之該第一摻雜區中之淨有效雜質濃度 N_{first} 及擴展後橫向長度為 L_{second} 之該第二摻雜區中之淨有效雜質濃度 N_{second} ，滿足關係式 $(N_{second} * L_{second}) = k_1 * (N_{first} * L_{first})$ ，其中 k_1 具有一處於約 $0.6 \leq k_1 \leq 1.4$ 之範圍的值。提供另一實施例，其包含：在該第二植入步驟前，在該閘極導體之橫向邊緣上形成第一介電隔片。提供又一實施例，其包含：在該第二植入步驟後，在該至少兩個第一經隔開開口內提供一界定第二經隔開開口之遮罩；及經由該等第二經隔開開口進行第三植入，即在該等第二區中植入具有該第一導電類型之源極區。提供再一實施例，其包含：在該第三植入步驟後，進行第四植入，即在該等源極區之間的該第二區中植入具有該第二導電類型之體觸點區。提供又再一實施例，其包含：在該等源極區及該等體觸點區上沈積一導電障壁層材料。

雖然在前述詳細描述中已提出至少一個例示性實施例，但應瞭解存在大量的變型。舉例而言，雖然本發明係在NMOS型裝置之範圍中進行描述，但此僅僅出於解釋之便利性且並非意欲進行限制。熟習此項技術者應瞭解，在適

當替代導電類型之情況下，亦可利用本文中所描述之教示來建構PMOS裝置。因此，關於導電類型之更一般的術語"第一"及"第二"意欲指N型抑或P型摻雜物，且類似地， N_{first} 及 N_{second} 分別指第一及第二類型之摻雜濃度，其中"第一"及"第二"亦指示N型抑或P型摻雜物原子。亦應瞭解例示性實施例僅為實例，且並非意欲以任何方式限制本發明之範疇、適用性或配置。相反，前述詳細描述將向熟習此項技術者提供用於實施例示性實施例之方便指南。應瞭解在不脫離本發明在隨附申請專利範圍及其法定均等物中所陳述之範疇的情況下，可對元件之功能及配置進行各種改變。

【圖式簡單說明】

圖1為貫穿根據先前技術之超接面TMOS裝置之簡化的示意性剖面圖；

圖2為貫穿根據本發明之一實施例之超接面TMOS裝置之簡化的示意性剖面圖；

圖3至圖12為展示進一步細節且根據本發明之其他實施例的簡化的示意性剖面圖，其說明製造圖2中所說明類型之裝置的方法的循序步驟。

【主要元件符號說明】

20	TMOS裝置
21	基板
22	N+汲極區
23	汲極觸點

24	N型磊晶區
25	上表面
26	P型體區
27	通道區
28	P+型體觸點區
30	N+型源極區
31	觸點
32	閘極絕緣體
34	閘極
35	連接
36	體間N型區
37	箭頭
38	P型隔離區
39	N型漂移區
40	TMOS裝置
41	基板
42	N++型汲極區
43	表面
44	N型磊晶層
45	汲極觸點
46	P型體區
46'	摻雜區
47	通道區
48	P++型體觸點區
48'	P型區

49	源極區
50	N++型源極區
50'	源極區
51	源極/體觸點
52	閘極介電質
53	閘極導體
54	多晶矽層
55	複晶金屬矽化物層
56	N型JFET區
56'	N型摻雜區
57	箭頭
58	N型漂移
60	介電層
61、62	側壁隔片
63	深度
64	體觸點敷金
65	觸點
67	深度
68、69	厚度
94	深度
111	初始氧化層
112	多晶半導體層
113	開口
114	毯覆式複晶金屬矽化物層
115	遮罩層

116	毯覆式介電層
117	離子植入
119	部分
120	場氧化層
121、122	開口
123、124、124'	P型邊緣區
125	開口
126	遮罩層
127	層
128	遮罩層
129	遮罩開口
130	屏蔽氧化物
133	N型植入
136	P型植入
162	閘極觸點
163	N+型植入
166	遮罩區
170	開口
186	P型植入
192	金屬間障壁區
193	開口
196	閘極觸點
262	深度

十、申請專利範圍：

1. 一種用於形成一金屬氧化物半導體(MOS)裝置之方法，其包含：

提供一具有一上表面之具有一第一導電類型的半導體基板；

經由該上表面進行第一植入，即植入具有一第一導電類型之一第一劑量，以形成一自該上表面向下延伸之第一摻雜區；

在該上表面上形成一閘極介電質；

在該閘極介電質上沈積一閘極導體及一上覆介電層；

遮罩及蝕刻該閘極導體及該上覆介電層，以提供延伸至該閘極介電質且界定該閘極之橫向範圍之至少兩個第一經隔開開口，其中該閘極之該橫向範圍延伸出該第一摻雜區且延伸於在該第一植入步驟期間被遮罩之該半導體基板之一部分上方；且其中該半導體基板之該部分係鄰近位於該上表面之該第一摻雜區；

在該第一植入步驟、該形成步驟、該沈積步驟與該遮罩及蝕刻步驟之後，經由該上表面進行第二植入，即在該至少兩個第一經隔開開口中植入具有一第二相反導電類型之一第二劑量，以在該基板中形成具有一第二相反導電類型之第二摻雜區，其中該第二摻雜區自該上表面向下延伸以及其中該第二摻雜區藉由在該第一植入步驟期間被遮罩之該半導體基板之該部分而與該第一摻雜區分開；及

在該第二植入步驟後的任意時間，對該裝置進行熱處理，使得在與該第一劑量及該第二劑量組合之情況下，該第一摻雜區及該第二摻雜區擴展相遇，且使得擴展後橫向長度為 L_{first} 之該第一摻雜區中之淨有效雜質濃度 N_{first} 及擴展後橫向長度為 L_{second} 之該第二摻雜區中之淨有效雜質濃度 N_{second} ，滿足一第一關係式 $(N_{second} * L_{second}) = k_1 * (N_{first} * L_{first})$ ，其中 k_1 具有一處於約 $0.6 < k_1 < 1.4$ 之範圍的值，且也滿足一第二關係式：該第一摻雜區之一深度係大約相等於該第二摻雜區之一深度。

2. 如請求項1之方法，其進一步包含：

在該第二植入步驟前，在該閘極導體之橫向邊緣上形成第一介電隔片。

3. 如請求項1之方法，其進一步包含：

在該第二植入步驟後，在該至少兩個第一經隔開開口內提供一界定第二經隔開開口之遮罩；及

經由該等第二經隔開開口進行第三植入，即在該第二摻雜區中植入具有該第一導電類型之源極區。

4. 如請求項3之方法，其進一步包含：

在該第三植入步驟後，進行第四植入，即在該源極區之間的該第二摻雜區中植入具有該第二導電類型之體觸點區。

5. 如請求項4之方法，其進一步包含：

在該源極區及該體觸點區上沈積一導電障壁層材料。

6. 一種金屬氧化物半導體(MOS)裝置，包含：

一具有一上表面之一第一導電類型的半導體基板；

自該上表面向下延伸之該第一導電類型之一第一摻雜區；

一覆蓋該第一摻雜區之閘極，其具有在該上表面上之一閘極介電質、在該閘極介電質上之一上覆介電層及一閘極導體，其中該閘極之一橫向範圍延伸出該第一摻雜區且延伸於在該上表面處橫向緊鄰該第一摻雜區之第二摻雜區之部分上方；

具有第二相反導電類型之該第二摻雜區，自該上表面向下延伸且初始地形成於超出該閘極之該橫向範圍之該基板中，其中在曝露至一高溫驅動處理後該第一摻雜區及該第二摻雜區在該閘極下方相遇，以及其中在該第一摻雜區及該第二摻雜區中存在一電荷相等條件，因為橫向長度為 L_{first} 之該第一摻雜區中之一淨有效雜質濃度 N_{first} 及橫向長度為 L_{second} 之該第二摻雜區中之一淨有效雜質濃度 N_{second} ，滿足一第一關係式 $(N_{second} * L_{second}) = k_1 * (N_{first} * L_{first})$ ，其中 k_1 具有一處於約 $0.6 < k_1 < 1.4$ 之範圍的值，且也滿足一第二關係式：該第一摻雜區之一深度係大約相等於該第二摻雜區之一深度；以及

在該半導體基板中位於該第一摻雜區及該第二摻雜區之下具有該第一導電類型之一汲極區，其中該汲極區藉由覆蓋該汲極區且在該第一摻雜區及該第二摻雜區之下之該半導體基板的一部分與該第一摻雜區及該第二摻雜區分開，及其中在覆蓋該汲極區且在該第一摻雜區及該

第二摻雜區之下之該半導體基板的該部分中不存在該電荷相等條件。

7. 如請求項6之裝置，進一步包含：

在該閘極導體之橫向邊緣上之第一介電隔片。

8. 如請求項6之裝置，進一步包含：

在該第二摻雜區中具有該第一導電類型之源極區。

9. 如請求項8之裝置，進一步包含：

在該第二摻雜區中具有該第二導電類型之體觸點區，

其中該體觸點區係位於該源極區之間。

10. 如請求項9之裝置，進一步包含：

在該源極區及該體觸點區上之一導電障壁層材料。

十一、圖式：

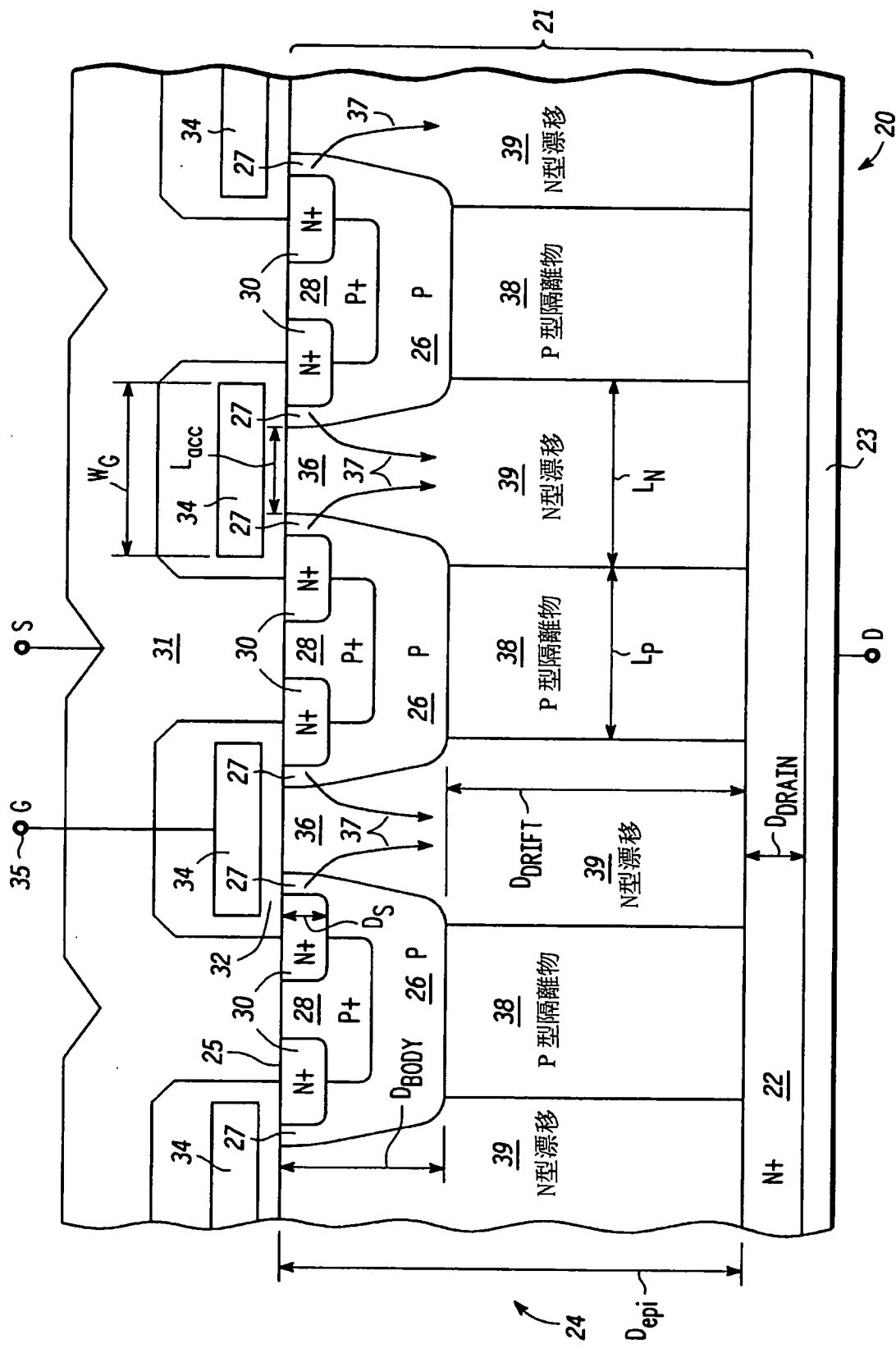


圖1
(先前技術)

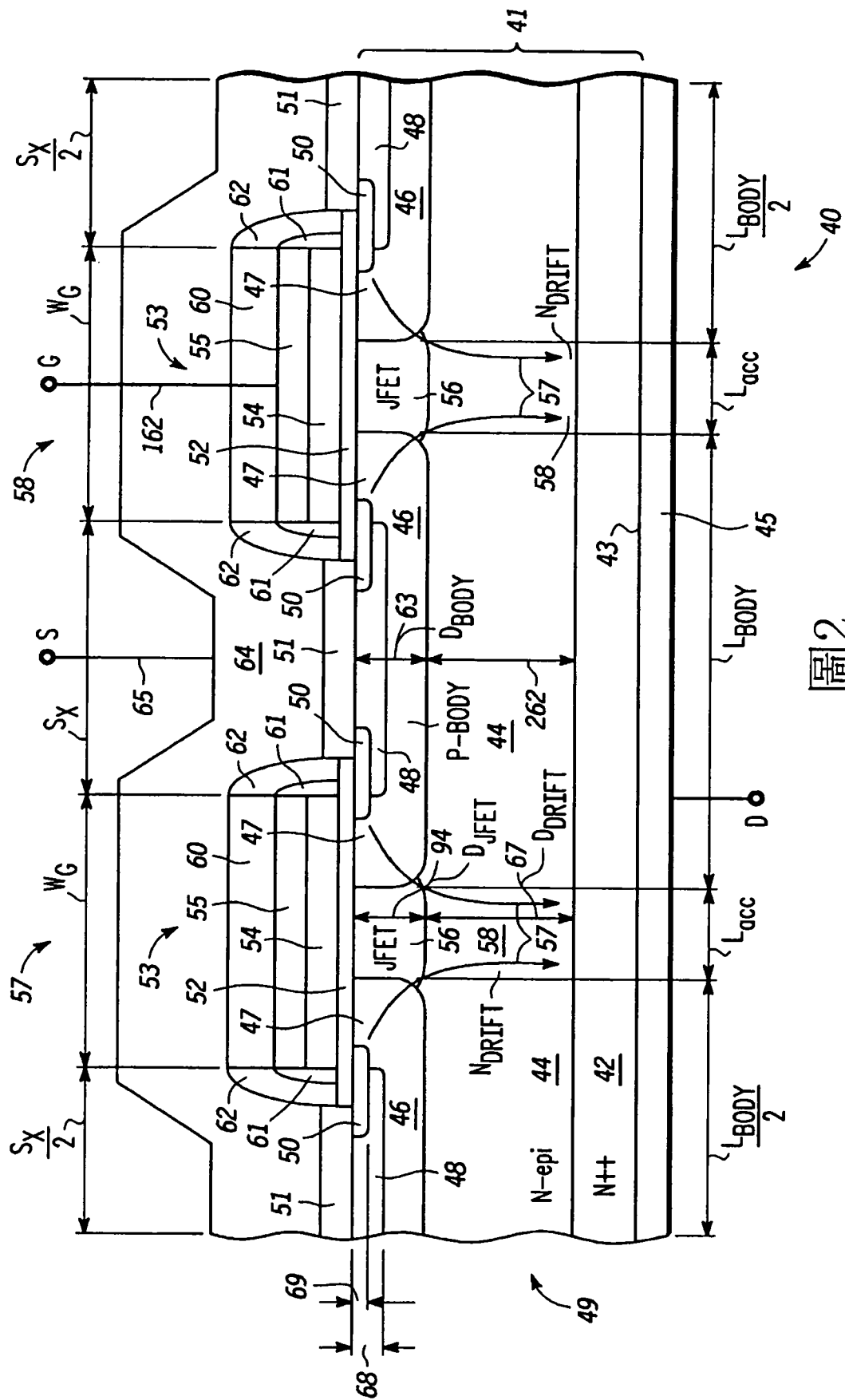


圖2

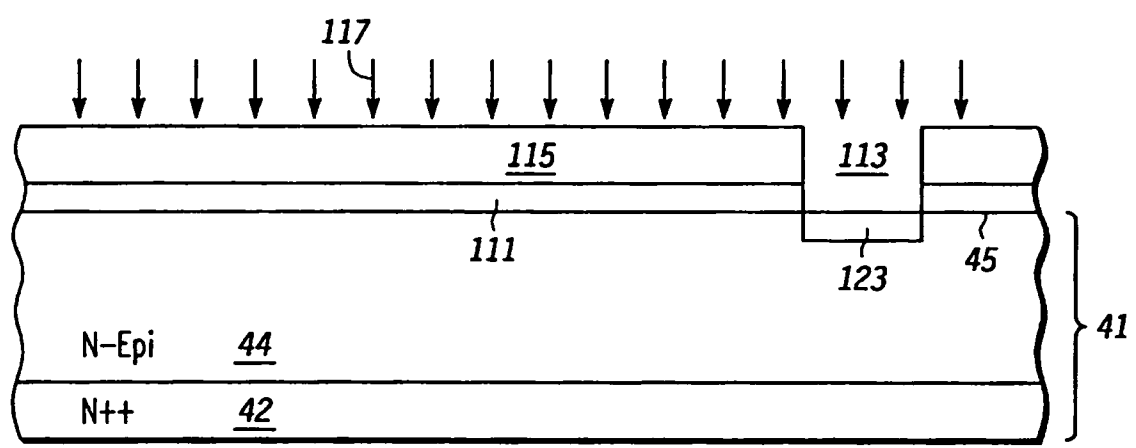


圖3

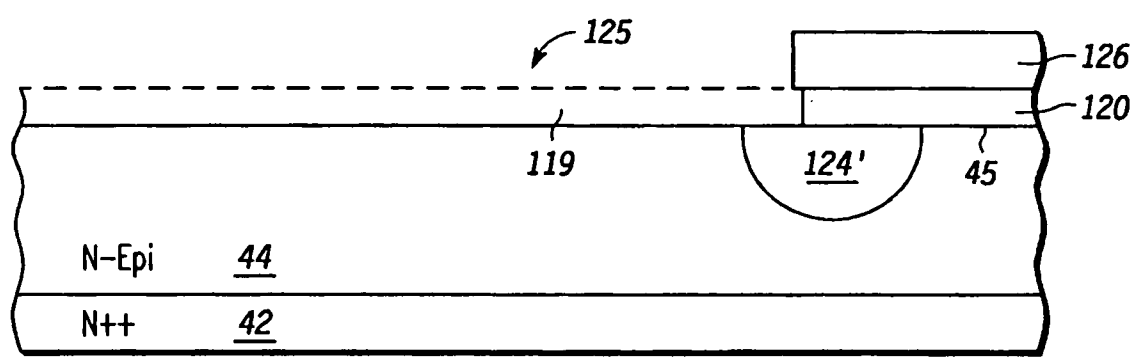


圖4

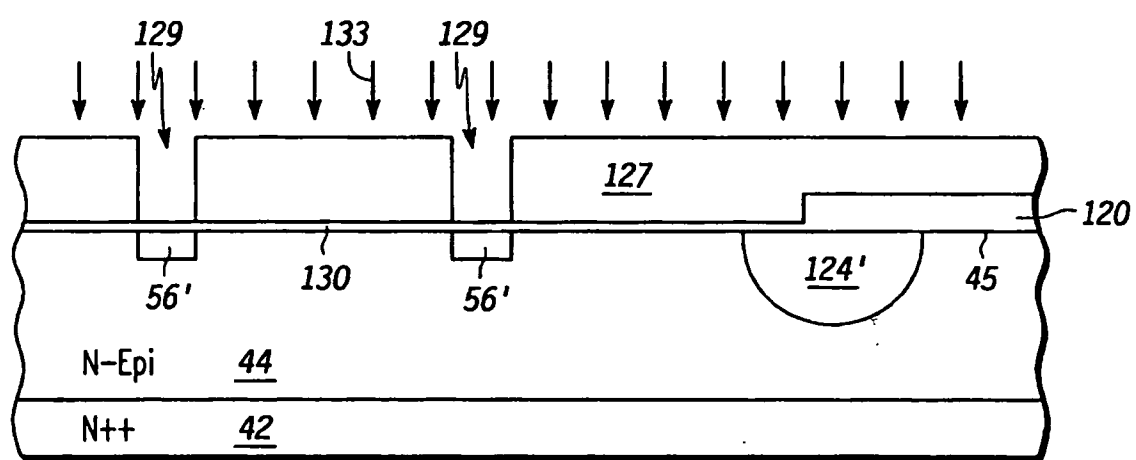


圖5

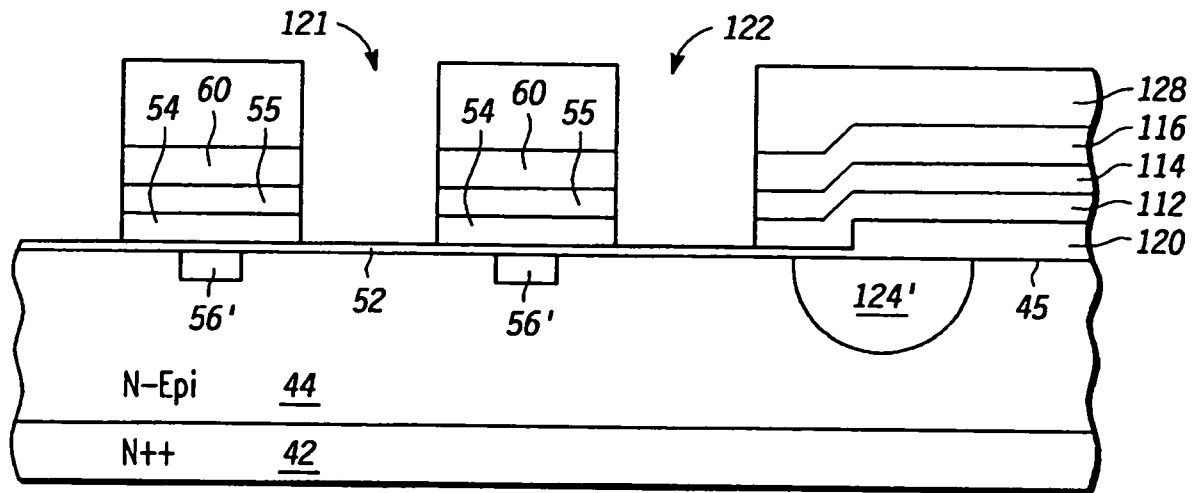


圖6

104

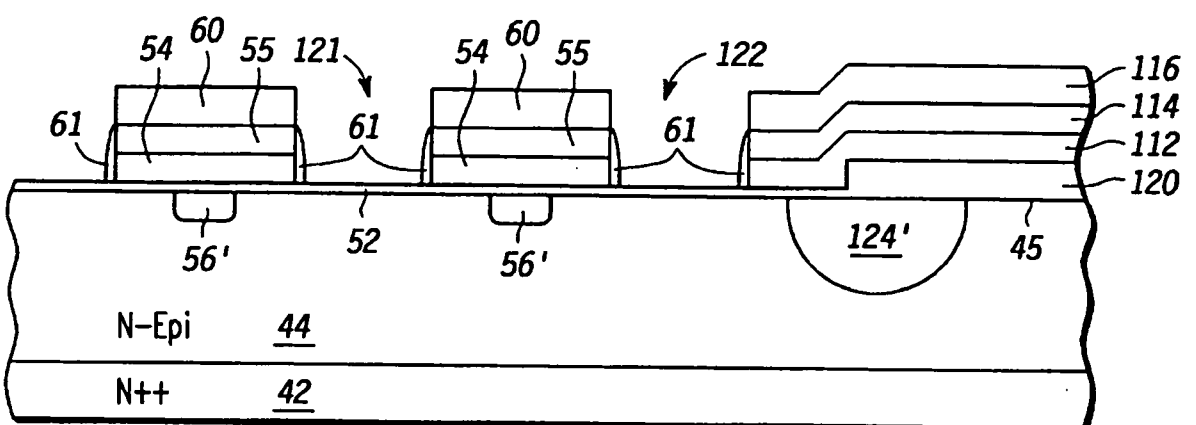


圖7

105

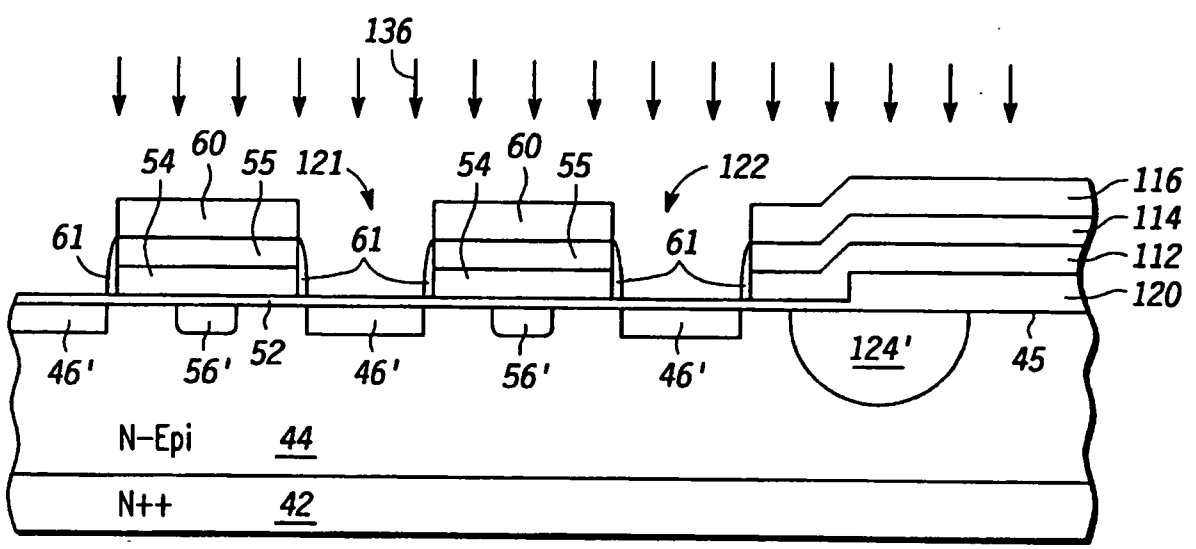


圖8

106

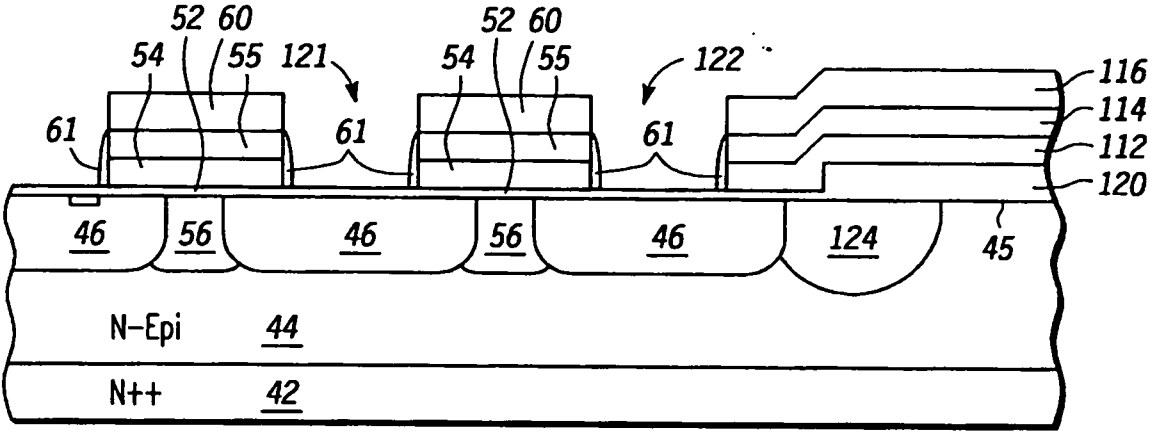


圖9

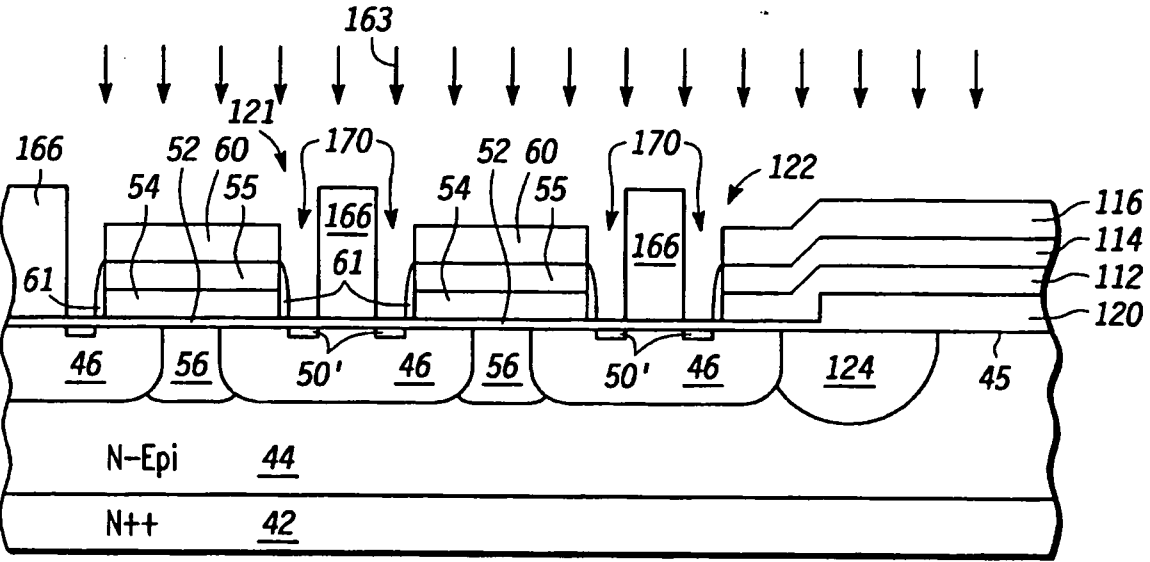


圖10

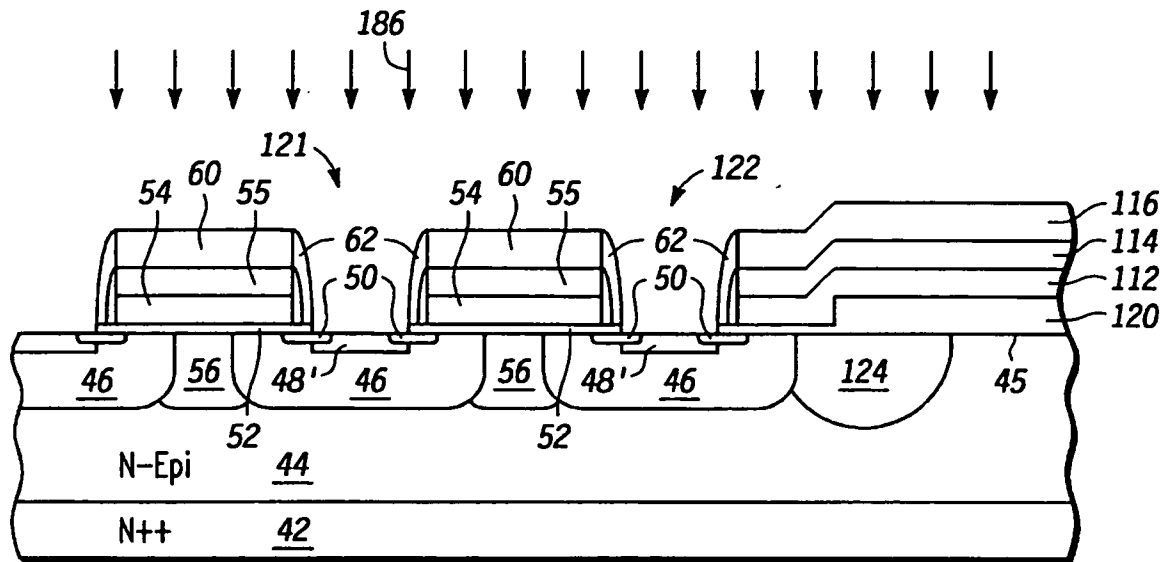


圖11

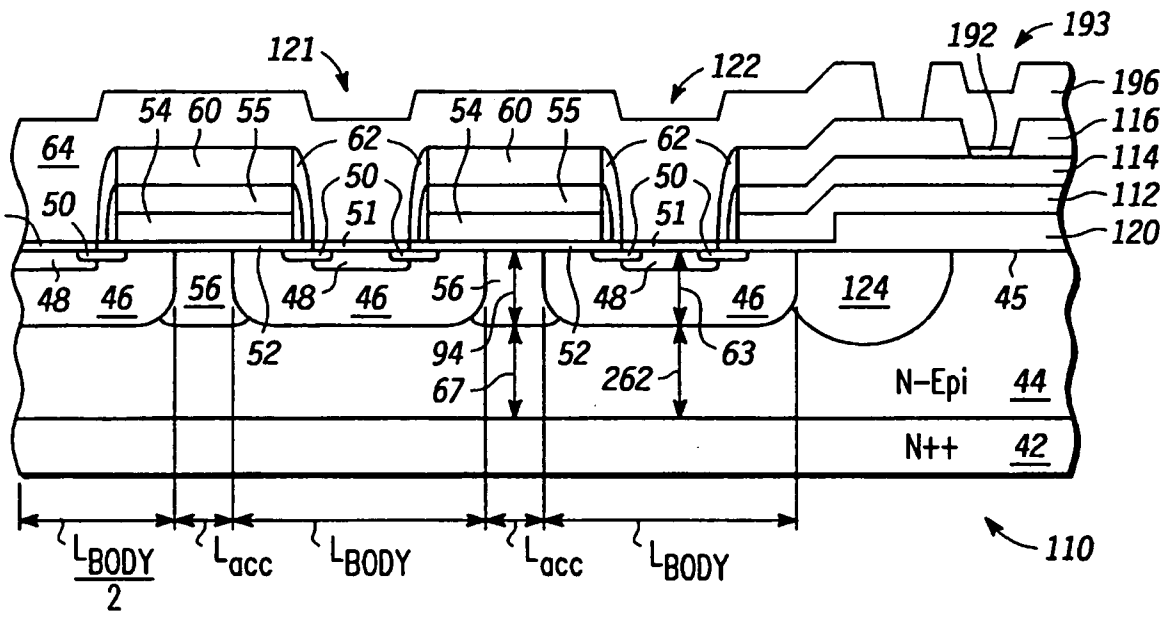


圖12