

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】令和6年9月13日(2024.9.13)

【国際公開番号】WO2023/073765
 【出願番号】特願2023-555893(P2023-555893)

【国際特許分類】

H 1 0 B 12/00(2023.01)
 H 0 1 L 21/8234(2006.01)
 H 0 1 L 21/336(2006.01)

10

【F I】

H 1 0 B 12/00
 H 0 1 L 27/088 E
 H 0 1 L 29/78 3 0 1 H

【手続補正書】

【提出日】令和4年3月24日(2022.3.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のゲート導体層と、第2のゲート導体層と、第1の不純物層と、第2の不純物層に印加する電圧を制御して、半導体柱の内部に、インパクトイオン化現象により、またはゲート誘起ドレインリーク電流により形成した前記半導体柱の多数キャリアである正孔群又は電子群を保持するデータ保持動作と、前記第1のゲート導体層と、前記第2のゲート導体層と、前記第1の不純物層と、前記第2の不純物層に印加する電圧を制御して、前記半導体柱の内部から前記半導体柱の多数キャリアである前記正孔群又は前記電子群を除去するデータ消去動作とを行う半導体メモリ装置の製造方法であって、

30

基板上に垂直方向に下から第1の不純物層と、第1の絶縁層と、第1の材料層と、第2の絶縁層と、第2の材料層と、第3の材料層と、を積層する工程と、

底部が前記第1の不純物層表面または内部にあり、且つ前記第1の絶縁層と、前記第1の材料層と、前記第2の絶縁層と、前記第2の材料層と、前記第3の材料層と、を貫通した第1の空孔を形成する工程と、

前記第1の空孔を埋めて半導体柱を形成する工程と、

前記第1の材料層を除去して第2の空孔と、前記第2の材料層を除去して第3の空孔を形成する工程と、

前記第2の空孔内の露出している前記半導体柱の表層を酸化して第1のゲート絶縁層を形成するとともに、前記第3の空孔内の露出している前記半導体柱の表層を酸化して第2のゲート絶縁層を形成する工程と、

40

前記第2の空孔を埋め、且つ前記第1のゲート絶縁層を覆い、且つ平面視において第1の方向に伸延した前記第1のゲート導体層を形成するとともに、前記第3の空孔を埋め、且つ前記第2のゲート絶縁層を覆い、且つ平面視において、前記第1の方向に伸延した前記第2のゲート導体層を形成する工程と、

前記半導体柱の頂部に繋がった前記第2の不純物層を形成する工程と、を有し、

前記第1の不純物層がソース線に繋がり、前記第1のゲート導体層がプレート線に繋がり、前記第2のゲート導体層がワード線に繋がり、前記第2の不純物層がビット線に繋がり、且つ前記ビット線の配線導体層が、平面視において、前記第1の方向と直交した方向

50

に伸延して形成される、

ことを特徴とする半導体メモリ装置の製造方法。

【請求項 2】

前記第 3 の材料層の一部を除去して、前記半導体柱の頂部を露出する工程と、

露出した前記半導体柱の頂部を覆って第 3 の不純物層を形成する工程と、

を有し、前記第 3 の不純物層が前記第 2 の不純物層となることを特徴とする請求項 1 に記載の半導体メモリ装置の製造方法。

【請求項 3】

前記半導体柱の頂部に第 4 の不純物層を形成する工程を有し、

前記第 3 の不純物層と前記第 4 の不純物層とにより、前記第 2 の不純物層を形成する、

ことを特徴とする請求項 3 に記載の半導体メモリ装置の製造方法。

10

【請求項 4】

前記第 1 のゲート絶縁層と、前記第 2 のゲート絶縁層と、を形成した後、前記前記第 2 の空孔と、前記第 3 の空孔の内壁に前記第 1 のゲート絶縁層と、前記第 2 のゲート絶縁層を覆って、第 3 のゲート絶縁層を形成する、

ことを特徴とする請求項 1 に記載の半導体メモリ装置の製造方法。

【請求項 5】

前記第 3 の材料層が、少なくとも 1 層の絶縁層を有する、

ことを特徴とする請求項 1 に記載の半導体メモリ装置の製造方法。

【請求項 6】

平面視において、前記半導体柱が 2 次元状にあるブロック領域の最外場所にダミー半導体柱を形成する工程と、

前記第 1 の材料層を除去して前記第 2 の空孔と、前記第 2 の材料層を除去して前記第 3 の空孔を形成する工程前に、

平面視において、前記ブロック領域の外側にはみ出した前記第 1 の絶縁層と、前記第 1 の材料層と、前記第 2 の絶縁層と、前記第 2 の材料層と、前記第 3 の絶縁層と、前記第 3 の材料層と、をエッチングして除去する工程と、

を有することを特徴とする請求項 1 に記載の半導体メモリ装置の製造方法。

20

30

40

50