

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 12 月 28 日 (28.12.2017)



(10) 国际公布号
WO 2017/219422 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01) **G02F 1/1368** (2006.01)
H01L 21/336 (2006.01)

(21) 国际申请号: PCT/CN2016/090589

(22) 国际申请日: 2016 年 7 月 20 日 (20.07.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610452291.7 2016 年 6 月 21 日 (21.06.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 吕晓文 (LV, Xiaowen); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,

(54) Title: THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR, AND LIQUID CRYSTAL DISPLAY PANEL

(54) 发明名称: 薄膜晶体管及其制造方法、液晶显示面板

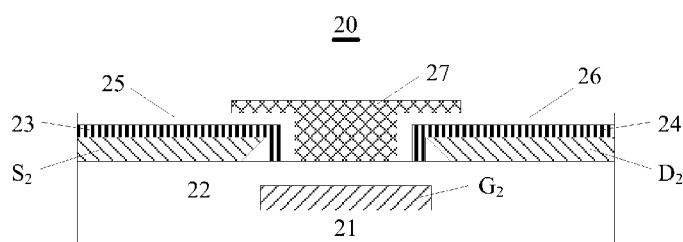


图 2

(57) Abstract: Provided are a thin film transistor (TFT) and a manufacturing method therefor, and a liquid crystal display panel. By providing transition patterns (23, 24) between doping patterns (25, 26) and source patterns (S₂) as well as drain patterns (D₂) and enabling the transition patterns (23, 24) to cover side walls of the source patterns (S₂) and the drain patterns (D₂), respectively, direct contact between active patterns (27) and the side walls of the source patterns (S₂) as well as the drain patterns (D₂) can be prevented, thereby reducing a leakage current of a TFT. In addition, two sides, adjacent to the active patterns (27), of the transition patterns (23, 24) are covered by the doping patterns (25, 26), so that the contact impedance between the active patterns (27) and the source patterns (S₂) as well as the drain patterns (D₂) can be reduced, thereby avoiding the problem of insufficient TFT charging.

(57) 摘要: 提供了一种薄膜晶体管及其制造方法、液晶显示面板, 通过在掺杂图案 (25, 26) 与源极图案 (S₂) 和漏极图案 (D₂) 之间设置过渡图案 (23, 24), 且过渡图案 (23, 24) 分别包覆源极图案 (S₂) 和漏极图案 (D₂) 的侧壁, 隔离有源图案 (27) 与源极图案 (S₂) 和漏极图案 (D₂) 的侧壁的直接接触, 从而能够降低 TFT 的漏电流; 另外, 过渡图案 (23, 24) 邻近于有源图案 (27) 的两侧被掺杂图案 (25, 26) 覆盖, 能够降低有源图案 (27) 与源极图案 (S₂) 和漏极图案 (D₂) 的接触阻抗, 避免 TFT 充电不足的问题。

WO 2017/219422 A1

TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

薄膜晶体管及其制造方法、液晶显示面板

【技术领域】

本发明涉及液晶显示技术领域，具体涉及一种薄膜晶体管及其制造方法以及具有该薄膜晶体管的液晶显示面板。

【背景技术】

在采用非晶硅(a-Si)形成有源图案的 TFT (Thin Film Transistor, 薄膜晶体管) 设计中，非晶硅作为一种对光照十分敏感的材料，容易受到背光照而影响 TFT 的电学稳定性。为了解决该问题，当前的 TFT 设计通常采用 Conlanar (共平面) 结构，如图 1 所示，TFT 10 的有源图案 11 的一部分设置于栅极图案 G_1 上、另一部分分别设置于源极图案 S_1 和漏极图案 D_1 上，利用金属材质的栅极图案 G_1 、源极图案 S_1 和漏极图案 D_1 遮挡背光，从而避免有源图案 11 中的非晶硅受到光照。

对于上述结构，在 TFT 10 通电时，有源图案 11 中会形成空穴层 (Hole Current, 又称空穴电流层)，由于有源图案 11 与源极图案 S_1 和漏极图案 D_1 的侧壁直接接触，便于空穴电流的传导，因此会导致 TFT 10 的漏电流 (I_{off}) 较大。另外，在蚀刻形成源极图案 S_1 和漏极图案 D_1 时，源极图案 S_1 和漏极图案 D_1 的邻近于有源图案 11 的侧壁会发生金属 Under Cut (倒切) 现象，形成倒切角，从而导致有源图案 11 与源极图案 S_1 和漏极图案 D_1 的接触阻抗较高，容易导致 TFT 10 充电不足。

【发明内容】

有鉴于此，本发明提供一种薄膜晶体管及其制造方法、液晶显示面板，能够降低 TFT 的漏电流，降低有源图案与源极图案和漏极图案的接触阻抗，避免 TFT 充电不足的问题。

本发明提供一种薄膜晶体管，包括基板、间隔设置于基板上的源极图案和漏极图案、分别覆盖源极图案和漏极图案的第一掺杂图案和第二掺杂图案以及分别与第一掺杂图案和第二掺杂图案电性接触的有源图案，其中在源极图案与第一掺杂图案之间以及漏极图案与第二掺杂图案之间分别

设置有第一过渡图案和第二过渡图案，且第一过渡图案和第二过渡图案分别包覆源极图案和漏极图案的侧壁，进而隔离源极图案和漏极图案的侧壁与有源图案的直接接触。

其中，第一过渡图案和第二过渡图案为金属或金属氧化物。

其中，第一过渡图案和第二过渡图案的厚度为 100-500 埃。

其中，薄膜晶体管进一步包括栅极图案和栅极绝缘层，栅极图案设置于源极图案和漏极图案与基板之间且对应于有源图案设置，栅极绝缘层用于电性隔离栅极图案与源极图案和漏极图案；或者栅极图案对应设置于有源图案的上方，栅极绝缘层用于电性隔离栅极图案与有源图案。

本发明提供一种液晶显示面板，包括薄膜晶体管，所述薄膜晶体管包括基板、间隔设置于基板上的源极图案和漏极图案、分别覆盖源极图案和漏极图案的第一掺杂图案和第二掺杂图案以及分别与第一掺杂图案和第二掺杂图案电性接触的有源图案，其中在源极图案与第一掺杂图案之间以及漏极图案与第二掺杂图案之间分别设置有第一过渡图案和第二过渡图案，且第一过渡图案和第二过渡图案分别包覆源极图案和漏极图案的侧壁，进而隔离源极图案和漏极图案的侧壁与有源图案的直接接触。

其中，第一过渡图案和第二过渡图案为金属或金属氧化物。

其中，第一过渡图案和第二过渡图案的厚度为 100-500 埃。

其中，薄膜晶体管进一步包括栅极图案和栅极绝缘层，栅极图案设置于源极图案和漏极图案与基板之间且对应于有源图案设置，栅极绝缘层用于电性隔离栅极图案与源极图案和漏极图案；或者栅极图案对应设置于有源图案的上方，栅极绝缘层用于电性隔离栅极图案与有源图案。

本发明提供一种薄膜晶体管的制造方法，包括：提供一基板；在基板上形成源漏电极层并进行图案化处理，以形成间隔设置的源极图案和漏极图案；在基板上依次形成过渡层和掺杂层并进行图案化处理，以形成覆盖源极图案的第一过渡图案和第一掺杂图案以及覆盖漏极图案的第二过渡图案和第二掺杂图案，第一过渡图案和第二过渡图案分别包覆源极图案和漏极图案的侧壁；在基板上形成有源层并进行图案化处理，以形成分别与第一掺杂图案和第二掺杂图案电性接触的有源图案。

其中，所述在基板上依次形成过渡层和掺杂层并进行图案化处理的步

骤包括：利用同一光罩对过渡层和掺杂层进行图案化处理。

其中，所述利用同一光罩对过渡层和掺杂层进行图案化处理的步骤包括：利用同一光罩依次对掺杂层和过渡层进行干蚀刻，或者利用同一光罩先对掺杂层进行干蚀刻，再对过渡层进行湿蚀刻。

其中，所述在基板上依次形成过渡层和掺杂层并进行图案化处理的步骤包括：在基板上依次形成厚度为 100-500 埃的过渡层和厚度为 300-500 埃的掺杂层。

本发明实施例的薄膜晶体管及其制造方法、液晶显示面板，通过在掺杂图案与源极图案和漏极图案之间设置过渡图案，且该过渡图案分别包覆源极图案和漏极图案的侧壁，从而能够隔离有源图案与源极图案和漏极图案的侧壁的直接接触，降低 TFT 的漏电流；另外，该过渡图案邻近于有源图案的两侧被掺杂图案覆盖，能够降低有源图案与源极图案和漏极图案的接触阻抗，避免 TFT 充电不足的问题。

【附图说明】

图 1 是现有技术一实施例的薄膜晶体管的结构剖视图；

图 2 是本发明一实施例的薄膜晶体管的结构剖视图；

图 3 是本发明另一实施例的薄膜晶体管的结构剖视图；

图 4 是本发明的薄膜晶体管的制造方法一实施例的流程示意图；

图 5 是本发明一实施例的液晶显示面板的结构剖视图。

【具体实施方式】

下面将结合本发明实施例中的附图，对本发明所提供的示例性的实施例的技术方案进行清楚、完整地描述。

如图 2 所示，本发明一实施例的薄膜晶体管的结构剖视图，所述薄膜晶体管 20 为底栅结构，包括基板 21 以及设置于基板 21 上的栅极图案 G_2 和栅极绝缘层 22、源极图案 S_2 和漏极图案 D_2 、第一过渡图案 23 和第二过渡图案 24、第一掺杂图案 25 和第二掺杂图案 26、有源图案 27。其中，栅极图案 G_2 设置于源极图案 S_2 和漏极图案 D_2 与基板 21 之间且对应于有源图案 27 设置，具体对应位于有源图案 27 的下方；源极图案 S_2 和漏极图案 D_2

间隔设置于基板 21 上, 栅极绝缘层 22 用于隔离栅极图案 G_2 与源极图案 S_2 和漏极图案 D_2 的电性接触; 第一过渡图案 23 位于源极图案 S_2 与第一掺杂图案 25 之间, 第二过渡图案 24 位于漏极图案 D_2 与第二掺杂图案 26 之间, 从而使得第一掺杂图案 25 覆盖源极图案 S_2 、第二掺杂图案 26 覆盖漏极图案 D_2 。

其中, 有源图案 27 的材质为 a-Si, 作为薄膜晶体管 20 的半导体层; 第一掺杂图案 25 和第二掺杂图案 26 的材质为掺杂的 a-Si, 作为薄膜晶体管 20 的欧姆接触层。基于此, 当第一过渡图案 23 和第二过渡图案 24 为电学性能稳定的金属或金属氧化物, 例如 Mo (Molybdenum, 钼)、Ti (Titanium, 钛)、ITO (Indium tin oxide, 氧化铟锡) 时, 第一掺杂图案 25 可通过第一过渡图案 23 与源极图案 S_2 电性接触, 第二掺杂图案 26 可通过第二过渡图案 24 与漏极图案 D_2 电性接触。

与图 1 所示现有技术的薄膜晶体管 10 的不同之处在于, 在本发明实施例的薄膜晶体管 20 的结构中, 在源极图案 S_2 与第一掺杂图案 25 之间以及漏极图案 D_2 与第二掺杂图案 26 之间分别设置有第一过渡图案 23 和第二过渡图案 24, 并且第一过渡图案 23 包覆源极图案 S_2 的侧壁、第二过渡图案 24 包覆漏极图案 D_2 的侧壁, 从而能够隔离有源图案 27 与源极图案 S_2 和漏极图案 D_2 的侧壁的直接接触。进一步地, 由于第一掺杂图案 25 和第二掺杂图案 26 分别覆盖于第一过渡图案 23 和第二过渡图案 24 上, 因此能够抑制有源图案 27 中的空穴电流传递至源极图案 S_2 和漏极图案 D_2 , 从而降低薄膜晶体管 20 的漏电流。

另外, 即使刻蚀形成的第一过渡图案 23 和第二过渡图案 24 会在邻近于有源图案 11 的侧壁形成倒切角, 也会被第一掺杂图案 25 和第二掺杂图案 26 分别覆盖, 并且由于第一过渡图案 23 和第二过渡图案 24 分别与源极图案 S_2 和漏极图案 D_2 接触良好, 因此能够解决因倒切角导致的有源图案 27 与源极图案 S_2 和漏极图案 D_2 的接触阻抗较高的问题, 进而避免薄膜晶体管 20 充电不足的现象发生。

基于前述第一掺杂图案 25 和第二掺杂图案 26 的覆盖保护, 本发明实施例可以设置第一过渡图案 23 和第二过渡图案 24 的厚度较薄, 例如为 100-500 埃(Å), 第一掺杂图案 25 和第二掺杂图案 26 的厚度为 300-500 埃。

进一步地，本实施还可以设置第一掺杂图案 25 与第一过渡图案 23 的厚度之和以及第二掺杂图案 26 与第二过渡图案 24 的厚度之和均等于图 1 所示现有的掺杂图案 12 的厚度，使得本发明实施例的薄膜晶体管 20 的厚度不会增加，利于薄尺寸设计。

图 3 是本发明另一实施例的薄膜晶体管的结构剖视图，薄膜晶体管 30 为顶栅结构，包括基板 31 以及设置于基板 31 上的源极图案 S_3 和漏极图案 D_3 、第一过渡图案 33 和第二过渡图案 34、第一掺杂图案 35 和第二掺杂图案 36、有源图案 37、栅极绝缘层 32、栅极图案 G_3 。其中，各个掺杂图案和各个过渡图案的设置与图 2 所示实施例相同，此处不再赘述。不同的是，本实施例的栅极图案 G_3 对应位于有源图案 37 的上方，栅极绝缘层 32 用于电性隔离栅极图案 G_3 与有源图案 37；另外，为了避免背光照射到有源图案 37，本实施例在基板 31 和源漏电极层之间设置有遮光金属层 M 以及绝缘层 38，该绝缘层 38 用于隔离遮光金属层 M 与源极图案 S_2 和漏极图案 D_2 的电性接触。

在本实施例的结构设计中，在源极图案 S_3 与第一掺杂图案 35 之间以及漏极图案 D_3 与第二掺杂图案 36 之间分别设置有第一过渡图案 33 和第二过渡图案 34，并且第一过渡图案 33 包覆源极图案 S_3 的侧壁、第二过渡图案 34 包覆漏极图案 D_3 的侧壁，从而能够隔离有源图案 37 与源极图案 S_3 和漏极图案 D_3 的侧壁的直接接触。进一步地，由于第一掺杂图案 35 和第二掺杂图案 36 分别覆盖于第一过渡图案 33 和第二过渡图案 34 上，因此能够抑制有源图案 37 中的空穴电流传递至源极图案 S_3 和漏极图案 D_3 ，从而降低薄膜晶体管 30 的漏电流。

图 4 是本发明一实施例的薄膜晶体管的制造方法的流程示意图。如图 4 所示，本实施例的制造方法包括：

S41：提供一基板；

所述基板包括但不限于玻璃基板。

S42：在基板上形成源漏电极层并进行图案化处理，以形成间隔设置的源极图案和漏极图案；

本实施例可以采用化学气相沉积（Chemical vapor deposition, CVD）、磁控溅射（Sputter）等任意方式在基板上形成源漏电极层。

S43: 在基板上依次形成过渡层和掺杂层并进行图案化处理, 以形成覆盖源极图案的第一过渡图案和第一掺杂图案以及覆盖漏极图案的第二过渡图案和第二掺杂图案, 第一过渡图案和第二过渡图案分别包覆源极图案和漏极图案的侧壁;

可选地, 在基板上依次形成厚度为 100-500 埃的过渡层和厚度为 300-500 埃的掺杂层。进一步可选地, 利用同一光罩对过渡层和掺杂层进行图案化处理, 具体地, 可以利用同一光罩依次对掺杂层和过渡层进行干蚀刻, 或者利用同一光罩先对掺杂层进行干蚀刻, 再对过渡层进行湿蚀刻。

S44: 在基板上形成有源层并进行图案化处理, 以形成分别与第一掺杂图案和第二掺杂图案电性接触的有源图案。

本实施例进行上述图案化处理的方式包括但不限于刻蚀。

本发明还提供一实施例的液晶显示面板。如图 5 所示, 所述液晶显示面板 50 包括相对间隔设置的阵列基板 (Array Substrate, 又称 Thin Film Transistor Substrate, TFT 基板或薄膜晶体管基板) 51 和彩膜基板 (Color Filter, CF 基板或彩色滤光片基板) 52, 以及夹持于两者之间的液晶 (液晶分子) 53, 其中, 液晶 53 位于阵列基板 51 和彩膜基板 52 叠加组合成的液晶盒内。所述阵列基板 51 包括上述任一实施例的薄膜晶体管, 因此具有与其相同的有益效果。

应理解, 以上所述仅为本发明的实施例, 并非因此限制本发明的专利范围, 凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换, 例如各实施例之间技术特征的相互结合, 或直接或间接运用在其他相关的技术领域, 均同理包括在本发明的专利保护范围内。

权利要求书

1. 一种薄膜晶体管，其中，所述薄膜晶体管包括基板、间隔设置于所述基板上的源极图案和漏极图案、分别覆盖所述源极图案和所述漏极图案的第一掺杂图案和第二掺杂图案以及分别与所述第一掺杂图案和所述第二掺杂图案电性接触的有源图案，其中在所述源极图案与所述第一掺杂图案之间以及所述漏极图案与所述第二掺杂图案之间分别设置有第一过渡图案和第二过渡图案，所述第一过渡图案和所述第二过渡图案分别包覆所述源极图案和漏极图案的侧壁，进而隔离所述有源图案与所述源极图案和漏极图案的侧壁的直接接触。

2. 根据权利要求 1 所述的薄膜晶体管，其中，所述第一过渡图案和所述第二过渡图案为金属或金属氧化物。

3. 根据权利要求 1 所述的薄膜晶体管，其中，所述第一过渡图案和所述第二过渡图案的厚度为 100-500 埃。

4. 根据权利要求 1 所述的薄膜晶体管，其中，所述薄膜晶体管进一步包括栅极图案和栅极绝缘层，其中所述栅极图案设置于所述源极图案和漏极图案与所述基板之间且对应于所述有源图案设置，所述栅极绝缘层用于电性隔离所述栅极图案与所述源极图案和漏极图案；或者所述栅极图案对应设置于所述有源图案的上方，所述栅极绝缘层用于电性隔离所述栅极图案与所述有源图案。

5. 一种液晶显示面板，其中，所述液晶显示面板包括薄膜晶体管，所述薄膜晶体管包括基板、间隔设置于所述基板上的源极图案和漏极图案、分别覆盖所述源极图案和所述漏极图案的第一掺杂图案和第二掺杂图案以及分别与所述第一掺杂图案和所述第二掺杂图案电性接触的有源图案，其中在所述源极图案与所述第一掺杂图案之间以及所述漏极图案与所述第二掺杂图案之间分别设置有第一过渡图案和第二过渡图案，所述第一过渡图案和所述第二过渡图案分别包覆所述源极图案和漏极图案的侧壁，进而隔离所述有源图案与所述源极图案和漏极图案的侧壁的直接接触。

6. 根据权利要求 5 所述的液晶显示面板，其中，所述第一过渡图案和所述第二过渡图案为金属或金属氧化物。

7. 根据权利要求 5 所述的液晶显示面板, 其中, 所述第一过渡图案和所述第二过渡图案的厚度为 100-500 埃。

8. 根据权利要求 5 所述的液晶显示面板, 其中, 所述薄膜晶体管进一步包括栅极图案和栅极绝缘层, 其中所述栅极图案设置于所述源极图案和漏极图案与所述基板之间且对应于所述有源图案设置, 所述栅极绝缘层用于电性隔离所述栅极图案与所述源极图案和漏极图案; 或者所述栅极图案对应设置于所述有源图案的上方, 所述栅极绝缘层用于电性隔离所述栅极图案与所述有源图案。

9. 一种薄膜晶体管的制造方法, 其中, 所述制造方法包括:

提供一基板;

在所述基板上形成源漏电极层并进行图案化处理, 以形成间隔设置的源极图案和漏极图案;

在所述基板上依次形成过渡层和掺杂层并进行图案化处理, 以形成覆盖所述源极图案的第一过渡图案和第一掺杂图案以及覆盖所述漏极图案的第二过渡图案和第二掺杂图案, 且所述第一过渡图案和所述第二过渡图案分别包覆所述源极图案和漏极图案的侧壁;

在所述基板上形成有源层并进行图案化处理, 以形成分别与所述第一掺杂图案和所述第二掺杂图案电性接触的有源图案。

10. 根据权利要求 9 所述的制造方法, 其中, 所述在所述基板上依次形成过渡层和掺杂层并进行图案化处理的步骤包括:

利用同一光罩对所述过渡层和掺杂层进行图案化处理。

11. 根据权利要求 10 所述的制造方法, 其中, 所述利用同一光罩对所述过渡层和掺杂层进行图案化处理的步骤包括:

利用同一光罩依次对所述掺杂层和过渡层进行干蚀刻, 或者利用所述同一光罩先对所述掺杂层进行干蚀刻, 再对所述过渡层进行湿蚀刻。

12. 根据权利要求 10 所述的制造方法, 其中, 所述在所述基板上依次形成过渡层和掺杂层并进行图案化处理的步骤包括:

在所述基板上依次形成厚度为 100-500 埃的所述过渡层和厚度为 300-500 埃的掺杂层。

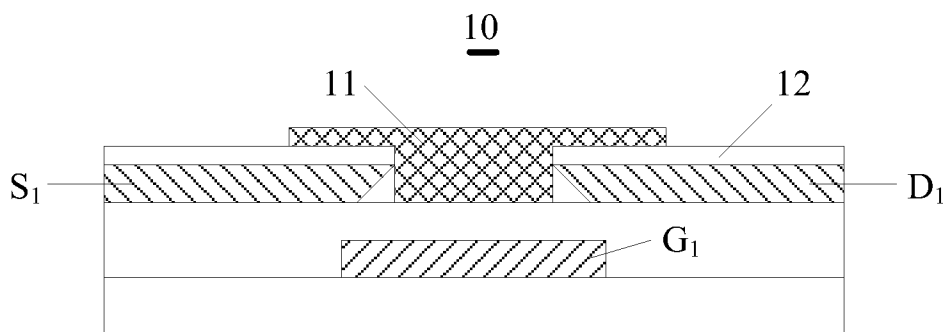


图 1

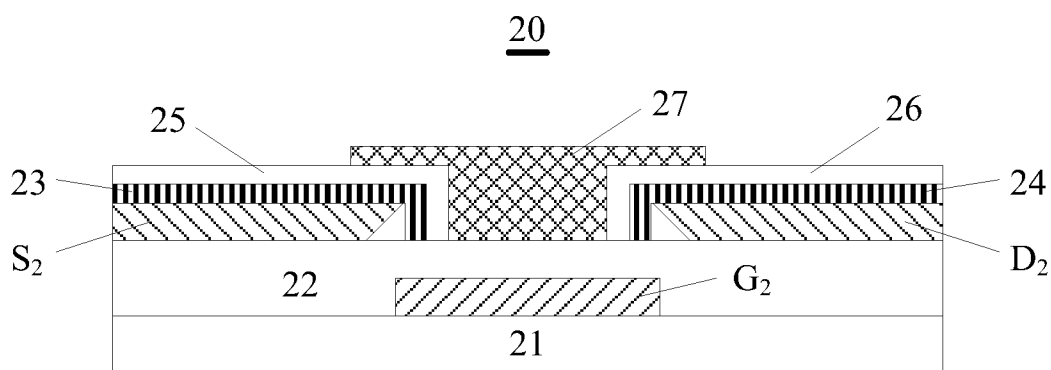


图 2

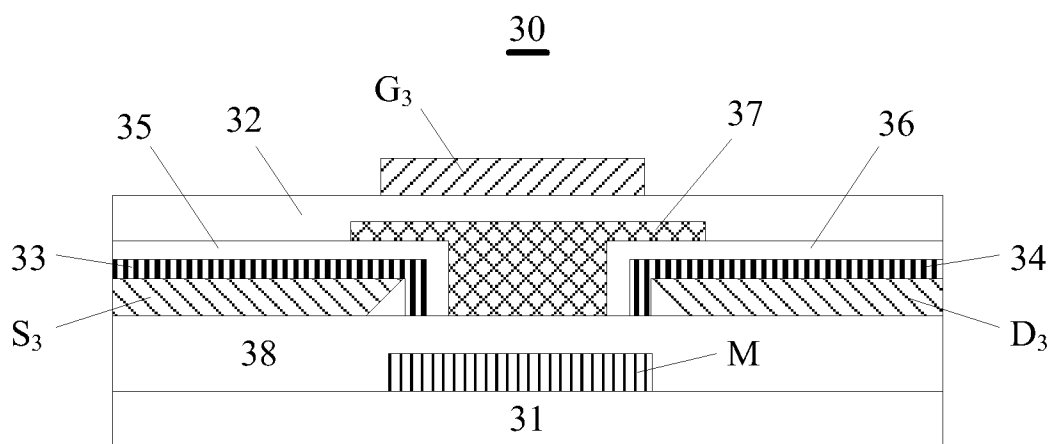


图 3

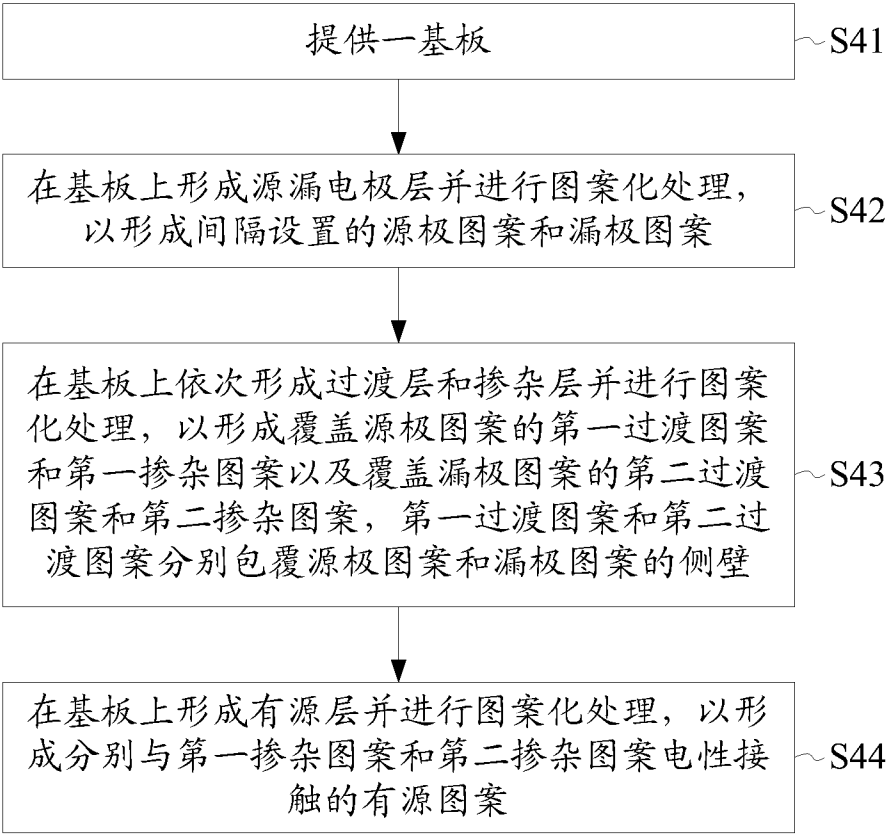


图 4

50

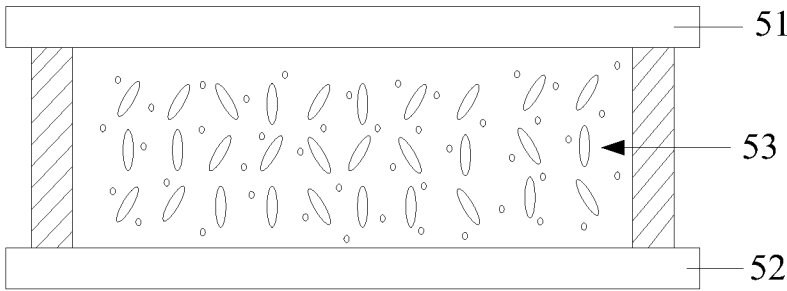


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/090589

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i; H01L 21/336 (2006.01) i; G02F 1/1368 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, CNKI, CNABS, CNTXT: transition, side wall, layer, TFT, thin film transistor, source, drain, active, dope, ohm contact, buffer, metal, side, display, pattern, region

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104183603 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 03 December 2014 (03.12.2014), description, paragraphs [0042]-[0121], and figures 1-10(b)	1-12
X	CN 101097375 A (LG. PHILIPS LCD CO., LTD.), 02 January 2008 (02.01.2008), description, page 11, the last paragraph to page 16, the last paragraph, and figures 9-12	1-12
X	CN 103354218 A (BOE TECHNOLOGY GROUP CO., LTD.), 16 October 2013 (16.10.2013), description, paragraphs [0052]-[0108], and figures 2-10	1-12
A	CN 102315254 A (LG DISPLAY CO., LTD.), 11 January 2012 (11.01.2012), the whole document	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 March 2017 (18.03.2017)	Date of mailing of the international search report 29 March 2017 (29.03.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer PENG, Lijuan Telephone No.: (86-10) 62089272

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/090589

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104183603 A	03 December 2014	CN 104183603 B	25 January 2017
CN 101097375 A	02 January 2008	JP 2008015525 A	24 January 2008
		JP 4908330 B2	04 April 2012
		US 2008001155 A1	03 January 2008
		KR 101235106 B1	20 February 2013
		US 8258022 B2	04 September 2012
		CN 100559250 C	11 November 2009
		US 7960735 B2	14 June 2011
		US 2011212581 A1	01 September 2011
		KR 20080002197 A	04 January 2008
CN 103354218 A	16 October 2013	CN 103354218 B	28 December 2016
		US 2015318311 A1	05 November 2015
		US 9324735 B2	26 April 2016
		WO 2014206035 A1	31 December 2014
CN 102315254 A	11 January 2012	CN 102315254 B	16 December 2015
		KR 20120004218 A	12 January 2012
		US 2012007086 A1	12 January 2012
		KR 101281463 B1	03 July 2013
		US 9236485 B2	12 January 2016

国际检索报告

国际申请号

PCT/CN2016/090589

A. 主题的分类

H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; G02F 1/1368(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L; G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

DWPI, CNKI, CNABS, CNTXT: 薄膜晶体管, 源, 漏, 有源, 掺杂, 欧姆接触, 过渡, 缓冲, 金属, 侧壁, 显示, 图案, 区, 层, TFT, thin film transistor, source, drain, active, dope, ohm contact, buffer, metal, side, display, pattern, region

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104183603 A (京东方科技集团股份有限公司 等) 2014年 12月 3日 (2014 - 12 - 03) 说明书第[0042]-[0121]段; 附图1-10(b)	1-12
X	CN 101097375 A (LG. 飞利浦LCD株式会社) 2008年 1月 2日 (2008 - 01 - 02) 说明书第11页最后一段至第16页最后一段; 附图9-12	1-12
X	CN 103354218 A (京东方科技集团股份有限公司) 2013年 10月 16日 (2013 - 10 - 16) 说明书第[0052]-[0108]段; 附图2-10	1-12
A	CN 102315254 A (乐金显示有限公司) 2012年 1月 11日 (2012 - 01 - 11) 全文	1-12

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 3月 18日

国际检索报告邮寄日期

2017年 3月 29日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

彭丽娟

电话号码 (86-10)62089272

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/090589

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104183603	A	2014年 12月 3日	CN	104183603	B	2017年 1月 25日
CN	101097375	A	2008年 1月 2日	JP	2008015525	A	2008年 1月 24日
				JP	4908330	B2	2012年 4月 4日
				US	2008001155	A1	2008年 1月 3日
				KR	101235106	B1	2013年 2月 20日
				US	8258022	B2	2012年 9月 4日
				CN	100559250	C	2009年 11月 11日
				US	7960735	B2	2011年 6月 14日
				US	2011212581	A1	2011年 9月 1日
				KR	20080002197	A	2008年 1月 4日
CN	103354218	A	2013年 10月 16日	CN	103354218	B	2016年 12月 28日
				US	2015318311	A1	2015年 11月 5日
				US	9324735	B2	2016年 4月 26日
				WO	2014206035	A1	2014年 12月 31日
CN	102315254	A	2012年 1月 11日	CN	102315254	B	2015年 12月 16日
				KR	20120004218	A	2012年 1月 12日
				US	2012007086	A1	2012年 1月 12日
				KR	101281463	B1	2013年 7月 3日
				US	9236485	B2	2016年 1月 12日

表 PCT/ISA/210 (同族专利附件) (2009年7月)