(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年5月27日(27.05.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/107454 A1

(51) 国際特許分類:
H01L 23/12 (2006.01)

(21) 国際出願番号： PCT/JP2021/035810

(22) 国際出願日： 2021年9月29日(29.09.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-192546 2020年11月19日(19.11.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 岡村 隆徳 (**OKAMURA Takanori**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

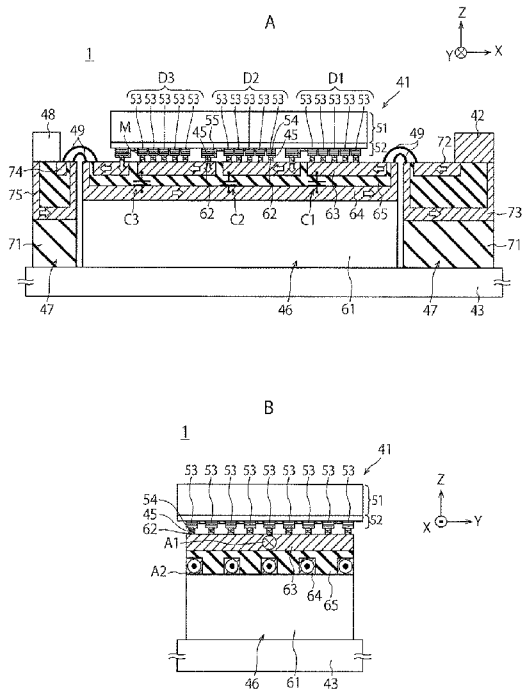
(74) 代理人: 中村 行孝, 外(**NAKAMURA Yukitaka** et al.); 〒1000005 東京都千代田区丸の内１丁目６番６号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置



(57) **Abstract:** [Problem] To provide a semiconductor device in which a parasitic capacitance between wirings can be reduced. [Solution] The semiconductor device according to the present disclosure is provided with: a first substrate; a lower wiring provided on the first substrate; a plurality of upper wirings provided on the lower wiring with an insulating film interposed therebetween; and a second substrate provided on the upper wirings with a plurality of elements interposed therebetween. The upper wirings include a first wiring and a second wiring that are adjacent to each other in a first direction. Of the elements, an element on the first wiring and an element on the second wiring are connected to each other in series. A first opening is provided in the lower wiring or is provided and interposed within the lower wiring in a second direction different from the first direction, or a second opening is provided in the upper wiring or is provided and interposed between the upper wirings in the second direction.

WO 2022/107454 A1

［続葉有］

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：［課題］配線間の寄生容量を容易に低減可能な半導体装置を提供する。［解決手段］本開示の半導体装置は、第１基板と、前記第１基板上に設けられた下部配線と、前記下部配線上に絶縁膜を介して設けられた複数の上部配線と、前記上部配線上に複数の素子を介して設けられた第２基板とを備え、前記上部配線は、第１方向に互いに隣接する第１配線と第２配線とを含み、前記第１配線上の前記素子と、前記第２配線上の前記素子は、互いに直列に接続されており、第１開口部が、前記下部配線内に設けられているか、または前記第１方向と異なる第２方向に前記下部配線間に挟まれるように設けられている、または、第２開口部が、前記上部配線内に設けられているか、または前記第２方向に前記上部配線間に挟まれるように設けられている。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 半導体レーザーの一種として、ＶＣＳＥＬ（Vertical Cavity Surface Emitting Laser）等の面発光レーザーが知られている。一般に、面発光レーザーを利用した発光装置では、基板の表面または裏面に複数の発光素子が２次元アレイ状に設けられる。

先行技術文献

特許文献

[0003] 特許文献1：特表２００４－５２６１９４号公報

特許文献2：特開２００３－０４５９８９号公報

発明の概要

発明が解決しようとする課題

[0004] 発光装置等の半導体装置は、基板上に下部配線、絶縁膜、および上部配線を順に備える場合がある。例えば、ある基板上に複数の発光素子を形成し、別の基板上に下部配線、絶縁膜、および上部配線を順に形成し、前者の基板を後者の基板上に搭載することで、発光装置を製造する場合がある。

[0005] このような半導体装置では、下部配線と上部配線との間の絶縁膜内に空洞を設けることで、下部配線と上部配線との間の寄生容量を低減することが可能である。しかしながら、絶縁膜内に空洞を設けることは難しい。よって、これらの配線間の寄生容量を容易に低減できれば望ましい。

[0006] そこで、本開示は、配線間の寄生容量を容易に低減可能な半導体装置を提供する。

課題を解決するための手段

[0007] 本開示の第１の側面の半導体装置は、第１基板と、前記第１基板上に設け

られた下部配線と、前記下部配線上に絶縁膜を介して設けられた複数の上部配線と、前記上部配線上に複数の素子を介して設けられた第２基板とを備え、前記上部配線は、第１方向に互いに隣接する第１および第２配線を含み、前記第１配線上の前記素子と、前記第２配線上の前記素子は、互いに直列に接続されており、第１開口部が、前記下部配線内に設けられているか、または前記第１方向と異なる第２方向に前記下部配線間に挟まれるように設けられている、または、第２開口部が、前記上部配線内に設けられているか、または前記第２方向に前記上部配線間に挟まれるように設けられている。これにより例えば、下部配線内または下部配線間に第１開口部を設けること、または、上部配線内または上部配線間に第２開口部を設けることで、配線間の寄生容量を容易に低減することが可能となる。

[0008] また、この第１の側面において、前記第１配線上の前記素子同士は、互いに並列に接続されており、前記第２配線上の前記素子同士は、互いに並列に接続されていてもよい。これにより例えば、第１配線と第２配線との間では素子を直列に接続しつつ、第１配線上および第２配線上では素子を並列に接続することが可能となる。

[0009] また、この第１の側面において、前記素子は、前記第２基板に設けられた発光素子でもよい。これにより例えば、発光装置における配線間の寄生容量を容易に低減することが可能となる。

[0010] また、この第１の側面において、前記発光素子から出射された光は、前記第２基板の下面から上面へと前記第２基板内を透過して、前記第２基板から出射されてもよい。これにより例えば、裏面出射型の発光装置における配線間の寄生容量を容易に低減することが可能となる。

[0011] また、この第１の側面において、前記下部配線は、前記第１方向に電流が流れるように使用され、前記上部配線は、前記第１方向の逆方向に電流が流れるように使用されてもよい。これにより例えば、上部配線の周りに生じる磁界と、下部配線の周りに生じる磁界とを、打ち消し合わせることが可能となる。

[0012] また、この第１の側面において、前記第１または第２開口部として、前記第１方向に延びる開口部が設けられていてもよい。これにより例えば、第１開口部を設けても下部配線に第１方向に電流を流しやすい構造や、第２開口部を設けても上部配線に第１方向の逆方向に電流を流しやすい構造を実現することが可能となる。

[0013] また、この第１の側面において、前記第１または第２開口部として、前記第１方向に延び、前記第２方向に互いに隣接する複数の開口部が設けられていてもよい。これにより例えば、第１開口部として複数の開口部を設けても下部配線に第１方向に電流を流しやすい構造や、第２開口部として複数の開口部を設けても上部配線に第１方向の逆方向に電流を流しやすい構造を実現することが可能となる。

[0014] また、この第１の側面において、前記下部配線または前記上部配線は、前記第１方向に延びる複数の第１部分と、前記第２方向に延びる複数の第２部分とを含み、前記複数の開口部の各々は、前記第２方向に互いに隣接する前記第１部分間に設けられていてもよい。これにより例えば、１本の下部配線内に複数の開口部を設けても第１方向に電流を流しやすい構造や、１本の上部配線内に複数の開口部を設けても第１方向の逆方向に電流を流しやすい構造を実現することが可能となる。

[0015] また、この第１の側面において、前記上部配線の前記第２方向の幅は、前記下部配線の前記第２方向の幅と同じでもよい。これにより例えば、上部配線の周りに生じる磁界と、下部配線の周りに生じる磁界とを、好適に打ち消し合わせることが可能となる。

[0016] また、この第１の側面において、前記上部配線の前記第２方向の幅は、前記下部配線の前記第２方向の幅より太くてもよい。これにより例えば、上部配線の第２方向の幅が、下部配線の第２方向の幅より細い場合に比べて好適な構造を実現することが可能となる。

[0017] また、この第１の側面において、前記上部配線の前記第２方向の幅は、前記下部配線の前記第２方向の幅の９０％～１１０％でもよい。これにより例

えば、これらの幅が同じ場合とほぼ同じ効果を得ることが可能となる。

[0018] また、この第１の側面において、前記第１開口部が、前記下部配線内に設けられているか、または前記第２方向に前記下部配線間に挟まれるように設けられており、かつ、前記第２開口部が、前記上部配線内に設けられているか、または前記第２方向に前記上部配線間に挟まれるように設けられていてもよい。これにより例えば、第１開口部と第２開口部の一方だけを設ける場合に比べて、配線の設計の自由度を高めることが可能となる。

[0019] また、この第１の側面において、前記第１開口部は、前記上部配線と上下方向に対向する位置に設けられており、前記第２開口部は、前記下部配線と上下方向に対向する位置に設けられていてもよい。これにより例えば、配線間の寄生容量をより低減することが可能となる。

[0020] また、この第１の側面において、前記第１開口部として、前記第１方向に延びる複数の開口部が設けられており、前記下部配線は、前記第１方向に延びる複数の第１部分と、前記第２方向に延びる複数の第２部分とを含み、前記複数の開口部の各々は、前記第２方向に互いに隣接する前記第１部分間に設けられていてもよい。これにより例えば、第１開口部として複数の開口部を設けても下部配線に第１方向に電流を流しやすい構造を実現することが可能となる。

[0021] また、この第１の側面において、前記第２開口部として、前記第１方向に延びる複数の開口部が設けられており、前記複数の開口部の各々は、前記第２方向に互いに隣接する前記上部配線間に設けられていてもよい。これにより例えば、第２開口部として複数の開口部を設けても上部配線に第１方向の逆方向に電流を流しやすい構造を実現することが可能となる。

[0022] また、この第１の側面において、前記第１または第２開口部の前記第２方向の幅は、前記上部配線の前記第２方向の幅の１０分の１以下でもよい。これにより例えば、配線間の寄生容量をより低減することが可能となる。

[0023] また、この第１の側面において、前記複数の第１部分は、前記第２方向の幅が互いに異なる第１部分を含んでいてもよい。これにより例えば、すべて

の第１部分の第２方向の幅が同じ場合に比べて、配線の設計の自由度を高めることが可能となる。

[0024] また、この第１の側面において、前記第１または第２開口部として、２次元アレイ状に配置された複数の開口部が設けられていてもよい。これにより例えば、配線間の寄生容量を多数の開口部により低減することが可能となる。

[0025] また、この第１の側面において、前記第１または第２開口部として、前記上部配線内または前記下部配線内に開口部が１つだけ設けられているか、または、前記第２方向に前記上部配線間または前記下部配線間に挟まれるように開口部が１つだけ設けられていてもよい。これにより例えば、配線間の寄生容量を１つの開口部により低減することが可能となる。

[0026] また、この第１の側面において、前記第１基板は、シリコン（Ｓｉ）を含む半導体基板でもよく、前記第２基板は、ガリウム（Ｇａ）およびヒ素（Ａｓ）を含む半導体基板でもよい。これにより例えば、高性能なＧａＡｓ基板に素子を設けつつ、安価なＳｉ基板に回路を設けることが可能となる。

図面の簡単な説明

[0027] [図1]第１実施形態の測距装置の構成を示すブロック図である。

[図2]第１実施形態の発光装置１の構造の例を示す断面図である。

[図3]第１実施形態の発光装置１の構造を示す断面図である。

[図4]第１実施形態の発光装置１の構造を示す別の断面図である。

[図5]第１比較例の発光装置１の構造を示す断面図である。

[図6]第１実施形態と第１比較例との違いを説明するための回路図である。

[図7]第１実施形態の回路基板４６の構造を示す断面図および平面図である。

[図8]第２比較例の回路基板４６の構造を示す断面図および平面図である。

[図9]第３比較例の回路基板４６の構造を示す断面図および平面図である。

[図10]第３比較例の問題を説明するための回路図である。

[図11]第２実施形態の回路基板４６の構造を示す断面図および平面図である。

[図12]第２実施形態の変形例の信号配線６３とＧＮＤ配線６４の構造を示す平面図である。

[図13]第３実施形態の回路基板４６の構造を示す断面図および平面図である。

[図14]第４実施形態の回路基板４６の構造を示す断面図および平面図である。

[図15]第５実施形態の回路基板４６の構造を示す断面図および平面図である。

[図16]第６～第８実施形態のＧＮＤ配線６４の形状を示す平面図である。

発明を実施するための形態

[0028] 以下、本開示の実施形態を、図面を参照して説明する。

[0029] （第１実施形態）

図１は、第１実施形態の測距装置の構成を示すブロック図である。

[0030] 図１の測距装置は、発光装置１と、撮像装置２と、制御装置３とを備えている。図１の測距装置は、発光装置１から発光された光を被写体に照射する。撮像装置２は、被写体で反射した光を受光して被写体を撮像する。制御装置３は、撮像装置２から出力された画像信号を用いて被写体までの距離を測定（算出）する。発光装置１は、撮像装置２が被写体を撮像するための光源として機能する。

[0031] 発光装置１は、発光部１１と、駆動回路１２と、電源回路１３と、発光側光学系１４とを備えている。撮像装置２は、イメージセンサ２１と、画像処理部２２と、撮像側光学系２３とを備えている。制御装置３は、測距部３１を備えている。

[0032] 発光部１１は、被写体に照射するためのレーザー光を発光する。本実施形態の発光部１１は、後述するように、２次元アレイ状に配置された複数の発光素子を備え、各発光素子は、ＶＣＳＥＬ（Vertical Cavity Surface Emitting Laser）構造を有している。これらの発光素子から出射された光が、被写体に照射される。本実施形態の発光部１１は、図１に示すように、ＬＤ（Las

er Diode）チップ４１と呼ばれるチップ内に設けられている。

[0033] 駆動回路１２は、発光部１１を駆動する電気回路である。電源回路１３は、駆動回路１２の電源電圧を生成する電気回路である。図１の測距装置では例えば、電源回路１３が、測距装置内のバッテリから供給される入力電圧から電源電圧を生成し、駆動回路１２が、この電源電圧を用いて発光部１１を駆動する。本実施形態の駆動回路１２は、図１に示すように、ＬＤＤ（Laser Diode Driver）基板４２と呼ばれる基板内に設けられている。

[0034] 発光側光学系１４は、種々の光学素子を備えており、これらの光学素子を介して発光部１１からの光を被写体に照射する。同様に、撮像側光学系２３は、種々の光学素子を備えており、これらの光学素子を介して被写体からの光を受光する。

[0035] イメージセンサ２１は、被写体からの光を撮像側光学系２３を介して受光し、この光を光電変換により電気信号に変換する。イメージセンサ２１は例えば、ＣＣＤ（Charge Coupled Device）センサまたはＣＭＯＳ（Complementary Metal Oxide Semiconductor）センサである。本実施形態のイメージセンサ２１は、上記の電子信号をＡ／Ｄ（Analog to Digital）変換によりアナログ信号からデジタル信号に変換し、デジタル信号としての画像信号を画像処理部２２に出力する。また、本実施形態のイメージセンサ２１は、フレーム同期信号を駆動回路１２に出力し、駆動回路１２は、フレーム同期信号に基づいて、発光部１１をイメージセンサ２１におけるフレーム周期に応じたタイミングで発光させる。

[0036] 画像処理部２２は、イメージセンサ２１から出力された画像信号に対し種々の画像処理を施す。画像処理部２２は例えば、ＤＳＰ（Digital Signal Processor）などの画像処理プロセッサを備えている。

[0037] 制御装置３は、図１の測距装置の種々の動作を制御し、例えば、発光装置１の発光動作や、撮像装置２の撮像動作を制御する。制御装置３は例えば、ＣＰＵ（Central Processing Unit）、ＲＯＭ（Read Only Memory）、ＲＡＭ（Random Access Memory）などを備えている。

[0038] 測距部３１は、イメージセンサ２１から出力されて、画像処理部２２により画像処理を施された画像信号に基づいて、被写体までの距離を測定する。測距部３１は、測距方式として例えば、ＳＴＬ（Structured Light）方式またはＴｏＦ（Time of Flight）方式を採用している。測距部３１はさらに、上記の画像信号に基づいて、測距装置と被写体との距離を被写体の部分ごとに測定して、被写体の３次元形状を特定してもよい。

[0039] 図２は、第１実施形態の発光装置１の構造の例を示す断面図である。

[0040] 図２のＡは、本実施形態の発光装置１の構造の第１の例を示している。この例の発光装置１は、上述のＬＤチップ４１およびＬＤＤ基板４２と、実装基板４３と、配線４４とを備えている。

[0041] 図２のＡは、互いに垂直なＸ軸、Ｙ軸、およびＺ軸を示している。Ｘ方向とＹ方向は横方向（水平方向）に相当し、Ｚ方向は縦方向（垂直方向）に相当する。また、＋Ｚ方向は上方向に相当し、－Ｚ方向は下方向に相当する。－Ｚ方向は、厳密に重力方向に一致していてもよいし、厳密には重力方向に一致していなくてもよい。Ｘ方向は本開示の第１方向の例であり、Ｙ方向は本開示の第２方向の例である。

[0042] 図２のＡでは、ＬＤチップ４１から＋Ｚ方向に光が出射されている。ＬＤチップ４１とＬＤＤ基板４２は、共に実装基板４３上に配置されている。実装基板４３は、例えばプリント基板である。本実施形態の実装基板４３には、図１のイメージセンサ２１や画像処理部２２も配置されている。

[0043] 配線４４は、実装基板４３の表面、裏面、内部などに設けられており、ＬＤチップ４１とＬＤＤ基板４２とを電気的に接続している。配線４４は例えば、実装基板４３の表面や裏面に設けられたプリント配線や、実装基板４３を貫通するビア配線である。

[0044] 図２のＢは、本実施形態の発光装置１の構造の第２の例を示している。この例の発光装置１は、第１の例の発光装置１と同じ構成要素を備えているが、配線４４の代わりにバンプ４５を備えている。

[0045] 図２のＢでは、実装基板４３上にＬＤＤ基板４２が配置されており、ＬＤ

Ｄ基板４２上にＬＤチップ４１が配置されている。このようにＬＤチップ４１をＬＤＤ基板４２上に配置することにより、第１の例の場合に比べて、実装基板４３のサイズを小型化することが可能となる。図２のＢでは、ＬＤチップ４１が、ＬＤＤ基板４２上にバンプ４５を介して配置されており、バンプ４５によりＬＤＤ基板４２と電気的に接続されている。バンプ４５は、例えば金（Ａｕ）で形成されている。

[0046] 図２のＣは、本実施形態の発光装置１の構造の第３の例を示している。この例の発光装置１は、第２の例の発光装置１と同じ構成要素に加えて、回路基板４６と、絶縁基板４７と、キャパシタ４８、ボンディングワイヤ４９とを備えている。

[0047] 図２のＣでは、実装基板４３上に回路基板４６と絶縁基板４７とが配置され、回路基板４６上にＬＤチップ４１が配置され、絶縁基板４７上にＬＤＤ基板４２とキャパシタ４８とが配置されている。また、ＬＤチップ４１が、回路基板４６上にバンプ４５を介して配置されており、バンプ４５により回路基板４６内の配線（不図示）と電気的に接続されている。さらに、ＬＤＤ基板４２とキャパシタ４８が、絶縁基板４７内の配線（不図示）やボンディングワイヤ４９を介して回路基板４６内の配線と電気的に接続されている。回路基板４６内の配線や絶縁基板４７内の配線の詳細については、後述する。

[0048] 以下、本実施形態の発光装置１について、図２のＣに示す第３の例の構造を有しているとして説明する。ただし、以下の説明は、第３の例に特有の構造についての説明を除き、第１または第２の例の構造を有する発光装置１にも適用可能である。

[0049] 図３は、第１実施形態の発光装置１の構造を示す断面図である。図３のＡは、発光装置１のＸＺ断面を示しており、図３のＢは、発光装置１のＹＺ断面を示している。図４は、第１実施形態の発光装置１の構造を示す別の断面図であり、具体的には、図３のＡのＸＹ断面を拡大して示している。発光装置１は、本開示の半導体装置の例である。

[0050] 以下、本実施形態の発光装置１の構造を、図３のＡを参照して説明する。この説明の中で、図３のＢおよび図４も適宜参照する。

[0051] 図３のＡに示すように、ＬＤチップ４１は、基板５１と、積層膜５２と、複数の発光素子５３と、複数のアノード電極５４と、複数のカソード電極５５とを備えている。回路基板４６は、基板６１と、複数の接続パッド６２と、複数の信号配線６３と、ＧＮＤ（グラウンド）配線６４と、絶縁膜６５とを備えている。絶縁基板４７は、セラミック基板７１と、配線７２と、配線７３と、配線７４と、配線７５とを備えている。基板６１と基板５１はそれぞれ、本開示の第１基板と第２基板の例である。ＧＮＤ配線６４と信号配線６３はそれぞれ、本開示の下部配線と上部配線の例である。発光素子５３は、本開示の素子の例である。

[0052] 基板５１は、例えばＧａＡｓ（ガリウムヒ素）基板などの半導体基板である。図３のＡでは、基板５１の表面が－Ｚ方向を向いており、基板５１の下面となっており、基板５１の裏面が＋Ｚ方向を向いており、基板５１の上面となっている。

[0053] 積層膜５２は、基板５１の表面（下面）に積層された複数の層を含んでいる。これらの層の例は、ｎ型半導体層、活性層、ｐ型半導体層、および光反射層や、光の射出窓が設けられた絶縁層などである。積層膜５２は、－Ｚ方向に突出した複数のメサ部Ｍを含んでいる。これらのメサ部Ｍの一部が、複数の発光素子５３となっている。

[0054] 発光素子５３は、積層膜５２の一部として、基板５２の表面に設けられている。本実施形態の発光素子５３は、ＶＣＳＥＬ構造を有しており、光を＋Ｚ方向に出射する。発光素子５３から出射された光は、図４に示すように、基板５１の表面から裏面（上面）へと基板５１内を透過して、基板５１から出射される。このように、本実施形態のＬＤチップ４１は、裏面出射型のＶＣＳＥＬチップとなっている。図３のＡは、発光素子群Ｄ１に含まれる複数の発光素子５３と、発光素子群Ｄ２に含まれる複数の発光素子５３と、発光素子群Ｄ３に含まれる複数の発光素子５３とを示している。これらの発光素

子群Ｄ１～Ｄ３の詳細については、後述する。

[0055] アノード電極５４は、発光素子５３の下面に形成されている。カソード電極５５は、発光素子５３以外のメサ部Ｍの下面に形成されており、メサ部Ｍの下面から、メサ部Ｍ間にある積層膜５２の下面まで延びている。各発光素子５３は、対応するアノード電極５４と対応するカソード電極５５との間に電流が流れることで光を出射する。

[0056] 基板６１は、例えばＳｉ（シリコン）基板などの半導体基板である。図３のＡでは、基板６１の表面が＋Ｚ方向を向いており、基板５１の上面となっており、基板６１の裏面が－Ｚ方向を向いており、基板５１の下面となっている。本実施形態によれば、高性能なＧａＡｓ基板（基板５１）に発光素子５３を設けつつ、安価なＳｉ基板（基板６１）に回路を設けることが可能となる。

[0057] ＧＮＤ配線６４、絶縁膜６５、信号配線６３、および接続パッド６２は、基板６１上に順に形成されている。ＧＮＤ配線６４は、基板６１上に形成されており、ＧＮＤ電圧を供給するために使用される。信号配線６３は、ＧＮＤ配線６４上に絶縁膜６５を介して形成されており、信号電圧を供給するために使用される。ＧＮＤ配線６４と信号配線６３は、絶縁膜６５により互いに電気的に絶縁されている。ＧＮＤ配線６４と信号配線６３は、例えばＡｕ（金）配線である。絶縁膜６５は、例えば酸化シリコン膜である。接続パッド６２は、信号配線６３上に形成されており、信号配線６３と電気的に接続されている。

[0058] 図３のＡは、４本の信号配線６３のＸＺ断面を示しており、図３のＢは、これらの信号配線６３のうちの１本の信号配線６３のＹＺ断面を示している。図３のＡに示すように、これらの信号配線６３は、Ｘ方向に互いに隣接している。図３のＡの信号配線６３内の矢印や、図３のＢの符号Ａ１は、信号配線６３内を流れる電流の向きを示している。本実施形態の信号配線６３は、－Ｘ方向に電流が流れるように使用される。なお、信号配線６３の形状の詳細については、後述する（図７のＢを参照）。

[0059] また、図３のＡは、１本のＧＮＤ配線６４のＸＺ断面を示しており、図３のＢは、この信号配線６４の５つの部分のＹＺ断面を示している。図３のＢに示すように、これらの部分は、Ｙ方向に互いに隣接している。図３のＡのＧＮＤ配線６４内の矢印や、図３のＢの符号Ａ２は、ＧＮＤ配線６４内を流れる電流の向きを示している。本実施形態のＧＮＤ配線６４は、＋Ｘ方向に電流が流れるように使用される。なお、ＧＮＤ配線６４の形状の詳細については、後述する（図７のＣを参照）。

[0060] 本実施形態では、信号配線６３内を流れる電流の向きと、ＧＮＤ配線６４内を流れる電流の向きが、逆向きとなっている。これにより、信号配線６３の周りに生じる磁界と、ＧＮＤ配線６４の周りに生じる磁界とを、打ち消し合わせることが可能となる。

[0061] 上述のように、本実施形態のＬＤチップ４１は、回路基板４６上にバンプ４５を介して搭載されている。具体的には、基板６１上に信号配線６３が形成され、信号配線６３上に接続パッド６２が形成されており、さらに、接続パッド６２上にバンプ４５を介してメサ部Mが配置され、メサ部M上に基板５１が配置されている。各メサ部Mは、アノード電極５４またはカソード電極５５を介してバンプ４５上に配置されている。よって、発光素子５３は、アノード電極５４、バンプ４５、および接続パッド６２を介して信号配線６３と電気的に接続されている（図４を参照）。

[0062] 一方、絶縁基板４７は、セラミック基板７１上に配線７２～７５を備えている。ＬＤＤ基板４２は、配線７２、７３上に配置されており、配線７２とボンディングワイヤ４９とを介して信号配線６３と、配線７３とボンディングワイヤ４９とを介してＧＮＤ配線６４と電気的に接続されている。キャパシタ４８は、配線７４、７５上に配置されており、配線７４とボンディングワイヤ４９とを介して信号配線６３と、配線７５とボンディングワイヤ４９とを介してＧＮＤ配線６４と電気的に接続されている。

[0063] 上述のように、本実施形態のＬＤＤ基板４２は、発光部１１を駆動する駆動回路１２を含んでいる。ＬＤＤ基板４２内の駆動回路１２は、信号配線６

３などを介してＬＤチップ４１内の発光素子５３を駆動させることができる。

[0064] 次に、引き続き図３のＡを参照して、発光素子５３、信号配線６３、およびＧＮＤ配線６４のさらなる詳細について説明する。この説明の中で、図３のＢおよび図４も適宜参照する。

[0065] 図３のＡは、発光素子群Ｄ１に含まれる複数の発光素子５３と、発光素子群Ｄ２に含まれる複数の発光素子５３と、発光素子群Ｄ３に含まれる複数の発光素子５３とを示している。発光素子群Ｄ１～Ｄ３の各々では、図３のＡおよびＢから分かるように、これらの発光素子５３が２次元アレイ状に配置されている。

[0066] 発光素子群Ｄ１の発光素子５３同士は、１本の同じ信号配線６３上に設けられており、この信号配線６３とその左隣の信号配線６３との間で互いに並列に接続されている。これらの信号配線６３は、本開示の互いに隣接する第１および第２配線の例である。これは、発光素子群Ｄ２、Ｄ３についても同様である。発光素子群Ｄ２の発光素子５３同士は、１本の同じ信号配線６３上に設けられており、この信号配線６３とその左隣の信号配線６３との間で互いに並列に接続されている。発光素子群Ｄ３の発光素子５３同士は、１本の同じ信号配線６３上に設けられており、この信号配線６３とその左隣の信号配線６３との間で互いに並列に接続されている。

[0067] 一方、発光素子群Ｄ１の発光素子５３と、発光素子群Ｄ２の発光素子５３は、発光素子群Ｄ２の下の信号配線６３により互いに直列に接続されている。同様に、発光素子群Ｄ２の発光素子５３と、発光素子群Ｄ３の発光素子５３は、発光素子群Ｄ３の下の信号配線６３により互いに直列に接続されている。

[0068] このように、本実施形態の発光装置１では、同じ発光素子群の発光素子５３同士、すなわち、同じ信号配線６３上の発光素子５３同士は、互いに並列に接続されている。一方、異なる発光素子群の発光素子５３同士、すなわち、異なる信号配線６３上の発光素子５３同士は、互いに直列に接続されてい

る。

[0069] 図３のＡは、発光素子群Ｄ１の下の信号配線６３とＧＮＤ配線６４との間に生じる寄生容量Ｃ１と、発光素子群Ｄ２の下の信号配線６３とＧＮＤ配線６４との間に生じる寄生容量Ｃ２と、発光素子群Ｄ３の下の信号配線６３とＧＮＤ配線６４との間に生じる寄生容量Ｃ３とを示している。後述するように、本実施形態によれば、これらの信号配線６３とＧＮＤ配線６４との間の寄生容量を容易に低減することが可能となる。寄生容量Ｃ１～Ｃ３の詳細については、後述する。

[0070] 図５は、第１比較例の発光装置１の構造を示す断面図である。図５のＡは、発光装置１のＸＺ断面を示しており、図５のＢは、発光装置１のＹＺ断面を示している。

[0071] 本比較例の発光装置１は、本実施形態の発光装置１と同じ構成要素を備えている。ただし、本比較例の回路基板４６は、信号配線６３を１本のみ備えており、本比較例のＬＤチップ４１のすべてのメサ部Ｍが、この信号配線６３上に配置されている。よって、本比較例の発光装置１では、ＬＤチップ４１のすべての発光素子５３同士が、互いに並列に接続されている。例えば、発光素子群Ｄ１の発光素子５３と、発光素子群Ｄ２の発光素子５３と、発光素子群Ｄ３の発光素子５３が、この信号配線６３により互いに並列に接続されている。

[0072] 図６は、第１実施形態と第１比較例との違いを説明するための回路図である。

[0073] 図６のＡは、第１比較例の発光装置１の回路構成を示している。本比較例では、ＬＤチップ４１の発光素子群（ダイオード）Ｄ１～Ｄ３が、ＬＤＤ基板４２とキャパシタ４８との間で互いに並列に接続されている。

[0074] 図６のＢは、第１実施形態の発光装置１の回路構成を示している。本実施形態では、ＬＤチップ４１の発光素子群Ｄ１～Ｄ３が、ＬＤＤ基板４２とキャパシタ４８との間で互いに直列に接続されている。本実施形態によれば、発光素子群Ｄ１～Ｄ３を互いに直列に接続することで、発光素子群Ｄ１～Ｄ

３を互いに並列に接続する場合に比べて、ＬＤＤ基板４２の消費電力を低減することが可能となる。

[0075] 図６のＣも、第１実施形態の発光装置１の回路構成を示している。上述のように、本実施形態の発光装置１では、図６のＣに示すような寄生容量Ｃ１～Ｃ３が生じる。これらの寄生容量Ｃ１～Ｃ３は、信号配線６３により供給される信号電圧を遅延させる。これにより例えば、測距装置による測距の精度が低下するなどの問題が生じる可能性がある。そのため、寄生容量Ｃ１～Ｃ３は低減することが望ましい。

[0076] 図７は、第１実施形態の回路基板４６の構造を示す断面図および平面図である。図７のＡは、図３のＢと同様に、回路基板４６のＹＺ断面を示している。図７のＢは、信号配線６３の平面形状を示している。図７のＣは、ＧＮＤ配線６４の平面形状を示している。

[0077] 本実施形態の回路基板４６は、図７のＢに示すように、Ｘ方向に互いに隣接する複数の信号配線６３を備えている。図７のＢは、各信号配線６３のＹ方向の幅Ｗ１と、Ｘ方向に信号配線６３間に挟まれるように設けられた複数の開口部Ｐ’とを示している。これらの開口部Ｐ’は、Ｙ方向に延びる線状の形状を有しており、Ｘ方向に互いに隣接しており、信号配線６３間に挟まれた溝（スリット）となっている。

[0078] 本実施形態の回路基板４６はさらに、図７のＣに示すように、１本のＧＮＤ配線６４を備えている。図７のＣは、ＧＮＤ配線６４のＹ方向の幅Ｗ２と、ＧＮＤ配線６４内に設けられた複数の開口部Ｐとを示している。これらの開口部Ｐは、Ｘ方向に延びる線状の形状を有しており、Ｙ方向に互いに隣接しており、ＧＮＤ配線６４内を貫通する穴（ホール）となっている。これらの開口部Ｐは、本開示の第１開口部の例である。

[0079] 本実施形態のＧＮＤ配線６４は、図７のＣに示すように、Ｘ方向に延びる３本以上の第１部分６４ａと、Ｙ方向に延びる２本の第２部分６４ｂとを含んでいる。各開口部Ｐは、Ｙ方向に互いに隣接する第１部分６４ａ間に設けられている。また、一方の第２部分６４ｂは、これらの第１部分６４ａの＋

Ｘ方向の端部に設けられ、他方の第２部分６４ｂは、これらの第１部分６４ａの－Ｘ方向の端部に設けられている。

[0080] 本実施形態によれば、ＧＮＤ配線６４内に開口部Ｐを形成することで、寄生容量Ｃ１～Ｃ３を容易に低減することが可能となる。寄生容量Ｃ１～Ｃ３は例えば、絶縁膜６５内に空洞を形成することでも低減可能である。しかしながら、絶縁膜６５内に空洞を形成する工程は、実施することが難しい。一方、ＧＮＤ配線６４内に開口部Ｐを形成する工程は、例えば一般的なフォトリソグラフィおよびエッチングにより実施できるため、容易に形成することが可能である。よって、本実施形態によれば、ＧＮＤ配線６４内に開口部Ｐを形成することで、寄生容量Ｃ１～Ｃ３を容易に低減することが可能となる。

[0081] 本実施形態の開口部Ｐは、Ｘ方向に延びるように形成されているため、本実施形態のＧＮＤ配線６４は、Ｘ方向に延びる第１部分６４ａを含んでいる。よって、本実施形態によれば、ＧＮＤ配線６４内に開口部Ｐを形成しても、ＧＮＤ配線６４内に電流を＋Ｘ方向に流すことができる。このように、開口部Ｐは、Ｘ方向に延びる形状を有することが望ましいが、後述するようにＸ方向に延びる形状を有していなくてもよい。

[0082] 図７のＡは、図７のＢおよびＣと同様に、各信号配線６３のＹ方向の幅Ｗ１と、ＧＮＤ配線６４のＹ方向の幅Ｗ２とを示している。図７のＡはさらに、各第１部分６４ａのＹ方向の幅Ｗａと、各開口部ＰのＹ方向の幅Ｗｂとを示している。

[0083] 本実施形態では、各信号配線６３の幅Ｗ１が、ＧＮＤ配線６４の幅Ｗ２と同じになっている（Ｗ１＝Ｗ２）。これにより、信号配線６３の周りに生じる磁界と、ＧＮＤ配線６４の周りに生じる磁界とを、好適に打ち消し合わせることが可能となる。例えば、これらの合成磁界がゼロに近くなるように、これらの磁界を打ち消し合わせることが可能となる。

[0084] ただし、このような効果は、幅Ｗ１と幅Ｗ２との間に多少の差があっても、得ることが可能である。例えば、各信号配線の幅Ｗ１は、ＧＮＤ配線の幅

Ｗ２の９０％～１１０％とすることが望ましい（Ｗ２×０．９≦Ｗ１≦Ｗ２×１．１）。これにより、幅Ｗ１と幅Ｗ２が同じ場合とほぼ同じ効果を得ることが可能となる。なお、幅Ｗ１と幅Ｗ２が異なる場合には、幅Ｗ１を幅Ｗ２より細くするよりも（Ｗ１＜Ｗ２）、幅Ｗ１を幅Ｗ２より太くする方が望ましい（Ｗ１＞Ｗ２）。

[0085] 各第１部分６４ａの幅Ｗａや、各開口部Ｐの幅Ｗｂは、任意の値に設定してよい。本実施形態では、ＧＮＤ配線６４のすべての第１部分６４ａの幅Ｗａが、同じ値に設定されており、ＧＮＤ配線６４内のすべての開口部Ｐの幅Ｗｂが、同じ値に設定されている。

[0086] 次に、図８～図１０を参照して、第１実施形態と第２および第３比較例とを比較する。

[0087] 図８は、第２比較例の回路基板４６の構造を示す断面図および平面図である。図８のＡ～Ｃはそれぞれ、図７のＡ～Ｃに対応している。

[0088] 本比較例の信号配線６３は、第１実施形態の信号配線６３と同じ形状を有している。一方、第１実施形態のＧＮＤ配線６４が開口部Ｐを有しているのに対し、本比較例のＧＮＤ配線６４は開口部Ｐを有していない。そのため、本比較例では、信号配線６３とＧＮＤ配線６４との間に大きな寄生容量が生じてしまう。

[0089] 一般に、２枚の電極間の静電容量Ｃは、Ｃ＝εＳ／ｄで与えられる。ここで、ｄは電極間の距離を表し、Ｓは各電極の面積を表し、εは電極間の材料の誘電率を表す。よって、信号配線６３とＧＮＤ配線６４との間の寄生容量は、例えば信号配線６３の面積またはＧＮＤ配線６４の面積を小さくすることで低減可能である。

[0090] 図９は、第３比較例の回路基板４６の構造を示す断面図および平面図である。図９のＡ～Ｃはそれぞれ、図７のＡ～Ｃに対応している。

[0091] 本比較例の信号配線６３およびＧＮＤ配線６４はそれぞれ、第２比較例の信号配線６３およびＧＮＤ配線６４とおおむね同じ形状を有している。ただし、本比較例では、ＧＮＤ配線６４の幅Ｗ２が、信号配線６３の幅Ｗ１より

も細くなっている。これにより、本比較例の寄生容量は、第２比較例の寄生容量よりも小さくなっている。理由は、ＧＮＤ配線６４の幅Ｗ２が細くなることで、ＧＮＤ配線６４の面積が小さくなるからである。

[0092] 図１０は、第３比較例の問題を説明するための回路図である。

図１０は、図６のＣと同様に、本比較例の発光装置１の回路構成を示している。本比較例では、ＬＤチップ４１の発光素子群Ｄ１～Ｄ３が、ＬＤＤ基板４２とキャパシタ４８との間で互いに並列に接続されている。

[0093] 上述のように、本比較例によれば、寄生容量Ｃ１～Ｃ３を第２比較例の場合に比べて低減することができる。しかしながら、本比較例のようにＧＮＤ配線６４の幅Ｗ２を細くすると、ＬＤＤ基板４２と発光素子群Ｄ１～Ｄ３との間に大きな寄生インダクタンスＬが生じてしまう。理由は、信号配線６３の周りに生じる磁界と、ＧＮＤ配線６４の周りに生じる磁界との打ち消し合いが、弱くなるからである。このような寄生インダクタンスＬは、駆動回路１２（図１）の動作の妨げとなるおそれがある。

[0094] そこで、本実施形態では、ＧＮＤ配線６４の幅Ｗ２を信号配線６３の幅Ｗ１と同じに設定しつつ、ＧＮＤ配線６４内に開口部Ｐを設けている。これにより、寄生インダクタンスＬの増加を抑制しつつ、寄生容量Ｃ１～Ｃ３を低減することが可能となる。本実施形態の寄生容量Ｃ１～Ｃ３は、第２比較例の場合と同様に、ＧＮＤ配線６４の面積が狭くなることで小さくなっている。一方、本実施形態の寄生インダクタンスＬは、第１比較例と同様に、幅Ｗ２を幅Ｗ１と同じにすることで小さくなっている。これにより、寄生容量Ｃ１～Ｃ３の低減と寄生インダクタンスＬの低減とを両立することが可能となる。

[0095] 以上のように、本実施形態の回路基板４６は、ＧＮＤ配線６４内に設けられた開口部Ｐを備えている。よって、本実施形態によれば、信号配線６３とＧＮＤ配線６４との間の寄生容量Ｃ１～Ｃ３を容易に低減することが可能となる。

[0096] 以下、第２～第８実施形態の回路基板４６やＧＮＤ配線６４について説明

する。第２～第８実施形態は第１実施形態の変形例であり、第２～第８実施形態については、第１実施形態との相違点を中心に説明する。第２～第８実施形態の回路基板４６やＧＮＤ配線６４は、第１実施形態の回路基板４６やＧＮＤ配線６４と同様に、図３のＡ等に示す発光装置１内に設けられている。

[0097] （第２実施形態）

図１１は、第２実施形態の回路基板４６の構造を示す断面図および平面図である。図１１のＡ～Ｃはそれぞれ、図７のＡ～Ｃに対応している。

[0098] 本実施形態の回路基板４６は、第１実施形態とは異なる形状の複数の信号配線６３と、第１実施形態と同じ形状の１本のＧＮＤ配線６４とを備えている。これらの信号配線６３は、図１１のＢに示すように、Ｘ方向およびＹ方向に互いに隣接している。本実施形態の回路基板４６は、Ｘ方向に互いに隣接する信号配線６３間に挟まれるように設けられた複数の開口部Ｐ’と、Ｙ方向に互いに隣接する信号配線６３間に挟まれるように設けられた複数の開口部Ｐとを備えている。信号配線６３間の開口部Ｐ’が、Ｙ方向に延びており、Ｘ方向に互いに隣接しているのに対し、信号配線６３間の開口部Ｐは、Ｘ方向に延びており、Ｙ方向に互いに隣接している。信号配線６３間の開口部Ｐは、本開示の第２開口部の例である。

[0099] 本実施形態によれば、信号配線６３間に開口部Ｐを形成することで、ＧＮＤ配線６４内に開口部Ｐを形成する場合と同様に、寄生容量Ｃ１～Ｃ３を容易に低減することが可能となる。また、本実施形態によれば、開口部Ｐを信号配線６３間にもＧＮＤ配線６４内にも形成することができるため、信号配線６３やＧＮＤ配線６４の設計自由度を高めることが可能となる。

[0100] 本実施形態の開口部Ｐは、Ｘ方向に延びるように形成されているため、本実施形態の各信号配線６３は、Ｘ方向に延びる形状を有しており、本実施形態のＧＮＤ配線６４は、Ｘ方向に延びる第１部分６４ａを含んでいる。よって、本実施形態によれば、信号配線６３間に開口部Ｐを形成しても、信号配線６３内に電流を－Ｘ方向に流すことができ、ＧＮＤ配線６４内に開口部Ｐ

を形成しても、ＧＮＤ配線６４内に電流を＋Ｘ方向に流すことができる。このように、開口部Ｐは、Ｘ方向に延びる形状を有することが望ましいが、後述するようにＸ方向に延びる形状を有していなくてもよい。

[0101] また、図１１のＡに示すように、本実施形態のＧＮＤ配線６４内の開口部Ｐは、信号配線６３とＺ方向に対向する位置に設けられており、本実施形態の信号配線６３間の開口部Ｐは、ＧＮＤ配線６４とＺ方向に対向する位置に設けられている。別言すると、ＧＮＤ配線６４内の開口部Ｐと、信号配線６３間の開口部Ｐは、互い違いに配置されている。これにより、寄生容量Ｃ１～Ｃ３をさらに低減することが可能となる。

[0102] 図１２は、第２実施形態の変形例の信号配線６３とＧＮＤ配線６４の構造を示す平面図である。

[0103] 図１２のＡは、本実施形態の第１変形例の信号配線６３を示している。本変形例の信号配線６３では、開口部Ｐが、信号配線６３内に設けられている。具体的には、本変形例の各信号配線６３は、Ｘ方向に延びる３本以上の第１部分６３ａと、Ｙ方向に延びる２本の第２部分６３ｂとを含んでおり、各開口部Ｐは、Ｙ方向に互いに隣接する第１部分６３ａ間に設けられている。信号配線６３内の開口部Ｐも、本開示の第２開口部の例である。本変形例の信号配線６３は、図１１のＣに示すＧＮＤ配線６４と対向していてもよいし、後述する第２変形例のＧＮＤ配線６４と対向していてもよい。

[0104] 図１２のＢは、本実施形態の第２変形例のＧＮＤ配線６４を示している。本変形例のＧＮＤ配線６４では、開口部Ｐが、ＧＮＤ配線６４内に設けられているか、または、Ｙ方向にＧＮＤ配線６３間に挟まれるように設けられている。前者の各開口部Ｐは、２本の第１部分６４ａと２本の第２部分６４ｂとにより囲まれており、後者の各開口部Ｐは、２本の第１部分６４ａと１本の第２部分６４ｂとに隣接している。ＧＮＤ配線６４間の開口部Ｐも、本開示の第１開口部の例である。本変形例のＧＮＤ配線６４は、図１１のＢに示す信号配線６３と対向していてもよいし、前述の第１変形例の信号配線６３と対向していてもよい。

[0105] なお、図１１のＢに示す信号配線６３間の各開口部Ｐは、２本の信号配線６３間に挟まれており、図１２のＢに示すＧＮＤ配線６４間の各開口部Ｐは、１本のＧＮＤ配線６４の２つの部分（第１部分６４ａ）間に挟まれている。ただし、前者の各開口部Ｐは、１本の信号配線６３の２つの部分間に挟まれていてもよいし、後者の各開口部Ｐは、２本のＧＮＤ配線６４間に挟まれていてもよい。

[0106] 以上のように、本実施形態の回路基板４６は、ＧＮＤ配線６４内に設けられた開口部Ｐに加えて、信号配線６３間に設けられた開口部Ｐを備えている。よって、本実施形態によれば、信号配線６３とＧＮＤ配線６４との間の寄生容量Ｃ１～Ｃ３をさらに低減することや、信号配線６３やＧＮＤ配線６４の設計自由度を高めることが可能となる。

[0107] （第３実施形態）

図１３は、第３実施形態の回路基板４６の構造を示す断面図および平面図である。図１３のＡ～Ｃはそれぞれ、図７のＡ～Ｃに対応している。

[0108] 本実施形態の回路基板４６は、第１実施形態と同じ形状の複数の信号配線６３と、第１実施形態とおおむね同じ形状の１本のＧＮＤ配線６４とを備えている。ただし、本実施形態では、ＧＮＤ配線６４内の開口部Ｐの幅Ｗｂが、信号配線６３の幅Ｗ１の１０分の１以下に設定されている（Ｗｂ≦Ｗ１／１０）。

[0109] シミュレーションの結果、幅Ｗｂが幅Ｗ１の１０分の１以下になるようにＧＮＤ配線６４内の開口部Ｐを形成することで、寄生容量Ｃ１～Ｃ３を効果的に低減できることが判明した。よって、本実施形態の幅Ｗｂは、幅Ｗ１の１０分の１以下に設定されている。この条件は、開口部ＰをＧＮＤ配線６４間、信号配線６３内、または信号配線６３間に形成する場合に適用してもよい。

[0110] なお、信号配線６３の幅Ｗ１は、本実施形態ではＧＮＤ配線６４の幅Ｗ２と同じになっているが、ＧＮＤ配線６４の幅Ｗ２と異なっていてもよい。例えば、幅Ｗ１は、幅Ｗ２の９０％～１１０％となっていてもよいし、幅Ｗ２

より太くてもよい。

[0111] （第４実施形態）

図１４は、第４実施形態の回路基板４６の構造を示す断面図および平面図である。図１４のＡ～Ｃはそれぞれ、図７のＡ～Ｃに対応している。

[0112] 本実施形態の回路基板４６は、第１実施形態と同じ形状の複数の信号配線６３と、第１実施形態とおおむね同じ形状の１本のＧＮＤ配線６４とを備えている。ただし、本実施形態のＧＮＤ配線６４は、上述の第１部分６４ａとして、幅Ｗａが互いに異なる第１部分６４ａを含んでいる。このように、本実施形態のＧＮＤ配線６４では、すべての第１部分６４ａの幅Ｗａが同じ値になっていなくてもよい。これにより、すべての第１部分６４ａの幅Ｗａが同じ場合に比べて、ＧＮＤ配線６４の設計の自由度を高めることが可能となる。

[0113] なお、第２実施形態の各信号配線６３も、本実施形態のＧＮＤ配線６４と同様に、Ｙ方向の幅が互いに異なる第１部分６３ａを含んでいてもよい。これにより、すべての第１部分６３ａの幅が同じ場合に比べて、各信号配線６３の設計の自由度を高めることが可能となる。

[0114] （第５実施形態）

図１５は、第５実施形態の回路基板４６の構造を示す断面図および平面図である。図１５のＡ～Ｃはそれぞれ、図７のＡ～Ｃに対応している。

[0115] 本実施形態の回路基板４６は、第１実施形態とは異なる形状の複数の信号配線６３と、第１実施形態と同じ形状の１本のＧＮＤ配線６４とを備えている。具体的には、本実施形態のＧＮＤ配線６４は、図１５のＣに示すように、Ｘ方向に延びる３本以上の第１部分６４ａと、Ｙ方向に延びる３本以上の第２部分６４ｂとを含んでおり、２次元アレイ状に配置された複数の開口部Ｐを含んでいる。これらの開口部Ｐは、Ｘ方向に延びており、Ｘ方向およびＹ方向に互いに隣接している。本実施形態によれば、ＧＮＤ配線６４内に多数の小さな開口部Ｐを設けることが可能となる。

[0116] なお、第２実施形態の各信号配線６３も、本実施形態のＧＮＤ配線６４と

同様に、２次元アレイ状に配置された複数の開口部Ｐを含んでいてもよい。これにより、各信号配線６３内に多数の小さな開口部Ｐを設けることが可能となる。

[0117] （第６～第８実施形態）

図１６は、第６～第８実施形態のＧＮＤ配線６４の形状を示す平面図である。第６～第８実施形態は、第５実施形態の変形例に相当する。

[0118] 図１６のＡは、第６実施形態のＧＮＤ配線６４の形状を示している。本実施形態のＧＮＤ配線６４は、第５実施形態のＧＮＤ配線６４と同様に、２次元アレイ状に配置された複数の開口部Ｐを含んでいる。ただし、本実施形態の各開口部Ｐは、円形の平面形状を有している。本実施形態によれば、ＧＮＤ配線６４内に多数の小さな開口部Ｐを設けることが可能となる。

[0119] 図１６のＢは、第７実施形態のＧＮＤ配線６４の形状を示している。本実施形態のＧＮＤ配線６４は、開口部Ｐを１つだけ含んでいる。この開口部Ｐは、Ｘ方向に延びており、長方形の平面形状を有している。本実施形態によれば、ＧＮＤ配線６４内に大きな単一の開口部Ｐを設けることが可能となる。

[0120] 図１６のＣは、第８実施形態のＧＮＤ配線６４の形状を示している。本実施形態のＧＮＤ配線６４も、開口部Ｐを１つだけ含んでいる。この開口部Ｐは、Ｘ方向に延びており、楕円形の平面形状を有している。本実施形態によれば、ＧＮＤ配線６４内に大きな単一の開口部Ｐを設けることが可能となる。

[0121] なお、第６～第８実施形態の開口部Ｐは、第２実施形態の各信号配線６３に適用してもよい。これにより、各信号配線６３内に多数の小さな開口部Ｐを設けることや、各信号配線６３内に大きな単一の開口部Ｐを設けることが可能となる。

[0122] なお、第１～第８実施形態の発光装置１は、測距装置の光源として使用されているが、その他の態様で使用されてもよい。例えば、これらの実施形態の発光装置１は、プリンタなどの光学機器の光源として使用されてもよいし

、照明装置として使用されてもよい。

[0123] 以上、本開示の実施形態について説明したが、これらの実施形態は、本開示の要旨を逸脱しない範囲内で、種々の変更を加えて実施してもよい。例えば、２つ以上の実施形態を組み合わせて実施してもよい。

[0124] なお、本開示は、以下のような構成を取ることもできる。

[0125] （１）

第１基板と、

前記第１基板上に設けられた下部配線と、

前記下部配線上に絶縁膜を介して設けられた複数の上部配線と、

前記上部配線上に複数の素子を介して設けられた第２基板とを備え、

前記上部配線は、第１方向に互いに隣接する第１および第２配線を含み、

前記第１配線上の前記素子と、前記第２配線上の前記素子は、互いに直列に接続されており、

第１開口部が、前記下部配線内に設けられているか、または前記第１方向と異なる第２方向に前記下部配線間に挟まれるように設けられている、または、第２開口部が、前記上部配線内に設けられているか、または前記第２方向に前記上部配線間に挟まれるように設けられている、半導体装置。

[0126] （２）

前記第１配線上の前記素子同士は、互いに並列に接続されており、

前記第２配線上の前記素子同士は、互いに並列に接続されている、

（１）に記載の半導体装置。

[0127] （３）

前記素子は、前記第２基板に設けられた発光素子である、（１）に記載の半導体装置。

[0128] （４）

前記発光素子から出射された光は、前記第２基板の下面から上面へと前記第２基板内を透過して、前記第２基板から出射される、（３）に記載の発光装置。

[0129] （５）

前記下部配線は、前記第１方向に電流が流れるように使用され、

前記上部配線は、前記第１方向の逆方向に電流が流れるように使用される、

（１）に記載の半導体装置。

[0130] （６）

前記第１または第２開口部として、前記第１方向に延びる開口部が設けられている、（１）に記載の半導体装置。

[0131] （７）

前記第１または第２開口部として、前記第１方向に延び、前記第２方向に互いに隣接する複数の開口部が設けられている、（１）に記載の半導体装置。

[0132] （８）

前記下部配線または前記上部配線は、前記第１方向に延びる複数の第１部分と、前記第２方向に延びる複数の第２部分とを含み、

前記複数の開口部の各々は、前記第２方向に互いに隣接する前記第１部分間に設けられている、（７）に記載の半導体装置。

[0133] （９）

前記上部配線の前記第２方向の幅は、前記下部配線の前記第２方向の幅と同じである、（１）に記載の半導体装置。

[0134] （１０）

前記上部配線の前記第２方向の幅は、前記下部配線の前記第２方向の幅より太い、（１）に記載の半導体装置。

[0135] （１１）

前記上部配線の前記第２方向の幅は、前記下部配線の前記第２方向の幅の９０％～１１０％である、（１）に記載の半導体装置。

[0136] （１２）

前記第１開口部が、前記下部配線内に設けられているか、または前記第２

方向に前記下部配線間に挟まれるように設けられており、かつ、前記第２開口部が、前記上部配線内に設けられているか、または前記第２方向に前記上部配線間に挟まれるように設けられている、（１）に記載の半導体装置。

[0137] （１３）

前記第１開口部は、前記上部配線と上下方向に対向する位置に設けられており、

前記第２開口部は、前記下部配線と上下方向に対向する位置に設けられている、

（１２）に記載の半導体装置。

[0138] （１４）

前記第１開口部として、前記第１方向に延びる複数の開口部が設けられており、

前記下部配線は、前記第１方向に延びる複数の第１部分と、前記第２方向に延びる複数の第２部分とを含み、

前記複数の開口部の各々は、前記第２方向に互いに隣接する前記第１部分間に設けられている、（１２）に記載の半導体装置。

[0139] （１５）

前記第２開口部として、前記第１方向に延びる複数の開口部が設けられており、

前記複数の開口部の各々は、前記第２方向に互いに隣接する前記上部配線間に設けられている、（１２）に記載の半導体装置。

[0140] （１６）

前記第１または第２開口部の前記第２方向の幅は、前記上部配線の前記第２方向の幅の１０分の１以下である、（１）に記載の半導体装置。

[0141] （１７）

前記複数の第１部分は、前記第２方向の幅が互いに異なる第１部分を含む、（８）に記載の半導体装置。

[0142] （１８）

前記第１または第２開口部として、２次元アレイ状に配置された複数の開口部が設けられている、（１）に記載の半導体装置。

[0143] （１９）

前記第１または第２開口部として、前記上部配線内または前記下部配線内に開口部が１つだけ設けられているか、または、前記第２方向に前記上部配線間または前記下部配線間に挟まれるように開口部が１つだけ設けられている、（１）に記載の半導体装置。

[0144] （２０）

前記第１基板は、シリコン（Ｓｉ）を含む半導体基板であり、

前記第２基板は、ガリウム（Ｇａ）およびヒ素（Ａｓ）を含む半導体基板である、

（１）に記載の発光装置。

符号の説明

[0145] １：発光装置、２：撮像装置、３：制御装置、

１１：発光部、１２：駆動回路、１３：電源回路、１４：発光側光学系、

２１：イメージセンサ、２２：画像処理部、２３：撮像側光学系、３１：測距部、

４１：ＬＤチップ、４２：ＬＤＤ基板、４３：実装基板、

４４：配線、４５：バンプ、４６：回路基板、

４７：絶縁基板、４８：キャパシタ、４９：ボンディングワイヤ、

５１：基板、５２：積層膜、５３：発光素子、

５４：アノード電極、５５：カソード電極、

６１：基板、６２：接続パッド、

６３：信号配線、６３ａ：第１部分、６３ｂ：第２部分、

６４：ＧＮＤ配線、６４ａ：第１部分、６４ｂ：第２部分、６５：絶縁膜、

７１：セラミック基板、７２：配線、７３：配線、７４：配線、７５：配線

請求の範囲

[請求項1] 第１基板と、

前記第１基板上に設けられた下部配線と、

前記下部配線上に絶縁膜を介して設けられた複数の上部配線と、

前記上部配線上に複数の素子を介して設けられた第２基板とを備え、

前記上部配線は、第１方向に互いに隣接する第１および第２配線を含み、

前記第１配線上の前記素子と、前記第２配線上の前記素子は、互いに直列に接続されており、

第１開口部が、前記下部配線内に設けられているか、または前記第１方向と異なる第２方向に前記下部配線間に挟まれるように設けられている、または、第２開口部が、前記上部配線内に設けられているか、または前記第２方向に前記上部配線間に挟まれるように設けられている、半導体装置。

[請求項2] 前記第１配線上の前記素子同士は、互いに並列に接続されており、

前記第２配線上の前記素子同士は、互いに並列に接続されている、

請求項１に記載の半導体装置。

[請求項3] 前記素子は、前記第２基板に設けられた発光素子である、請求項１に記載の半導体装置。

[請求項4] 前記発光素子から出射された光は、前記第２基板の下面から上面へと前記第２基板内を透過して、前記第２基板から出射される、請求項３に記載の半導体装置。

[請求項5] 前記下部配線は、前記第１方向に電流が流れるように使用され、

前記上部配線は、前記第１方向の逆方向に電流が流れるように使用される、

請求項１に記載の半導体装置。

[請求項6] 前記第１または第２開口部として、前記第１方向に延びる開口部が

設けられている、請求項１に記載の半導体装置。

[請求項7] 前記第１または第２開口部として、前記第１方向に延び、前記第２方向に互いに隣接する複数の開口部が設けられている、請求項１に記載の半導体装置。

[請求項8] 前記下部配線または前記上部配線は、前記第１方向に延びる複数の第１部分と、前記第２方向に延びる複数の第２部分とを含み、

前記複数の開口部の各々は、前記第２方向に互いに隣接する前記第１部分間に設けられている、請求項７に記載の半導体装置。

[請求項9] 前記上部配線の前記第２方向の幅は、前記下部配線の前記第２方向の幅と同じである、請求項１に記載の半導体装置。

[請求項10] 前記上部配線の前記第２方向の幅は、前記下部配線の前記第２方向の幅より太い、請求項１に記載の半導体装置。

[請求項11] 前記上部配線の前記第２方向の幅は、前記下部配線の前記第２方向の幅の９０％～１１０％である、請求項１に記載の半導体装置。

[請求項12] 前記第１開口部が、前記下部配線内に設けられているか、または前記第２方向に前記下部配線間に挟まれるように設けられており、かつ、前記第２開口部が、前記上部配線内に設けられているか、または前記第２方向に前記上部配線間に挟まれるように設けられている、請求項１に記載の半導体装置。

[請求項13] 前記第１開口部は、前記上部配線と上下方向に対向する位置に設けられており、

前記第２開口部は、前記下部配線と上下方向に対向する位置に設けられている、

請求項１２に記載の半導体装置。

[請求項14] 前記第１開口部として、前記第１方向に延びる複数の開口部が設けられており、

前記下部配線は、前記第１方向に延びる複数の第１部分と、前記第２方向に延びる複数の第２部分とを含み、

前記複数の開口部の各々は、前記第２方向に互いに隣接する前記第１部分間に設けられている、請求項１２に記載の半導体装置。

[請求項15] 前記第２開口部として、前記第１方向に延びる複数の開口部が設けられており、

前記複数の開口部の各々は、前記第２方向に互いに隣接する前記上部配線間に設けられている、請求項１２に記載の半導体装置。

[請求項16] 前記第１または第２開口部の前記第２方向の幅は、前記上部配線の前記第２方向の幅の１０分の１以下である、請求項１に記載の半導体装置。

[請求項17] 前記複数の第１部分は、前記第２方向の幅が互いに異なる第１部分を含む、請求項８に記載の半導体装置。

[請求項18] 前記第１または第２開口部として、２次元アレイ状に配置された複数の開口部が設けられている、請求項１に記載の半導体装置。

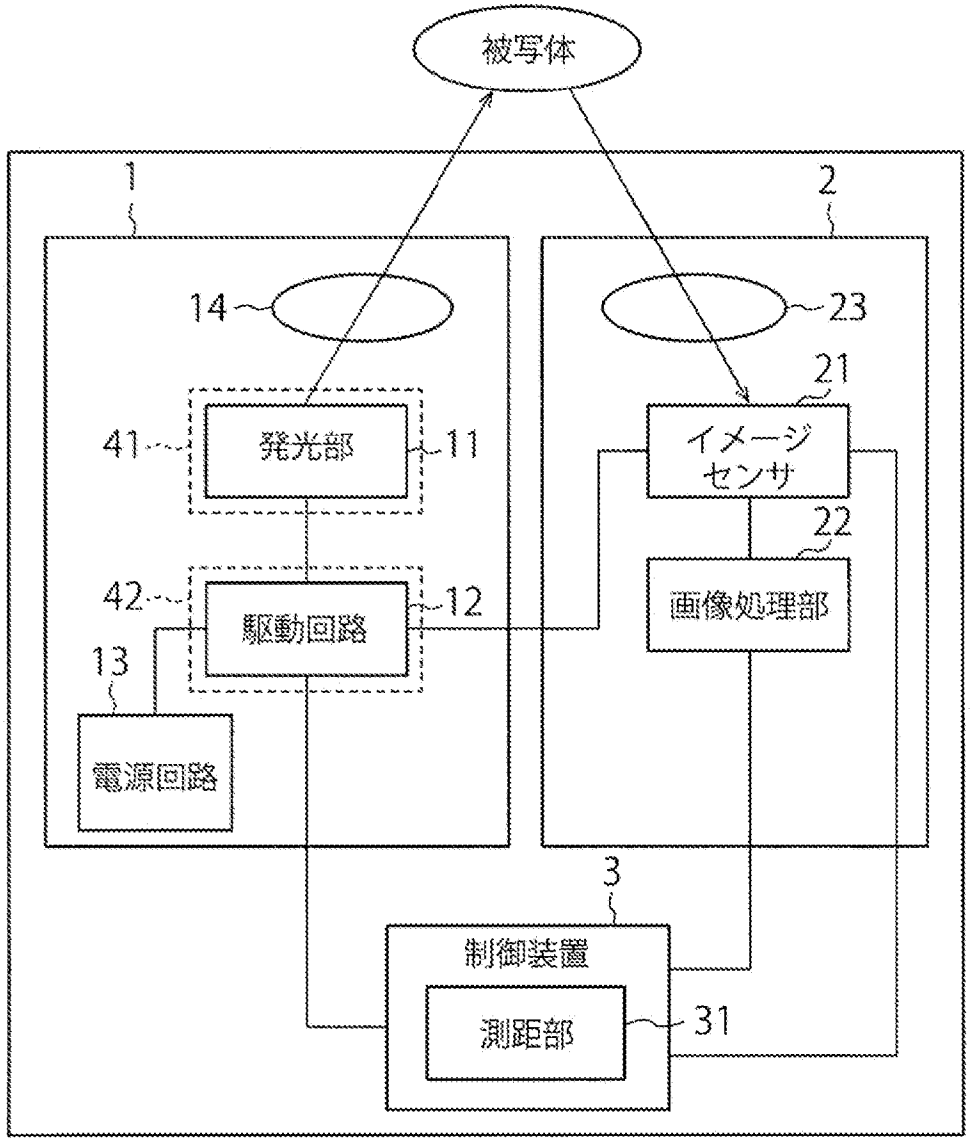
[請求項19] 前記第１または第２開口部として、前記上部配線内または前記下部配線内に開口部が１つだけ設けられているか、または、前記第２方向に前記上部配線間または前記下部配線間に挟まれるように開口部が１つだけ設けられている、請求項１に記載の半導体装置。

[請求項20] 前記第１基板は、シリコン（Ｓｉ）を含む半導体基板であり、

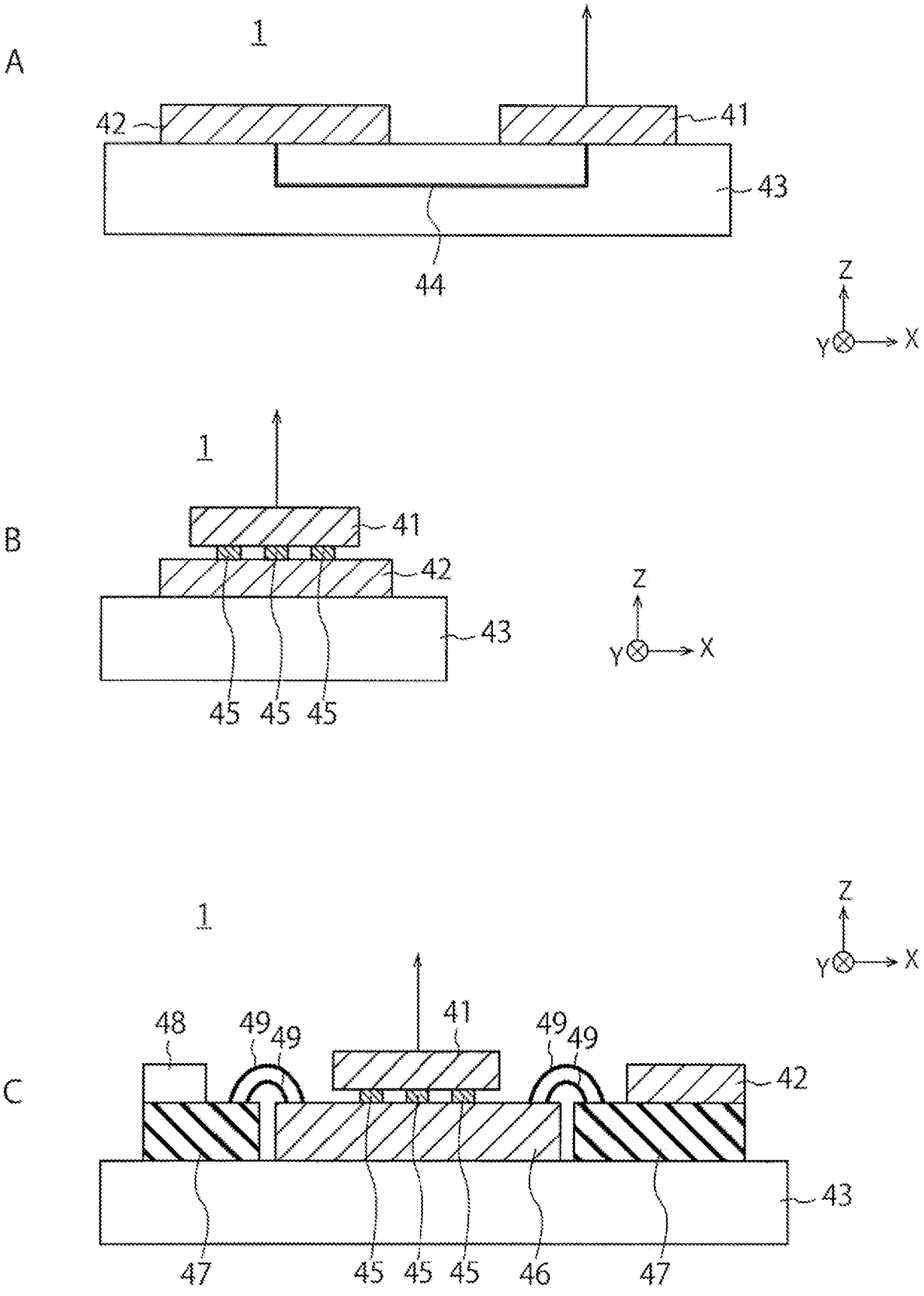
前記第２基板は、ガリウム（Ｇａ）およびヒ素（Ａｓ）を含む半導体基板である、

請求項１に記載の半導体装置。

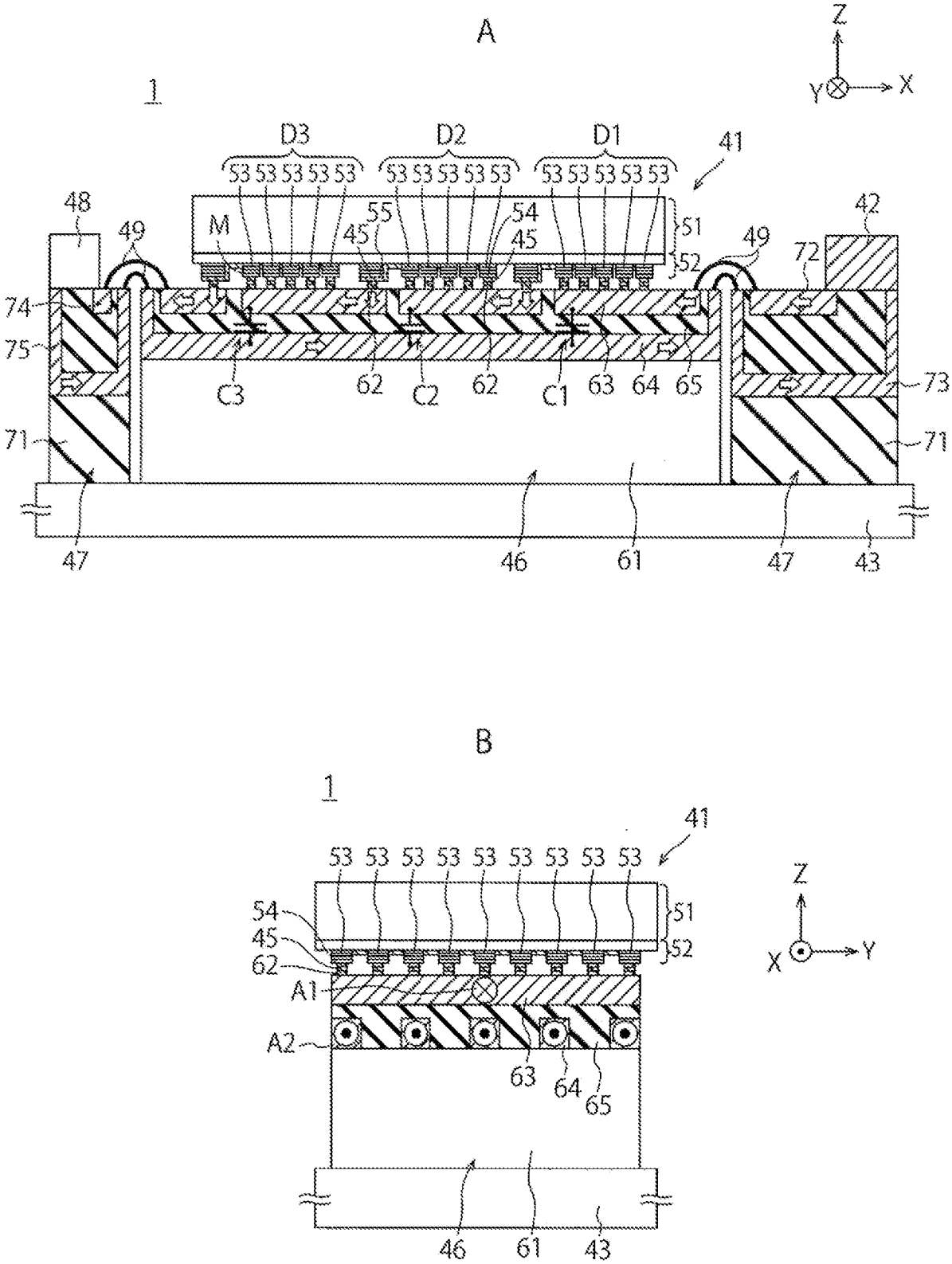
[図1]


被写体
1
2
14
23
21
41
発光部
11
イメージセンサ
22
42
駆動回路
12
画像処理部
13
電源回路
3
制御装置
測距部
31

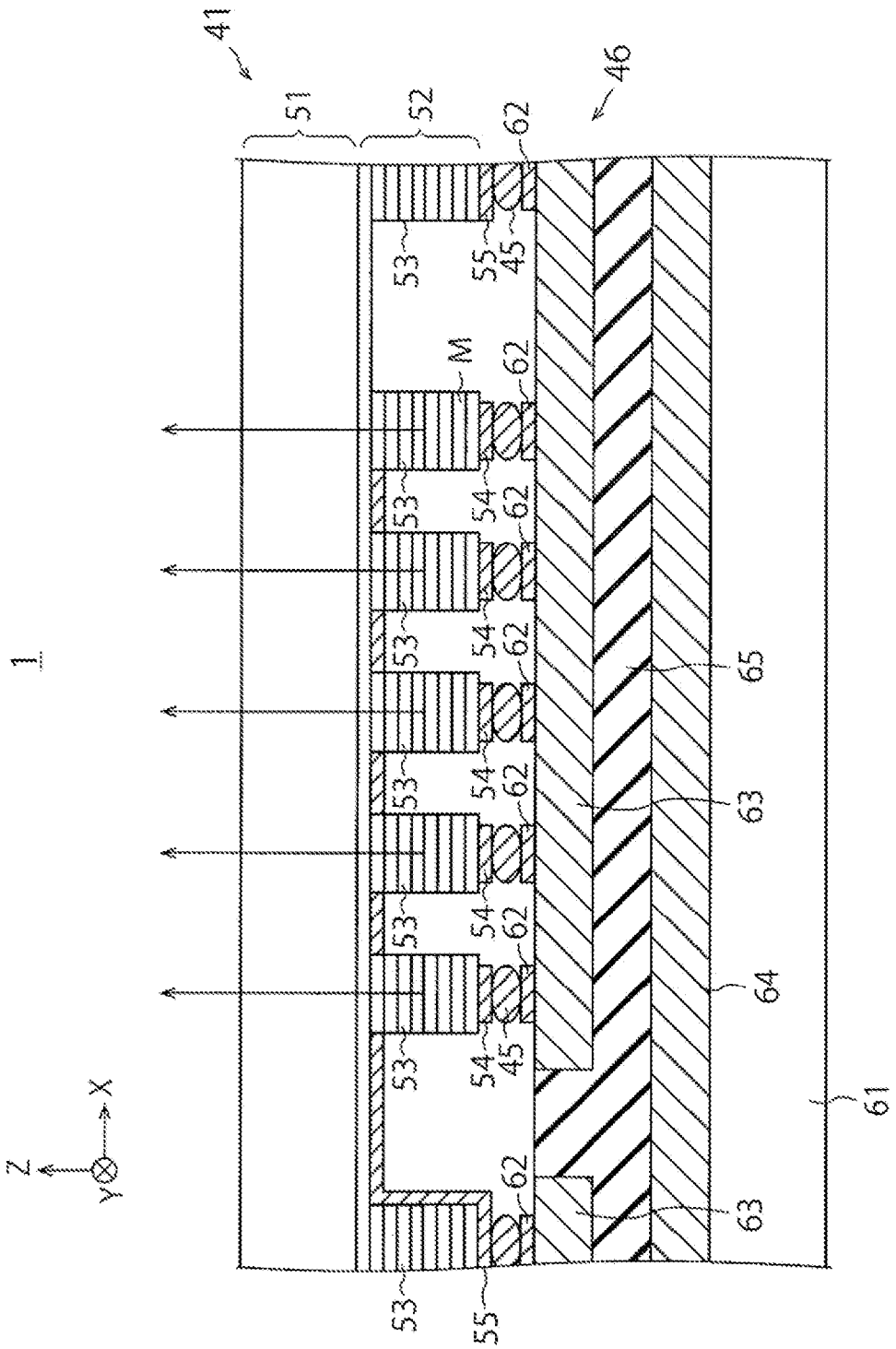
[図2]


A
1
42
41
43
44
Z
Y
X
B
1
41
42
43
45
45
45
Z
Y
X
C
1
Z
Y
X
48
49
49
41
49
49
42
43
47
45
45
45
46
47

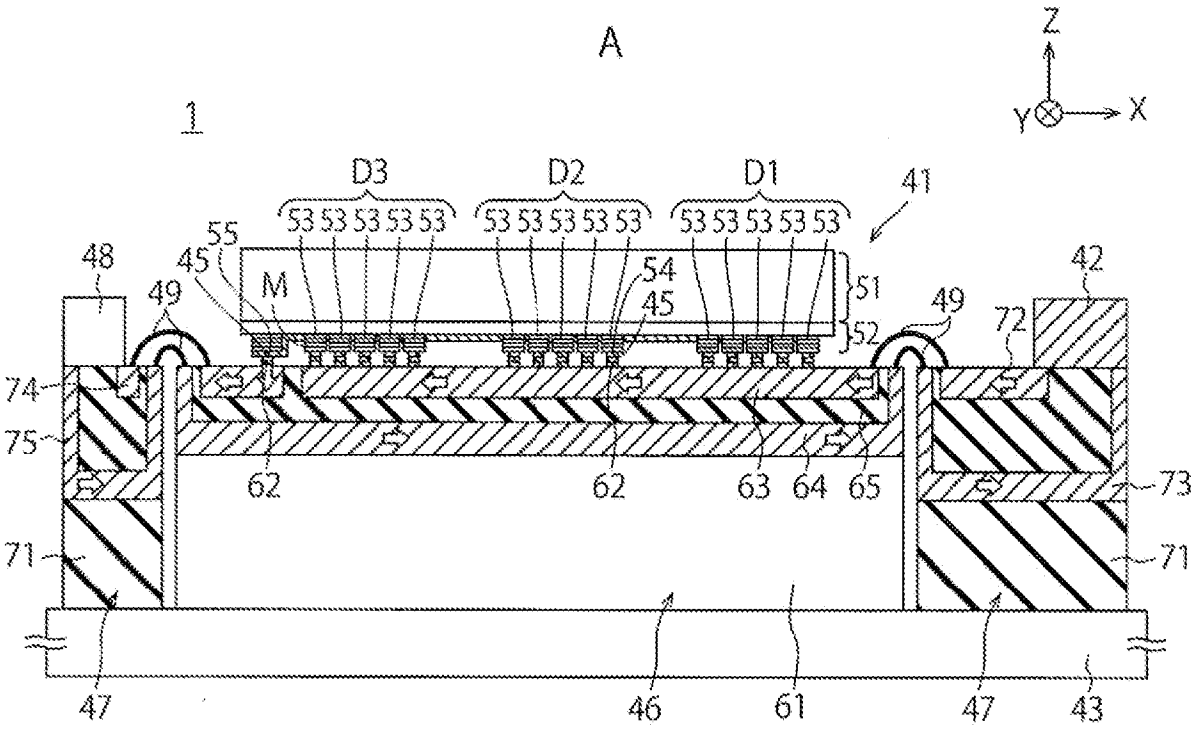
[図3]

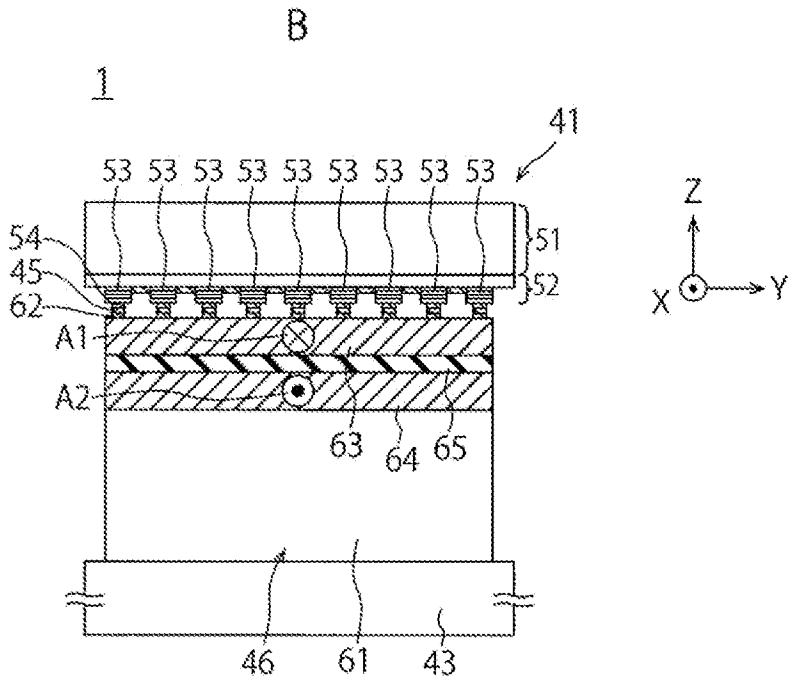

A
1
Z
Y
X
D3
D2
D1
41
53
48
49
M
55
54
45
51
52
42
72
74
75
C3
62
C2
C1
63
64
65
73
71
47
46
61
43
B
1
41
54
45
62
A1
A2
51
52
Z
X
Y
63
64
65
46
61
43

[図4]



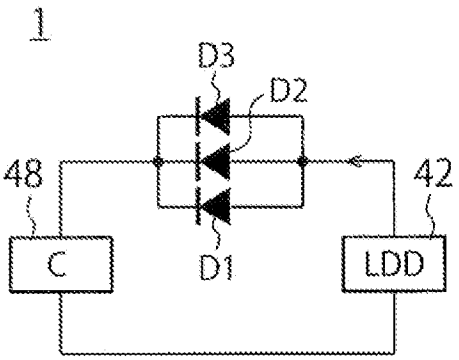
[図5]


A
Z
Y
X
1
D3
D2
D1
41
53 53 53 53 53
55
48
45
M
54
45
51
52
49
42
72
74
75
62
62
63
64
65
73
71
71
47
46
61
47
43

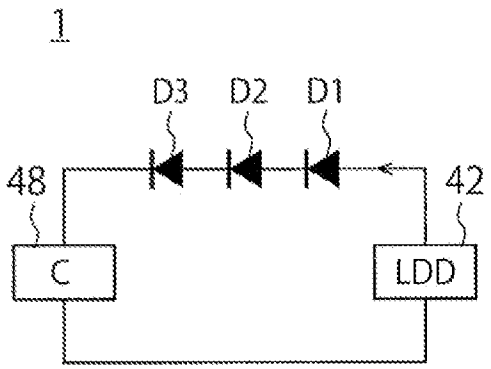

B
1
41
53 53 53 53 53 53 53 53 53
54
45
62
A1
A2
51
52
63
64
65
Z
X
Y
46
61
43

[図6]

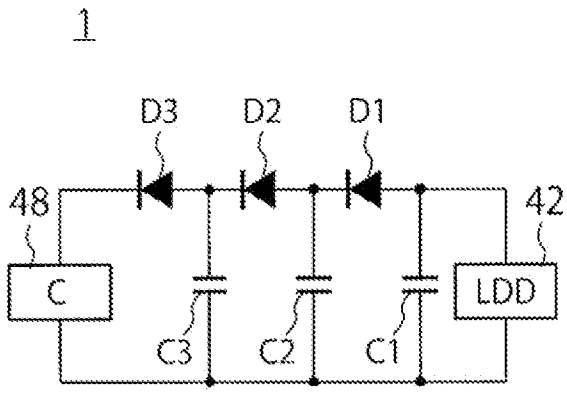
A


1
D3
D2
48
42
C
D1
LDD

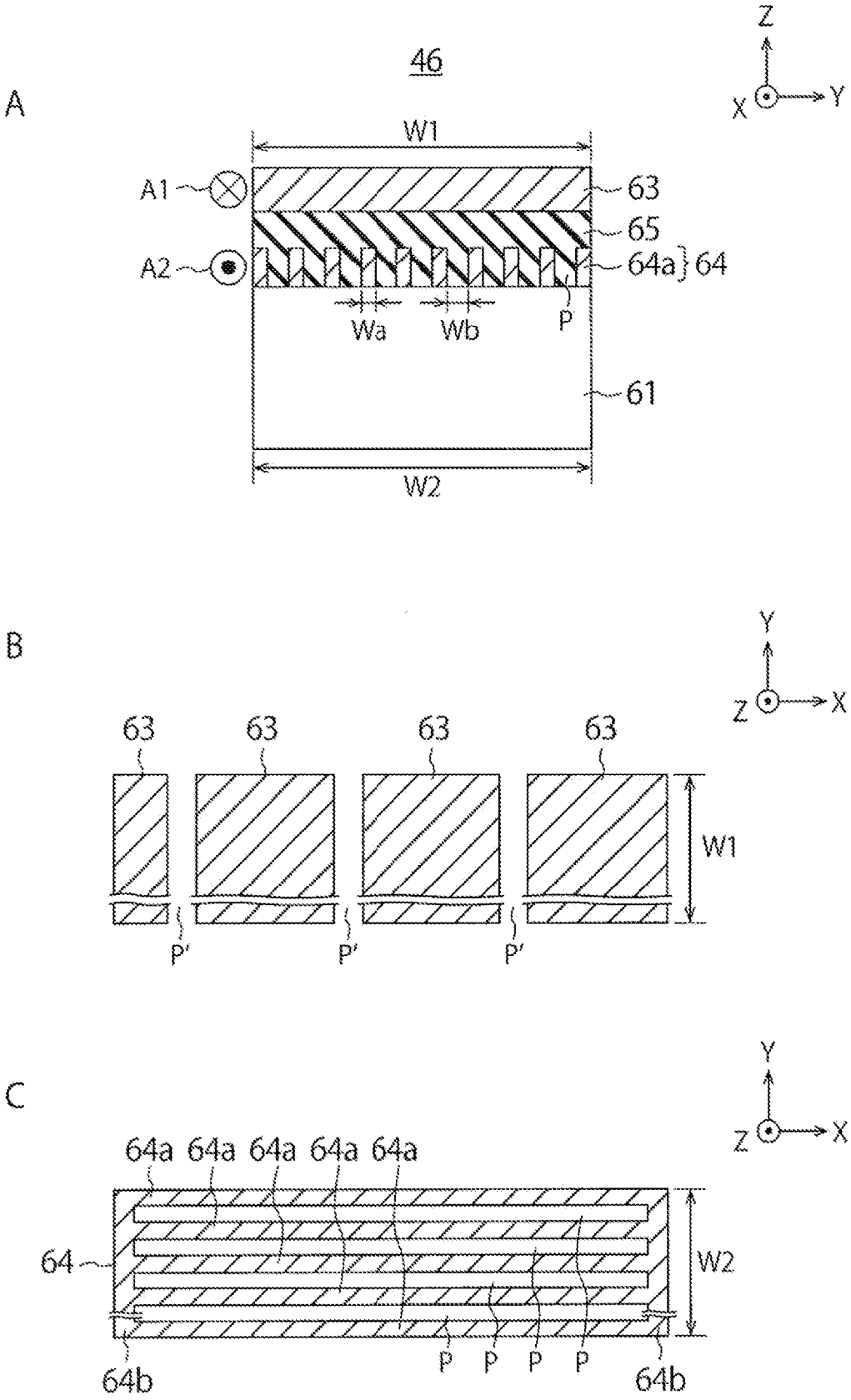
B


1
D3
D2
D1
48
42
C
LDD

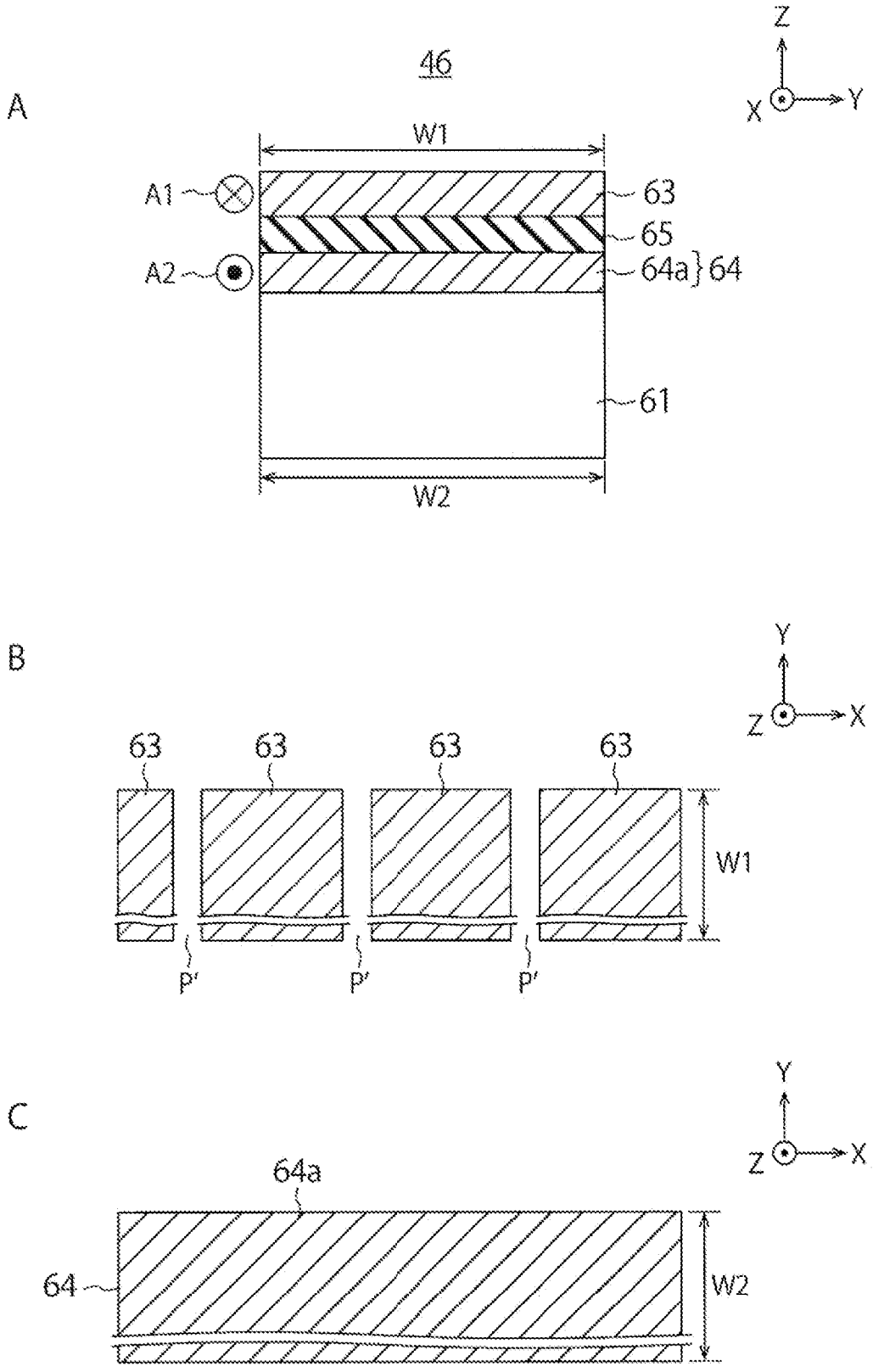
C


1
D3
D2
D1
48
42
C
LDD
C3
C2
C1

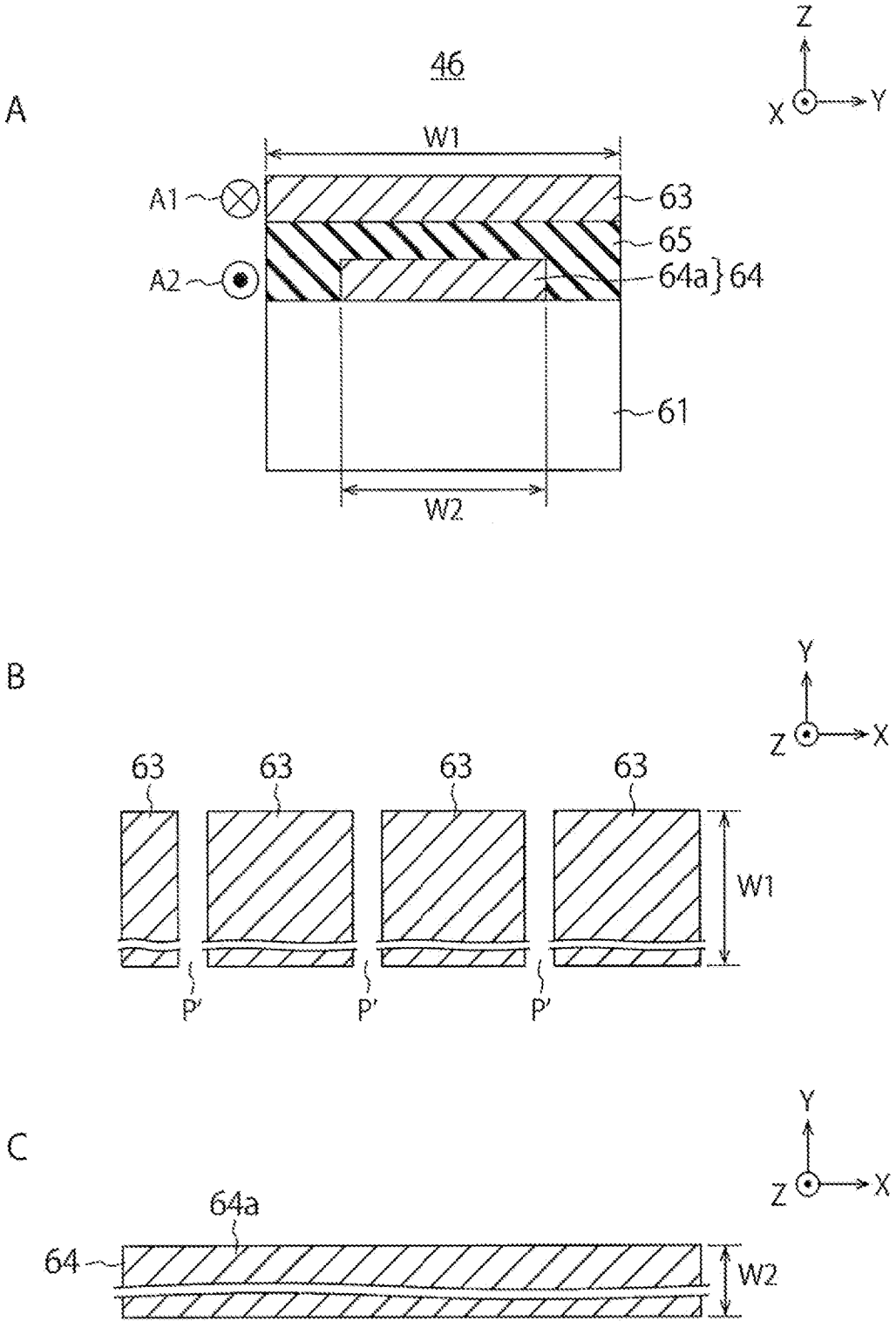
[図7]


A
46
Z
X
Y
W1
A1
A2
63
65
64a
64
Wa
Wb
P
61
W2
B
Y
Z
X
63
63
63
63
W1
P'
P'
P'
C
Y
Z
X
64a 64a 64a 64a 64a
64
W2
P P P P
64b
64b

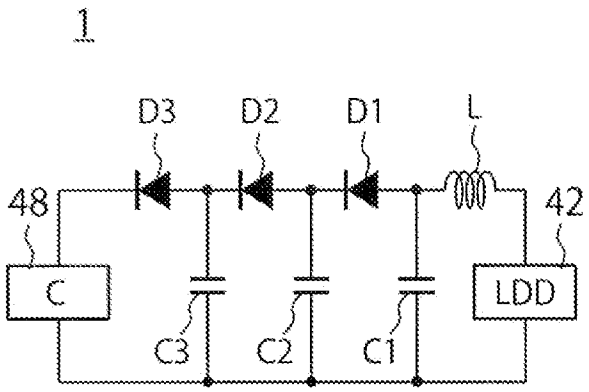
[図8]


A
46
Z
X
Y
W1
A1
A2
63
65
64a
64
61
W2
B
Y
Z
X
63
63
63
63
W1
P'
P'
P'
C
Y
Z
X
64a
64
W2

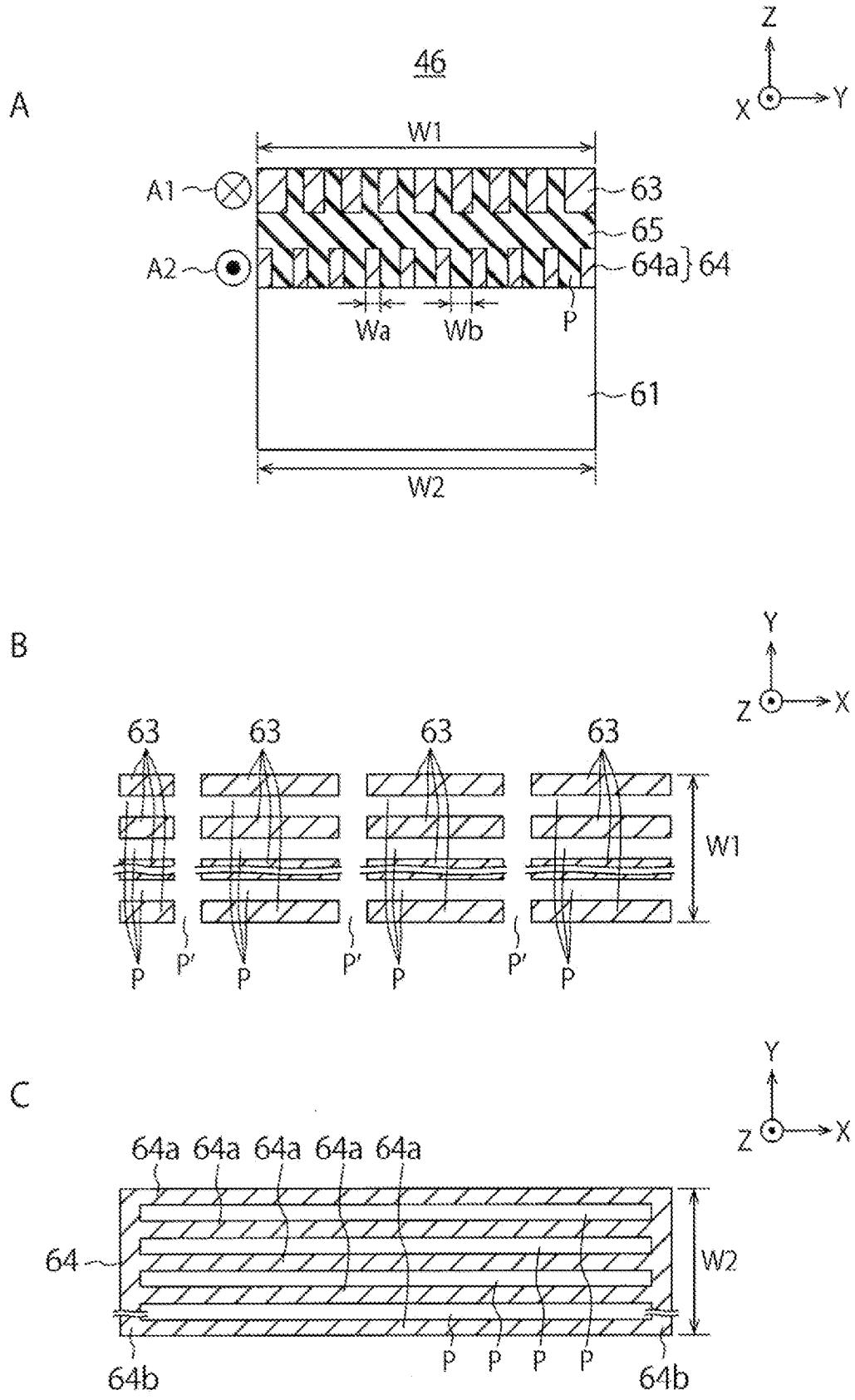
[図9]


A
46
Z
X
Y
W1
A1
A2
63
65
64a
64
61
W2
B
Y
Z
X
63
63
63
63
W1
P'
P'
P'
C
Y
Z
X
64a
64
W2

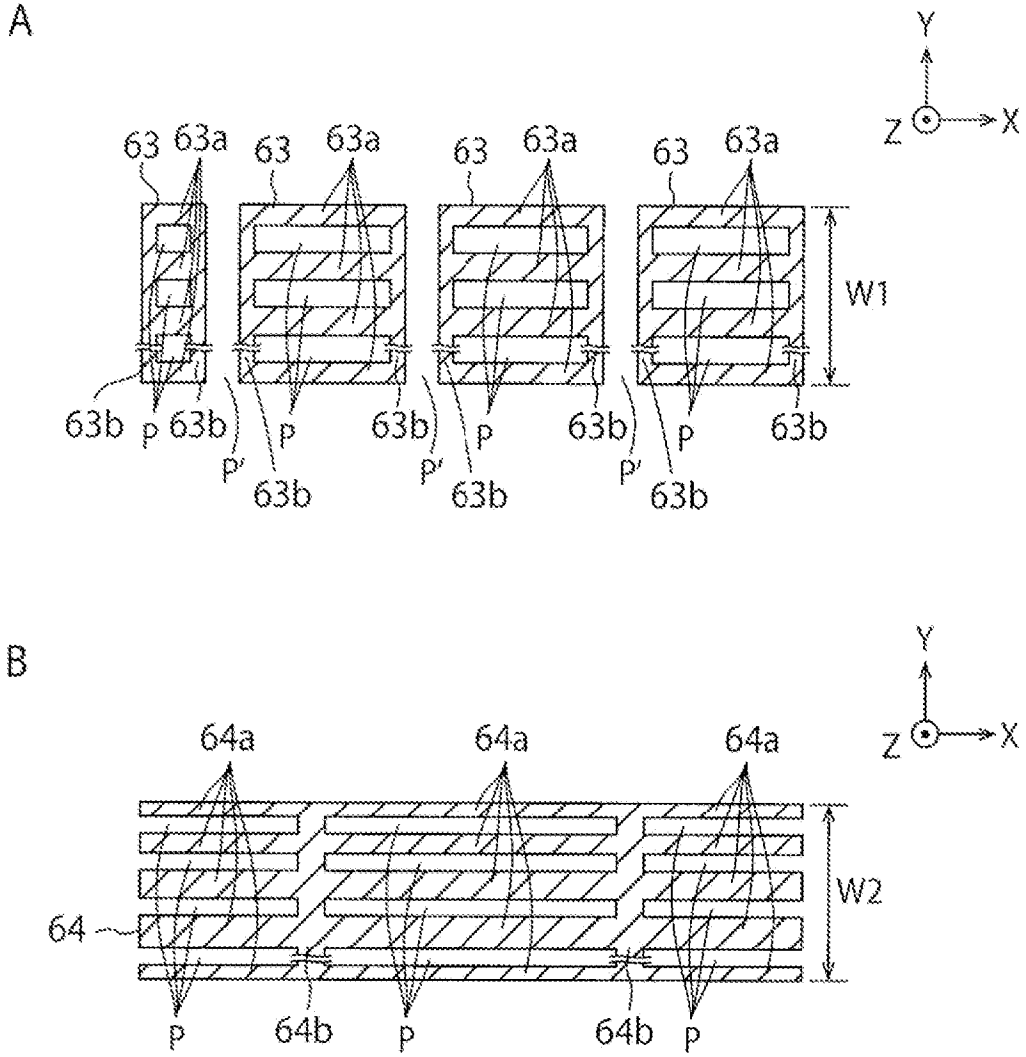
[図10]



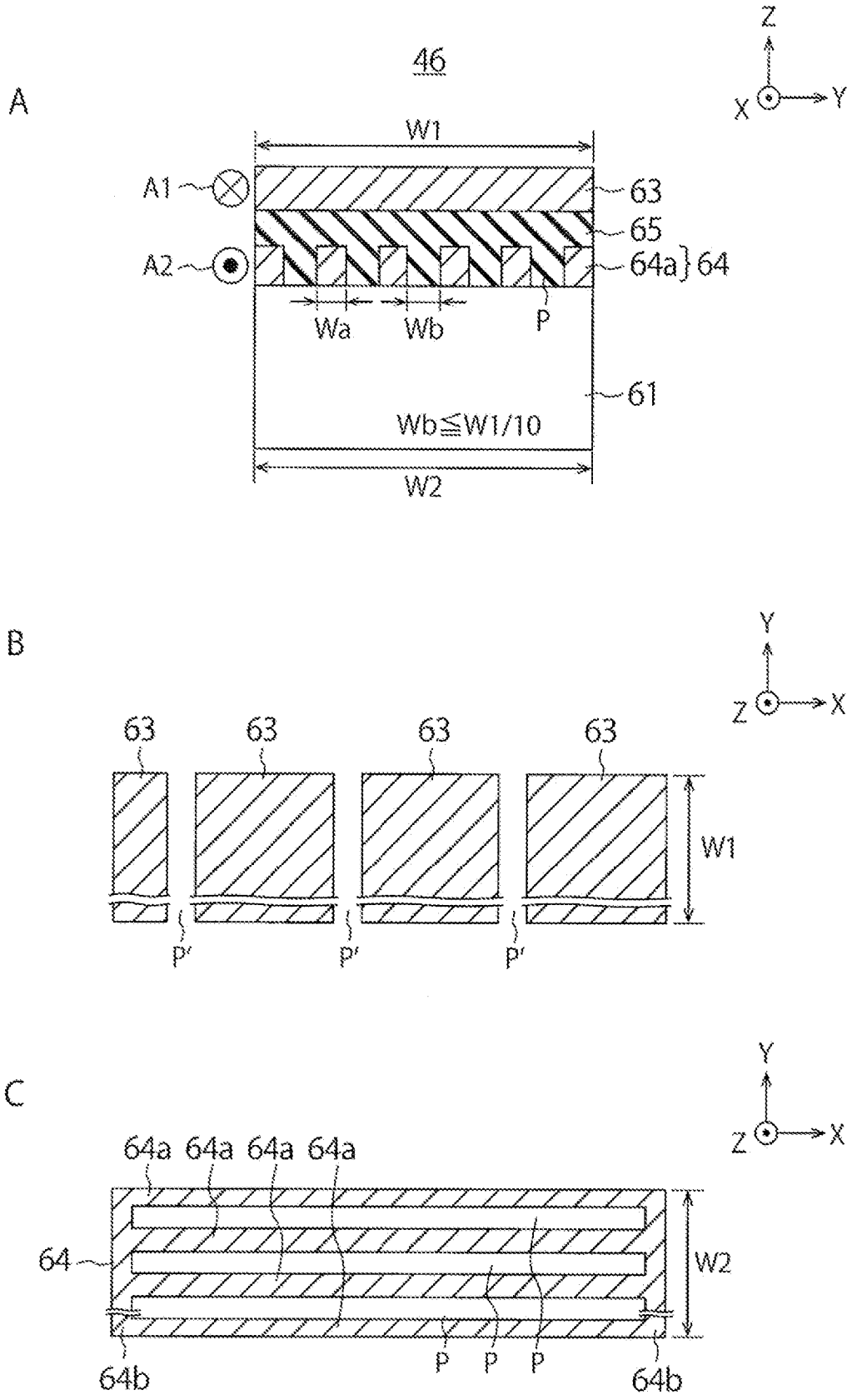
[図11]


A
46
Z
X
Y
W1
A1
A2
63
65
64a
64
Wa
Wb
P
61
W2
B
Y
Z
X
63
63
63
63
W1
P
P'
P
P'
P
P'
P
C
Y
Z
X
64a 64a 64a 64a 64a
64
W2
P P P P
64b
64b

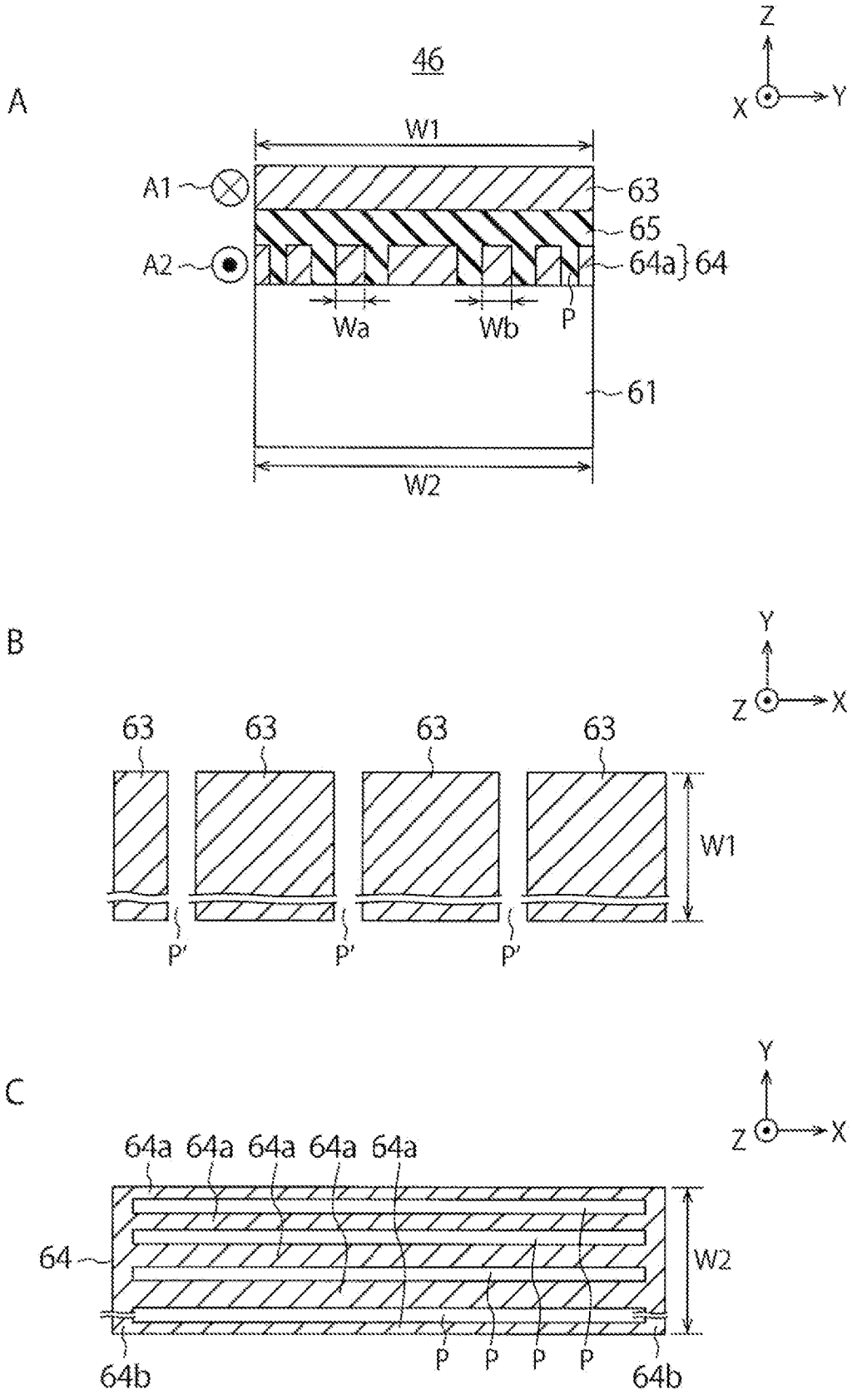
[図12]



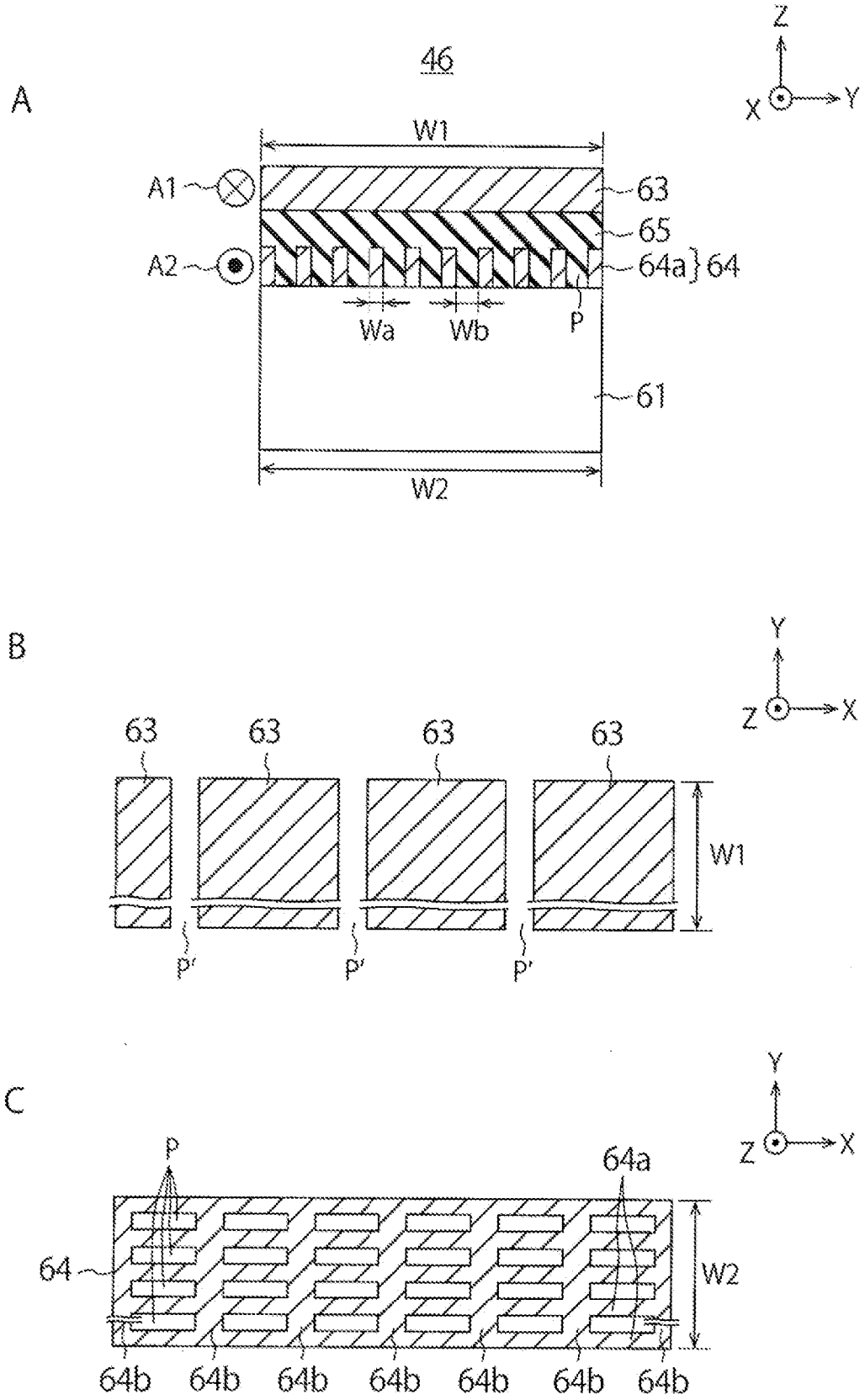
[図13]


A
46
Z
X
Y
W1
A1
A2
63
65
64a
64
Wa
Wb
P
61
Wb≦W1/10
W2
B
Y
Z
X
63
63
63
63
W1
P′
P′
P′
C
Y
Z
X
64a 64a 64a 64a
64
W2
64b
P
P
P
64b

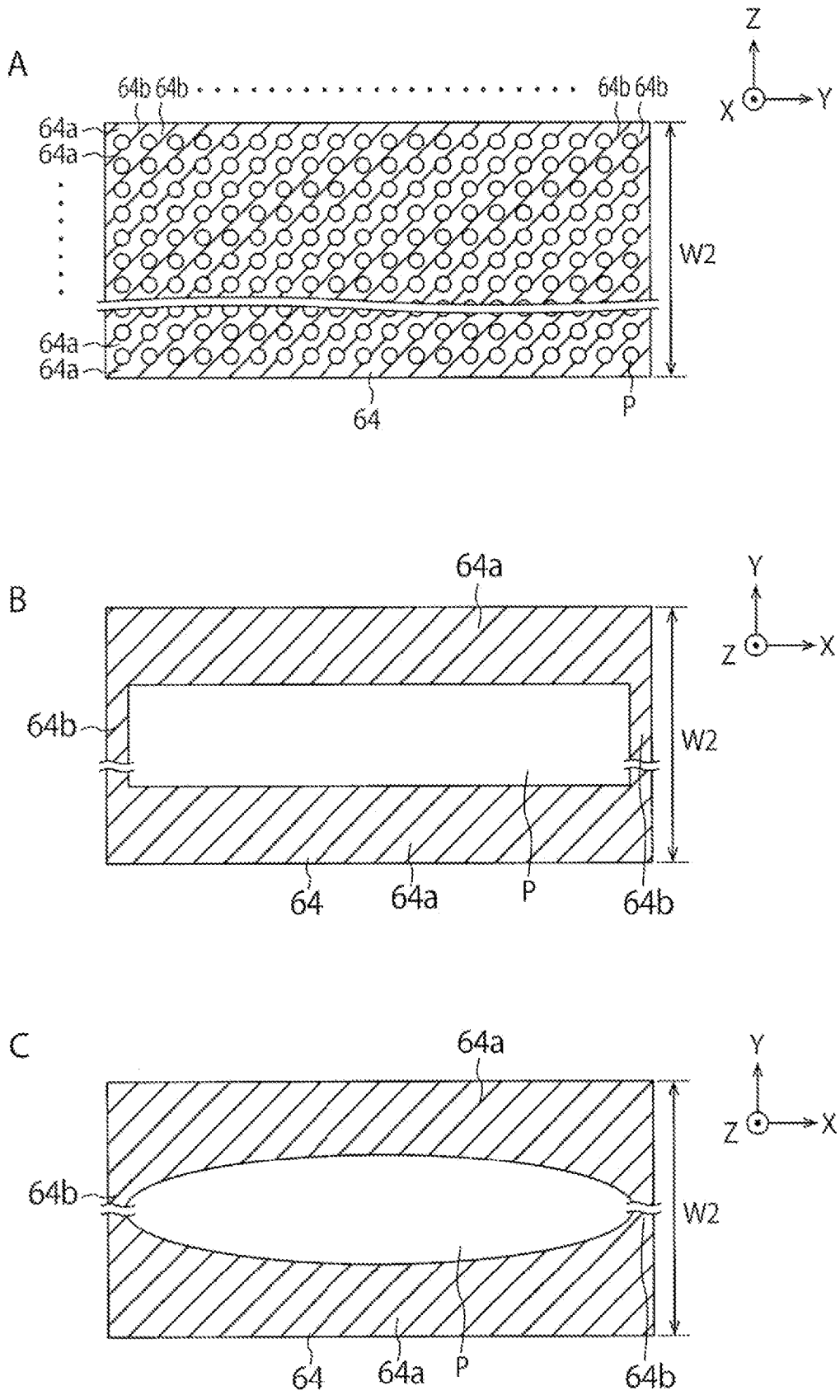
[図14]


A
46
Z
X
Y
W1
A1
A2
63
65
64a
64
Wa
Wb
P
61
W2
B
Y
Z
X
63
63
63
63
W1
P'
P'
P'
C
Y
Z
X
64a 64a 64a 64a 64a
64
W2
P P P P
64b
64b

[図15]


A
46
Z
X
Y
W1
A1
A2
63
65
64a
64
Wa
Wb
P
61
W2
B
Y
Z
X
63
63
63
63
W1
P'
P'
P'
C
Y
Z
X
P
64a
64
W2
64b
64b
64b
64b
64b
64b
64b

[図16]


A
64b 64b
64b 64b
64a
64a
64a
64a
W2
64
P
Z
X
Y
B
64a
64b
W2
64
64a
P
64b
Y
Z
X
C
64a
64b
W2
64
64a
P
64b
Y
Z
X

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/035810

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/12(2006.01)i
FI: H01L23/12 N; H01L23/12 F; H01L23/12 Q

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2020-038855 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 12 March 2020 (2020-03-12) entire text, all drawings	1-20
A	US 2017/0170799 A1 (INTEL CORPORATION) 15 June 2017 (2017-06-15) entire text, all drawings	1-20
A	JP 2019-067805 A (DENKA CO LTD) 25 April 2019 (2019-04-25) entire text, all drawings	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 December 2021	**21 December 2021**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/035810

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2020-038855 A	12 March 2020	(Family: none)	
US 2017/0170799 A1	15 June 2017	WO 2017/099885 A1 entire text, all drawings	
JP 2019-067805 A	25 April 2019	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2021/035810

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 23/12(2006.01)i
FI: H01L23/12 N; H01L23/12 F; H01L23/12 Q

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2020-038855 A (ソニーセミコンダクタソリューションズ株式会社) 12.03.2020 (2020-03-12) 全文、全図	1-20
A	US 2017/0170799 A1 (INTEL CORPORATION) 15.06.2017 (2017-06-15) 全文、全図	1-20
A	JP 2019-067805 A (デンカ株式会社) 25.04.2019 (2019-04-25) 全文、全図	1-20

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
13.12.2021	21.12.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
井上　和俊 5F 3455
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/035810

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-038855 A	12.03.2020	（ファミリーなし）	
US 2017/0170799 A1	15.06.2017	WO 2017/099885 A1 全文、全図	
JP 2019-067805 A	25.04.2019	（ファミリーなし）	