

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200580023972.1

[51] Int. Cl.

H01L 29/775 (2006.01)

H01L 29/78 (2006.01)

H01L 51/05 (2006.01)

H01L 51/30 (2006.01)

H01L 21/336 (2006.01)

B82B 3/00 (2006.01)

[45] 授权公告日 2009 年 7 月 29 日

[11] 授权公告号 CN 100521237C

[22] 申请日 2005.7.12

[21] 申请号 200580023972.1

[30] 优先权

[32] 2004.7.16 [33] GB [31] 0415891.1

[86] 国际申请 PCT/IB2005/052313 2005.7.12

[87] 国际公布 WO2006/008703 英 2006.1.26

[85] 进入国家阶段日期 2007.1.16

[73] 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 R·叙尔迪努 P·阿加瓦尔

A·R·巴尔克宁德

E·P·A·M·巴克斯

[56] 参考文献

WO03/083949A1 2003.10.9

CN1334234A 2002.2.6

US2003/0148562A1 2003.8.7

审查员 罗慧晶

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 王波波

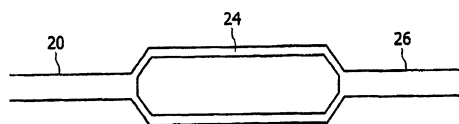
权利要求书 2 页 说明书 7 页 附图 3 页

[54] 发明名称

纳米尺度 FET

[57] 摘要

晶体管器件由连续的线形纳米结构形成，该纳米结构具有源区、漏区以及源区和漏区之间的沟道区。源区(20)和漏区(26)由纳米线形成而沟道区(24)由纳米管形成。提供与沟道区(24)相邻的绝缘栅极(32)，用以控制源区和漏区之间沟道区中的导电性。



1. 一种晶体管器件, 包括:

连续的线形纳米结构 (18), 该纳米结构具有掺杂的源区 (20)、掺杂的漏区 (26) 以及源区 (20) 和漏区 (26) 之间的沟道区 (24); 以及与沟道区相邻的绝缘的栅极 (32), 用以控制源区和漏区之间的沟道区中的导电性,

其中源区 (20) 是纳米线;

漏区 (26) 是纳米线; 且

沟道区 (24) 是在源区和漏区之间延伸的纳米管。

2. 根据权利要求 1 的晶体管, 还包括具有第一主表面 (4) 的基板 (2);

多个所述连续纳米结构 (18), 在纵向方向上跨过第一主表面 (4) 延伸;

在该多个纳米结构的沟道区 (24) 上横向延伸的栅极绝缘层 (30); 以及

在该栅极绝缘层 (30) 上横向延伸的导电栅极材料 (32)。

3. 根据权利要求 1 或 2 的晶体管, 其中该沟道区或多个沟道区 (24) 是不掺杂的。

4. 根据权利要求 1 或 2 的晶体管, 其中纳米管 (24) 的壁厚为 2-20 nm。

5. 根据权利要求 1 或 2 的晶体管, 其中纳米结构的沟道区 (24) 的长度为 5-100 nm。

6. 一种制造晶体管器件的方法, 包括:

通过以纳米线形式生长掺杂区域 (20) 以形成源或漏, 开始生长纳米结构;

在改变的生长条件下继续生长该纳米结构, 以生长纳米管形式的沟道区 (24); 以及

通过以纳米线形式生长掺杂区域 (26) 继续生长该纳米结构, 以形

成源或漏中的另一个；以及

形成与沟道区（24）相邻的绝缘栅极（32）。

7. 根据权利要求6的方法，其中在低于预定转变温度的温度生长源区和漏区（20，26），而在高于预定转变温度的温度生长沟道区（24）。

8. 根据权利要求6或7的方法，包括生长不掺杂的纳米结构的沟道区（24）。

9. 根据权利要求6或7的方法，包括：

提供基板（2）；

提供多个催化起始点（14），用于生长纳米结构；

通过从催化起始点开始以纳米线形式生长掺杂区域（20）开始生长纳米结构（18），在改变的生长条件下继续生长该纳米结构以生长纳米管形式的不掺杂沟道区（24）；以及通过以纳米线（26）形式生长掺杂区域继续生长该纳米结构，以形成源或漏中的另一个；

在该纳米结构的沟道区（24）之上形成电介质层（30）作为栅极绝缘体；以及

在该电介质层（30）上形成导电栅极材料（32）。

10. 根据权利要求9的方法，其中提供多个催化起始点（14）的步骤包括：

淀积跨过基板纵向延伸的多条催化金属的细线（6）；

在催化金属的细线上淀积绝缘体（8）；

在窗口（10）中刻蚀绝缘体（8）和催化金属（6）以暴露该窗口边缘（12）处的催化金属的细线的端部（14）作为催化起始点。

纳米尺度 FET

技术领域

本发明涉及一种纳米尺度的 FET，具体而言，涉及一种使用纳米线和纳米管技术的 FET。

背景技术

金属氧化物半导体 (MOS) 或金属绝缘体半导体 (MIS) 晶体管器件的尺寸缩小正到达极限，其中，满足国际半导体技术蓝图中设定的目标的平面器件的制造越来越困难。因此，出现了新的金属绝缘体半导体器件结构，例如双栅或 FinFET (鳍式场效应晶体管) 结构。然而，即便这些器件也难以尺寸缩小，且对源漏区域的掺杂和栅极下的电流输运半导体层的厚度存在限制。

这样仍需要新的器件类型。

近来，提出了很多纳米管和纳米线 FET。

US 2003 / 0148562 提出了一种场效应晶体管，其中碳纳米线形成源极、沟道和漏极区域以及环绕的纳米管栅极。氮化硼纳米管绝缘体用作纳米线沟道和纳米管栅极之间的绝缘体。然而，制造这种器件具有很大的制造困难。

US 2003 / 0178617 提出了一种自对准碳纳米线结构，大多数使用垂直纳米线，但在一个实施例中包括在端部形成有化学基的水平纳米线，且然后在将组装纳米线的地方通过提供互补化学基进行对准。例如，认为 DNA 的互补段是合适的互补基。

US 2004 / 0036128 描述了另一种碳纳米结构，这种情况使用碳纳米管。一个实施例中，从漏极催化物接触水平地生长纳米管。

尽管上述文献描述了碳纳米线的使用，还知道从半导体化合物生长的纳米线。在 Hiruma 等在 J. Appl. Phys, Vol.77, No, 2 (1995), 447-461 页中的 “Growth and optical properties of nanometer-scale GaAs and InAs whiskers” 的应用物理回顾中提供了生长这些线的方法和它们的使用的早

期回顾。

它们生长的进一步细节在 Morales 和 Lieber 的“A laser ablation method for the synthesis of crystalline semiconductor nanowires”, Science Vol. 279, 208-210 页 (1998) 中提供。

生长纳米线超晶格, 即, 包含多于一种材料的纳米线的细节, 包含在 Gudiksen 等的 “Growth of nanowire superlattice structures for nanoscale photonics and electronics”, Nature, Vol. 415, 617-620 页 (2002) 一文中。

后一篇文章包含更多的对所谓的气-液-固 (VLS) 生长工艺的引用。在 VLS 工艺中, 液态金属簇或催化物用作从气相反应物生长半导体的核。原则上, 金属簇的尺寸决定了纳米线的宽度。通过确保极低直径的催化剂, 可以生长窄的线。

Morales 等的方法中, 通过激光烧蚀金属靶产生金属簇的悬浮液制备小直径簇。金属原子例如是金。

Gudiksen 等的文章描述了纳米线的成分可以怎样在生长过程改变以提供高质量的异质结。

Bakkers 和 Verheijen 在 “Synthesis of InP Nanotubes”, Journal of the American Chemical Society, Vol. 125, no 12, 2003, 3440-3441 页描述了在 InP 中生长纳米管的细节。

然而, 仍然需要改进的半导体纳米线器件和实际的制造方法。

发明内容

根据本发明, 提供了一种晶体管器件, 包括: 连续的线形纳米结构, 该纳米结构具有掺杂的源区、掺杂的漏区以及源区和漏区之间的沟道区; 以及与沟道区相邻的绝缘的栅极, 用以控制源区和漏区之间的沟道区中的导电。源区和漏区是纳米线且沟道区是在源区和漏区之间延伸的纳米管。

本说明书中, 术语纳米线表示实心线纳米结构, 即, 不用于空心的纳米结构, 且术语纳米管用于具有中空内部的纳米结构。

纳米管的精确受控掺杂在技术上是很难的, 因此很难简单使用从源区经过沟道区延伸到漏区的纳米管, 因为必须对源区和漏区进行掺杂, 这种情况它们应该是纳米管形式。与此对照, 通过使用本发明的方法, 其中纳米管用于沟道且纳米线用于源区和漏区, 可以对源区和漏区进行掺杂而仍然具有纳米管沟道的优势。

纳米管沟道具有薄壁，因此，在使用中，将完全反型，这会导致好的晶体管属性。而且，沟道完全反型这一事实可以减少未对准的重要性且这可以改善器件的可制造性。

通过提供在沟道区具有纳米管且在源区和漏区具有纳米线的连续的纳米结构，在优选实施例中，在沟道中的纳米管的薄壁中可以获得量子限制。这增加了该区域中的迁移率，由此改善了器件特性。

优选实施例中，所述纳米结构由半导体材料而不是碳形成。半导体的掺杂更为直接。

优选地，沟道纳米管区域是不掺杂的以增加器件的迁移率。

纳米线源区和漏区的厚度可以在远离纳米管沟道的区域中比在邻近纳米管沟道的区域中制备得大，以有利于接触器件，由于具有大的接触面积，改善了可制造性且改善了接触电阻。

一个特殊实施例中，晶体管在具有第一主表面的基板上形成；多个所述连续纳米结构在纵向方向上基本彼此平行地跨过主表面延伸；薄的栅极绝缘层在该多个纳米结构的沟道区上横向延伸；且导电栅极材料在薄的栅极绝缘层上横向延伸。注意术语“基本平行”不是意在暗示纳米结构必须严格是直的或全部精确对准，单个纳米结构内或不同纳米结构之间的方向的一些变化是可以接受的。

纳米管沟道区的长度可以为 5-100 nm。

纳米管的沟道区的壁厚可以为 2-20 nm。

另一方案中，本发明涉及一种制造晶体管的方法，包括：

通过以纳米线形式生长掺杂区域以形成源或漏，开始生长纳米结构；

在改变了的生长条件下继续生长纳米结构以生长纳米管形式的不掺杂的沟道区；以及

通过以纳米线形式生长掺杂区域继续生长纳米结构以形成源或漏中的另一个；以及

形成与沟道区相邻的绝缘栅极。

通过改变生长温度，可以方便地实现纳米管和纳米线区域之间的转变。因此，源和漏可以在低于预定转变温度的温度生长，而沟道区在高于预定转变温度的温度生长。在 InP 纳米管的情况下，转变温度可以是 500°C。

本发明可以包括生长纳米结构的沟道区，使其具有第一宽度，以及

生长源区和漏区，使其具有至少三倍于第一宽度的最大宽度。

优选实施例中，本方法包括：

提供基板；

提供多个用于生长纳米结构的催化起始点；

通过从催化起始点开始以纳米线形式生长掺杂区域，开始生长所述纳米结构，在改变了的生长条件下继续生长该纳米结构以生长纳米管形式的沟道区；以及通过以纳米线形式生长掺杂区域继续生长该纳米结构，以形成源或漏中的另一个；

在该纳米结构的沟道区之上形成电介质层作为栅极绝缘体；以及

在该电介质层之上形成导电栅极材料。

优选地，沟道区是不掺杂生长的。

提供多个催化起始点的特别便利的方法包括：

淀积跨过基板纵向延伸的多条催化金属的细线；

在催化金属的细线上淀积绝缘体；

在窗口中刻蚀该绝缘体和该催化金属以在窗口的边缘处暴露催化金属的细线的端部作为催化起始点。

附图说明

为了更好地理解本发明，将参考附图，以纯举例方式，描述实施例，附图中：

图 1 示出了根据本发明的实施例制造晶体管的第一阶段的侧视图；

图 2 示出了图 1 的第一阶段的顶视图；

图 3 示出了根据实施例制造晶体管的第二阶段的顶视图；

图 4 是根据实施例的晶体管生长中的第三阶段的顶视图；

图 5 是用在本发明中的纳米结构的剖面图。

请注意附图是示意性的，并没有按比例绘制。

具体实施方式

参考图 1 和图 2，提供基板 2，它具有在图 1 中以顶面示出的第一主表面 4。硅基板是可广泛获得且方便的。接着，在基板上淀积薄金层，并对其进行图形化以形成在第一主表面 4 上平行行进的多条薄金线 6。

在整个表面上淀积氧化物层 8。然后窗口 10 被图形化并刻蚀穿过氧化物层 8 和金线 6 以在该窗口中暴露基板 2，方便地，窗口 10 是方形或矩形，具有垂直于金线 6 行进的相对边 12。相对边处的金线的端

部 14 形成了生长纳米结构的催化起始点。

然后开始生长纳米结构 18。在描述的该特定实施例中，生长 InP 纳米结构 18，尽管技术人员可以应用该技术到其它所需材料。

生长的纳米结构的属性取决于生长条件，尤其是温度。

使用生长条件执行初始生长以生长 InP 的掺杂的纳米线区域 20，没有空心的内部，直径约为 20 nm。一般地，可以在低于 500℃ 的温度执行这种纳米线生长。如有需要，生长条件可以改变，以在整个掺杂纳米线区域或备选地仅在恒定宽度的初始部分之后提供渐狭区域 22。这可以在将要与源极和漏极接触的区域中比在与沟道相邻的区域中提供更宽的纳米线。

接着，生长条件改变且生长继续。掺杂剂被去除且温度升高到 500℃ 以上，以便生长不掺杂的纳米管以形成沟道区 24。方便地，沟道区的长度是约 5 ~ 100 nm，纳米管的宽度是约 20 ~ 100 nm。壁厚可以是 2 ~ 20 nm。

生长条件再次改变且生长继续以形成掺杂的纳米线区域 26。如以前，该区域的部分可以是渐狭区域 22。第二掺杂纳米线区域 26 可以使用与第一掺杂纳米线区域 20 相同的生长条件形成。

生长条件的改变可以充分突变以在沟道区 24 和周围的掺杂区域 20、26 之间产生很突变的边界，且也可以容易地控制源和漏中的掺杂。

InP 生长条件的进一步细节可以在 Bakker 和 Verheijen 的“Synthesis of InP Nanotubes”中发现。可以使用 VLS 方法，其中基板放置在温度受控的氧化铝块上且基板的温度稳定。然后，ArF 激光束聚焦到 InP 靶以汽化 InP，该汽化的 InP 在金催化剂上生长。

对于不掺杂的 InP，纳米线和纳米管生长之间转变的转变温度是 500℃，但对于掺杂的 InP，该转变温度要有少许变化。对于 1% Se 掺杂，小于或等于 485℃ 的生长温度生长纳米线且高于 530℃ 的温度生长管。对于 0.1% S 掺杂，480℃ 的生长温度生长纳米管。对于 Zn 掺杂，小于 480℃ 的温度生长实心纳米线，大于 515℃ 的温度生长纳米管。

一个特定试验中，生长壁厚为 2 nm 且直径为 27 nm 的纳米管。可以通过将生长温度改变为高于转变温度来改变纳米管的壁厚。一般而言，较高的温度用于生长较薄的壁。例如，对于掺杂 0.1% S 的 InP 靶，基板温度从 480℃ 到 550℃ 的变化导致壁厚分别从约 14 nm 变化到

9nm。

所有这些备选纳米线生长和掺杂组合可以用于生长本发明的纳米结构。

技术人员将能够通过实验判断其它纳米结构材料的合适的转变温度。

因此，这些材料的使用包括在本发明的范围内。

注意本实施例中，纳米结构生长将实际从窗口 10 的两个相对边 12 开始，尽管这与纳米结构的对称属性极不相关。

参考图 4，在纳米结构 18 的沟道区 24 上放置薄的电介质层 30。在该实施例中，这是薄的二氧化硅层。然后在表面上淀积栅极材料 32。本实施例中，栅极材料是金属，尽管可以也使用多晶硅。

接着执行栅极 32 图形化。然后制备掺杂区域的接触，包括源极接触 34 和漏极接触 36。

图 5 示出了形成的纳米结构的示意性剖面图，示出了具有薄壁的中央纳米管区域 24 以及填充的端部源极和漏极区域 20、26。

由于各个部件的小尺寸，图形化步骤可以使用电子束光刻，尽管也可以使用深紫外（DUV）或尤其是极深紫外（EUV）光刻。

该器件结构的优势包括具有很多自由度的器件结构，其可以以很多材料实现，使用不同的源漏掺杂和多种尺寸以使器件能够适合各种需要。

可以在单个工艺中生长整个纳米结构。

极窄的沟道区可以足够小，使得量子效应增加了迁移率。

沟道可以完全反型，这可避免栅极不对准导致的问题，由此使得器件更具有可制造性。

使用本发明可以在高迁移率的材料中制造 NMOS 和 PMOS 器件。

而且，可以调整杂质激活能和转变，以获得从掺杂区域 20、26 到未掺杂沟道区 24 的单原子突变。

阅读本公开说明，对于本领域技术人员来说，其它改变和修改是显而易见的。这种改变和修改可以包括在设计、制造和使用半导体器件，尤其是纳米线和纳米管中已知的等价的或其它特征，其可以与这里描述的特征结合使用或可以替代这里描述的特征。尽管该申请中已经将权利要求书规定成特定的特征组合，应当理解，本公开说明的范

围也明确地或暗示地或一般化地包括任意新颖的特征或这里描述的特征的任意组合，而不管它是否如本发明一样减轻了一些或全部的技术问题。由此本申请声明，在本申请或从其延伸的任意其它申请的进行过程中，可以将新的权利要求规定成任意这些特征和/或这些特征的组合。

具体而言，可以使用其它半导体材料代替 InP，例如 Si、Ge、GaN，实际上全部的 III-V 族、II-VI 族和 IV 族半导体，或三元或四元半导体。

备选实施例中，栅极可以在沟道区 24 周围淀积，得到改善的性能。

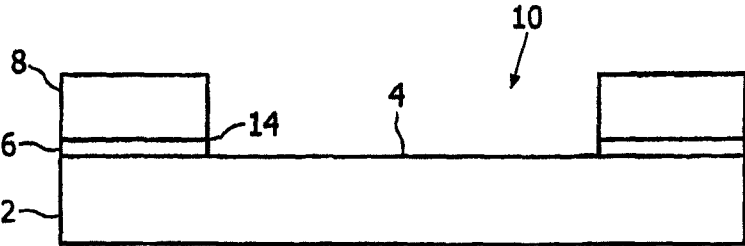


图 1

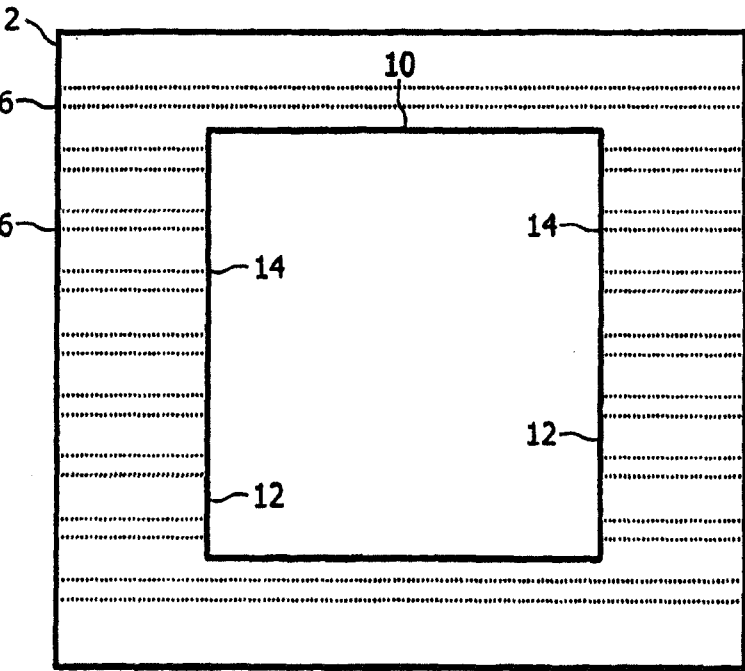


图 2

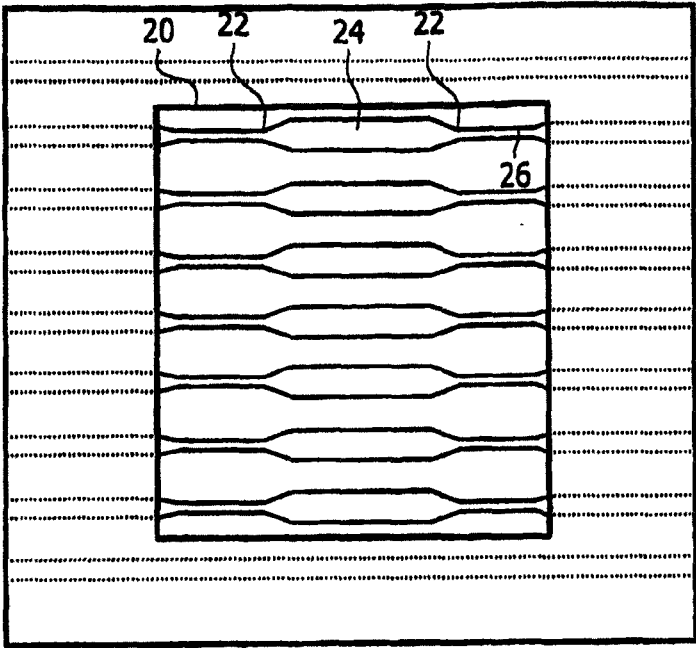


图 3

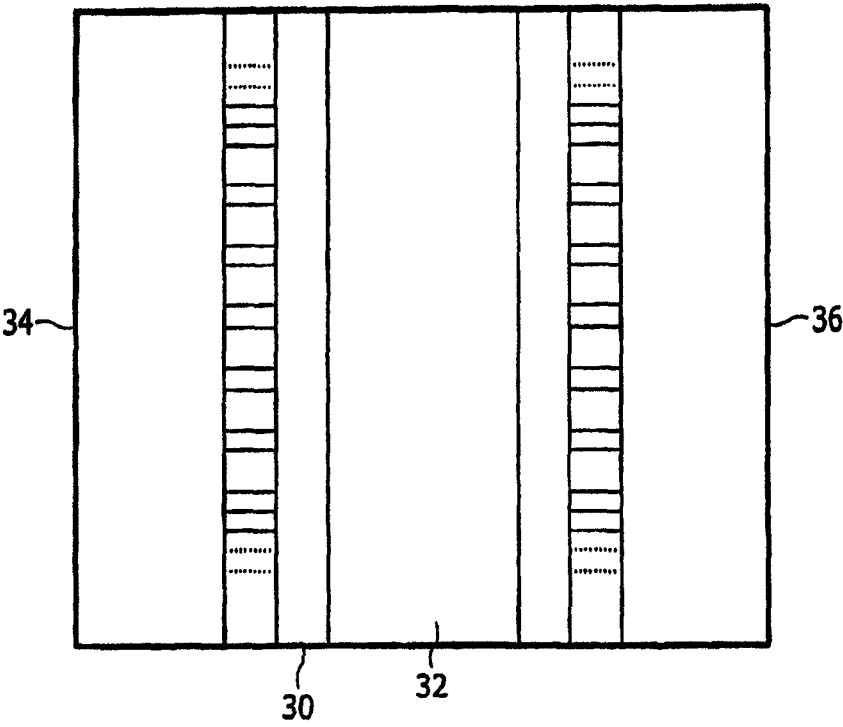


图 4

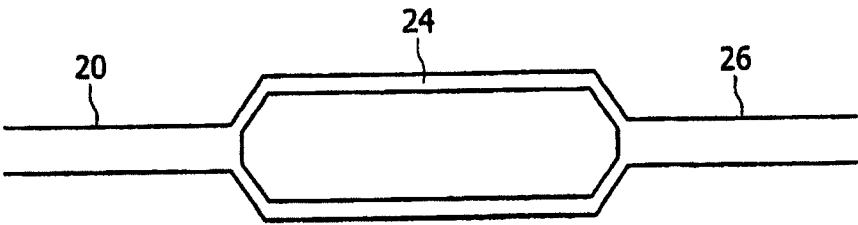


图 5