

公告本

209323

申請日期	80. 9. 16
案 號	80 10730F
類 別	H03K 17/10

A4
C4

(以上各欄由本局填註)

發明
新型 專利說明書

一、發明 名稱	中 文	變化率加速電路
	英 文	SLEW RATE SPEED-UP CIRCUIT
二、發明 人	姓 名	(1) 李 貝 旺 (Bang-Won Lee) (2) 黃 羌 恩 (Kyoung-Un Hwang)
	籍 貫 (國籍)	(1) (2) 韓 國
	住、居所	(1) (2) 韓 國
三、申請人	姓 名 (名稱)	三星電子股份有限公司 (Samsung Electronics Co., ltd.)
	籍 貫 (國籍)	韓 國
	住、居所 (事務所)	韓國奇仰基都舒旺市麻業坦道 416 號
	代表人 姓 名	金 廣 和

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

本發明係關於一運算放大器或一比較器，且尤指一種電路其可改良於輸出端子具電容性負載之運算放大器等之變化率（一輸出信號之反應速度為輸入信號之一函數）。

多數電子電路均廣泛採用運算放大器或比較器其可藉著加、減，或差動放大一反相端子及一非反相端子之輸入信號之方式而產生一輸出信號。在此種運算放大器中，首先，一輸出信號之反應需為一輸入信號之函數，且其程度對電子電路之性能及可靠性具有重要效應。特別地，在半導體記憶裝置所採用之比較器中，假設反應速度慢，高速運作之記憶裝置之錯誤功能及資料存取時間之慢速等情事會產生。

圖1為一電路圖其揭示習知之比較器（或一運算放大器）。如圖1所示，一N通道輸入型式之比較器及差動放大器具相同之結構。因此，當第一輸入端子21之電位較第二輸入端子22者為高時，P型MOS電晶體4及5以及N型MOS電晶體7及11即被開啓，因此可降低第二輸出端子24之電位。相反地，假設第二輸入端子22之電位較第一輸入端子21者為高時，則一電壓源 V_{DD} 即經由一P型MOS電晶體10而對第二輸出端子24充電。在此情形下，第一輸出端子23之電壓增益 A_{V01} 及第二輸出端子24之電壓增益 A_{V02} 分別計算如下。

$$A_{V01} = g_{m2} / g_{m6}$$

$$A_{V02} = \{ g_{m1} (s_{10} / s_6) \} / (g_{ds10} + g_{ds11})$$

其中 g_{m1} 、 g_{m2} 及 g_{m6} 分別為N型MOS電晶體1及2以及

209323

五、發明說明(2)

P 型 MOS 電晶體 6 之跨導。 g_{ds} 為通道電導， S 為通道寬度與長度之比值。

假設輸出電壓 V_{OUT} 正向遞增時，當由第二輸出端子 24 經由 N 型 MOS 電晶體 11 而流入地電壓端子 V_{SS} 之下拉電流 I_{11} 為“0”時，則第二輸出端子 24 處之變化率 SR 即成為最大值。假設輸出電壓為負向遞增，當由電壓源端子 V_{DD} 經由 P 型 MOS 電晶體 10 而流入第二輸出端子 24 之上拉電流 I_{10} 為“0”時，則第二輸出端子 24 處之變化率 SR 即成為最大值。

然而，第二輸出端子 24 處存有寄生電容器 15 之負載電容 C_L 其使負載電流 i_L 流動。負載電容 C_L 及負載電流 i_L 於第二輸出端子 24 由邏輯“低”變化至邏輯“高”或由邏輯“高”變化至邏輯“低”期間對變化率 SR 有一重要效應。詳言之，變化率 SR 係定義成輸出電壓 V_{OUT} 相對於時間之差動係數，且另一方面，負載電流 i_L 指示上拉電流 I_{10} 減去下拉電流 I_{11} 之值。因此，變化率 SR 可表示如下。

$$SR = |dV_{OUT}/dt| = |i_L/C_L| = |(I_{10} - I_{11})/C_L|$$

如上所示之變化率 SR 式中，為增加變化率 SR （或使一輸出信號之快速反應速度為一輸入信號之函數），負載電容 C_L 應減少或負載電流 i_L 應增加。負載電容 C_L 值因負載電容，身為一寄生元件，於一電路結構中具一無可避免之固定值而無法被改變，但有可能藉著增加 P 型 MOS 電晶體 10 及 N 型 MOS 電晶體 11 之尺寸之方式來增加負載電流 i_L 。然而，為增加 MOS 電晶體 10 及 11 之尺寸以於輸出中使用會令

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

人不欲地導致電路功率消耗之增加。

因此本發明之一目的係提供一種電路其可改善變化率而不致增加一比較器等等裝置中之輸出端子之功率損耗。

依據本發明之一觀點，一運算放大器，其具一差動放大器及一閘極連至該差動放大器之輸出端子處之第一上拉電晶體，包括一第一輸出端子，一第二上拉電晶體其閘極連至差動放大器之輸出端子而通道連於電壓源端子與第一輸出端子之間，一第二輸出端子其連至第一上拉電晶體之通道之任一端子，一電流調整裝置其連於第一輸出端子與第二輸出端子之間且具一共用電流路徑，一上拉電流路徑及一下拉電流路徑，一第一下拉電晶體其通道連於第二輸出端子與一地電壓端子之間，以及一第二下拉電晶體其通道連於第一輸出端子與一地電壓端子之間。

本發明之優點及特色將由下列之詳細說明並配合隨附圖式而更明顯，其中：

圖 1 係顯示一習知比較器（或一運算放大器）之電路圖；

圖 2 係顯示一電路圖其揭示本發明之一比較器（或一運算放大器）之較佳實施例；以及

圖 3 係顯示一視圖其揭示本發明之運算波形。

圖 2 中，與圖 1 所示者相同之結構元件係以相同之參考號碼加以指示。如圖所示，P 型 MOS 電晶體 9 之閘極連至一差動放大器之輸出端子 23，且其通道係連於一電源端子 V_{DD} 與第一輸出端子 25 之間。一 N 型 MOS 電晶體 8 之閘

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(4)

極連至 N 型 MOS 電晶體 7 之閘極，且其通道連於第一輸出端子 25 與一地電壓端子 V_{ss} 之間。一電流調整電路 30，由 N 型 MOS 電晶體 12，P 型 MOS 電晶體 13 及電阻器 14 所組成，係連於第一輸出端子 25 與第二輸出端子 26 之間，第二輸出端子 26 相關於圖 1 之第二輸出端子 24。N 型 MOS 電晶體 12 之閘極連至第一輸出端子 25，且其通道連於電壓源 V_{DD} 與第二輸出端子 26 之間。P 型 MOS 電晶體 13 之閘極連至第一輸出端子 25，且其通道連於第二輸出端子 26 與地電壓端子 V_{ss} 之間。電阻器 14 將第一輸出端子 25 連至第二輸出端子 26。圖 2 所示之電路中，應注意上拉用之 P 型 MOS 電晶體 9 及 10 尺寸相等，且下拉用 N 型 MOS 電晶體 8 及 11 尺寸亦相等。

圖 3 中，顯示一輸入波形 31，一位於第一輸出端子 25 之波形及一位於第二輸出端子 26 之波形。假設一邏輯低（亦即“0”位準）之輸入信號（稱為“第一輸入信號”）施加至第一輸入端子 21，且一信號（稱為“第二輸入信號”）例如圖 3 之輸入波形施加至第二輸入端子 22。因第二輸入信號之電位高於第一輸入信號者，故差動放大器之輸出端子 23 之電位變為邏輯低。藉此，用於上拉之 P 型 MOS 電晶體 9 及 10 被開啓，因此將第一輸出端子 25 及第二輸出端子 26 充電至電壓源 V_{DD} 位準。在此情形下，假設第二輸出端子 26 處無電容器 15，第一輸出端子 25 與第二輸出端子 26 之電壓即變得相同且接著電流不於第一輸出端子 25 與第二輸出端子 26 間流動。然而，如上所述，第二輸出端子 26

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

處之寄生電容器 15 所引起之負載電容 C_L 之存在却係無法避免者。因此，電壓例如圖 3 之波形 32 即藉負載電容 C_L 而形成於第一輸出端子 25 處，且電壓例如圖 3 之波形 33 係形成於第二輸出端子 26 處。第二輸出端子 26 之波形 33 具一較緩和之梯度，亦即較第一輸出端子之波形 32 為緩和之變化率。此係因為負載電容 C_L 之充電時間之故。亦即，第一輸出端子 25 之 t_1 之電位較第二輸出端子 26 者高出 ΔV 。假設電位差 ΔV 變得較 N 型 MOS 電晶體 12 之臨界電壓為大時，該 N 型 MOS 電晶體 12 即被開啓且電流 i_x 接著流入第二輸出端子 26 直到第一與第二輸出端子 25 及 26 之電位變得相同時為止。此外，電流 i_R ，由第一輸出端子 25 與第二輸出端子 26 間之電阻器 14 處之電位差所造成者，係流入第二輸出端子 26。亦即，流入第二輸出端子 26 之電流量成為 $(I_{10} - I_{11}) + i_x + i_R$ 。流入第二輸出端子 26 之電流量與圖 1 者相較增加 $(i_x + i_R)$ 。因輸出電流之增加，電容器 15 之充電時間即變短那麼多，以藉此改善變化率。依同樣方式，假設第二輸入信號之電位較第一輸入信號之邏輯“0”位準為低時，流入地電壓端子 V_{ss} 之電流即為流經 P 型 MOS 電晶體 13 之電流 i_y 及經由電阻器 14 而流入第一輸出端子 25 之電流之總和，且其方向與上述電流 i_R 及下拉電流 i_{11} 之方向相反。經由電阻器 14 流入第一輸出端子 25 之電流方向係依第一輸出端子 25 與第二輸出端子 26 間之電位差來決定。據此，負載電容 C_L 之放電時間變短那麼多，因此，改善變化率。

因此，因第二輸出端子 26 之波形 33 依箭號方向移位，

五、發明說明(6)

故一為輸入波形 31 之函數之輸出信號之速度(或變化率)即變得較快。

如上所述，一運算放大器或比較器中，輸出信號之變化率可被改善而不致增加一電路之備用中之功率損耗。

本發明已參考採用一 N 通道輸入型式之比較器之較佳實施例而加以特別地顯示及說明。然而，即使採用一 P 通道輸入型式之比較器，或採用一信號例如圖 3 之輸入波形 31 以充作第一輸入信號且設定一邏輯“0”位準之第二輸入信號等作法，熟於本技藝人士將明瞭由所述較佳實施例所達成之運作及目的仍可被實施。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

於第一輸出端子與地電壓端子之間。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：

26 connected to one end of the channel of the first pull-up transistor 10, a current regulating means 30, connected between the first output terminal and the second output terminal, having one common current path, one pull-up current path and one pull-down current path, a first pull-down transistor 11 having a channel connected between the second output terminal and a ground voltage terminal, and a second pull-down transistor 8 having a channel connected between the first output terminal and the ground voltage terminal.

附註：本案已向

國(地區) 申請專利·申請日期：

案號：

四、中文發明摘要(發明之名稱：變化率加速電路)

本發明係揭示一種運算放大器或比較器中之變化率加速電路其可改進變化率而無功率損耗。在較佳實施例中，一種運算放大器，其具一差動放大器及一閘極連至差動放大器之一輸出端子23之第一上拉電晶體10，包括一第一輸出端子25，一第二上拉電晶體9其閘極連至差動放大器之輸出端子23且通道連於電源電壓端子與第一輸出端子之間，一第二輸出端子26連至第一上拉電晶體10之通道之一端，一電流調整裝置30，連於第一輸出端子與第二輸出端子之間，係具有一共用電流路徑，一上拉電流路徑，及一下拉電流路徑，一第一下拉電晶體11之通道連於第二輸出端子與地電壓端子之間，以及一第二下拉電晶體8其通道連

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

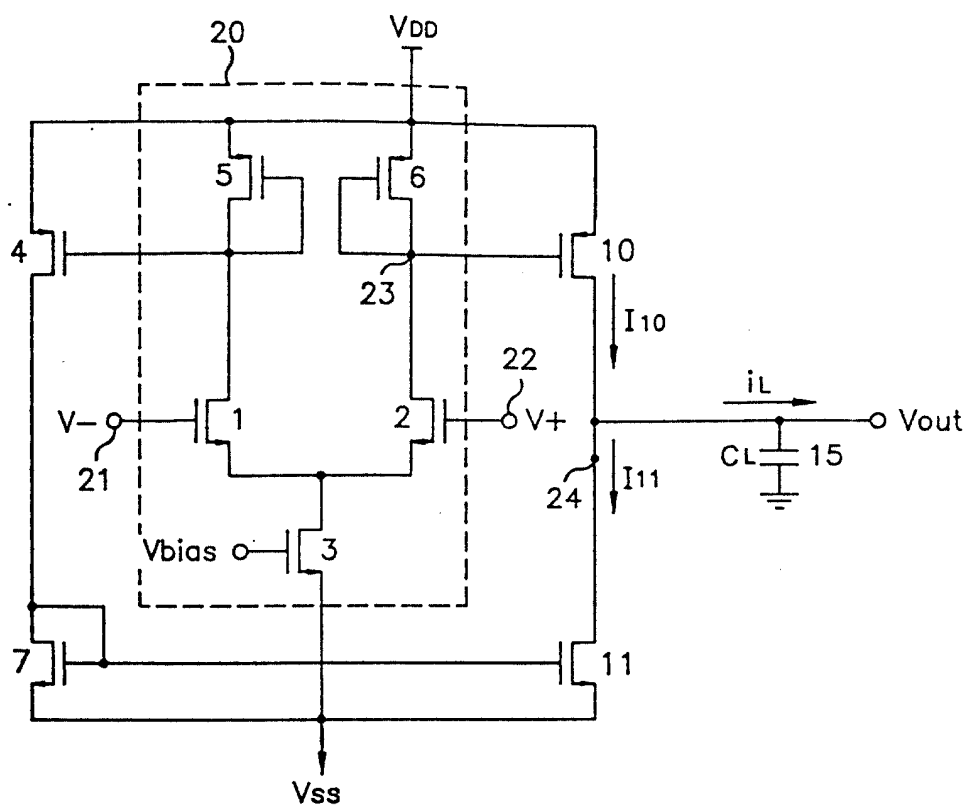
英文發明摘要(發明之名稱：SLEW RATE SPEED-UP CIRCUIT)

In an operational amplifier or a comparator, a slew rate speed-up circuit improving the slew rate, without the power consumption, is disclosed. In a preferred embodiment, an operational amplifier, having one differential amplifier and a first pull-up transistor 10 having a gate connected to an output terminal 23 of the differential amplifier, includes a first output terminal 25, a second pull-up transistor 9 having a gate connected to the output terminal 23 of the differential amplifier and having a channel connected between a power supply voltage terminal and the first output terminal, a second output terminal

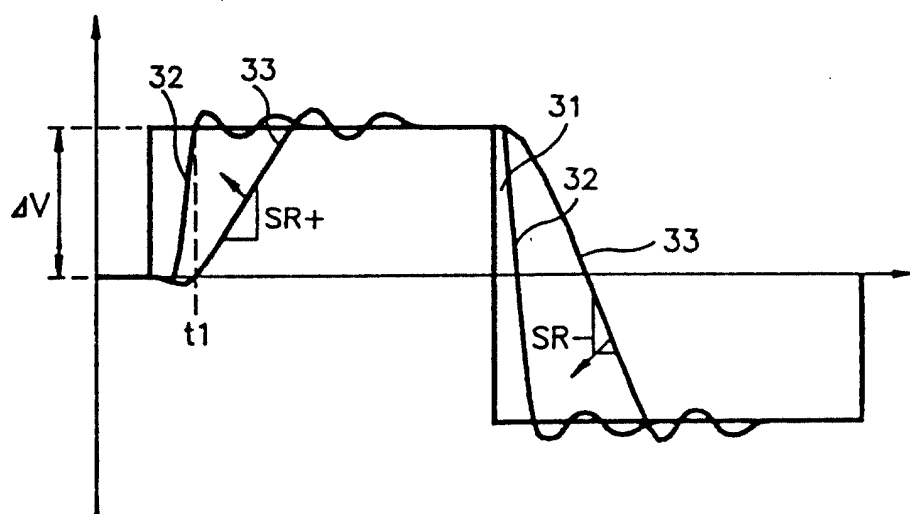
附註：本業已向 韓 國(地區) 申請專利，申請日期：1991/7/26 案號：12922/1991

209323

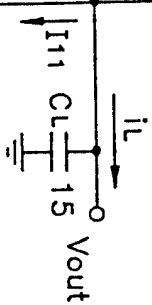
8210730f



第 1 圖



第 3 圖



第2回

六、申請專利範圍 (1)

(82 年 5 月 修 正)

1. 一種電路其用以改進一對應運算放大器輸入信號之輸出信號之反應速度，該運算放大器具一差動放大器及一第一上拉電晶體其閘極連至該差動放大器之一輸出端處，該電路包含：
 - 第一輸出端子其連至該第一上拉電晶體之一通道之一端子處；
 - 第一下拉電晶體其通道連於該第一輸出端子與一地電壓端子之間；
 - 第二上拉電晶體其閘極連至該差動放大器之輸出端子處及其通道之一端子連至一電壓源端子處；
 - 第二下拉電晶體其連於該地電壓端子與第二上拉電晶體之間；
 - 第二輸出端子連於該第二上拉電晶體之通道之另一端子與該下拉電晶體之間；以及電流調整裝置其連於該第一輸出端子與第二輸出端子之間，且具共用電流路徑裝置，上拉電流路徑裝置及下拉電流路徑裝置；其中，第一及第二上拉電晶體以及上拉電流路徑裝置之導電型式與第一及第二下拉電晶體以及下拉電流路徑裝置之導電型式相反。
2. 如申請專利範圍第 1 項之電路，其中該共用電流路徑裝置之一電流方向係依據該第一輸出端子與第二輸出端子間之電位差而定出者。
3. 如申請專利範圍第 1 項之電路，其中該上拉電流路徑裝置為一第一金氧半電晶體之通道，該電晶體具一閘極其

(請先閱讀背面之注意事項再填寫本頁)

裝

打

線

六、申請專利範圍 (2)

連至該第二輸出端子，該第一金氧半電晶體連於該電壓源端子與第一輸出端子之間。

4. 如申請專利範圍第1項之電路，其中該下拉電流路徑裝置為一第二金氧半電晶體之通道，該電晶體具一閘極其連至該第二輸出端子，該第二金氧半電晶體連於一地電壓端子與第一輸出端子之間。

5. 如申請專利範圍第1項之電路，其中該共用電流路徑裝置包含一電阻器其連於該第一輸出端子與第二輸出端子之間。

6. 一種電路其用以改進一相關於運算放大器之一既定輸入信號之輸出信號之反應速度，該運算放大器具一差動放大器，該電路包含：

— 第一輸出端子；

— 第二輸出端子；

— 第一上拉電晶體其閘極連至該差動放大器之輸出端子且其通道連於一電壓源端子與該第二輸出端子之間；

— 第二上拉電晶體其閘極連至該差動放大器之輸出端子且其通道連於該電壓源端子與該第一輸出端子之間；

— 第一下拉電晶體其通道連於該第二輸出端子與一地電壓端子之間；

— 第二下拉電晶體其通道連於該第一輸出端子與地電壓端子之間；

— 第三上拉電晶體其閘極連至該第一輸出端子且其通道連於該電壓源端子與第二輸出端子之間；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

209323

A7
B7
C7
D7

六、申請專利範圍 (3)

一 第三下拉電晶體其閘極連至該第一輸出端子且其通道連於該地電壓端子與第二輸出端子之間；以及
電阻裝置其連於該第一輸出端子與第二輸出端子之間；
其中，該第一及第二上拉電晶體以及第三下拉電晶體之導電型式係與該第一及第二下拉電晶體以及該第三上拉電晶體之導電型式相反。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線