(19)中华人民共和国国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 216310776 U
(45)授权公告日 2022.04.15

(21)申请号 202122890266.6

(22)申请日 2021.11.23

(73)专利权人 成都海光集成电路设计有限公司
地址 610041 四川省成都市高新区天府大道中段1366号2栋天府软件园E5座11层22-31号

(72)发明人 孙瑛琪 杨晓君 柳胜杰 张腾 陈杰

(74)专利代理机构 北京兰亭信通知识产权代理有限公司 11667
代理人 赵永刚

(51)Int.Cl.
G06F 13/42(2006.01)
G06F 11/22(2006.01)

(ESM)同样的发明创造已同日申请发明专利

权利要求书1页 说明书5页 附图1页

(54)实用新型名称

接口板卡、用户设备及CPU的测试系统

(57)摘要

本实用新型提供一种接口板卡、用户设备及CPU的测试系统。所述接口板卡，包括：至少一个端口物理层PHY芯片；与至少一个所述PHY芯片连接的至少一个接口，所述接口用于与所述测试设备相连；与至少一个所述PHY芯片连接的PCIe Finger；所述PCIe Finger用于与CPU主板相连。本实用新型能够使得一个接口板卡可以测试验证至少一种PHY芯片与CPU的适配性能，节省了研发成本。



CN 216310776 U

1.一种接口板卡,其特征在于,包括:

至少一个端口物理层PHY芯片;

与至少一个所述PHY芯片连接的至少一个接口,所述接口用于与测试设备相连;

与至少一个所述PHY芯片连接的高速外设组件互连金手指PCIe Finger;所述PCIe Finger用于与中央处理器CPU主板相连。

2.根据权利要求1所述的接口板卡,其特征在于,

当所述PHY芯片为至少两个时,所述接口为至少两个;

至少两个所述PHY芯片为相同类型或者不同类型。

3.根据权利要求1所述的接口板卡,其特征在于,

当一个所述PHY芯片为至少两路时,所述接口为至少两个。

4.根据权利要求1所述的接口板卡,其特征在于,还包括:

第一跳线;

所述PHY芯片的管理数据输入输出MDIO管脚连接到所述第一跳线的第一端;

所述第一跳线的第二端用于与所述PCIe finger的定义为MDIO信号的保留RSVD管脚连接。

5.根据权利要求1所述的接口板卡,其特征在于,还包括:

第二跳线;

所述PHY芯片的MDIO管脚连接到所述第二跳线的第一端;

所述第二跳线的第二端用于与所述接口板卡外部的管理数据输入输出MDIO信号连接。

6.根据权利要求1所述的接口板卡,其特征在于,还包括:微控制单元MCU;

所述PHY芯片的MDIO管脚连接到所述MCU的MDIO管脚。

7.根据权利要求1所述的接口板卡,其特征在于,所述接口为RJ45接口。

8.根据权利要求1所述的接口板卡,其特征在于,

所述PCIe Finger与所述CPU主板相连的接口协议为串行千兆位媒质独立接口SGMII或高速串行协议KR。

9.一种用户设备,其特征在于,所述用户设备包括如权利要求1至8中任一项所述的接口板卡。

10.一种CPU的测试系统,其特征在于,包括:

CPU主板、测试设备、和接口板卡;

所述CPU主板通过所述接口板卡与所述测试设备相连;

所述接口板卡包括:至少一个PHY芯片;

与至少一个所述PHY芯片连接的至少一个接口,所述接口用于与所述测试设备相连;

与至少一个所述PHY芯片连接的PCIe Finger;所述PCIe Finger用于与所述CPU主板相连。

接口板卡、用户设备及CPU的测试系统

技术领域

[0001] 本实用新型涉及测试技术领域，尤其涉及一种接口板卡、用户设备及CPU的测试系统。

背景技术

[0002] 随着CPU(Central Processing Unit，中央处理器)芯片设计的技术发展，CPU的高速接口可以通过软件配置成不同的协议类型，实现不同的接口功能。即同一信号，可以配置成PCIe(Peripheral Component Interconnect express，高速外设组件互连)，可以配置成网络，也可以配置成SATA(Serial Advanced Technology Attachment，串行高级技术附件)存储接口等。

[0003] 当前，测试适配芯片采用的是成熟主板，PHY(物理层)芯片直接集成在主板上，这种方案的互联链路简单，中间没有引入其他连接器等器件的干扰。但是不够灵活，如果需要更换PHY芯片，测试其他型号的PHY芯片，就需要重新设计主板，研发成本比较高。

实用新型内容

[0004] 本实用新型提供的接口板卡、用户设备及CPU的测试系统，能够使得一个接口板卡可以测试验证至少一种PHY芯片与CPU的适配性能，节省了研发成本。

[0005] 本实用新型提供一种接口板卡，包括：

[0006] 至少一个PHY芯片；

[0007] 与至少一个所述PHY芯片连接的至少一个接口，所述接口用于与所述测试设备相连；

[0008] 与至少一个所述PHY芯片连接的PCIe Finger；所述PCIe Finger用于与CPU主板相连。

[0009] 可选地，当所述PHY芯片为至少两个时，所述接口为至少两个；

[0010] 至少两个所述PHY芯片为相同类型或者不同类型。

[0011] 可选地，当一个所述PHY芯片为至少两路时，所述接口为至少两个。

[0012] 可选地，所述的接口板卡，还包括：

[0013] 第一跳线；

[0014] 所述PHY芯片的MDIO管脚连接到所述第一跳线的第一端；

[0015] 所述第一跳线的第二端用于与所述PCIe finger的定义为MDIO信号的RSVD管脚连接。

[0016] 可选地，所述的接口板卡，还包括：

[0017] 第二跳线；

[0018] 所述PHY芯片的MDIO管脚连接到所述第二跳线的第一端；

[0019] 所述第二跳线的第二端用于与所述接口板卡外部的MDIO信号连接。

[0020] 可选地，所述的接口板卡，还包括：MCU；

[0021] 所述PHY芯片的MDIO管脚连接到所述MCU的MDIO管脚。

[0022] 可选地,所述接口为RJ45接口。

[0023] 可选地,所述PCIe Finger与所述CPU主板相连的接口协议为SGMII千兆位介质独立接口或KR。

[0024] 本实用新型还提供一种用户设备,所述用户设备包括上述接口板卡。

[0025] 本实用新型还提供一种CPU的测试系统,包括:

[0026] CPU主板、测试设备、和接口板卡;

[0027] 所述CPU主板通过所述接口板卡与所述测试设备相连;

[0028] 所述接口板卡包括:至少一个PHY芯片;

[0029] 与至少一个所述PHY芯片连接的至少一个接口,所述接口用于与所述测试设备相连;

[0030] 与至少一个所述PHY芯片连接的PCIe Finger;所述PCIe Finger用于与所述CPU主板相连。

[0031] 本实用新型提供的接口板卡、用户设备及CPU的测试系统,所述接口板卡包括至少一个PHY芯片;与至少一个所述PHY芯片连接的至少一个接口,所述接口用于与所述测试设备相连;与至少一个所述PHY芯片连接的PCIe Finger;所述PCIe Finger用于与CPU主板相连,可以使得一个接口板卡用于测试至少一种PHY芯片与CPU的适配性能,可以集成多款不同品牌,单路,双路的PHY芯片在一块板卡上,从而可以节省研发成本;另外,方便CPU产品测试,可以使用现有的主板,只要主板上有可配置成SGMII网络接口的PCIe Finger,就可以进行RJ45相关网络芯片的适配测试。对主板要求不高,通用性强;板卡按照标准PCIe卡尺寸设计,方便应用到标准机箱内部。

附图说明

[0032] 图1为本实用新型一实施例CPU的测试系统的结构示意图;

[0033] 图2为本实用新型一实施例所述的板卡的连接示意图;

[0034] 图3为本实用新型另一实施例所述的板卡的结构示意图。

具体实施方式

[0035] 为使本实用新型实施例的目的、技术方案和优点更加清楚,下面将结合本实用新型实施例中的附图,对本实用新型实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本实用新型一部分实施例,而不是全部的实施例。基于本实用新型中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本实用新型保护的范围。

[0036] 本实用新型实施例提供一种CPU的测试系统,如图1所述,所述CPU的测试系统,包括:

[0037] 接口板卡1、CPU主板2、测试设备3;

[0038] 所述CPU主板2通过所述接口板卡1与所述测试设备3相连。

[0039] 如图2所示,所述接口板卡1包括:至少一个PHY芯片11;

[0040] 与至少一个所述PHY芯片11连接的至少一个接口12,所述接口用于与所述测试设

备3相连；

[0041] 与至少一个所述PHY芯片11连接的PCIe Finger(高速外设组件互连金手指)13;所述PCIe Finger用于与所述CPU主板相连。

[0042] 以上实施例中,可以使得一个接口板卡用于测试至少一种PHY芯片与CPU的适配性能,从而节省了研发成本。

[0043] 如图2所示,当所述PHY芯片为至少两个时,所述接口为至少两个;至少两个所述PHY芯片为相同类型或者不同类型。图2中示出了8个。因此,可以验证双路两个PHY芯片与CPU网络接口的适配性能。

[0044] 如图2所示,当一个所述PHY芯片为至少两路时,所述接口为至少两个。图2中示出的BCM5482S8为两路。因此,可以验证双路PHY芯片与CPU网络接口的适配性能。

[0045] 如图3所示,在一个实施例中;所述的接口板卡,还包括：

[0046] 第一跳线14；

[0047] 所述PHY芯片11的MDIO(Management Data Input/Output,管理数据输入输出)管脚连接到所述第一跳线14的第一端；

[0048] 所述第一跳线15的第二端用于与所述PCIe finger 13的定义为MDIO信号的RSVD(保留)管脚连接。

[0049] 上述实施例中,可以通过跳线帽选择本实用新型的RJ45测试板卡的MDIO连接到PCIe finger的RSVD上的定义MDIO信号,来进行测试。

[0050] 如图3所示,在一个实施例中;所述的接口板卡,还包括：

[0051] 第二跳线15；

[0052] 所述PHY芯片11的MDIO管脚连接到所述第二跳线15的第一端；

[0053] 所述第二跳线15的第二端用于与所述接口板卡外部的MDIO信号连接。

[0054] 上述实施例中,可以通过跳线帽选择本实用新型的RJ45测试板卡的MDIO连接到外部插针,来进行测试。

[0055] 如图3所示,所述的接口板卡,还包括:MCU(Microcontroller Unit,微控制单元)16；

[0056] 所述PHY芯片11的MDIO管脚连接到所述MCU 16的MDIO管脚。

[0057] 上述实施例中,可以通过跳线帽选择板载MCU来配置PHY芯片,来进行测试。

[0058] 其中,所述接口12可以为RJ45接口。

[0059] 其中,所述PCIe Finger与所述CPU主板相连的接口协议为SGMII(Serial Gigabit Media Independent Interface,串行千兆位媒质独立接口)或KR。

[0060] 本实用新型实施例还提供一种用户设备,所述用户设备包括如所述的接口板卡。

[0061] 以下描述本实用新型的应用场景：

[0062] 本实用新型主要针对网络接口的适配。在产品主板上,因为产品形态,一般都是硬件上适配具体的网络芯片,对外为固定接口的连接器,软件上配置成对应的接口协议。在CPU研发中,需要测试适配不同厂商,不同型号的网络芯片,测试适配性能,以便给整机厂商推荐合适方案。本实用新型主要测试的协议是SGMII接口,通过PHY芯片转换为千兆RJ45接口,通过千兆网线与另一块板卡,或交换机互联测试。

[0063] 本实用新型实施例实现了一种集成多种型号的PHY芯片的千兆RJ45接口板卡,通

过PCIe槽与CPU主板相连,这样一块板卡可以测试验证多种型号的PHY芯片与CPU的适配性能,节省了研发成本。

[0064] 如图2,本实用新型的RJ45接口卡为PCIe插卡形态,集成2个PCIe Finger,为双面PCIe金手指卡,尺寸跟标准PCIe全高半长卡相同。其中,Finger是标准PCIe Finger形态,PHY芯片可以为不同品牌,不同通道数量,比如为4路的PHY芯片。

[0065] 图2为双金手指RJ45接口卡框图,本实用新型的RJ45接口卡包括2个模块。

[0066] 模块一:

[0067] 包括一颗RTL8211FS PHY芯片,一颗YT8521SH芯片,一颗88E1512芯片,一颗88E1514芯片。这4颗芯片都为单路PHY芯片,分别为不同厂家品牌型号。

[0068] 这4颗芯片分别连接1个千兆RJ45接口。并通过PCIe Finger与CPU主板相连,接口协议为SGMII。

[0069] 这样通过模块一,可以实现验证不同品牌的单路PHY芯片与CPU网络接口的适配性能。

[0070] 模块二:

[0071] 包括一颗BCM5482双路PHY芯片,一颗BCM54616单路PHY芯片,一颗VSC8211单路PHY芯片,和相应的4个千兆RJ45接口,后面2个PHY芯片为同一品牌。这3颗芯片通过PCIe Finger与CPU主板相连,接口协议为SGMII。

[0072] 这样通过模块二,可以验证双路PHY芯片与CPU网络接口的适配性能,并增加验证2家品牌的单路PHY芯片。

[0073] 另外,图3为RJ45测试板卡MDIO连接拓扑示意图。本实用新型的RJ45测试板卡上集成了MDIO接口,说明如下:

[0074] 2个模块相同设计:

[0075] PCIe Finger上还有多个RSVD未定义pin,有的主板上把部分RSVD pin定义为MDIO信号。这样本实用新型的RJ45测试板卡也把相应的RSVD pin定义为MDIO信号,通过跳线帽选择本实用新型的RJ45测试板卡的MDIO连接到PCIe finger的RSVD上的定义MDIO信号,还是连接到外部插针。如果主板PCIe Slot上没有设计MDIO接口,可以通过外部插针连接MDIO。

[0076] 另外,如图3所示,本实用新型的RJ45测试板卡上还设计有MCU,也通过MDIO与各个PHY相连,这样可以选择CPU通过MDIO来配置PHY芯片,还是通过板载MCU来配置PHY芯片。后者适用于CPU对PHY芯片的PHY address有特定限制的情况下,即CPU无法配置超出一定范围的PHY Address PHY芯片。

[0077] 本实用新型实施例提供的接口板卡、用户设备及CPU的测试系统具有以下有益效果:

[0078] 1、方便CPU产品测试,可以使用现有的主板,只要主板上有可配置成SGMII网络接口的PCIe Finger,就可以进行RJ45相关网络芯片的适配测试。对主板要求不高,通用性强。

[0079] 2、可以集成多款不同品牌,单路,双路的PHY芯片在一块板卡上,节省研发成本。

[0080] 3、板卡按照标准PCIe卡尺寸设计,方便应用到标准机箱内部。

[0081] 以上所述,仅为本实用新型的具体实施方式,但本实用新型的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本实用新型揭露的技术范围内,可轻易想到的变

化或替换，都应涵盖在本实用新型的保护范围之内。因此，本实用新型的保护范围应该以权利要求的保护范围为准。

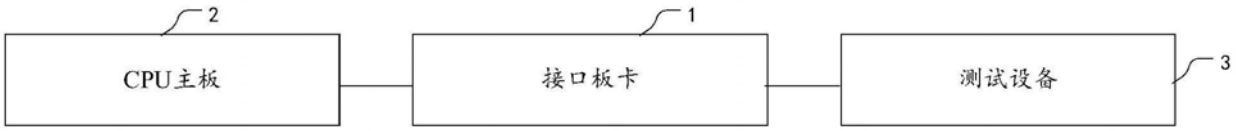

2
CPU主板
1
接口板卡
测试设备
3

图1

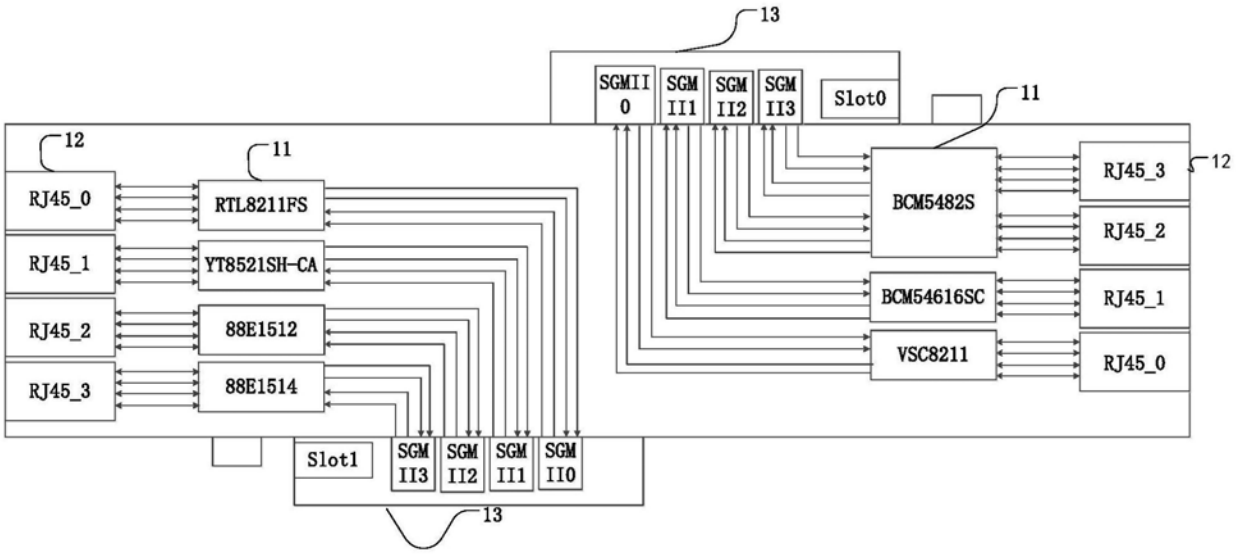

13
SGMII 0
SGM II1
SGM II2
SGM II3
Slot0
11
12
RJ45_0
RTL8211FS
RJ45_1
YT8521SH-CA
RJ45_2
88E1512
RJ45_3
88E1514
BCM5482S
BCM54616SC
VSC8211
RJ45_3
RJ45_2
RJ45_1
RJ45_0
12
Slot1
SGM II3
SGM II2
SGM II1
SGM II0
13

图2

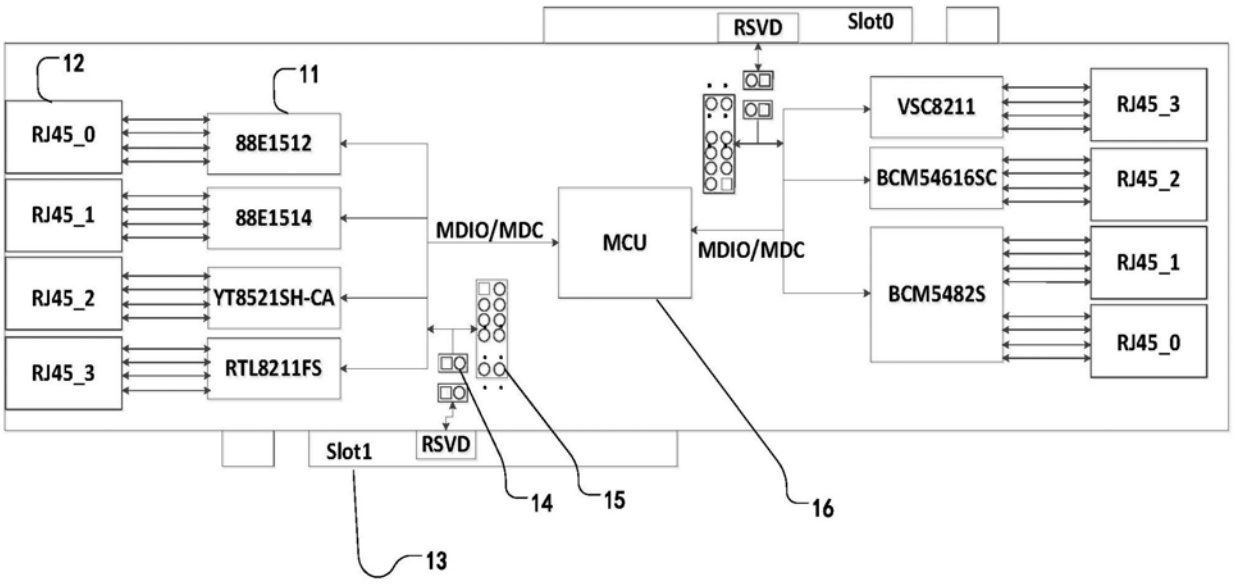

RSVD
Slot0
12
11
RJ45_0
88E1512
RJ45_1
88E1514
RJ45_2
YT8521SH-CA
RJ45_3
RTL8211FS
MDIO/MDC
MCU
MDIO/MDC
VSC8211
BCM54616SC
BCM5482S
RJ45_3
RJ45_2
RJ45_1
RJ45_0
Slot1
RSVD
14
15
16
13

图3