半导体器件及形成该半导体器件的方法

摘要

一种半导体器件和形成该器件的方法。该半导体器件包括在第一导电元件上面形成的导电纳米管，使得在导电纳米管的底侧与第一导电元件的顶侧之间存在第一间隙。在导电纳米管上面形成第二绝缘层，在导电纳米管的顶侧与第二绝缘层的第一部分之间存在第二间隙。第一通路开口和第二通路开口延伸穿过该第二绝缘层，并进入第二间隙，在所述第二绝缘层、所述第一通路开口和所述第二通路开口的上面形成第三绝缘层，从而形成密封的导电纳米管结构。
1. 一种半导体器件，包括：
    基片；
    第一导电元件，其形成于所述基片的第一部分上；
    第一绝缘层，其形成于所述基片的第二部分上；
    导电纳米管，其形成于所述第一绝缘层和所述第一导电元件的上面，使得在所述导电纳米管的底侧与所述第一导电元件的顶侧之间存在第一间隙，其中所述导电纳米管适合于被激活，使得使所述导电纳米管与所述第一导电元件电连接；
    第二导电元件，其形成于所述第一绝缘层的上面，并与所述导电纳米管电接触；
    第三导电元件，其形成于所述第一绝缘层的上面，并与所述导电纳米管电接触；
    第二绝缘层，其形成于所述第二导电元件、所述第三导电元件和所述导电纳米管的上面，其中在导电纳米管的顶侧与所述第二绝缘层的第一部分之间存在第二间隙，其中第一通路开口延伸穿过所述第二绝缘层并进入所述第二间隙，并且其中第二通路开口延伸穿过所述第二绝缘层并进入所述第二间隙；以及
    第三绝缘层，其形成于所述第二绝缘层、所述第一通路开口和所述第二通路开口的上面，从而形成密封的导电纳米管结构。

2. 根据权利要求 1 的半导体器件，进一步包括：
    第四绝缘层，其形成于所述第二绝缘层的一部分与所述第三绝缘层的一部分之间。

3. 根据权利要求 2 的半导体器件，其中所述第一通路开口进一步延伸穿过所述第四绝缘层，并且其中所述第二通路开口进一步延伸穿过所述第四绝缘层。

4. 根据权利要求 2 的半导体器件，其中所述第四绝缘层包括氧化硅。
5. 根据权利要求2的半导体器件，其中所述第四绝缘层不在所述第一通路开口和所述第二通路开口的上面延伸。

6. 根据权利要求1的半导体器件，其中所述基片、所述第一绝缘层、所述第二绝缘层和所述第三绝缘层的每一个都包括二氧化硅。

7. 根据权利要求1的半导体器件，其中所述导电纳米管被包封在由所述第一导电元件、所述第一绝缘层、所述第二绝缘层和所述第三绝缘层形成的空腔内。

8. 根据权利要求1的半导体器件，其中所述第二绝缘层的厚度为至少500nm。

9. 根据权利要求1的半导体器件，其中所述导电纳米管、所述第一导电元件、所述第二导电元件和所述第三导电元件组合形成非易失性存储器件。

10. 根据权利要求1的半导体器件，其中所述导电纳米管包括碳纳米管。

11. 一种制造半导体器件的方法，其包括：
    提供基片；
    在所述基片的第一部分上形成第一结构，所述结构包括在第一导电元件的上面形成的第二层心轴材料；
    在所述基片的第二部分上形成第一绝缘层；
    在所述第一绝缘层和所述第一层心轴材料的上面形成导电纳米管；
    在所述第一绝缘层的上面形成第二导电元件、第三导电元件和心轴结构，所述第二导电元件、第三导电元件和心轴结构与所述导电纳米管电接触，所述第二导电元件与所述导电纳米管在与所述第三导电元件相对的一侧电接触，所述第二导电元件、所述第三导电元件和所述心轴结构的每一个由所述心轴材料形成；
    在所述第二导电元件、所述第三导电元件、所述心轴结构和所述导电纳米管的上面形成第二绝缘层；
    形成第一通路开口和第二通路开口，它们延伸穿过所述第二绝缘层。
层并位于所述心轴结构的上面；和

除去所述心轴结构和所述第一层心轴材料，使得在所述导电纳米管的底侧与所述第一导电元件的顶侧之间存在第一间隙，在所述导电纳米管的顶侧与所述第二绝缘层的第一部分之间存在第二间隙，其中所述第一通路开口延伸进入所述第二间隙，并且所述第二通路开口延伸进入所述第二间隙；以及

在所述第二绝缘层、所述第一通路开口和所述第二通路开口的上面形成第三绝缘层，从而形成密封的导电纳米管结构。

12. 根据权利要求 11 的方法，进一步包括:

在所述第二绝缘层的一部分上面形成第四绝缘层，其中所述第四绝缘层在所述第三绝缘层形成之前形成，并且其中所述第四绝缘层存在于所述第三绝缘层的一部分与所述第二绝缘层的所述部分之间。

13. 根据权利要求 12 的方法，其中所述形成所述第一通路开口和所述第二通路开口进一步包括使所述第一通路开口和所述第二通路开口延伸穿过所述第四绝缘层。

14. 根据权利要求 12 的方法，其中所述第四绝缘层不在所述第一通路开口和所述第二通路开口的上面延伸。

15. 根据权利要求 11 的方法，其中所述形成所述第二导电元件、所述第三导电元件和所述心轴结构包括使用镶嵌处理。

16. 根据权利要求 11 的方法，其中所述除去所述心轴结构和所述第一层心轴材料导致所述导电纳米管包封在由所述第一导电元件、所述第一绝缘层、所述第二绝缘层和所述第三绝缘层形成的空腔内。

17. 根据权利要求 11 的方法，其中所述除去所述心轴结构和所述第一层心轴材料包括使用通过所述第一通路开口和所述第二通路开口施加的湿法刻蚀处理。

18. 根据权利要求 17 的方法，其中所述湿法刻蚀处理包括使用氢氟酸或过氧化氢的化学剂。

19. 根据权利要求 11 的方法，其中所述心轴结构和所述第一层心轴材料的每一个都包括选自铝、锆、钨和聚酰亚胺的材料。

20. 根据权利要求 11 的方法，其中所述导电纳米管包括碳纳米管。
半导体器件及形成该半导体器件的方法

技术领域
本发明涉及一种包括封闭的纳米管结构的半导体器件。

背景技术
在电子结构上形成的元件典型地没有受到外部元件的保护，这会导致器件失效。因此，需要有一种结构和相关的方法，使在电子结构上形成的元件受到外部元件的保护。

发明内容
本发明提供了一种半导体器件，其包括:
基片;
第一导电元件，其在所述基片的第一部分上形成;
第一绝缘层，其形成于所述基片的第二部分上;
导电纳米管，其形成于所述第一绝缘层和所述第一导电元件的上面，使得在所述导电纳米管的底侧与所述第一导电元件的顶侧之间存在第一间隙，其中所述导电纳米管适合于被激活，使得使所述导电纳米管与所述第一导电元件电连接;
第二导电元件，其形成于所述第一绝缘层的上面，并与所述导电纳米管电连接;
第三导电元件，其形成于所述第一绝缘层的上面，并与所述导电纳米管电连接;
第二绝缘层，其形成于所述第二导电元件、所述第三导电元件和所述导电纳米管的上面，其中在导电纳米管的顶侧与所述第二绝缘层的第一部分之间存在第二间隙，其中第一通路开口延伸穿过所述第二绝缘层并进入所述第二间隙，并且其中第二通路开口延伸穿过所述第
二绝缘层并进入所述第二间隙；和

第三绝缘层，其形成于所述第二绝缘层、所述第一通路开口和所述第二通路开口的上面。

本发明提供了一种制造半导体器件的方法，其包括:

提供基片；

在所述基片的第一部分上形成一结构，所述结构包括在第一导电元件的上面形成的第一层心轴材料；

在所述基片的第二部分上形成第一绝缘层；

在所述第一绝缘层和所述第一层心轴材料的上面形成导电纳米管；

在所述第一绝缘层的上面形成第二导电元件、第三导电元件和心轴结构，所述第二导电元件、第三导电元件和心轴结构与所述导电纳米管电连接，所述第二导电元件与所述导电纳米管在与所述第三导电元件相对的一侧电连接，所述第二导电元件、所述第三导电元件和所述心轴结构均由所述心轴材料形成；

在所述第二导电元件、所述第三导电元件、所述心轴结构和所述导电纳米管的上面形成第二绝缘层；

形成第一通路开口和第二通路开口，它们延伸穿过所述第二绝缘层并位于所述心轴结构的上面；和

除去所述心轴结构和所述第一层心轴材料，使得在所述导电纳米管的底侧与所述第一导电元件的顶侧之间存在第一间隙，在所述导电纳米管的顶侧与所述第二绝缘层的第一部分之间存在第二间隙，其中所述第一通路开口延伸进入所述第二间隙，并且所述第二通路开口延伸进入所述第二间隙；和

在所述第二绝缘层、所述第一通路开口和所述第二通路开口的上面形成第三绝缘层。

本发明有利地提供了一种结构和相关方法，用于使在电结构上形成的器件受到外部元件的保护。
附图说明

图 1A 图解了根据本发明的实施例的提供给制造工艺的半导体结构。

图 1B 图解了根据本发明的实施例，图 1A 的半导体结构在形成了电极结构之后的情况。

图 1C 图解了根据本发明的实施例，图 1B 的半导体结构在基片上形成（或淀积）了电介质层之后的情况。

图 1D 图解了根据本发明的实施例，图 1C 的半导体结构在电介质层上淀积（并构图）了纳米管结构之后的情况。

图 1E 图解了根据本发明的实施例，图 1D 的半导体结构在该纳米管结构的部分位置上淀积（并构图）了抗蚀剂层之后的情况。

图 1F 图解了根据本发明的实施例，图 1E 的半导体结构在该纳米管结构上淀积了心轴层之后的情况。

图 1G 图解了根据本发明的实施例，图 1F 的半导体结构在剥去抗蚀剂层并淀积了电介质层之后的情况。

图 1H 图解了根据本发明的实施例，图 1G 的半导体结构在形成了铜通路互连结构和铜导线之后的情况。

图 1I 图解了根据本发明的实施例，图 1H 的半导体结构在淀积了电介质层之后的情况。

图 1J 图解了根据本发明的实施例，图 1I 的半导体结构在除去了上心轴和心轴材料之后的情况。

图 1K 图解了根据本发明的实施例，图 1J 的半导体结构在心轴去除通路开口 35a 和 35b 上淀积了电介质层之后的情况。

图 1L 图解了根据本发明的实施例，图 1K 的半导体结构在形成了铜通路互连结构 32c、钢导线 32d 和铜导线 47 之后的情况。

图 1M 图解了根据本发明的实施例，图 1L 的半导体结构在向电极结构施加了电场之后的情况。

图 2A-2L 图解了根据本发明实施例的图 1A-1L 的制造工艺的可选择制造工艺。
图 3A 图解了根据本发明的实施例，图 1J 和 2J 半导体结构的顶视图。

图 3B 图解了根据本发明的实施例，图 3A 顶视图的可选择顶视图。

具体实施方式

图 1A-1L 图解了根据本发明实施例的半导体结构 2 的制造工艺的详细阶段。图 1A-1L 中图解的半导体结构 2 是剖面图。参考图 1A-1L 描述的制造工艺图解了一种非易失性电子/机械存储结构（例如纳米管随机存取存储器（NRAM）结构的形成），其在半导体结构 2 内包括封闭的纳米管结构（见图 1L 中半导体结构 2 的完成图）。

在图 1A 中，根据本发明的实施例，提供半导体结构 2 用于制造工艺。该半导体结构 2 包括基片 5，其具有形成于基片 5 上面的第一电极层 7、形成于第一电极层 7 上面的第二电极层 9、形成于第二电极层 9 上面的心轴层 11 和形成于心轴层 11 上面的光抗蚀剂层 14。基片 5 可以包括本领域普通技术人员已知的任何类型的用于使半导体器件绝缘的电介质材料，其中包括氧化硅基片、氟化氧化硅基片、硅玻璃基片等。第一电极层 7 可以包括本领域普通技术人员已知的任何类型的电极材料，其中包括钛等。第二电极层 9 可以包括本领域普通技术人员已知的任何类型的电极材料，其中包括 Pd、Cr、Ti 等。心轴层 11 可以包括例如 Al、W、Ge、聚酰亚胺、Si 等。第一电极层 7、第二电极层 9 和心轴层 11 的每一个都可以用任何沉积处理加以形成，包括物理气相沉积（PVD）处理、化学气相沉积（CVD）处理、旋涂沉积处理（spin-on deposition process）等。

图 1B 图解了根据本发明的实施例，图 1A 的半导体结构 2 在形成了电极结构 15 之后的情况。电极结构 15 的厚度 T1 范围可以选自大约 160nm-大约 650nm。电极结构 15 包括在通过使用标准的光抗蚀剂处理之后留下的第一电极层 7、第二电极层 9 和心轴层 11 的各部分。该标准的光抗蚀剂处理被使用以便通过光刻产生图形，并通过使用标
准含氟 RIE 化学的反应离子刻蚀处理将该图形转移到第一电极层 7、
第二电极层 9 和心轴层 11 上。使用本领域普通技术人员已知的标准技
术剥离第一电极层 7、第二电极层 9 和心轴层 11 的各部分（也就是，
生成电极结构 15）。

图 1C 图解了根据本发明的实施例，图 1B 的半导体结构 2 在基
片 5 上形成（或沉积）了电介质层 17 之后的情况。电介质层 17 沉积
的厚度 T2 大于或等于电极结构 15 的厚度 T1。电介质层 17 可以用包
括例如 CVD 处理的任何处理沉积。电介质层 17 可以用例如化学机械
抛光（CMP）处理加以平面化，化学机械抛光停止在心轴层 11 上。
电介质层 17 可以包括例如二氧化硅、FSG、SiCOH、聚合物材料等。

图 1D 图解了根据本发明的实施例，图 1C 的半导体结构 2 在电
介质层 17 上沉积（并构图）了纳米管结构 20 之后的情况。纳米管结
构 20 可以用例如旋涂沉积处理加以沉积，并用光刻和 RIE（例如用
O2 基等离子体）处理进行构图。纳米管结构 20 可以是例如碳纳米管
结构。

图 1E 图解了根据本发明的实施例，图 1D 的半导体结构 2 在该
纳米管结构 20 的部分位置上沉积（并构图）了抗蚀剂层 22 之后的情
况。抗蚀剂层 22 的沉积厚度 T3 可以是大约 200nm。抗蚀剂层 22 可
以用例如光刻处理、利用干法刻蚀或湿法刻蚀的光刻处理等来构图。
选择地，抗蚀剂层 22 可以是旋涂电介质层，其中包括例如聚酰亚胺材料、
聚合物电介质材料、氢化硅半硅氧烷 (HSQ)、甲基硅半硅氧烷 (MSQ)
等。

图 1F 图解了根据本发明的实施例，图 1E 的半导体结构 2 在该
纳米管结构 20 和电介质层 17 上沉积了心轴层 27 之后的情况。心轴层
27 包括上心轴 27b、电极结构 27a 和电极结构 27c。心轴层 27 可以包
括例如铝、钨等。心轴层 27 的厚度 T4 可以大于或等于大约 200nm（也
就是，至少等于抗蚀剂层 22 的厚度 T3）。心轴层 27 可以通过 CMP
处理加以构图（也就是形成上心轴 27b、电极结构 27a 和电极结构 27c）。

图 1G 图解了根据本发明的实施例，图 1F 的半导体结构 2 在剥
去抗蚀剂层 22 并且上轴 27b、电极结构 27a 和电极结构 27c、和纳米管结构 20 上面淀积了电介质层 30 之后的情况。电介质层 30 的厚度 T5 可以是大约 500 nm。电介质层 30 可以包括例如二氧化硅等。电介质层 30 可以用 CVD 处理加以淀积，并用 CMP 处理加以平面化。

图 1H 图解了根据本发明的实施例，图 1G 的半导体结构 2 在电极结构 27c 上面形成了铜通路互连结构 32a 和铜导线 32b 之后的情况。铜通路互连结构 32a 将电极结构 27c 与铜导线 32b 电连接。铜通路互连结构 32a 和铜导线 32b 可以用本领域普通技术人员已知的任何技术加以形成，包括例如双嵌嵌处理。

图 1I 图解了根据本发明的实施例，图 1H 的半导体结构 2 在电介质层 30 和铜导线 32b 上面淀积了电介质层 37，并形成了心轴去除通路开口 35a 和 35b 之后的情况。电介质层 37 可以包括例如 SiN、SiC、SiCN、SiCON 等。电介质层 37 可以通过 CVD 处理加以淀积，其厚度 T6 为大约 50 nm。心轴去除通路开口 35a 和 35b 的形成可以使用光刻处理和 RIE 处理。

图 1J 图解了根据本发明的实施例，图 1I 的半导体结构 2 在除去了上心轴 27b 和心轴层 11 之后的情况。上心轴 27b 和心轴层 11 可以通过经由心轴去除通路开口 35a 和 35b 进行湿法刻蚀处理加以除去。湿法刻蚀处理可以包括任何类型的湿法刻蚀处理，包括例如氯化氢湿法刻蚀处理、过氧化氢湿法刻蚀处理等。除去上心轴 27b 可以在纳米管结构 20 的上表面 20a 与电介质层 30 的下表面 30a 之间建立间隙 G1。除去心轴层 11 可以在纳米管结构 20 的下表面 20b 与第二电极层 9 的上表面 9a 之间建立间隙 G2。心轴去除通路开口 35a 和 35b 延伸穿过电介质层 37、电介质层 30，并进入间隙 G1。注找，心轴去除通路开口 35a 和 35b 并不直接位于纳米管结构 20 的上面 (见图 3A 和 3B 中半导体结构 2 的俯视图)。

图 1K 图解了根据本发明的实施例，图 1J 的半导体结构 2 在电介质层 37 和心轴去除通路开口 35a 和 35b 上淀积了电介质层 42 之后的情况。电介质层 42 可以包括厚度 T7 大约 50 nm 的二氧化硅。电介
质层 42 可以用非共形 CVD 处理加以沉积。电介质层 42 为心轴去除
通路开口 35a 和 35b、间隙 G1 和间隙 G2 提供了气密密封，由此在半导
体结构 2 内形成密封的（也就是，处于包括通路开口 35a 和 35b、
间隙 G1 和间隙 G2 的空腔内）纳米管结构。密封的纳米管结构被保护
免于外部（也就是，半导体器件 2 的外部）任何能够损伤纳米管结构
的粒子或湿气。

图 1L 图解了根据本发明的实施例，图 1K 的半导体结构 2 在电
介质层 42 内形成了贯穿路互连结构 32c、铜导线 32d 和铜导线 47 并
在电介质层 42 上面形成电介质层 45 之后的情况。图 1L 的半导体结
构 2 代表非易失性电子/机械存储结构（例如纳米管随机存取存储器
(NRAM) 结构）的一部分,其包括密封的纳米管结构。 NRAM 结构
包括纳米管结构（例如，见纳米管结构）的阵列。每个纳米管结构与
两个电极结构（例如，见电极结构 27a 和 27c）电连接，并扫过间隙
（例如，见间隙 G2），或者悬置于接触电极结构（例如，见电极结构
9）的上面。该接触电极结构具有外加电压。当两个电极结构（例如，
见电极结构 27a 和 27c）没有外加电场（例如电压）时，纳米管结构
不被激活，因此保持如图 1L 所示的垂直状态。保持如图 1L 所示垂直
状态的纳米管结构不与接触电极结构（例如，见电极结构 9）电接触，
因此在 NRAM 中表示逻辑 0 或关闭状态。当向两个电极结构（例如，
见电极结构 27a 和 27c）施加电场（例如，电压）时，纳米管结构被
激活，并沿着方向 50 弯曲（例如，见图 1M），导致在纳米管结构与
接触电极结构（例如，见电极结构 9）之间产生电连接，因此在 NRAM
中表示逻辑 1 或开启状态，电场被从两个电极结构除去。纳米管结构
保持弯曲并与接触电极结构（例如，见电极结构 9）相接触直到再次
向两个电极结构施加电场（例如，电压）。前述的过程代表随机存取
存储器 (NRAM) 结构的操作。

图 1M 图解了根据本发明的实施例，图 1L 的半导体结构 2 在向
电极结构 27a 和 27c 施加了电场（例如，电压）之后的情况。在图 1M
中，纳米管结构 20 被激活并沿着方向 50 弯曲，导致纳米管结构与电
极结构 9 之间产生电连接。纳米管结构与电极结构 9 之间的电连接代表 NRAM 中的逻辑 1。

图 2A-2L 图解了根据本发明实施例的图 1A-1L 的制造工艺的可选择制造工艺。图 2A-2L 详细描绘了半导体结构 2a 制造工艺的各个阶段。图 2A-2L 所示的半导体结构 2a 是剖面图。图 2A-2G 的制造工艺包括与参考图 1A-1G 说明的相同的制造工艺。

图 2H 图解了根据本发明的实施例，当图 2G 中的半导体结构 2a 在电极结构 27c 上面形成了铜通路互连结构 32a 和铜导线 32b，并在上心轴 27b 上面形成了导电通路 54a 和 54b 之后的情况。通路互连结构 32a 将电极结构 27c 与铜导线 32b 电连接。通路互连结构 32a、铜导线 32b 和导电通路 54a 和 54b 可以用任何本领域普通技术人员已知的技术加以形成，包括例如镶嵌处理。

图 2I 图解了根据本发明的实施例，当图 2H 的半导体结构 2a 在电介质层 30 上面形成了电介质层 37，并在电介质层 37 的部分上形成了光抗蚀剂层 58 之后的情况。电介质层 37 可以包括例如氮化硅。电介质层 37 可以通过 CVD 处理加以淀积，厚度 T6 大约为 50nm。

图 2J 图解了根据本发明的实施例，当图 2I 中的半导体结构 2a 除去了心轴去除通路开口 35a 和 35b，除去了部分的电介质层 37，并除去了上心轴 27b 和心轴层 11 之后的情况。心轴去除通路开口 35a 和 35b 可以用光刻处理和 RIE 处理加以形成。上心轴 27b 和心轴层 11 可以用通过心轴去除通路开口 35a 和 35b 进行湿法刻蚀处理加以除去。湿法刻蚀处理可以包括任何类型的湿法刻蚀处理，包括例如氢氟酸湿法刻蚀处理、过氧化氢湿法刻蚀处理等。除去的上心轴 27b 在纳米管结构 20 的上表面 20a 和电介质层 30 的下表面 30a 之间建立间隙 G1。除去的心轴层 11 在纳米管结构 20 的下表面 20b 和第二电极层 9 的上表面 9a 之间建立间隙 G2。心轴去除通路开口 35a 和 35b 延伸穿过电介质层 30 并进入间隙 G1。

图 2K 图解了根据本发明的实施例，当图 2J 的半导体结构 2a 在电介质层 37 和心轴去除通路开口 35a 和 35b 的剩余部分上面淀积了电
介质层 42 之后的情况。介质层 42 可以包括二氧化硅，其厚度 T7 为大约 50nm。介质层 42 可以用 CVD 处理加以淀积。介质层 42 为心轴去除通路开口 35a 和 35b、间隙 G1 和间隙 G2 提供了气密密封，由此在半导体结构 2a 内形成密封的（也就是，处于包括通路开口 35a 和 35b、间隙 G1 和间隙 G2 的空腔内）纳米管结构。密封的纳米管结构被保护免于外部（也就是，半导体器件 2a 的外部）任何能够损伤纳米管结构的粒子或湿气。

图 2L 图解了根据本发明的实施例，图 2K 的半导体结构 2a 在介质层 42 内形成了铜通路互连结构 32c、铜导线 32d 和铜导线 47 并在介质层 42 上面形成介质层 45 之后的情况。图 2L 的半导体结构 2a 代表非易失性电子/机械存储结构（例如纳米管随机存取存储器（NRAM）结构）的一部分，其包括密封的纳米管结构。

图 3A 图解了根据本发明的实施例，图 3J 的半导体结构 2 和图 2J 的半导体结构 2a 的顶视图。图 3A 中半导体结构 2 的顶视图图解了心轴去除通路开口 35a 和 35b，它们并不直接位于纳米管结构 20 的上面。此外，图 3A 图解了多个纳米管结构 21a…21j，和附加的心轴去除通路开口 35c 和 35d，它们分别与纳米管结构 20 和心轴去除通路开口 35a 和 35b 包括相同的结构，并用相同的方法加以形成。间隙 G1 位于每个纳米管结构 20 和 21a…21j 的上表面（例如，纳米管结构 20 的上表面 20a）和介质层 30 的下表面 30a 之间。

图 3B 图解了根据本发明的实施例，图 3A 顶视图的可选择顶视图。与图 3A 相对比的，图 3B 的半导体器件包括三个单独的间隙 G1、G3 和 G4，而不是一个间隙（也就是，图 3A 中的间隙 G1），并包括附加的心轴去除通路开口 35e 和 35f。

尽管本文出于例证的目的说明本发明的实施例，但是对于本领域技术人员而言可以显见许多的修改和变化。因此，附加的权利要求试图涵盖属于本发明真实精神和范围内的所有这些修改和变化。