

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成18年3月2日(2006.3.2)

【公表番号】特表2001-513302(P2001-513302A)

【公表日】平成13年8月28日(2001.8.28)

【出願番号】特願平11-533507

【国際特許分類】

H 03 L 7/095 (2006.01)

【F I】

H 03 L 7/08 B

【手続補正書】

【提出日】平成17年10月7日(2005.10.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】補正の内容のとおり

【補正方法】変更

【補正の内容】

手 続 補 正 書

平成 17 年 10 月 7 日

特許庁長官 殿



1 事件の表示

平成 11 年特許願第 533507 号

2 補正をする者

住所 オランダ国 5621 ベーアー アインドーフェン
 フルーネヴァウツウェッハ 1
 名称 コーニンクレッカ フィリップス エレクトロニクス
 エヌ ヴィ

3 代理人

住所 〒108-8507 東京都港区港南 2 丁目 13 番 37 号
 フィリップスビル
 株式会社フィリップスエレクトロニクスジャパン内

氏名 (8778) 弁理士 津軽 進



4 補正対象書類名

明細書

5 補正対象項目名

全文

6 補正の内容

別紙の通り



方式審査 (佐藤)

(別紙)

明細書

位相同期ループの同期状態検出器

〔発明の属する技術分野〕

本発明は、一般的には位相同期ループ(Phase Locked Loop - "PLL")回路に関し、更に詳しくいえば、位相同期ループで使うための同期状態(lock condition)検出器に関する。更に本発明はまた PLL回路内で同期条件を検出する方法にも関する。

〔従来の技術〕

PLL回路は様々な応用分野で用いられる、その応用分野は、マイクロプロセッサ、デジタルビデオシステム、セル方式電話のような移動通信装置を含む。PLL回路は、クロック信号が生成され、例えば外部の規準信号のような他の信号源に同期させられる必要があるところで用いられる。その最も基本的な形では、PLL回路は、図1に示すような電圧制御発振器("VCO")10、すなわち VCOの制御端子に与えられる制御電圧に依存する周波数の範囲で作動することのできる発振器、を含む。VCOは、ループ位相比較器20によって測定される VCOの出力と、規準信号("REF")との間の位相誤りによって駆動される。この誤りは、規準信号と VCOの出力との間の誤りが減少するように制御電圧を変えるために用いられ、その目標は位相と周波数とについて VCOの出力を規準信号と同じにして置く、というものである。典型的には、PLLは制御ループを安定させるために、フィルタ30を制御電圧経路中に含む。更に、ループ分割器40を位相比較器と VCOとの間に挿入することにより VCOの出力は規準信号の倍数とすることができます。以上が PLLの最も基本的な形の説明である。PLL回路の若干の高級な設計の実例は、例えば米国特許第 5,349,613号；第 5,475,718号及び第 5,349,613号、並びにヨーロッパ特許第 EP 0 433 120 A1号に示されている。

制御メカニズムの進歩にも拘わらず、VCOの出力信号は規準信号に対して同期外れとなることがまだ生じる。同期外れとは、PLLを用いる応用に関し予め定められた因数だけ位相や周波数について VCOの出力信号が規準信号と異なる、とい

う意味である。これは典型的には、フィードバック経路の固有の遅延の結果として数個のクロックサイクルに亘り一時的に生じる。これはまた、例えば規準信号の変化に応じて VCOの出力が変化するのに或る有限の時間が掛かる、という理由で生じることもある。或る種の応用例では PLLの用いられるデバイスが、もし PLLの同期が外れたら、或る機能を実行することが望ましいこともあり、又は実行しないことが望ましいこともある。例えばマイクロプロセッサでは、電源断の状態からマイクロプロセッサが立ち上がるときに、PLLロックの指示が有用である。PLLが正しい周波数上にロックするまでマイクロプロセッサはリセットの状態を維持して間違った周波数の疑似クロックによる不正確な動作を防止する。このことはUARTや通信装置のような時間（すなわち周波数）に厳しいデバイスがマイクロプロセッサによって制御されるときに特に重要である。

〔発明が解決しようとする課題〕

従って本発明の目的は、2つの信号が同期外れとなったときにそれを示す同期検出回路を提供することである。

本発明のもう1つの目的は、同期外れ状態が検出されたときに信号を生成して PLLを含むデバイスの動作を制御するような回路を提供することである。

本発明の更にもう1つの目的は、同期状態を規定し実現するに当たり回路設計者に大きな融通性を与えるところの同期検出器回路に対するトポロジーを提供することである。

〔課題を解決するための手段〕

一般的にいって本発明によれば、同期状態検出器は PLL内で生成される制御信号の標本化及び解析に基づいて予め指定された同期状態になっているか否かを検出する。この同期状態検出器は PLLの比較器からの制御信号を標本化し、或る標本化速度で標本を時間シフトすることにより標本のグループを形成する。この同期状態検出器は規準信号と出力クロック信号との間の同期状態に関連する判定基準に従って上記標本のグループを検査する。

本発明は、規準信号と発振器信号との直接比較を行う代わりに、既知の PLL回路内で利用可能な1個又は複数個の制御信号を利用することができる、という認識に立脚する。そのような制御信号は一般的に上記規準信号と発振器信号とが同

期外れのときにより有能であって、それ故に同期が合っているか外れているかの信頼できる標識として役に立つ。そればかりでなく、それらの制御信号は規準信号や発振器信号と同様にその周波数が極めて高いので、多数の連続的な標本を時間シフトすることにより、標本の解析に要する応答時間を、検査されるグループ中の時間シフトされた標本の数に等しい因数だけ効率的に減少させる。

本発明の1つの態様によれば、標本化速度は、規準信号か、PLLからの出力クロック信号か、クロック信号の分数か、が容易に利用可能だから、それらのうちのいずれかによって制御される。

本発明のもう1つの好適な態様によれば、同期状態検出器は、時間シフトされた標本の2つのグループを形成し、それらのグループのうちの一方は規準信号の速度で標本化し時間シフトすることにより形成され、もう一方は出力クロック信号の分数の速度で標本化し時間シフトすることにより形成される。両方の標本のグループが同期状態を試験するために検査される。規準信号及び出力クロック信号のうちのどちらかにより制御される速度でそれが標本化されるところの標本の2つのグループを形成することによって、位相同期ループに関連する制御信号が同期外れであることが、より高い信頼性で検出される、ということが判明している。

同期検出回路は、制御信号に対し論理関数を実行して、標本化された信号として利用される論理信号を出力するところの、入力論理セクションを更に含むことが好適である。入力論理回路は同期が合っているという状態に対する判定基準をその一部分が定義したり、或いはそうでなければ、例えば制御信号の2個の命令を組み合わせるというように、制御信号を巧く操作するのに利用したりする。

本発明はまた、上述の型の位相同期ループ回路から同期検出信号を生成する方法、及びPLLと同期状態検出器との組合せにも関する。

本発明のこれらの目的、特徴、及び利点並びにその他の目的、特徴、及び利点については、以下の詳細な説明及び図面により明瞭になるであろう。

[図面の簡単な説明]

図1は、最も基本的な形（従来技術）のPLL回路の概略ブロック図であり、

図2Aは、本発明による同期状態検出器回路の1つの実施例の概略ブロック図で

あり、

図2Bは、本発明による同期状態検出器回路の2番目の実施例の概略ブロック図であり、

図3Aは、図1の位相比較器20の概略ブロック図であり、

図3Bから図3Dまでは、PLLの同期状態と不同期状態の双方で、REF信号及びVCO信号並びに2個の命令を持つ位相比較器の制御信号を説明するタイミング図であり、

図4は、図2Aによる同期状態検出器の模範的な実施例の概略回路図であり、

図5は、図4の回路と同じトポロジーであるが、別の同期状態を実行するもう1つの実施例の概略回路図である。

〔実施例〕

図1を参照すれば、一般的にPLLではVCOから分割されたVCO信号が周波数及び位相に関し規準信号と同期しているときに、ループ位相比較器からの制御信号は「不活性な("inactive")」状態と名付けられる制御信号がVCOの出力を変えない状態にあるであろう。しかし、規準信号と分割されたVCO信号とが同期していないときにはVCOに影響を与える制御信号は「活性な("active")」状態となり、VCOにその出力を変えさせてそれら2個の信号を或る特定の同期状態の範囲内に連れ戻すようにする。それ故にPLLの範囲内にある制御信号はPLLの同期状態を示す信号を導くのに用いられることができる。

図2Aは、本発明による同期状態検出器の一実施例50を示し、これはVCOの発振器周波数を制御する制御信号の時間積分に基づいてPLLが所望の同期状態に在るか否かを判定する。この検出器は、段階60-1から段階60-Nまでの複数の段階を持つ時間積分器60を含む。この時間積分器は、PLLによって生成される1つの制御信号("CNTRL")を1つの標本化速度("RATE")で標本化し、各標本を段階60-1から段階60-Nまでに亘り順次シフトする。解析器70が結合されており、これは少なくとも60-1から60-Nまでの複数の段階の内容を読み出し、それらの段階の内容が、PLLの所望の同期状態に対応する予め定められた条件を満足するか、それとも満足しないかを示す信号を出力する。典型的にはCNTRL信号は論理高の値と論理低の値との間を切り替えるデジタル信号であろう。その場合にシフトレジスタの内

容は複数の“0”及び複数の“1”のどちらか又は両方から成るであろう。上記解析器は各段階の内容を分析して、もし例えればいずれかの段階が“0”を含んでいれば同期外れ信号を出力するであろう。

制御信号は、REF信号及びVCO信号とともに、典型的には数十MHz程度の、また場合によっては数百MHzという極めて高い周波数のものである。そのような高周波数では、既知の論理回路のような解析器回路は同期状態に付随する制御信号中の動搖をしばしば見落とす、ということが判明している。複数の段階を通る制御信号の時間積分標本によって、検出されようとする動搖は、段階の数Nに等しい数のRATE信号のサイクル数に亘り時間積分器内に存在するであろうから、分析しようとする信号の有効周波数は減少する。これは積分器のクロック速度及び段階数Nを、PLLの動作周波数及び解析器70の回路の選定に依存して適切に選択することによって制御されるであろう。RATE信号は独立に供給されてもよいけれど、多くの応用例ではREF信号かVCO信号か又は分割されたVCO信号かが、PLLから既に利用可能であるから、それらのいずれかを時間積分器60のクロックするRATE信号として用いるのが望ましいであろう。

図2Bは、同期状態検出器の第2の実施例の概略ブロック図である。検出器100は入力論理セクション110を含み、この入力論理セクションがVCOの周波数を制御する制御信号CNTRLを受け取る。この入力論理セクション110はその一部がPLLからの制御信号を修正するのに用いられ、また一部がPLLの同期条件を規定するのに用いられる。1個の時間積分器の代わりに、図2Bの同期検出器では2個の積分器を含む。第1の時間積分器140は規準信号REFによるクロック速度で上記入力論理セクションの出力を標本化する、また第2の時間積分器160も同じく入力論理セクションの出力を標本化するが、その速度はVCOからの発振器信号により制御される。積分器140, 積分器160は各々が複数ビットのシフトレジスタで具体化されて、例えばこの図では6段階(141-146; 161-166)となっている。上記入力論理セクションの出力は論理信号であり、論理高又は論理低の値を持つ。シフトレジスタ140は入力論理セクション110の出力を、規準クロックにより制御される標本化速度で段階141-146を通って出力シフトして標本化する。同様に、シフトレジスタ160は入力論理セクション110の出力を、VCOの周波数に等しい標

本化速度で標本化する。こうしてそれらのシフトレジスタは効率的に節約して出力信号をシフトレジスタの段階数に等しいところの（それぞれ信号VCO 又は信号REF の）サイクル数に亘って展開する。出力論理セクション180 は、上記第1 の時間積分器及び第2 の時間積分器の各段階の論理値を受け取るために結合されている。この出力論理セクションは更に、同期状態を規定し、指定された同期状態に合っているか否かを示す同期検出論理信号を出力する。それぞれが REF信号又は VCO信号のクロックで動作する2 個のシフトレジスタを持つことの利点は、REF信号と VCO信号とが異なる周波数を持つので PLLが同期外れのときに、各シフトレジスタが異なる速度でクロックされるであろう、ということである。これによつて、第1 の速度でクロックされる一方のレジスタが別の速度でクロックされるもう一方のレジスタの標本化しない動搖を見つけ易いであろうから、制御信号中の動搖が更に高い信頼度で検出されるようになる、ということが判明している。

図3Aは、図1 のPLL の位相ループ比較器20の模範的な実施例を説明する図である。この比較器20は位相周波数検出器 (“P/FD”) 22を含み、この検出器は上記規準信号REF を受け取る第1 入力部と、上記 VCOから分割された VCO信号を受け取る第2 入力部とを持つ。またこの検出器は、2 個の命令UP及びDNから成る制御信号を出力し、それらの命令は充当ポンプ (“CP”) 24のそれぞれの入力に与えられる。この充当ポンプは受け取った命令UP及びDNに基づいて制御電圧を供給し、それはフィルタ30で濾波してから VCOの動作を制御する。特定のP/FD回路及びCP回路は、例えばIEEE Journal of Solid State Circuits誌、1996年11月、volume 31, Number 11, 1716ページ所載、Kaenel他による “A 320MHZ, 1.5nW@1.35V CMOS PLL for Microprocessor Clock Generation” という論文から既知である（茲に該文献を参考文献として引用する）。これに開示された回路では、P/FDからのUP命令及びDN命令もまた論理信号である。この具体例では、UP命令は活性化されて、充当ポンプをレール電圧にまで引き上げることにより VCOの周波数を減少させる。DN命令は活性化されて、充当ポンプをレール電圧にまで引き下げ、それにより VCOの周波数を増加させる。UP命令及びDN命令は両方とも規準信号によりクロックされて立ち上がりエッジ（すなわち低から高への転位）でエッジトリガーされる。このUP命令は、それが論理低のときに活性となり VCOの周波数を減少させることを意

味するところの低で真の信号である。論理高のときにそれは不活性となる。また DN命令は、論理低のときに不活性であり、論理高のときに活性となって VCOの周波数を増加させることを意味するところの高で真の信号である。

図3Bから図3Dまでは、典型的なP/FD実装の3つの場合に対する活性の状態及び不活性の状態におけるUP命令及びDN命令を説明するタイミング図である。図3Bは $f_{VCO} = f_{REF}$ で同期のある状態を示す。任意のサイクル又はループ中にUP命令及びDN命令は活性の期間と不活性の期間との両方を持つ。しかし PLLが同期しているときは、これらの活性状態及び不活性状態の期間は両命令間で同一であり、一緒になって「不活性」制御信号を形成し、VCOの出力が同じままに留まっている。UP命令は高で真であり、DN命令は低で真であるから、図3AにおけるUP命令及びDN命令は同じ状態を持つ、ということに注意されたい。このことはこれら2個の信号を、この場合にはそれら2個の命令の排他的論理和EXCLUSIVE OR ("XOR") 関数であるところの組合せ論理関数を用いて単純に比較することにより、理解することができる。UP命令及びDN命令が活性状態と不活性状態とに関し同一であるときには、XOR演算の結果は論理"1"を生成する。もし1つのサイクル中に2個の制御信号の比較結果が全サイクルに対し論理"1"をもたらすならば、PLLはそのサイクルに対し同期している、といわれる。図3C及び図3Dで与えられるその他の2つの場合は、生成されたVCO周波数が規準周波数より速い($f_{VCO} = 2f_{REF}$)か又は遅い($f_{VCO} = 0.5f_{REF}$)かどちらかのときに生じる同期外れ状態を説明する。これらの場合は共に、制御信号の直接の比較が、それらが同一でない所与のサイクル内に在る期間を生じさせてXOR演算が実行されるとき論理"0"をもたらす。もし完全なサイクル又はループ中の任意の点で2個の論理信号の比較の結果が論理"0"をもたらすならば、そのPLLは該サイクルに対し同期外れである、といわれる。

図4は、制御信号が上述の2個の命令UP及びDNを含む場合に用いる図2Aによる実施例の概略回路図である。図4では入力論理セクション110は、P/FD 22からUP信号を受け取る第1入力部111とP/FD 22からDN信号を受け取る第2入力部112とを持つEXCLUSIVE OR ("XOR") ゲート115である。このXORゲートは、UP及びD OWN信号のEXCLUSIVE OR関数を出力する出力部113を持つ。換言すれば、XORゲ

ート115 は、 UP命令及びDN命令のどちらかが論理高のときにのみ論理高の信号を出力する。この XORゲート115 は、 UP命令及びDN命令の両方が共に論理高のときには常に、またUP命令及びDN命令の両方が共に論理低のときには常に論理低の信号を出力する。

第 1 のシフトレジスタ140 は、複数であるN 個 (この場合には N=3) のD タイプのフリップフロップ (“DFF”) 141, 142, 143を含む。これらのDFF の各々は、クロック入力部 (“CLK”), データ入力部 (“D”), 出力部 (“Q”), 及びリセット入力部 (“RST”) を含む。 CLK入力部の各々はエッジトリガーされる、という意味は、その CLK入力部にある信号が論理低から論理高に変わるとときは常に、すなわちその信号の立ち上がりエッジにあるときは常に、上記DFF がその入力部D に在るデータを出力部Q に転送する。DFF 141, 142, 143 の CLK入力部の各々は結合されて PLLからの規準クロック信号を受け取り、また各DFF の RST入力部もリセット信号を受け取る。第 1 のDFF のD入力部は XORゲート115 の出力部113 に結合される。引き続 DFF 142, 143 の各々はその DFFのチェーン内で直前のDFF の出力部Q に結合されるD入力部を持つ。

チェーン160 は PLLのVCO からの発振器信号に付随するM 個のDFF を持つ。この例では発振器信号は分割された発振器信号であり、また数M はチェーン140 の数N に等しい。図 2 から明らかのように、DFF 161, 162, 163 はチェーン140 のDE と同様のやり方で配列されているが、DFF 161, 162, 163 の CLK入力部が分割された発振器信号を受け取るために結合されている点は異なる。

論理出力セクション180 はチェーン140 とチェーン160 の双方のDFF の各々の出力部Q に結合される。図示の実施例では、論理セクション180 は第 1 の ANDゲート182 を含み、この ANDゲート182 は DFFチェーン140 の出力部Q のそれぞれ異なる 1 個に結合されたN 個の入力部の各々を持つ。同様に、 ANDゲート184 は DFFチェーン160 のそれぞれ異なる出力部Q に各々が結合されたN 個の入力部を含む。また ANDゲート186 が ANDゲート182 及び ANDゲート184 の各々の出力部に結合された入力部を持つ。この ANDゲート186 は、上記分割された発振器信号及び規準信号が予め指定された同期状態の内に在るか否かを示すところの論理高信号又は論理低信号を出力する、但しここで予め指定された同期状態は各チェー

ン内のDFF の数及び論理出力セクションの形態により定められるものである。

図4のデジタル同期検出器は次のように機能する。シフトレジスタ140 及びシフトレジスタ160 は各々が XORゲート115 の出力113 を標本化し、その標本化された出力を、 REF信号及び VCO信号でそれがクロックされているこれらのシフトレジスタを通してシフトする。図3Bのように PLLが同期していれば出力113 は論理高である。その結果、 PLLが同期している限りシフトレジスタ140 及びシフトレジスタ160 の各段階の内容は論理高であり、 論理セクション180 の出力は論理高であろう。図3C及び図3Dのように、もし PLLが同期外れになれば、 UP命令及びDN命令は均衡しなくなるであろう、そして XORゲート115 の出力113 は1個の又は複数個のクロックサイクルに対して論理低に切り替わるであろう。すると、もしそれが REF信号及び VCO信号のいずれか一方又は双方の立ち上がりエッジに存在するならば、シフトレジスタ140 及びシフトレジスタ160 のいずれか一方又は双方の内容がこの論理値を含むことになる。シフトレジスタのうちの少なくとも1個の内容が今や論理低であるから、 ANDゲート186 の出力は論理低となり、それは同期外れ状態が PLL内に存在することを示すであろう。従って、論理セクション180 により実行される予め指定された同期状態は、もし3個の連続した“1”がシフトレジスタ140 及びシフトレジスタ160 の両方の中に存在するならば「同期 (“lock”)」であり、もしただ1個の“0”がシフトレジスタ140 又はシフトレジスタ160 のどちらかの中に存在するならば「不同期 (“unlock”)」である。

一旦標本化されたら、少なくとも3個のクロックサイクルに対し論理低の値がシフトレジスタ140 及びシフトレジスタ160 のいずれか一方又は双方の中に存在する、それ故に3ビットシフトレジスタが使われなかつたとした場合より近似的に3倍長い時間に亘って出力に同期外れ状態の信号が存在する、ということに注意されたい。これにより PLLより遅いクロック速度を持つ回路に入力するためにこの信号が有用なものになる。更にその外に、同期条件を定めるために VCO信号及び REF信号を直接標本化する典型的な高速試験システムは高価なものであるから、これが高速 PLLの試験のために同期状態検出器を有用なものとする。誤りの継続時間を延長するこの方法は、この同期検出器を既存のシステム又は廉価なシステムに適合させることを可能にする。

図5は、P/FD 22 に訂正のための1制御ループを許容する同期検出器を説明する図である。もし同期外れ状態がP/FDによりその制御サイクルの1ループ以内に訂正されないならば、検出器100 は同期外れ信号を出力するであろう。図中の回路エレメントで図4のそれらと同じ機能を持つものには同じ引用番号が付してある。シフトレジスタの各々は4個のDFF 141-144 及び161-164 を含み、それらには図4と同じやり方で入力EXCLUSIVE ORゲート115 から供給され、クロックされている。論理出力セクションは同期状態に対する試験を行い、“INLOCK”信号を出力する第1論理ストリングを含む。この第1論理ストリングは4個の入力部を持つ第1NANDゲート191 を含み、その入力部の各々はそれぞれのDFF 141-144 の出力を受け取るように接続され、また上記第1論理ストリングは4個の入力部を持つ第2NANDゲート199 も含み、その入力部の各々はそれぞれのDFF 161-164 の出力を受け取るように接続されている。NANDゲート191 及びNANDゲート199 の出力は NORゲート192 への入力であり、該 NORゲート192 の出力は“INLOCK”信号である。NANDゲート191, NANDゲート199, 及び NORゲート192 は、図4の回路の ANDゲート182, ANDゲート184, 及び ANDゲート186 と同じ論理機能を実行する。換言すれば、DFF 141-144 及び161-164 の出力のすべてが論理高であるときにのみ、PLLは同期していると考えられ、“INLOCK”信号が論理高となるであろう。もしDFF のどれか1つでも論理低であるならば、“INLOCK”信号が論理低となるであろう。

第2論理ストリングが、比較器ループの2つのサイクルに対し1つの論理低が存在するか否かを検出して “OUTLOCK”信号を出力する。この第2論理ストリングは、DFF 141 及び142 の出力を受け取る NORゲート195 と、DFF 161 及び162 の出力を受け取る NORゲート196 とを含む。NORゲート195 と NORゲート196 との出力は NORゲート197 への入力であり、NORゲート197 の出力はインバータ198 により反転される。その反転されたデバイス198 の出力は NORゲート194 への入力となる。DFF 141, 142の出力が共に論理低であるならば、NORゲート195 の出力は論理高となるであろう。同様に、DFF 161, 162の出力が共に論理低であるときに、NORゲート196 の出力は論理高となるであろう。NORゲート195 の出力と NORゲート196 の出力とのいずれか一方か又は双方が論理高であるときに、NORゲート197 の出力は論理低となり、インバータ198 の出力は論理高となるであろ

う。従って2個の連続した論理低が、DFF 141, 142 か又はDFF 161, 162 かのどちらかで検出されるときに OUTLOCK信号が論理高となるであろう。

ここで、NORゲート193 と NORゲート194 とがRSラッチを形成し、そのときに NORゲート193 へのINLOCK信号入力がセット入力("SET") であり、NORゲート194 からの OUTLOCK信号がリセット信号("RST") を形成する。INLOCK信号が論理高であり且つ OUTLOCK信号が論理低である限りは、NORゲート194 の出力信号("LOCK D") は論理高となるであろう、そしてそれが同期状態を示すのである。もしDFF のうちのどちらかに論理低が生じるならば、INLOCK信号が先ず最初に論理低となる。しかしこれはDFF 141, 142又はDFF 161, 162に2個の連続した論理低が検出されるまで LOCKD信号を論理低に変えることはないであろう。それが生じたときに、 OUTLOCK信号が論理高となり且つ LOCKD信号が論理低となって、それは同期外れを示す。LOCKD信号は、両方のチェーン内のすべてのDFF が論理高となるまで、論理低のままに留まるであろう。

従って、図5の回路は、PLLが同期状態になるために各 DFFチェーン内に4個の連続した論理高を要するが、同期外れになるためにはどちらかの DFFチェーン内の2個の論理低のみを要する、という非対称の同期条件を実行する。一旦同期外れになると、同期検出信号はすべてのDFF が論理高となるまで同期外れを示している。

以上の記述から、ここに記載の原理から離れることなく別の変形が作れることは明らかとなろう。例えば、入力論理セクションは PLLから生成され標準化される制御信号のタイプに依存して変わるであろう、ということは明らかである。その外に、出力セクションは所望の同期状態に依存して任意の種類の試験を実行することができよう。更にその外に、入力回路及び出力回路は現在既知の任意のプログラム可能な論理デバイス利用ができるであろう、そして所望の同期状態がユーザーによってプログラムされることができ、PLLの動作中にその場で変更することさえできる、ということも明らかであるに違いない。従って本発明の好適な実施例が開示され記載されているが、その態様が請求項に規定されている本発明の原理及び精神から逸脱せずにこれらの実施例に変更を加えられることは、当業者によって認識されるであろう。

本発明の多くの特徴及び利点は明細書の詳細な説明から明らかであり、本発明の真の精神及び態様の範囲内にあるすべてのそれらの特徴及び利点を添付の請求項によってカバーするよう意図される。その他の多数の変形や変更が当業者にとってたやすく起こされるであろうから、本発明をここに記載の正確な構造及び動作に限定し、従って本発明の態様の範囲内にあるすべての適切な変形及び等価物が利用できることは望まれていない。

請求の範囲

1. 発振器出力信号を生成する発振器、及び上記発振器出力信号を規準信号と比較する比較器を持ち、該比較器は上記発振器を制御する制御信号を生成する、位相同期ループ回路と共に使用する同期状態検出器において、

該同期状態検出器は、

或る標本化速度で上記制御信号の標本を取り、及び上記標本化速度で上記複数の標本を時間シフトする標本化手段と、

上記時間シフトされた複数の標本を、上記規準信号と発振器出力信号との間の同期状態に関する判定基準に従って検査する手段と、
を有することを特徴とする同期状態検出器。

2. 請求項1に記載の同期状態検出器において、上記複数の標本が上記判定基準を満足する場合に同期状態になっていることを示す第1の値と、上記複数の標本が上記判定基準を満足しない場合に同期状態になっていないことを示す第2の値とを持つ信号を生成する手段を更に有することを特徴とする同期状態検出器。

3. 請求項1に記載の同期状態検出器において、上記標本化速度は、(i)上記規準信号の周波数、(ii)上記発振器出力信号の周波数、及び(iii)上記発振器出力信号の周波数の倍数又は分数のうちの少なくとも1つであることを特徴とする同期状態検出器。

4. 請求項3に記載の同期状態検出器において、上記標本化手段は、上記規準信号により制御される標本化速度における上記制御信号の時間シフトされた標本の第1のグループと、上記発振器出力信号により制御される標本化速度における上記制御信号の時間シフトされた標本の第2のグループとを形成するものであり、また、上記検査する手段は、上記第1のグループの標本と上記第2のグループの標本との双方からの制御信号の標本を検査することを特徴とする同期状態検出器。

5. 請求項1に記載の同期状態検出器において、上記標本化された制御信号が複数の別個の命令信号を含む位相同期ループに対して、上記同期状態検出器は、上記複数の別個の命令信号に対して組合せ論理関数を実行して論理信号を出力するための手段を更に有し、該論理信号は上記標本化手段によって標本化されること

を特徴とする同期状態検出器。

6. (i)発振器出力信号を生成する発振器、及び(ii)上記発振器出力信号を規準信号と比較する比較器を有し、該比較器は上記発振器を制御する制御信号を生成する位相同期ループ回路と、

上記発振器出力信号が、上記比較器により生成される上記制御信号に基づいて、上記規準信号に関連する予め指定された同期状態の内にあるか否かを検出する同期状態検出器と、

を有する回路において、

上記同期状態検出器は、

複数の段階を含む第1の時間積分器であって、上記比較器からの上記制御信号を標本化し、また該標本化された信号の値を、上記複数の段階を通して (i) 上記規準信号、及び(ii) 上記発振器出力信号のうちの一方により制御される速度でシフトする当該第1の時間積分器と、

上記時間積分器の上記段階に結合された論理回路であって、上記予め指定された同期状態に関連して、上記段階にある上記標本化された制御信号の複数の値に對して論理関数を実行し、上記予め指定された同期状態になっていることを示す同期検出信号を出力する当該論理回路と、

を有することを特徴とする回路。

7. 請求項6に記載の回路において、

上記同期状態検出器は、複数の段階を含む第2の時間積分器を更に有し、該第2の時間積分器は、上記標本化された信号の値を、上記複数の段階を通して上記発振器出力信号により制御される速度でシフトし、上記第1の時間積分器は上記規準信号により制御され、

上記論理回路は、上記第2の時間積分器の上記複数の段階に結合された入力部を持つことを特徴とする回路。

8. 請求項7に記載の回路において、上記同期状態検出器は、上記比較器と上記第1及び第2の時間積分器との間に結合された入力論理セクションを更に有し、該入力論理セクションは、上記制御信号に論理関数を実行して論理信号を出力し、上記第1及び第2の時間積分器は上記入力論理セクションにより出力される上記

論理信号を標本化することを特徴とする回路。

9. 請求項 8 に記載の回路において、上記位相同期ループの上記比較器は、上記発振器の周波数を増加させること及び減少させることにそれ関連する第 1 論理制御信号及び第 2 論理制御信号を生成し、上記第 1 及び第 2 論理制御信号は上記入力論理セクションに入力されることを特徴とする回路。
10. 請求項 9 に記載の回路において、上記第 1 の時間積分器及び上記第 2 の時間積分器は、各々がそれぞれのシフトレジスタを有することを特徴とする回路。
11. 請求項 10 に記載の回路において、上記論理回路は、上記第 1 の時間積分器及び上記第 2 の時間積分器の各段階の論理積AND 演算を実行することを特徴とする回路。
12. 請求項 10 に記載の回路において、上記入力論理セクションは、上記比較器により生成される上記第 1 及び第 2 論理制御信号の排他的論理和EXCLUSIVE OR 演算を実行することを特徴とする回路。
13. 請求項 7 に記載の回路において、上記第 1 の時間積分器及び上記第 2 の時間積分器は、各々がそれぞれのシフトレジスタを有することを特徴とする回路。
14. 請求項 6 に記載の回路において、上記同期状態検出器は、上記比較器と上記第 1 の時間積分器との間に結合された入力論理セクションを更に有し、上記入力論理セクションは、上記制御信号に論理関数を実行して論理信号を出力し、上記第 1 の時間積分器は上記入力論理セクションにより出力される上記論理信号を標本化することを特徴とする回路。
15. 請求項 14 に記載の回路において、上記位相同期ループの上記比較器は、上記発振器の周波数を増加させること及び減少させることにそれ関連する第 1 論理制御信号及び第 2 論理制御信号を生成し、上記第 1 及び第 2 論理制御信号は上記入力論理セクションに入力されることを特徴とする回路。
16. 出力クロック信号を生成する発振器、及び上記発振器の出力を規準信号と比較する比較器を持ち、該比較器は上記発振器を制御する制御信号を生成する位相同期ループ回路に対して同期状態信号を生成する方法において、
或る標本化速度で上記制御信号の複数の標本を取るステップと、
上記規準信号と上記出力クロック信号との間の予め指定された同期状態に関する

る判定基準に従って、上記複数の標本を検査するステップと、

上記同期状態の判定基準に合っているか否かを示す信号を生成するステップと、
を含むことを特徴とする同期状態信号を生成する方法。

17. 請求項16に記載の方法において、上記標本化速度は、(i)上記規準信号の周波数及び(ii)上記発振器の出力信号の周波数のうちの少なくとも一方によって制御されることを特徴とする同期状態信号を生成する方法。

18. 請求項17に記載の方法において、

上記複数の標本を取るステップは、上記規準信号により制御される速度で標本化される上記制御信号の標本の第1のグループと、上記発振器出力信号により制御される速度で標本化される上記制御信号の標本の第2のグループと、を形成することを含み、

上記複数の標本を検査するステップは、上記第1のグループの標本と上記第2のグループの標本との双方からの制御信号の標本を検査することを含む、
ことを特徴とする同期状態信号を生成する方法。

19. 請求項16に記載の方法において、該方法は論理信号を得るために上記制御信号に入力論理関数を実行するステップを含み、また、上記標本を取るステップは、上記論理信号を標本化することを特徴とする同期状態信号を生成する方法。

20. 請求項19に記載の方法において、上記発振器の周波数を増加させることに関連する第1の論理信号と選定された関数を減少させることに関連する第2の論理信号とを含む制御信号を上記比較器が生成する位相同期ループに対し、上記入力論理関数を実行するステップは、上記第1の論理信号及び上記第2の論理信号に排他的論理和EXCLUSIVE OR関数を実行することを含むことを特徴とする同期状態信号を生成する方法。

21. 請求項18に記載の方法において、上記複数の標本を検査するステップは、上記第1及び第2のグループの各標本に集合的に論理積AND関数を実行することを含むことを特徴とする同期状態信号を生成する方法。