

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成22年12月9日(2010.12.9)

【公開番号】特開2010-134496(P2010-134496A)

【公開日】平成22年6月17日(2010.6.17)

【年通号数】公開・登録公報2010-024

【出願番号】特願2008-306964(P2008-306964)

【国際特許分類】

G 0 6 F 9/46 (2006.01)

【 F I 】

G 0 6 F 9/46 3 5 0

【手続補正書】

【提出日】平成22年10月21日(2010.10.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

物理 CPU と、前記物理 CPU を論理的に分割して複数の仮想計算機とする仮想計算機制御部と、前記仮想計算機を前記制御部が制御するためのデータを格納する仮想計算機制御メモリとを備える、仮想計算機システムにおいて、

前記仮想計算機制御メモリは、第 1 の仮想計算機用の第 1 のデータと、第 2 の仮想計算機用の第 2 のデータとを有し、

前記制御部は、前記第 1 の仮想計算機が動作するときに、前記第 1 のデータを、前記物理 CPU 内の内部メモリに格納し、

(a) 前記第 1 の仮想計算機が動作を終了するときに、前記第 1 のデータを前記内部メモリに保持し、

(b) 次に実行させる第 2 の仮想計算機が、前記仮想計算機制御メモリに格納されているデータを用いるか否かを判定し、

(c) 判定にしたがって前記内部メモリ内のデータを、前記内部メモリと前記仮想計算機制御メモリとの間で移動することを特徴とした仮想計算機システム。

【請求項 2】

前記判定の際、

(d) 前記第 2 の仮想計算機が、前記仮想計算機制御メモリから前記内部メモリに、新たなデータを用いるならば、前記第 1 のデータを前記仮想計算機制御メモリに移動（退避）し、前記第 2 の仮想計算機が用いるデータを、前記仮想計算機制御メモリから前記物理 CPU 内の前記内部メモリへ移動（回復）させ、

(e) 前記第 2 の仮想計算機が、新たなデータを用いないならば、前記仮想計算機制御メモリと前記内部メモリとの間の前記移動（退避と回復）を省略することを特徴とした請求項 1 記載の仮想計算機システム。

【請求項 3】

前記第 2 の仮想計算機が、前記仮想計算機制御メモリから前記内部メモリに、新たなデータを用いるのは、前記第 2 の仮想計算機が前記第 1 の仮想計算機とは別の仮想計算機であることを特徴とする請求項 2 記載の仮想計算機システム。

【請求項 4】

前記第 2 の仮想計算機が、前記仮想計算機制御メモリから前記内部メモリへ、新たなデ

ータを用いないのは、前記第 2 の仮想計算機が、前記第 1 の仮想計算機を制御する制御用仮想計算機であり、かつ、前記制御用仮想計算機が前記仮想計算機制御メモリから前記内部メモリへ、新たなデータを用いない場合であることを特徴とする請求項 2 記載の仮想計算機システム。

【請求項 5】

前記仮想計算機は、前記複数の仮想計算機が前記物理 CPU を共有する CPU 共有モードと、前記複数の仮想計算機のうちの特定の仮想計算機が前記物理 CPU を占有する CPU 占有モードとを有し、

前記制御部は、前記占有モードの場合に前記 (a) ~ (c) の動作を実行することを特徴とする請求項 1 に記載の仮想計算機システム。

【請求項 6】

前記仮想計算機は、前記複数の仮想計算機が前記物理 CPU を共有する CPU 共有モードと、前記複数の仮想計算機のうちの特定の仮想計算機が前記物理 CPU を占有する CPU 占有モードとを有し、

前記制御部は、前記 CPU 占有モードの場合に前記 (a) ~ (e) の動作を実行することを特徴とする請求項 2 から 5 の何れかに記載の仮想計算機システム。

【請求項 7】

物理 CPU と、前記物理 CPU を論理的に分割して複数の仮想計算機とするハイパバイザと、前記仮想計算機を前記制御部が制御するためのデータを格納する仮想計算機制御メモリとを備える、仮想計算機システムにおけるハイパバイザにおいて、

前記仮想計算機のスケジュールの切り替えを行う処理部を有し、

(a) 前記処理部は、前記仮想計算機のプロセスが終了したときに、該プロセスのデータを前記物理 CPU 内の内部メモリに保持するよう指示し、

(b) 次に実行させる仮想計算機が、前記仮想計算機制御メモリに格納されているデータを用いるか否かを判定し、

(c) 判定にしたがって前記内部メモリ内のデータを、前記内部メモリと前記仮想計算機制御メモリとの間で移動することを特徴としたハイパバイザ。

【請求項 8】

前記判定の際、

(d) 前記次に実行させる仮想計算機が、前記仮想計算機制御メモリから前記内部メモリに、新たなデータを用いるならば、前記プロセスのデータを前記仮想計算機制御メモリに移動（退避）し、前記次に実行させる仮想計算機が用いるデータを、前記仮想計算機制御メモリから前記内部メモリへ移動（回復）させ、

(e) 前記次に実行させる仮想計算機が、新たなデータを用いないならば、前記仮想計算機制御メモリと前記内部メモリとの間の前記移動（退避と回復）を省略することを特徴とした請求項 7 記載のハイパバイザ。

【請求項 9】

前記次に実行させる仮想計算機が、前記仮想計算機制御メモリから前記内部メモリに新たなデータを用いるのは、前記次に実行させる仮想計算機が前記仮想計算機とは別の仮想計算機であることを特徴とする請求項 8 記載のハイパバイザ。

【請求項 10】

前記次に実行させる仮想計算機が、前記仮想計算機制御メモリから前記内部メモリへ新たなデータを用いないのは、前記次に実行させる仮想計算機が、前記仮想計算機を制御する制御用仮想計算機であり、かつ、前記制御用仮想計算機が前記仮想計算機制御メモリから前記内部メモリへ新たなデータを用いない場合であることを特徴とする請求項 8 記載のハイパバイザ。

【請求項 11】

前記仮想計算機は、前記複数の仮想計算機が前記物理 CPU を共有する CPU 共有モードと、前記複数の仮想計算機のうちの特定の仮想計算機が前記物理 CPU を占有する CPU 占有モードとを有し、

前記制御部は、前記ＣＰＵ占有モードの場合に前記（ａ）～（ｃ）の動作を実行することを特徴とする請求項７に記載のハイパバイザ。

【請求項１２】

前記仮想計算機は、前記複数の仮想計算機が前記物理ＣＰＵを共有するＣＰＵ共有モードと、前記複数の仮想計算機のうちの特定の仮想計算機が前記物理ＣＰＵを占有するＣＰＵ占有モードとを有し、

前記制御部は、前記ＣＰＵ占有モードの場合に前記（ａ）～（ｅ）の動作を実行することを特徴とする請求項８から１０の何れかに記載のハイパバイザ。

【請求項１３】

物理ＣＰＵと、前記物理ＣＰＵを論理的に分割して複数の仮想計算機とするハイパバイザと、前記仮想計算機を前記制御部が制御するためのデータを格納する仮想計算機制御メモリとを備える、仮想計算機システムにおけるスケジューリング方法において、

（ａ）前記仮想計算機のプロセスが終了したときに、該プロセスのデータを前記物理ＣＰＵ内の内部メモリに保持するよう指示するステップと、

（ｂ）次に実行させる仮想計算機が、前記仮想計算機制御メモリに格納されているデータを用いるか否かを判定するステップと、

（ｃ）判定にしたがって前記内部メモリ内のデータを、前記内部メモリと前記仮想計算機制御メモリとの間で移動させるステップを有することを特徴としたスケジューリング方法。

【請求項１４】

前記判定ステップの際に、

（ｄ）前記次に実行させる仮想計算機が、前記仮想計算機制御メモリから前記内部メモリに、新たなデータを用いるならば、前記プロセスのデータを前記仮想計算機制御メモリに移動（退避）し、前記次に実行させる仮想計算機が用いるデータを、前記仮想計算機制御メモリから前記内部メモリへ移動（回復）させるステップと、

（ｅ）前記次に実行させる仮想計算機が、新たなデータを用いないならば、前記仮想計算機制御メモリと前記内部メモリとの間の前記移動（退避と回復）を省略するステップを有することを特徴とした請求項１３記載のスケジューリング方法。

【請求項１５】

前記次に実行させる仮想計算機が、前記仮想計算機制御メモリから前記内部メモリに新たなデータを用いるのは、前記次に実行させる仮想計算機が前記仮想計算機とは別の仮想計算機であることを特徴とする請求項１４記載のスケジューリング方法。

【請求項１６】

前記次に実行させる仮想計算機が、前記仮想計算機制御メモリから前記内部メモリへ新たなデータを用いないのは、前記次に実行させる仮想計算機が、前記仮想計算機を制御する制御用仮想計算機であり、かつ、前記制御用仮想計算機が前記仮想計算機制御メモリから前記内部メモリへ新たなデータを用いない場合であることを特徴とする請求項１４記載のスケジューリング方法。

【請求項１７】

前記仮想計算機は、前記複数の仮想計算機が前記物理ＣＰＵを共有するＣＰＵ共有モードと、前記複数の仮想計算機のうちの特定の仮想計算機が前記物理ＣＰＵを占有するＣＰＵ占有モードとを有し、

前記制御部は、前記ＣＰＵ占有モードの場合に前記（ａ）～（ｃ）の動作を実行することを特徴とする請求項１３に記載のスケジューリング方法。

【請求項１８】

前記仮想計算機は、前記複数の仮想計算機が前記物理ＣＰＵを共有するＣＰＵ共有モードと、前記複数の仮想計算機のうちの特定の仮想計算機が前記物理ＣＰＵを占有するＣＰＵ占有モードとを有し、

前記制御部は、前記ＣＰＵ占有モードの場合に前記（ａ）～（ｅ）の動作を実行することを特徴とする請求項１３から１６の何れかに記載のスケジューリング方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

前記判定の際、(d)前記次に実行させる仮想計算機が、前記仮想計算機制御メモリから前記内部メモリに、新たなデータを用いるならば、前記プロセスのデータを前記仮想計算機制御メモリに移動(退避)し、前記次に実行させる仮想計算機が用いるデータを、前記仮想計算機制御メモリから前記内部メモリへ移動(回復)させ、(e)前記次に実行させる仮想計算機が、新たなデータを用いないならば、前記仮想計算機制御メモリと前記内部メモリとの間の前記移動(退避と回復)を省略することを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

前記判定ステップの際に、(d)前記次に実行させる仮想計算機が、前記仮想計算機制御メモリから前記内部メモリに、新たなデータを用いるならば、前記プロセスのデータを前記仮想計算機制御メモリに移動(退避)し、前記次に実行させる仮想計算機が用いるデータを、前記仮想計算機制御メモリから前記内部メモリへ移動(回復)させるステップと、(e)前記次に実行させる仮想計算機が、新たなデータを用いないならば、前記仮想計算機制御メモリと前記内部メモリとの間の前記移動(退避と回復)を省略するステップを有することを特徴とする。以上のように、物理CPUの論理分割方式の特徴を利用することで、OS動作時に必要なコンテキストの退避/回復を完全にスキップできるスケジューリングの方法を考案した。これにより、OSの改変などを伴うことなく、コンテキスト切り替えに起因するオーバーヘッドの削減を実現する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

物理CPUの論理的な分割とは、具体的には、一つもしくは複数の物理CPUを、複数の論理CPU、(ここでは120, 121, 220, 221, 320, 321)で共有し、その共有した論理CPUが物理CPUへ一定の時間間隔でスケジュールされることである。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

この論理CPUコンテキスト領域は、物理CPUのコンテキスト610, 611, 612, 613と対応付けられる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【 0 0 5 6 】

(1) 最初に V M M のプロセススケジューリング処理 5 3 0 は、切り替え元プロセス (現在走行中のプロセス) のコンテキスト退避の要否判定を行う。(図 1 2)

スケジューリング制御テーブルから切り替え元のプロセス情報 8 0 0 - 1 を取得し、切り替え元プロセスのプロセスの識別情報 7 1 0 - 1 から、論理 C P U プロセスかどうかを判定する。具体的には、プロセス識別情報 7 1 0 - 1 はそのプロセスの種類を一意に特定できるための I D を含んでおり、これが論理 C P U を示しているかどうか確認する。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 3

【補正方法】変更

【補正の内容】

【 0 0 6 3 】

切り替え先プロセスが論理 C P U プロセスである場合は、スケジューリング制御テーブルから前回論理 C P U プロセス情報 8 0 0 - 2 を取得し、切り替え先プロセスが前回論理 C P U プロセス (当該物理 C P U で最後に走行した論理 C P U プロセス) と等しいかどうかの判定を行う。条件が成立しない場合とする場合の処理について、それぞれ (2 . 1) 、 (2 . 2) に記す。