



(12) 发明专利申请

(10) 申请公布号 CN 118176591 A

(43) 申请公布日 2024.06.11

(21) 申请号 202280073151.2  
 (22) 申请日 2022.10.28  
 (30) 优先权数据  
 2021-181317 2021.11.05 JP  
 (85) PCT国际申请进入国家阶段日  
 2024.04.29  
 (86) PCT国际申请的申请数据  
 PCT/JP2022/040498 2022.10.28  
 (87) PCT国际申请的公布数据  
 W02023/080086 JA 2023.05.11  
 (71) 申请人 罗姆股份有限公司  
 地址 日本  
 (72) 发明人 中野佑纪  
 (74) 专利代理机构 北京银龙知识产权代理有限公司 11243  
 专利代理师 曾贤伟 李平

(51) Int.Cl.  
 H01L 29/78 (2006.01)  
 H01L 21/3205 (2006.01)  
 H01L 21/336 (2006.01)  
 H01L 21/768 (2006.01)  
 H01L 23/12 (2006.01)  
 H01L 23/29 (2006.01)  
 H01L 23/31 (2006.01)  
 H01L 23/522 (2006.01)  
 H01L 23/532 (2006.01)  
 H01L 25/07 (2006.01)  
 H01L 25/18 (2023.01)  
 H01L 29/06 (2006.01)  
 H01L 29/12 (2006.01)  
 H01L 29/41 (2006.01)  
 H01L 29/47 (2006.01)  
 H01L 29/739 (2006.01)  
 H01L 29/872 (2006.01)

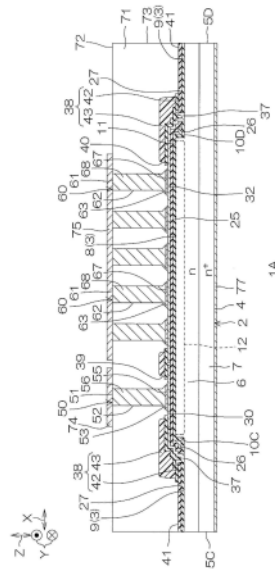
权利要求书2页 说明书43页 附图44页

(54) 发明名称

半导体装置

(57) 摘要

半导体装置包括：具有主面的芯片；包覆上述主面的主面电极；空出间隔地配置在上述主面电极之上的多个柱状电极；以及使多个上述柱状电极的一部分露出的方式，在上述主面电极之上包覆多个上述柱状电极之间的区域的封固绝缘体；以及在上述封固绝缘体之上包覆至少一个上述柱状电极的至少一个端子膜。



1. 一种半导体装置,其特征在于,包括:  
芯片,其具有主面;  
主面电极,其包覆上述主面;  
多个柱状电极,其空出间隔地配置在上述主面电极之上;  
封固绝缘体,其以使多个上述柱状电极的一部分露出的方式,在上述主面电极之上包覆多个上述柱状电极之间的区域;以及  
至少一个端子膜,其在上述封固绝缘体之上包覆至少一个上述柱状电极。
2. 根据权利要求1所述的半导体装置,其特征在于,  
多个上述柱状电极在剖视时分别以纵长柱状竖立设置。
3. 根据权利要求1或2所述的半导体装置,其特征在于,  
上述端子膜比多个上述柱状电极薄。
4. 根据权利要求1~3任一项中所述的半导体装置,其特征在于,  
上述端子膜具有多个上述柱状电极的厚度的1/4以下的厚度。
5. 根据权利要求1~4任一项中所述的半导体装置,其特征在于,  
多个上述柱状电极比上述主面电极厚,  
上述封固绝缘体比上述主面电极厚。
6. 根据权利要求1~5任一项中所述的半导体装置,其特征在于,  
多个上述柱状电极比上述芯片厚,  
上述封固绝缘体比上述芯片厚。
7. 根据权利要求1~6任一项中所述的半导体装置,其特征在于,  
多个上述柱状电极具有相对于上述主面的平面面积为30%以下的占有率的总平面面积,  
上述端子膜具有相对于上述主面的平面面积为50%以上的占有率的总平面面积。
8. 根据权利要求1~7任一项中所述的半导体装置,其特征在于,  
多个上述柱状电极分别包含Cu系金属。
9. 根据权利要求1~8任一项中所述的半导体装置,其特征在于,  
上述端子膜包含Ag系金属膜、Al系金属膜、Cu系金属膜、Ni系金属膜、Pd系金属膜以及Au系金属膜中的至少一个。
10. 根据权利要求1~9任一项中所述的半导体装置,其特征在于,  
多个上述柱状电极分别具有电极面以及电极侧壁,  
上述封固绝缘体以使上述电极面露出且包覆上述电极侧壁的方式包覆多个上述柱状电极。
11. 根据权利要求10所述的半导体装置,其特征在于,  
上述封固绝缘体具有绝缘主面,该绝缘主面与多个上述柱状电极的上述电极面形成一个平坦面。
12. 根据权利要求1~11任一项中所述的半导体装置,其特征在于,  
上述芯片具有侧面,  
上述封固绝缘体具有与上述侧面形成一个平坦面的绝缘侧壁。
13. 根据权利要求1~12任一项中所述的半导体装置,其特征在于,

- 还包括局部地包覆上述主面电极的绝缘膜，  
多个上述柱状电极从上述绝缘膜空出间隔地配置在上述主面电极之上。
14. 根据权利要求13所述的半导体装置，其特征在于，  
上述封固绝缘体具有隔着上述绝缘膜包覆上述主面电极的部分。
15. 根据权利要求13或14所述的半导体装置，其特征在于，  
上述绝缘膜包含无机绝缘膜以及有机绝缘膜的任一方或者双方。
16. 根据权利要求1~15任一项中所述的半导体装置，其特征在于，  
上述封固绝缘体包含热固化性树脂。
17. 根据权利要求1~16任一项中所述的半导体装置，其特征在于，  
上述芯片具有包括基板以及外延层的层叠构造，包含由上述外延层形成的上述主面。
18. 根据权利要求17所述的半导体装置，其特征在于，  
上述外延层比上述基板厚。
19. 根据权利要求1~16任一项中所述的半导体装置，其特征在于，  
上述芯片具有由外延层构成的单层构造。
20. 根据权利要求1~19任一项中所述的半导体装置，其特征在于，  
上述芯片包含宽带隙半导体的单晶。

## 半导体装置

### 技术领域

[0001] 本申请主张基于2021年11月5日向日本国专利局提出的日本特愿2021-181317号的优先权,该申请的全部公开内容在此通过引用而录入。本公开涉及半导体装置。

### 背景技术

[0002] 专利文献1公开了包括半导体基板、电极以及保护层的半导体装置。电极配置在半导体基板之上。保护层具有包括无机保护层以及有机保护层的层叠构造,且包覆电极。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:美国专利申请公开第2019/0080976号说明书

### 发明内容

[0006] 发明所要解决的课题

[0007] 一个实施方式提供一种能够提高信赖性的半导体装置。

[0008] 用于解决课题的方案

[0009] 一个实施方式包括:芯片,其具有主面;主面电极,其包覆上述主面;多个柱状电极,其空出间隔地配置在上述主面电极之上;封固绝缘体,其以使多个上述柱状电极的一部分露出的方式,在上述主面电极之上包覆多个上述柱状电极之间的区域;以及至少一个端子膜,其在上述封固绝缘体之上包覆至少一个上述柱状电极。

[0010] 上述的或者其它目的、特征以及效果通过参照附图来说明的实施方式而变得清楚。

### 附图说明

[0011] 图1是表示第一实施方式的半导体装置的俯视图。

[0012] 图2是沿图1所示的II-II线的剖视图。

[0013] 图3是表示芯片的内方部的主要部分的放大俯视图。

[0014] 图4是沿图3所示的IV-IV线的剖视图。

[0015] 图5是表示芯片的周缘部的主要部分的放大剖视图。

[0016] 图6是表示栅极电极以及源极电极的布局例的俯视图。

[0017] 图7是表示上绝缘膜的布局例的俯视图。

[0018] 图8A是表示第一形态例的端子膜的局部剖视图。

[0019] 图8B是表示第二形态例的端子膜的局部剖视图。

[0020] 图8C是表示第三形态例的端子膜的局部剖视图。

[0021] 图8D是表示第四形态例的端子膜的局部剖视图。

[0022] 图8E是表示第五形态例的端子膜的局部剖视图。

[0023] 图8F是表示第六形态例的端子膜的局部剖视图。

- [0024] 图8G是表示第七形态例的端子膜的局部剖视图。
- [0025] 图9是表示制造时所使用的晶片构造的俯视图。
- [0026] 图10是表示图9所示的设备区域的剖视图。
- [0027] 图11A是表示图1所示的半导体装置的制法例的剖视图。
- [0028] 图11B是表示图11A之后的工序的剖视图。
- [0029] 图11C是表示图11B之后的工序的剖视图。
- [0030] 图11D是表示图11C之后的工序的剖视图。
- [0031] 图11E是表示图11D之后的工序的剖视图。
- [0032] 图11F是表示图11E之后的工序的剖视图。
- [0033] 图11G是表示图11F之后的工序的剖视图。
- [0034] 图11H是表示图11G之后的工序的剖视图。
- [0035] 图11I是表示图11H之后的工序的剖视图。
- [0036] 图11J是表示图11I之后的工序的剖视图。
- [0037] 图12A是表示端子膜的第一制法例的局部剖视图。
- [0038] 图12B是表示图12A之后的工序的局部剖视图。
- [0039] 图12C是表示图12B之后的工序的局部剖视图。
- [0040] 图13A是表示端子膜的第二制法例的局部剖视图。
- [0041] 图13B是表示图13A之后的工序的局部剖视图。
- [0042] 图13C是表示图13B之后的工序的局部剖视图。
- [0043] 图14A是表示端子膜的第三制法例的局部剖视图。
- [0044] 图14B是表示图14A之后的工序的局部剖视图。
- [0045] 图15是表示第二实施方式的半导体装置的俯视图。
- [0046] 图16是表示第三实施方式的半导体装置的俯视图。
- [0047] 图17是表示第四实施方式的半导体装置的俯视图。
- [0048] 图18是表示图17所示的半导体装置的电的结构电路图。
- [0049] 图19是表示第五实施方式的半导体装置的俯视图。
- [0050] 图20是表示沿图19所示的XX-XX线的剖视图。
- [0051] 图21是表示第六实施方式的半导体装置的俯视图。
- [0052] 图22是表示第七实施方式的半导体装置的俯视图。
- [0053] 图23是表示第八实施方式的半导体装置的俯视图。
- [0054] 图24是表示第九实施方式的半导体装置的俯视图。
- [0055] 图25是表示第十实施方式的半导体装置的俯视图。
- [0056] 图26是沿图25所示的XXVI-XXVI线的剖视图。
- [0057] 图27是表示第十一实施方式的半导体装置的俯视图。
- [0058] 图28是表示各实施方式中应用的芯片的变形例的剖视图。
- [0059] 图29是表示搭载有第一~第九实施方式的半导体装置的封装件的俯视图。
- [0060] 图30是表示搭载有第十~第十一实施方式的半导体装置的封装件的俯视图。
- [0061] 图31是表示搭载有第一~第九实施方式的半导体装置以及第十~第十一实施方式的半导体装置的封装件的立体图。

[0062] 图32是图31所示的封装件的分解立体图。

[0063] 图33是沿图31所示的XXXIII-XXXIII线的剖视图。

### 具体实施方式

[0064] 以下,参照附图对实施方式进行详细说明。附图是示意图,并非严格地图示,比例尺等未必一致。另外,对于附图之间对应的构造标注同一参照符号,省略或者简化重复的说明。对于省略或者简化了说明的构造,应用在省略或者简化之前进行的说明。

[0065] 图1是表示第一实施方式的半导体装置1A的俯视图。图2是沿图1所示的II-II线的剖视图。图3是表示芯片2的内方部的主要部分的放大俯视图。

[0066] 图4是沿图3所示的IV-IV线的剖视图。图5是表示芯片2的周缘部的主要部分的放大剖视图。图6是表示栅极电极30以及源极电极32的布局例的俯视图。图7是表示上绝缘膜38的布局例的俯视图。

[0067] 参照图1~图7,在该方式(this embodiment)中,半导体装置1A包含宽带隙半导体的单晶,且包含形成为六面体形状(具体而言为长方体形状)的芯片2。也就是,半导体装置1A是“宽带隙半导体装置”。芯片2也可以称为“半导体芯片”或者“宽带隙半导体芯片”。宽带隙半导体是具有超过Si(硅)的带隙的带隙的半导体。例示出GaN(氮化镓)、SiC(碳化硅)以及C(金刚石)作为宽带隙半导体。

[0068] 在该方式中,芯片2作为宽带隙半导体的一例是包含六方晶的SiC单晶的“SiC芯片”。也就是,半导体装置1A是“SiC半导体装置”。六方晶的SiC单晶具有包含2H(Hexagonal)-SiC单晶、4H-SiC单晶、6H-SiC单晶等的多种的多晶类型。在该方式中,示出了芯片2包含4H-SiC单晶的例子,但并不排除其它多晶类型的选择。

[0069] 芯片2具有一方侧的第一主面3、另一方侧的第二主面4、以及连接第一主面3及第二主面4的第一~第四侧面5A~5D。第一主面3以及第二主面4在从它们的法线方向Z观察的俯视(以下简称为“俯视”)时形成为四边形状。法线方向Z也是芯片2的厚度方向。第一主面3以及第二主面4优选由SiC单晶的c面形成。

[0070] 该情况下,优选第一主面3由SiC单晶的硅面形成,第二主面4由SiC单晶的碳面形成。第一主面3以及第二主面4也可以具有在预定的偏离方向上相对于c面以预定的角度倾斜的偏离角。偏离方向优选为SiC单晶的a轴方向([11-20]方向)。偏离角也可以为超过 $0^\circ$ 且 $10^\circ$ 以下。偏离角优选为 $5^\circ$ 以下。第二主面4既可以由具有研磨痕的研磨面构成、也可以由不具有研磨痕的平滑面构成。

[0071] 第一侧面5A以及第二侧面5B在沿第一主面3的第一方向X上延伸,且在与第一方向X交叉(具体而言为正交)的第二方向Y上对置。第三侧面5C以及第四侧面5D在第二方向Y上延伸,且在第一方向X上对置。也可以是第一方向X是SiC单晶的m轴方向([1-100]方向),第二方向Y是SiC单晶的a轴方向。当然,也可以是第一方向X是SiC单晶的a轴方向,第二方向Y是SiC单晶的m轴方向。第一~第四侧面5A~5D既可以由具有研磨痕的研磨面构成、也可以由不具有研磨痕的平滑面构成。

[0072] 芯片2也可以在法线方向Z上具有 $5\mu\text{m}$ 以上且 $250\mu\text{m}$ 以下的厚度。芯片2的厚度也可以为 $100\mu\text{m}$ 以下。芯片2的厚度优选为 $50\mu\text{m}$ 以下。芯片2的厚度特别优选为 $40\mu\text{m}$ 以下。第一~第四侧面5A~5D也可以在俯视时具有 $0.5\text{mm}$ 以上且 $10\text{mm}$ 以下的长度。

[0073] 第一~第四侧面5A~5D的长度优选为1mm以上。第一~第四侧面5A~5D的长度特别优选为2mm以上。也就是,芯片2优选具有1mm见方以上(优选为2mm见方以上)的平面面积,在俯视时具有100 $\mu\text{m}$ 以下(优选为50 $\mu\text{m}$ 以下)的厚度。在该方式中,第一~第四侧面5A~5D的长度设定为4mm以上且6mm以下的范围。

[0074] 半导体装置1A包括在芯片2内形成于第一主面3侧的区域(表层部)的n型(第一导电型)的第一半导体区域6。第一半导体区域6形成为沿第一主面3延伸的层状,且从第一主面3以及第一~第四侧面5A~5D露出。在该方式中,第一半导体区域6由外延层(具体而言为SiC外延层)构成。第一半导体区域6也可以在法线方向Z上具有1 $\mu\text{m}$ 以上且50 $\mu\text{m}$ 以下的厚度。第一半导体区域6的厚度优选为3 $\mu\text{m}$ 以上且30 $\mu\text{m}$ 以下。第一半导体区域6的厚度特别优选为5 $\mu\text{m}$ 以上且25 $\mu\text{m}$ 以下。

[0075] 半导体装置1A包括在芯片2内形成于第二主面4侧的区域(表层部)的n型的第二半导体区域7。第二半导体区域7形成为沿第二主面4延伸的层状,且从第二主面4以及第一~第四侧面5A~5D露出。第二半导体区域7具有比第一半导体区域6高的n型杂质浓度,且与第一半导体区域6电连接。在该方式中,第二半导体区域7由半导体基板(具体而言为SiC半导体基板)构成。也就是,芯片2具有包括半导体基板以及外延层的层叠构造。

[0076] 第二半导体区域7也可以在法线方向Z上具有1 $\mu\text{m}$ 以上且200 $\mu\text{m}$ 以下的厚度。第二半导体区域7的厚度优选为5 $\mu\text{m}$ 以上且50 $\mu\text{m}$ 以下。第二半导体区域7的厚度特别优选为5 $\mu\text{m}$ 以上且20 $\mu\text{m}$ 以下。若考虑在第一半导体区域6产生的误差,则第二半导体区域7的厚度优选为10 $\mu\text{m}$ 以上。第二半导体区域7的厚度最优选为小于第一半导体区域6的厚度。根据具有比较小的厚度的第二半导体区域7,能够削减第二半导体区域7引起的电阻值(例如接通电阻)。当然,第二半导体区域7的厚度也可以超过第一半导体区域6的厚度。

[0077] 半导体装置1A包括形成于第一主面3的活性面8(active surface)、外侧面9(outer surface)以及第一~第四连接面10A~10D(connecting surface)。活性面8、外侧面9以及第一~第四连接面10A~10D在第一主面3划分台面部11(台地)。活性面8也可以称为“第一面部”、外侧面9也可以称为“第二面部”、第一~第四连接面10A~10D也可以称为“连接面部”。活性面8、外侧面9以及第一~第四连接面10A~10D(也就是台面部11)也可以被视为芯片2(第一主面3)的构成要素。

[0078] 活性面8从第一主面3的周缘(第一~第四侧面5A~5D)向内方空出间隔地形成。活性面8具有在第一方向X以及第二方向Y上延伸的平坦面。在该方式中,活性面8在俯视时形成为具有与第一~第四侧面5A~5D平行的四边的四边形状。

[0079] 外侧面9位于活性面8外,从活性面8向芯片2的厚度方向(第二主面4侧)凹陷。具体而言,外侧面9以小于第一半导体区域6的厚度的深度凹陷,以使第一半导体区域6露出。外侧面9在俯视时沿活性面8以带状延伸,形成为包围活性面8的环状(具体而言为四边环状)。外侧面9具有在第一方向X以及第二方向Y上延伸的平坦面,相对于活性面8大致平行地形成。外侧面9与第一~第四侧面5A~5D相连。

[0080] 第一~第四连接面10A~10D在法线方向Z上延伸,将活性面8以及外侧面9连接。第一连接面10A位于第一侧面5A侧,第二连接面10B位于第二侧面5B侧,第三连接面10C位于第三侧面5C侧,第四连接面10D位于第四侧面5D侧。第一连接面10A以及第二连接面10B在第一方向X上延伸,且在第二方向Y上对置。第三连接面10C以及第四连接面10D在第二方向Y上延

伸,且在第一方向X上对置。

[0081] 第一~第四连接面10A~10D也可以以划分四棱柱状的台面部11的方式在活性面8以及外侧面9之间大致垂直地延伸。第一~第四连接面10A~10D也可以以划分四棱锥台状的台面部11的方式从活性面8朝向外侧面9向斜下倾斜。这样,半导体装置1A包括在第一主面3形成于第一半导体区域6的台面部11。台面部11仅形成于第一半导体区域6,而不形成于第二半导体区域7。

[0082] 半导体装置1A包括形成于活性面8(第一主面3)的MISFET(Metal Insulator Semiconductor Field Effect Transistor,金属绝缘体半导体场效应晶体管)构造12。在图2中,用虚线简化地示出MISFET构造12。以下,参照图3以及图4,对MISFET构造12的具体的构造进行说明。

[0083] MISFET构造12包括形成于活性面8的表层部的p型(第二导电型)的主体区域13。主体区域13从第一半导体区域6的底部向活性面8侧空出间隔地形成。主体区域13形成为沿活性面8延伸的层状。主体区域13也可以从第一~第四连接面10A~10D的一部分露出。

[0084] MISFET构造12包括形成于主体区域13的表层部的n型的源极区域14。源极区域14具有比第一半导体区域6高的n型杂质浓度。源极区域14从主体区域13的底部向活性面8侧空出间隔地形成。源极区域14形成为沿活性面8延伸的层状。源极区域14也可以从活性面8的全域露出。源极区域14也可以从第一~第四连接面10A~10D的一部分露出。源极区域14在与第一半导体区域6之间且在主体区域13内形成通道。

[0085] MISFET构造12包括形成于活性面8的多个栅极构造15。多个栅极构造15在俯视时在第一方向X上空出间隔地排列,且分别形成为在第二方向Y上延伸的带状。多个栅极构造15贯通主体区域13以及源极区域14而到达第一半导体区域6。多个栅极构造15控制主体区域13内的通道的反转以及非反转。

[0086] 在该方式中,各栅极构造15包括栅极沟槽15a、栅极绝缘膜15b以及栅极埋设电极15c。栅极沟槽15a形成于活性面8,划分栅极构造15的壁面。栅极绝缘膜15b包覆栅极沟槽15a的壁面。栅极埋设电极15c隔着栅极绝缘膜15b埋设于栅极沟槽15a,隔着栅极绝缘膜15b而与通道对置。

[0087] MISFET构造12包括形成于活性面8的多个源极构造16。多个源极构造16在活性面8中分别配置于相邻的一对栅极构造15之间的区域。多个源极构造16分别形成为在俯视时在第二方向Y上延伸的带状。多个源极构造16贯通主体区域13以及源极区域14而到达第一半导体区域6。多个源极构造16具有超过栅极构造15的深度的深度。具体而言,多个源极构造16具有与外侧面9的深度大致相等的深度。

[0088] 各源极构造16包括源极沟槽16a、源极绝缘膜16b以及源极埋设电极16c。源极沟槽16a形成于活性面8,划分源极构造16的壁面。源极绝缘膜16b包覆源极沟槽16a的壁面。源极埋设电极16c隔着源极绝缘膜16b埋设于源极沟槽16a。

[0089] MISFET构造12包括多个p型的接触区域17,该多个p型的接触区域17在芯片2内分别形成于沿多个源极构造16的区域。多个接触区域17具有比主体区域13高的p型杂质浓度。各接触区域17包覆各源极构造16的侧壁以及底壁,且与主体区域13电连接。

[0090] MISFET构造12包括多个p型的阱区域18,该多个p型的阱区域18在芯片2内分别形成于沿多个源极构造16的区域。各阱区域18也可以具有比主体区域13高、且比接触区域17

低的p型杂质浓度。各阱区域18隔着对应的接触区域17包覆对应的源极构造16。各阱区域18包覆对应的源极构造16的侧壁以及底壁,且与主体区域13以及接触区域17电连接。

[0091] 参照图5,半导体装置1A包括形成于外侧面9的表层部的p型的外部接触区域19。外部接触区域19具有超过主体区域13的p型杂质浓度的p型杂质浓度。外部接触区域19在俯视时从活性面8的周缘以及外侧面9的周缘空出间隔地形成,且形成为沿活性面8延伸的带状。

[0092] 在该方式中,外部接触区域19在俯视时形成为包围活性面8的环状(具体而言为四边环状)。外部接触区域19从第一半导体区域6的底部向外侧面9空出间隔地形成。外部接触区域19相对于多个栅极构造15(源极构造16)的底壁位于第一半导体区域6的底部侧。

[0093] 半导体装置1A包括形成于外侧面9的表层部的p型的外部阱区域20。外部阱区域20具有小于外部接触区域19的p型杂质浓度的p型杂质浓度。外部阱区域20的p型杂质浓度优选与阱区域18的p型杂质浓度大致相等。外部阱区域20在俯视时形成于活性面8的周缘以及外部接触区域19之间的区域,且形成为沿活性面8延伸的带状。

[0094] 在该方式中,外部阱区域20在俯视时形成为包围活性面8的环状(具体而言为四边环状)。外部阱区域20从第一半导体区域6的底部向外侧面9空出间隔地形成。外部阱区域20也可以形成为比外部接触区域19深。外部阱区域20相对于多个栅极构造15(源极构造16)的底壁位于第一半导体区域6的底部侧。

[0095] 外部阱区域20与外部接触区域19电连接。在该方式中,外部阱区域20从外部接触区域19侧朝向第一~第四连接面10A~10D延伸,且包覆第一~第四连接面10A~10D。外部阱区域20在活性面8的表层部中与主体区域13电连接。

[0096] 半导体装置1A包括在外侧面9的表层部中形成于外侧面9的周缘以及外部接触区域19之间的区域的至少一个(优选为两个以上且二十个以下)的p型的场区域21。在该方式中,半导体装置1A包括五个场区域21。多个场区域21在外侧面9中缓和芯片2内的电场。场区域21的个数、宽度、深度、p型杂质浓度等是任意的,可根据应缓和的电场来取得各种值。

[0097] 多个场区域21从外部接触区域19侧向外侧面9的周缘侧空出间隔地排列。多个场区域21在俯视时形成为沿活性面8延伸的带状。在该方式中,多个场区域21在俯视时形成为包围活性面8的环状(具体而言为四边环状)。由此,多个场区域21分别形成为FLR(Field Limiting Ring)区域。

[0098] 多个场区域21从第一半导体区域6的底部向外侧面9空出间隔地形成。多个场区域21相对于多个栅极构造15(源极构造16)的底壁位于第一半导体区域6的底部侧。多个场区域21也可以形成为比外部接触区域19深。最内的场区域21也可以与外部接触区域19连接。

[0099] 半导体装置1A包括包覆第一主面3的主面绝缘膜25。主面绝缘膜25也可以包括氧化硅膜、氮化硅膜以及氮氧化硅膜中的至少一个。在该方式中,主面绝缘膜25具有由氧化硅膜构成的单层构造。主面绝缘膜25特别优选包括由芯片2的氧化物构成的氧化硅膜。

[0100] 主面绝缘膜25包覆活性面8、外侧面9以及第一~第四连接面10A~10D。主面绝缘膜25与栅极绝缘膜15b以及源极绝缘膜16b相连,以使栅极埋设电极15c以及源极埋设电极16c露出的方式包覆活性面8。主面绝缘膜25以包覆外部接触区域19、外部阱区域20以及多个场区域21的方式,包覆外侧面9以及第一~第四连接面10A~10D。

[0101] 主面绝缘膜25也可以与第一~第四侧面5A~5D相连。该情况下,主面绝缘膜25的外壁也可以由具有研磨痕的研磨面构成。主面绝缘膜25的外壁也可以形成第一~第四侧面

5A~5D和一个研磨面。当然,主面绝缘膜25的外壁也可以从外侧面9的周缘向内方空出间隔地形成,且使第一半导体区域6从外侧面9的周缘部露出。

[0102] 半导体装置1A包括在外侧面9中以包覆第一~第四连接面10A~10D中的至少一个的方式形成于主面绝缘膜25之上的侧壁构造26。在该方式中,侧壁构造26在俯视时形成为包围活性面8的环状(四边环状)。侧壁构造26也可以具有跃上活性面8之上的部分。侧壁构造26也可以包含无机绝缘体或者多晶硅。侧壁构造26也可以是与源极构造16电连接的侧壁构造配线。

[0103] 半导体装置1A包括形成于主面绝缘膜25之上的层间绝缘膜27。层间绝缘膜27也可以包括氧化硅膜、氮化硅膜以及氮氧化硅膜中的至少一个。在该方式中,层间绝缘膜27具有由氧化硅膜构成的单层构造。

[0104] 层间绝缘膜27隔着主面绝缘膜25包覆活性面8、外侧面9以及第一~第四连接面10A~10D。具体而言,层间绝缘膜27经由侧壁构造26包覆活性面8、外侧面9以及第一~第四连接面10A~10D。层间绝缘膜27在活性面8侧包覆MISFET构造12,在外侧面9侧包覆外部接触区域19、外部阱区域20以及多个场区域21。

[0105] 在该方式中,层间绝缘膜27与第一~第四侧面5A~5D相连。层间绝缘膜27的外壁也可以由具有研磨痕的研磨面构成。层间绝缘膜27的外壁也可以形成第一~第四侧面5A~5D和一个研磨面。当然,层间绝缘膜27的外壁也可以从外侧面9的周缘向内方空出间隔地形成,且使第一半导体区域6从外侧面9的周缘部露出。

[0106] 半导体装置1A包含配置在第一主面3(层间绝缘膜27)之上的栅极电极30。栅极电极30也可以称为“栅极主面电极”。栅极电极30从第一主面3的周缘空出间隔地配置在第一主面3的内方部。在该方式中,栅极电极30配置在活性面8之上。具体而言,栅极电极30在活性面8的周缘部中配置在接近第三连接面10C(第三侧面5C)的中央部的区域。在该方式中,栅极电极30在俯视时形成为四边形状。当然,栅极电极30也可以在俯视时形成为四边形状以外的多边形、圆形状或者椭圆形状。

[0107] 栅极电极30优选具有第一主面3的25%以下的平面面积。栅极电极30的平面面积也可以为第一主面3的10%以下。栅极电极30也可以具有0.5 $\mu\text{m}$ 以上且15 $\mu\text{m}$ 以下的厚度。栅极电极30也可以包含Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜以及导电性多晶硅膜中的至少一种。

[0108] 栅极电极30也可以包含纯Cu膜(纯度为99%以上的Cu膜)、纯Al膜(纯度为99%以上的Al膜)、AlCu合金膜、AlSi合金膜、以及AlSiCu合金膜中的至少一个。在该方式中,栅极电极30具有包含从芯片2侧依次层叠的Ti膜以及Al合金膜(在该方式中为AlSiCu合金膜)的层叠构造。

[0109] 半导体装置1A包括从栅极电极30空出间隔地配置在第一主面3(层间绝缘膜27)之上的源极电极32。源极电极32也可以称为“源极主面电极”。源极电极32从第一主面3的周缘空出间隔地配置在第一主面3的内方部。在该方式中,源极电极32配置在活性面8之上。在该方式中,源极电极32具有主体电极部33、以及至少一个(在该方式为多个)引出电极部34A、34B。

[0110] 主体电极部33在俯视时从栅极电极30空出间隔地配置在第四侧面5D(第四连接面10D)侧的区域,且在第一方向X上与栅极电极30对置。在该方式中,主体电极部33在俯视时

形成为具有与第一~第四侧面5A~5D平行的四边的多边形(具体而言为四边形状)。

[0111] 多个引出电极部34A、34B包括一方侧(第一侧面5A侧)的第一引出电极部34A、以及另一方侧(第二侧面5B侧)的第二引出电极部34B。第一引出电极部34A在俯视时从主体电极部33相对于栅极电极30向位于第二方向Y的一方侧(第一侧面5A侧)的区域引出,且在第二方向Y上与栅极电极30对置。

[0112] 第二引出电极部34B在俯视时从主体电极部33相对于栅极电极30向位于第二方向Y的另一方侧(第二侧面5B侧)的区域引出,且在第二方向Y上与栅极电极30对置。也就是,多个引出电极部34A、34B在俯视时从第二方向Y的两侧夹住栅极电极30。

[0113] 源极电极32(主体电极部33以及引出电极部34A、34B)贯通层间绝缘膜27以及主面绝缘膜25,且与多个源极构造16、源极区域14以及多个阱区域18电连接。当然,源极电极32也可以不具有引出电极部34A、34B,而是仅由主体电极部33构成。

[0114] 源极电极32具有超过栅极电极30的平面面积的平面面积。源极电极32的平面面积优选为第一主面3的50%以上。源极电极32的平面面积特别优选为第一主面3的75%以上。源极电极32也可以具有 $0.5\mu\text{m}$ 以上且 $15\mu\text{m}$ 以下的厚度。源极电极32也可以包含Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜以及导电性多晶硅膜中的至少一种。

[0115] 源极电极32优选包含纯Cu膜(纯度为99%以上的Cu膜)、纯Al膜(纯度为99%以上的Al膜)、AlCu合金膜、AlSi合金膜、以及AlSiCu合金膜中的至少一个。在该方式中,源极电极32具有包含从芯片2侧依次层叠的Ti膜以及Al合金膜(在该方式中为AlSiCu合金膜)的层叠构造。源极电极32优选包含与栅极电极30相同的导电材料。

[0116] 半导体装置1A包括从栅极电极30引出到第一主面3(层间绝缘膜27)之上的至少一个(在该方式为多个)的栅极配线36A、36B。多个栅极配线36A、36B优选包含与栅极电极30相同的导电材料。在该方式中,多个栅极配线36A、36B包覆活性面8,不包覆外侧面9。多个栅极配线36A、36B在俯视时向活性面8的周缘以及源极电极32之间的区域引出,沿源极电极32以带状延伸。

[0117] 具体而言,多个栅极配线36A、36B包括第一栅极配线36A以及第二栅极配线36B。第一栅极配线36A在俯视时从栅极电极30向第一侧面5A侧的区域引出。第一栅极配线36A具有在第二方向Y上沿第三侧面5C以带状延伸的部分、以及在第一方向X上沿第一侧面5A以带状延伸的部分。第二栅极配线36B在俯视时从栅极电极30向第二侧面5B侧的区域引出。第二栅极配线36B具有在第二方向Y上沿第三侧面5C以带状延伸的部分、以及在第一方向X上沿第二侧面5B以带状延伸的部分。

[0118] 多个栅极配线36A、36B在活性面8(第一主面3)的周缘部与多个栅极构造15的两端部交叉(具体而言为正交)。多个栅极配线36A、36B贯通层间绝缘膜27而与多个栅极构造15电连接。多个栅极配线36A、36B既可以与多个栅极构造15直接连接、也可以经由导体膜而与多个栅极构造15电连接。

[0119] 半导体装置1A包括从源极电极32引出至第一主面3(层间绝缘膜27)之上的源极配线37。源极配线37优选包含与源极电极32相同的导电材料。源极配线37在比多个栅极配线36A、36B靠外侧面9侧的区域中形成为沿活性面8的周缘延伸的带状。在该方式中,源极配线37在俯视时形成为包围栅极电极30、源极电极32以及多个栅极配线36A、36B的环状(具体而言为四边环状)。

[0120] 源极配线37隔着层间绝缘膜27包覆侧壁构造26,且从活性面8侧向外侧面9侧引出。源极配线37优选遍及整周地包覆侧壁构造26的全域。源极配线37具有在外侧面9侧贯通层间绝缘膜27以及主面绝缘膜25并与外侧面9(具体而言为外部接触区域19)连接的部分。源极配线37贯通层间绝缘膜27并与侧壁构造26电连接。

[0121] 半导体装置1A包括选择性地包覆栅极电极30、源极电极32、多个栅极配线36A、36B以及源极配线37的上绝缘膜38。上绝缘膜38具有使栅极电极30的内方部露出的栅极开口39,且遍及整周地包覆栅极电极30的周缘部。在该方式中,栅极开口39在俯视时形成为四边形形状。

[0122] 上绝缘膜38具有在俯视时使源极电极32的内方部露出的源极开口40,且遍及整周地包覆源极电极32的周缘部。在该方式中,源极开口40在俯视时形成为沿源极电极32的多边形状。上绝缘膜38包覆多个栅极配线36A、36B的全域以及源极配线37的全域。

[0123] 上绝缘膜38隔着层间绝缘膜27包覆侧壁构造26,从活性面8侧向外侧面9侧引出。上绝缘膜38从外侧面9的周缘(第一~第四侧面5A~5D)向内方空出间隔地形成,包覆外部接触区域19、外部阱区域20以及多个场区域21。上绝缘膜38在与外侧面9的周缘之间划分出切割道41。

[0124] 切割道41在俯视时形成为沿外侧面9的周缘(第一~第四侧面5A~5D)延伸的带状。在该方式中,切割道41在俯视时形成为包围第一主面3的内方部(活性面8)的环状(具体而言为四边环状)。在该方式中,切割道41使层间绝缘膜27露出。

[0125] 当然,在主面绝缘膜25以及层间绝缘膜27使外侧面9露出的情况下,切割道41也可以使外侧面9露出。切割道41也可以具有 $1\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下的宽度。切割道41的宽度是与切割道41的延伸方向正交的方向的宽度。切割道41的宽度优选为 $5\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下。

[0126] 上绝缘膜38优选具有超过栅极电极30的厚度以及源极电极32的厚度的厚度。上绝缘膜38的厚度优选小于芯片2的厚度。上绝缘膜38的厚度也可以为 $3\mu\text{m}$ 以上且 $35\mu\text{m}$ 以下。上绝缘膜38的厚度优选为 $25\mu\text{m}$ 以下。

[0127] 在该方式中,上绝缘膜38具有包含从芯片2侧依次层叠的无机绝缘膜42以及有机绝缘膜43的层叠构造。上绝缘膜38包含无机绝缘膜42以及有机绝缘膜43中的至少一个即可,不必同时包含无机绝缘膜42以及有机绝缘膜43。无机绝缘膜42选择性地包括栅极电极30、源极电极32、多个栅极配线36A、36B以及源极配线37,划分栅极开口39的一部分、源极开口40的一部分以及切割道41的一部分。

[0128] 无机绝缘膜42也可以包含氧化硅膜、氮化硅膜以及氮氧化硅膜中的至少一个。无机绝缘膜42优选包含与层间绝缘膜27不同的绝缘材料。无机绝缘膜42优选包含氮化硅膜。无机绝缘膜42优选具有小于层间绝缘膜27的厚度的厚度。无机绝缘膜42的厚度也可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。

[0129] 有机绝缘膜43选择性地包覆无机绝缘膜42,并划分栅极开口39的一部分、源极开口40的一部分以及切割道41的一部分。具体而言,有机绝缘膜43在栅极开口39的壁面使无机绝缘膜42局部地露出。另外,有机绝缘膜43在源极开口40的壁面使无机绝缘膜42局部地露出。另外,有机绝缘膜43在切割道41的壁面使无机绝缘膜42局部地露出。

[0130] 当然,有机绝缘膜43也可以以无机绝缘膜42不从栅极开口39的壁面露出的方式包覆无机绝缘膜42。有机绝缘膜43也可以以无机绝缘膜42不从源极开口40的壁面露出的方式

包覆无机绝缘膜42。有机绝缘膜43也可以以无机绝缘膜42不从切割道41的壁面露出的方式包覆无机绝缘膜42。上述的情况下,有机绝缘膜43也可以包覆无机绝缘膜42的全域。

[0131] 有机绝缘膜43优选由热固化性树脂以外的树脂膜构成。有机绝缘膜43优选由透光性树脂或者透明树脂构成。有机绝缘膜43也可以由负型或者正型的感光性树脂膜构成。有机绝缘膜43优选由聚酰亚胺膜、聚酰胺膜或者聚苯并噁唑膜构成。在该方式中,有机绝缘膜43包含聚苯并噁唑膜。

[0132] 有机绝缘膜43优选具有超过无机绝缘膜42的厚度的厚度。有机绝缘膜43的厚度优选超过层间绝缘膜27的厚度。有机绝缘膜43的厚度特别优选超过栅极电极30的厚度以及源极电极32的厚度。有机绝缘膜43的厚度也可以为 $3\mu\text{m}$ 以上且 $30\mu\text{m}$ 以下。有机绝缘膜43的厚度优选为 $20\mu\text{m}$ 以下。

[0133] 半导体装置1A包括配置在栅极电极30之上的至少一个(在该方式中为一个)的栅极柱状电极50。栅极柱状电极50的个数是任意的,根据栅极电极30的平面面积以及应该形成的栅极柱状电极50的平面面积来调节。栅极柱状电极50在剖视时从栅极电极30的周缘空出间隔地以纵长柱状竖立设置在栅极电极30之上。

[0134] 在该方式中,栅极柱状电极50从上绝缘膜38(栅极开口39的壁面)空出间隔地配置在栅极电极30的内方部之上。也就是,栅极柱状电极50在俯视时配置在由栅极开口39包围的区域内。在该方式中,栅极柱状电极50在俯视时形成为圆形状。当然,栅极柱状电极50也可以在俯视时形成为四边形状、四边形状以外的多边形、椭圆形状或者线状。

[0135] 栅极柱状电极50具有栅极电极面51以及栅极电极侧壁52。栅极电极面51沿第一主面3平坦地延伸。栅极电极面51也可以由具有研磨痕的研磨面构成。栅极电极侧壁52位于栅极电极30之上。栅极电极侧壁52沿法线方向Z大致铅垂地延伸。“大致铅垂”也包含一边弯曲(曲折)一边在层叠方向上延伸的形态。栅极电极侧壁52优选由不具有研磨痕的平滑面构成。

[0136] 在该方式中,栅极柱状电极50在栅极电极侧壁52的下端部具有朝向外方突出的第一突出部53。第一突出部53形成于比栅极电极侧壁52的中间部靠栅极电极30侧的区域。第一突出部53在剖视时沿栅极电极30的外表面延伸,形成为从栅极电极侧壁52朝向前端部而厚度逐渐变小的尖细形状。由此,第一突出部53具有形成锐角的尖锐形状的前端部。当然,也可以形成为不具有第一突出部53的栅极柱状电极50。

[0137] 栅极柱状电极50优选具有栅极电极30的厚度的厚度。栅极柱状电极50的厚度根据栅极电极30以及栅极电极面51之间的距离来定义。栅极柱状电极50的厚度特别优选超过上绝缘膜38的厚度。在该方式中,栅极柱状电极50的厚度超过芯片2的厚度。当然,栅极柱状电极50的厚度也可以小于芯片2的厚度。

[0138] 栅极柱状电极50的厚度也可以为 $10\mu\text{m}$ 以上且 $300\mu\text{m}$ 以下。栅极柱状电极50的厚度优选为 $30\mu\text{m}$ 以上。栅极柱状电极50的厚度特别优选为 $80\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下。栅极柱状电极50的宽度(最大值)优选为 $1\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下。

[0139] 栅极柱状电极50的宽度(最大值)也可以是属于 $1\mu\text{m}$ 以上且 $25\mu\text{m}$ 以下、 $25\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下、 $50\mu\text{m}$ 以上且 $75\mu\text{m}$ 以下、 $75\mu\text{m}$ 以上且 $100\mu\text{m}$ 以下、 $100\mu\text{m}$ 以上且 $125\mu\text{m}$ 以下、 $125\mu\text{m}$ 以上且 $150\mu\text{m}$ 以下、 $150\mu\text{m}$ 以上且 $175\mu\text{m}$ 以下、以及 $175\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下的任一个的范围的值。当然,栅极柱状电极50的宽度(最大值)不限定于这些范围,也可以设定为超过 $200\mu\text{m}$ 的

值。

[0140] 栅极柱状电极50具有小于栅极电极30的平面面积的平面面积。栅极柱状电极50的平面面积根据栅极电极30的平面面积来调整。栅极柱状电极50的平面面积也可以为第一主面3的25%以下。栅极柱状电极50的平面面积优选为第一主面3的10%以下。

[0141] 在该方式中,栅极柱状电极50具有包含从栅极电极30侧依次层叠的第一栅极导体膜55以及第二栅极导体膜56的层叠构造。第一栅极导体膜55也可以包含Ti系金属膜。第一栅极导体膜55也可以具有由Ti膜或者TiN膜构成的单层构造。第一栅极导体膜55也可以具有包含以任意的顺序层叠的Ti膜以及TiN膜的层叠构造。

[0142] 第一栅极导体膜55具有小于栅极电极30的厚度的厚度。第一栅极导体膜55在栅极开口39内以膜状包覆栅极电极30。第一栅极导体膜55形成第一突出部53的一部分。第一栅极导体膜55不一定必须形成,也可以去除。

[0143] 第二栅极导体膜56形成栅极柱状电极50的主体。第二栅极导体膜56也可以包含Cu系金属膜。Cu系金属膜也可以为纯Cu膜(纯度为99%以上的Cu膜)或者Cu合金膜。在该方式中,第二栅极导体膜56包含纯Cu镀膜。第二栅极导体膜56优选具有超过栅极电极30的厚度的厚度。第二栅极导体膜56的厚度特别优选超过上绝缘膜38的厚度。在该方式中,第二栅极导体膜56的厚度超过芯片2的厚度。

[0144] 第二栅极导体膜56在栅极开口39内隔着第一栅极导体膜55以膜状包覆栅极电极30。第二栅极导体膜56形成第一突出部53的一部分。也就是,第一突出部53具有包含第一栅极导体膜55以及第二栅极导体膜56的层叠构造。第二栅极导体膜56优选在第一突出部53内具有超过第一栅极导体膜55的厚度的厚度。

[0145] 半导体装置1A包括配置在源极电极32之上的多个源极柱状电极60。源极柱状电极60的个数是任意的,根据源极电极32的平面面积以及应形成的源极柱状电极60的平面面积来调节。源极柱状电极60在剖视时从源极电极32的周缘空出间隔地分别以纵长柱状竖立设置在源极电极32之上。

[0146] 在该方式中,多个源极柱状电极60从上绝缘膜38(源极开口40的壁面)空出间隔地分别配置在源极电极32的内方部之上。也就是,多个源极柱状电极60在俯视时分别配置在由源极开口40包围的区域内。在该方式中,多个源极柱状电极60配置在源极电极32的主体电极部33之上,未配置在源极电极32的引出电极部34A、34B之上。

[0147] 在该方式中,多个源极柱状电极60在俯视时分别形成为圆形状。当然,多个源极柱状电极60也可以在俯视时分别形成为四边形状、四边形状以外的多边形、椭圆形状或者线状。另外,多个源极柱状电极60不需要具有彼此相同的平面形状,也可以具有彼此不同的平面形状。

[0148] 在该方式中,多个源极柱状电极60在俯视时在第一方向X以及第二方向Y上空出间隔地以行列状排列。多个源极柱状电极60的布局是任意的。多个源极柱状电极60例如也可以在俯视时在第一方向X以及第二方向Y上空出间隔地以交错状排列。

[0149] 即,在分别包括在第一方向X上排列成一列的多个源极柱状电极60的多个组在第二方向Y上空出间隔地排列的情况下,各组所包含的多个源极柱状电极60也可以相对于在第二方向Y上相邻的组所包含的多个源极柱状电极60在第一方向X上偏移地配置。当然,在该构造中,也可以采用调换了第一方向X以及第二方向Y的排列关系的布局。

[0150] 另外,在多个源极柱状电极60在俯视时形成为在第一方向X或者第二方向Y上延伸的线状的情况下,多个源极柱状电极60也可以在俯视时配置成在第一方向X或者第二方向Y上延伸的条纹状。当然,多个源极柱状电极60也可以以不规则的布局配置。

[0151] 多个源极柱状电极60分别具有源极电极面61以及源极电极侧壁62。源极电极面61沿第一主面3平坦地延伸。源极电极面61也可以由具有研磨痕的研磨面构成。源极电极侧壁62位于源极电极32之上。源极电极侧壁62沿法线方向Z大致铅垂地延伸。“大致铅垂”也包含一边弯曲(曲折)一边在层叠方向上延伸的形态。源极电极侧壁62优选由不具有研磨痕的平滑面构成。

[0152] 在该方式中,多个源极柱状电极60分别具有在源极电极侧壁62的下端部朝向外方突出的第二突出部63。第二突出部63形成于比源极电极侧壁62的中间部靠源极电极32侧的区域。第二突出部63在剖视时沿源极电极32延伸,形成为从源极电极侧壁62朝向前端部而厚度逐渐变小的尖细形状。由此,第二突出部63具有形成锐角的尖锐形状的前端部。当然,也可以形成不具有第二突出部63的源极柱状电极60。

[0153] 多个源极柱状电极60优选分别具有超过源极电极32的厚度的厚度。各源极柱状电极60的厚度根据源极电极32以及源极电极面61之间的距离来定义。各源极柱状电极60的厚度特别优选超过上绝缘膜38的厚度。在该方式中,各源极柱状电极60的厚度超过芯片2的厚度。当然,源极柱状电极60的厚度也可以小于芯片2的厚度。

[0154] 各源极柱状电极60的厚度也可以为 $10\mu\text{m}$ 以上且 $300\mu\text{m}$ 以下。各源极柱状电极60的厚度优选为 $30\mu\text{m}$ 以上。各源极柱状电极60的厚度特别优选为 $80\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下。各源极柱状电极60的厚度与栅极柱状电极50的厚度大致相等。

[0155] 各源极柱状电极60的宽度(最大值)也可以是属于 $1\mu\text{m}$ 以上且 $25\mu\text{m}$ 以下、 $25\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下、 $50\mu\text{m}$ 以上且 $75\mu\text{m}$ 以下、 $75\mu\text{m}$ 以上且 $100\mu\text{m}$ 以下、 $100\mu\text{m}$ 以上且 $125\mu\text{m}$ 以下、 $125\mu\text{m}$ 以上且 $150\mu\text{m}$ 以下、 $150\mu\text{m}$ 以上且 $175\mu\text{m}$ 以下、以及 $175\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下的任一个的范围的值。当然,各源极柱状电极60的宽度(最大值)不限定于上述的范围,也可以设定为超过 $200\mu\text{m}$ 的值。

[0156] 多个源极柱状电极60具有小于源极电极32的平面面积的总平面面积。多个源极柱状电极60的总平面面积根据源极电极32的平面面积来调整。多个源极柱状电极60的总平面面积优选超过栅极柱状电极50的平面面积。

[0157] 各源极柱状电极60的平面面积既可以与栅极柱状电极50的平面面积大致相等、也可以超过栅极柱状电极50的平面面积、也可以小于栅极柱状电极50的平面面积。多个源极柱状电极60的总平面面积优选为第一主面3的50%以下。多个源极柱状电极60的总平面面积特别优选为第一主面3的30%以下。多个源极柱状电极60的总平面面积优选为第一主面3的10%以上。

[0158] 在该方式中,多个源极柱状电极60分别具有包含从源极电极32侧依次层叠的第一源极导体膜67以及第二源极导体膜68的层叠构造。第一源极导体膜67也可以包含Ti系金属膜。第一源极导体膜67也可以具有由Ti膜或者TiN膜构成的单层构造。第一源极导体膜67也可以具有包含以任意的顺序层叠的Ti膜以及TiN膜的层叠构造。第一源极导体膜67优选由与第一栅极导体膜55相同的导电材料构成。

[0159] 第一源极导体膜67具有小于源极电极32的厚度的厚度。第一源极导体膜67在源极

开口40内以膜状包覆源极电极32。第一源极导体膜67形成第二突出部63的一部分。第一源极导体膜67的厚度与第一栅极导体膜55的厚度大致相等。第一源极导体膜67不一定必须形成,也可以去除。

[0160] 第二源极导体膜68形成多个源极柱状电极60的主体。第二源极导体膜68也可以包含Cu系金属膜。Cu系金属膜也可以是纯Cu膜(纯度为99%以上的Cu膜)或者Cu合金膜。在该方式中,第二源极导体膜68包含纯Cu镀膜。第二源极导体膜68优选由与第二栅极导体膜56相同的导电材料构成。

[0161] 第二源极导体膜68优选具有超过源极电极32的厚度的厚度。第二源极导体膜68的厚度特别优选超过上绝缘膜38的厚度。在该方式中,第二源极导体膜68的厚度超过芯片2的厚度。第二源极导体膜68的厚度与第二栅极导体膜56的厚度大致相等。

[0162] 第二源极导体膜68在源极开口40内以膜状包覆第一源极导体膜67。第二源极导体膜68形成第二突出部63的一部分。也就是,第二突出部63具有包含第一源极导体膜67以及第二源极导体膜68的层叠构造。第二源极导体膜68优选在第二突出部63内具有超过第一源极导体膜67的厚度的厚度。

[0163] 半导体装置1A包括包覆第一主面3的封固绝缘体71(a sealing insulator)。封固绝缘体71以在第一主面3之上使栅极柱状电极50的一部分以及多个源极柱状电极60的一部分露出的方式,包覆栅极柱状电极50的周围以及多个源极柱状电极60的周围。具体而言,封固绝缘体71包覆活性面8、外侧面9以及第一~第四连接面10A~10D。

[0164] 封固绝缘体71在栅极电极30之上包覆栅极柱状电极50。封固绝缘体71使栅极电极面51露出,且包覆栅极电极侧壁52。封固绝缘体71具有直接包覆栅极电极30中从上绝缘膜38以及栅极柱状电极50露出的部分的部分。在该方式中,封固绝缘体71包覆栅极柱状电极50的第一突出部53,隔着第一突出部53而与栅极电极30对置。封固绝缘体71抑制栅极柱状电极50的脱落。

[0165] 封固绝缘体71在源极电极32之上包覆多个源极柱状电极60之间的区域。封固绝缘体71使多个源极电极面61露出,且包覆多个源极电极侧壁62。封固绝缘体71具有直接包覆源极电极32中从上绝缘膜38以及多个源极柱状电极60露出的部分的部分。在该方式中,封固绝缘体71包覆多个源极柱状电极60的第二突出部63,且隔着第二突出部63而与源极电极32对置。封固绝缘体71抑制多个源极柱状电极60的脱落。

[0166] 封固绝缘体71具有直接包覆上绝缘膜38的部分。封固绝缘体71隔着上绝缘膜38包覆栅极电极30,且隔着上绝缘膜38包覆源极电极32。封固绝缘体71在外侧面9的周缘部包覆切割道41。在该方式中,封固绝缘体71在切割道41中直接包覆层间绝缘膜27。当然,在芯片2(外侧面9)、主面绝缘膜25从切割道41露出的情况下,封固绝缘体71也可以在切割道41中直接包覆芯片2、主面绝缘膜25。

[0167] 封固绝缘体71具有绝缘主面72以及绝缘侧壁73。绝缘主面72沿第一主面3平坦地延伸。绝缘主面72与栅极电极面51以及多个源极电极面61形成一个平坦面。绝缘主面72也可以由具有研磨痕的研磨面构成。该情况下,绝缘主面72优选与栅极电极面51以及多个源极电极面61形成一个研磨面。

[0168] 绝缘侧壁73从绝缘主面72的周缘朝向芯片2延伸,与第一~第四侧面5A~5D形成一个平坦面。绝缘侧壁73相对于绝缘主面72形成为大致直角。绝缘侧壁73在与绝缘主面72

之间所成的角度也可以为 $88^\circ$ 以上且 $92^\circ$ 以下。绝缘侧壁73也可以由具有研磨痕的研磨面构成。绝缘侧壁73也可以与第一~第四侧面5A~5D形成一个研磨面。

[0169] 封固绝缘体71优选具有超过栅极电极30的厚度以及源极电极32的厚度的厚度。封固绝缘体71的厚度特别优选超过上绝缘膜38的厚度。在该方式中,封固绝缘体71的厚度超过芯片2的厚度。当然,封固绝缘体71的厚度也可以小于芯片2的厚度。封固绝缘体71的厚度也可以为 $10\mu\text{m}$ 以上且 $300\mu\text{m}$ 以下。封固绝缘体71的厚度优选为 $30\mu\text{m}$ 以上。封固绝缘体71的厚度特别优选为 $80\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下。封固绝缘体71的厚度与栅极柱状电极50的厚度以及多个源极柱状电极60的厚度大致相等。

[0170] 封固绝缘体71包含基质树脂、多个填充物以及多个可挠化颗粒(可挠化剂)。封固绝缘体71构成为通过基质树脂、多个填充物以及多个可挠化颗粒来调节机械性强度。封固绝缘体71包含基质树脂即可,填充物以及可挠化颗粒的有无是任意的。

[0171] 封固绝缘体71也可以包含使炭黑等基质树脂着色的色料。基质树脂优选由热固化性树脂构成。基质树脂也可以包含作为热固化性树脂的一例的环氧树脂、酚醛树脂以及聚酰亚胺树脂中的至少一个。在该方式中,基质树脂包含环氧树脂。

[0172] 多个填充物包括由绝缘体构成的球体物以及由绝缘体构成的不定形物中的任何一方或者双方,添加到基质树脂中。不定形物具有粒状、碎片状、破碎片状等球体以外的随机形状。不定形物也可以具有棱角。在该方式中,从抑制填充物侵蚀引起的损伤的观点出发,多个填充物由球体物分别构成。

[0173] 多个填充物也可以包含陶瓷、氧化物以及氮化物中的至少一个。在该方式中,多个填充物分别由氧化硅颗粒(二氧化硅颗粒)构成。多个填充物也可以分别具有 $1\text{nm}$ 以上且 $100\mu\text{m}$ 以下的粒径。多个填充物的粒径优选为 $50\mu\text{m}$ 以下。

[0174] 封固绝缘体71优选包含粒径(particle sizes)不同的多个填充物。多个填充物也可以包含多个小径填充物、多个中径填充物、以及多个大径填充物。多个填充物优选以小径填充物、中径填充物以及大径填充物的顺序的含有率(密度)添加到基质树脂中。

[0175] 小径填充物也可以具有小于源极电极32的厚度(栅极电极30的厚度)的厚度。小径填充物的粒径也可以为 $1\text{nm}$ 以上且 $1\mu\text{m}$ 以下。中径填充物也可以具有超过源极电极32的厚度且上绝缘膜38的厚度以下的厚度。中径填充物的粒径也可以为 $1\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下。

[0176] 大径填充物也可以具有超过上绝缘膜38的厚度的厚度。多个填充物也可以包含超过第一半导体区域6(外延层)的厚度、第二半导体区域7(基板)的厚度以及芯片2的厚度的任一个的至少一个大径填充物。大径填充物的粒径也可以为 $20\mu\text{m}$ 以上且 $100\mu\text{m}$ 以下。大径填充物的粒径优选为 $50\mu\text{m}$ 以下。

[0177] 多个填充物的平均粒径也可以为 $1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。多个填充物的平均粒径优选为 $4\mu\text{m}$ 以上且 $8\mu\text{m}$ 以下。当然,多个填充物不需要同时包含小径填充物、中径填充物以及大径填充物的全部,也可以由小径填充物以及中径填充物的任何一方或者双方构成。例如,该情况下,多个填充物(中径填充物)的最大粒径也可以为 $10\mu\text{m}$ 以下。

[0178] 封固绝缘体71也可以包含在绝缘主面72的表层部以及绝缘侧壁73的表层部具有断裂的粒形(particle shapes)的多个填充物碎片(a plurality of filler fragments)。多个填充物碎片也可以由小径填充物的一部分、中径填充物的一部分以及大径填充物的一部分中的任一个分别形成。

[0179] 位于绝缘主面72侧的多个填充物碎片具有以面向绝缘主面72的方式沿绝缘主面72形成的断裂部。位于绝缘侧壁73侧的多个填充物碎片具有以面向绝缘侧壁73的方式沿绝缘侧壁73形成的断裂部。多个填充物碎片的断裂部既可以从绝缘主面72以及绝缘侧壁73露出、也可以由基质树脂局部地或者整体地包覆。多个填充物碎片位于绝缘主面72以及绝缘侧壁73的表层部,因此不影响芯片2侧的构造物。

[0180] 多个可挠化颗粒添加到基质树脂。多个可挠化颗粒也可以包含硅系可挠化颗粒、丙烯系可挠化颗粒以及丁二烯系可挠化颗粒中的至少一种。封固绝缘体71优选包含硅系可挠化颗粒。多个可挠化颗粒优选具有小于多个填充物的平均粒径的平均粒径。多个可挠化颗粒的平均粒径优选为1nm以上且1 $\mu$ m以下。多个可挠化颗粒的最大粒径优选为1 $\mu$ m以下。

[0181] 在该方式中,多个可挠化颗粒以总剖面面积占每单位剖面面积的比率为0.1%以上且10%以下的方式添加到基质树脂中。换言之,多个可挠化颗粒以0.1重量%以上且10重量%以下的范围的含有率添加到基质树脂中。多个可挠化颗粒的平均粒径、含有率根据制造时以及/或者制造后应赋予封固绝缘体71的弹性模量来适当调节。例如,根据具有亚微米级(=1 $\mu$ m以下)的平均粒径的多个可挠化颗粒,能够有助于封固绝缘体71的低弹性模量、低固化收缩率。

[0182] 半导体装置1A包括在封固绝缘体71之上从多个源极柱状电极60空出间隔地包覆栅极柱状电极50的栅极端子膜74。栅极端子膜74与栅极柱状电极50电连接。栅极端子膜74在俯视时从绝缘主面72的周缘(绝缘侧壁73)空出间隔地配置在绝缘主面72的内方部。

[0183] 栅极端子膜74配置在与栅极电极30以及源极电极32不同的层,因此几乎不受栅极电极30的布局以及源极电极32的布局引起的设计规则的限制。因此,栅极端子膜74只要与栅极柱状电极50电连接,就能够具有任意的平面形状,同时能够配置在任意的部位。

[0184] 在该方式中,栅极端子膜74在俯视时配置在接近第三侧面5C的中央部的区域。栅极端子膜74以在俯视时至少与活性面8重叠的方式配置。栅极端子膜74也可以以在俯视时与活性面8以及外侧面9重叠的方式配置。

[0185] 栅极端子膜74具有小于栅极柱状电极50的厚度的厚度。栅极端子膜74的厚度优选为栅极柱状电极50的1/4以下。栅极端子膜74的厚度特别优选为栅极柱状电极50的1/10以下。栅极端子膜74的厚度优选小于上绝缘膜38的厚度。栅极端子膜74的厚度优选小于栅极电极30的厚度。栅极端子膜74的厚度根据膜种采用各种值。栅极端子膜74的厚度也可以为10nm以上且15 $\mu$ m以下。

[0186] 栅极端子膜74具有超过栅极柱状电极50的平面面积的平面面积。栅极端子膜74的平面面积优选超过栅极电极30的平面面积。在第一主面3具有1mm见方以上的平面面积的情况下,栅极端子膜74的平面面积也可以为0.4mm见方以上。栅极端子膜74也可以形成具有0.4mm $\times$ 0.7mm以上的平面面积的多边形状(例如长方形状)。在该方式中,栅极端子膜74在俯视时形成为具有与第一~第四侧面5A~5D平行的四边的四边形状。当然,栅极端子膜74也可以在俯视时形成为四边形状以外的多边形形状、圆形状或者椭圆形状。

[0187] 半导体装置1A包括至少一个(在该方式中为一个)的源极端子膜75,该至少一个(在该方式中为一个)的源极端子膜75在封固绝缘体71之上从栅极柱状电极50(栅极端子膜74)空出间隔地包覆至少一个(在该方式为多个)的源极柱状电极60。源极端子膜75与多个源极柱状电极60电连接。源极端子膜75在俯视时从绝缘主面72的周缘(绝缘侧壁73)空出间

隔地配置在绝缘主面72的内方部。

[0188] 源极端子膜75配置在与栅极电极30以及源极电极32不同的层,因此几乎不受栅极电极30的布局以及源极电极32的布局引起的设计规则的限制。因此,源极端子膜75只要与多个源极柱状电极60电连接,就能够具有任意的平面形状,同时能够配置在任意的部位。

[0189] 源极端子膜75以在俯视时至少与活性面8重叠的方式配置。源极端子膜75也可以在俯视时与活性面8以及外侧面9重叠的方式配置。在该方式中,源极端子膜75以在俯视时不与源极电极32的引出电极部34A、34B重叠的方式,配置在与源极电极32的主体电极部33重叠的位置。

[0190] 由此,削减栅极端子膜74以及源极端子膜75之间的对置面积。这样的构造在焊锡、金属糊料等导电粘接剂附着于栅极端子膜74以及源极端子膜75的情况下,在降低栅极端子膜74以及源极端子膜75之间的短路风险方面是有效的。当然,导体板、导线(例如接合引线)等导电接合部件也可以与栅极端子膜74以及源极端子膜75连接。该情况下,能够降低栅极端子膜74侧的导电接合部件以及源极端子膜75侧的导电接合部件之间的短路风险。

[0191] 源极端子膜75具有小于多个源极柱状电极60的厚度的厚度。源极端子膜75的厚度优选为源极柱状电极60的1/4以下。源极端子膜75的厚度特别优选为源极柱状电极60的1/10以下。源极端子膜75的厚度优选为小于上绝缘膜38的厚度。源极端子膜75的厚度也可以小于源极电极32的厚度。源极端子膜75的厚度根据膜种采用各种值。源极端子膜75的厚度也可以为10nm以上且15 $\mu$ m以下。源极端子膜75的厚度与栅极端子膜74的厚度大致相等。

[0192] 源极端子膜75具有超过多个源极柱状电极60的总平面面积的平面面积。源极端子膜75的平面面积超过栅极端子膜74的平面面积。源极端子膜75的平面面积优选超过源极电极32的平面面积。在第一主面3具有1mm见方以上的平面面积的情况下,源极端子膜75的平面面积也可以为0.8mm见方以上。

[0193] 该情况下,源极端子膜75的平面面积特别优选为1mm见方以上。源极端子膜75也可以形成为具有1mm $\times$ 1.4mm以上的平面面积的多边形状。在该方式中,源极端子膜75在俯视时形成为具有与第一~第四侧面5A~5D平行的四边的四边形状。当然,源极端子膜75也可以在俯视时形成为四边形状以外的多边形、圆形状或者椭圆形状。

[0194] 栅极端子膜74以及源极端子膜75也可以分别具有包含Ag(银)系金属膜、Al(铝)系金属膜、Cu(铜)系金属膜、Ni(镍)系金属膜、Pd(钯)系金属膜以及Au(金)系金属膜中的至少一个的单层构造或者层叠构造。

[0195] Ag系金属膜也可以是纯Ag膜(纯度为99%以上的Ag膜)或者Ag合金膜。Al系金属膜也可以是纯Al膜(纯度为99%以上的Al膜)或者Al合金膜。Cu系金属膜也可以是纯Cu膜(纯度为99%以上的Cu膜)或者Cu合金膜。Ni系金属膜也可以是纯Ni膜(纯度为99%以上的Ni膜)或者Ni合金膜。Pd系金属膜也可以是纯Pd膜(纯度为99%以上的pd膜)或者Pd合金膜。Au系金属膜也可以是纯Au膜(纯度为99%以上的Au膜)或者Au合金膜。

[0196] Ag系金属膜、Al系金属膜、Cu系金属膜以及Ni系金属膜也可以分别具有0.1 $\mu$ m以上且15 $\mu$ m以下的厚度。Ag系金属膜、Al系金属膜、Cu系金属膜以及Ni系金属膜优选分别具有10 $\mu$ m以下的厚度。Pd系金属膜以及Au系金属膜也可以分别具有1nm以上且1 $\mu$ m以下的厚度。Pd系金属膜以及Au系金属膜优选分别具有0.5 $\mu$ m以下的厚度。Au系金属膜特别优选具有0.1 $\mu$ m以下的厚度。

[0197] 以下,参照图8A~图8G,示出了栅极端子膜74以及源极端子膜75的结构例(膜种例)。图8A~图8G是表示第一~第七形态例的栅极端子膜74以及源极端子膜75的局部剖视图。栅极端子膜74具有与源极端子膜75相同的结构,以下记述为源极端子膜75(栅极端子膜74),对源极端子膜75的结构进行说明。

[0198] 参照图8A,第一形态例的源极端子膜75(栅极端子膜74)具有由Ag系金属膜构成的单层构造。参照图8B,第二形态例的源极端子膜75具有由Al系金属膜构成的单层构造。参照图8C,第三形态例的源极端子膜75具有由Cu系金属膜构成的单层构造。

[0199] 参照图8D,第四形态例的源极端子膜75(栅极端子膜74)具有包含从封固绝缘体71侧依次层叠的Al系金属膜、Ni系金属膜、Pd系金属膜以及Au系金属膜的层叠构造。Al系金属膜以膜状包覆绝缘主面72。Ni系金属膜以膜状包覆Al系金属膜。Pd系金属膜以膜状包覆Ni系金属膜。Au系金属膜以膜状包覆Pd系金属膜。

[0200] Ni系金属膜、Pd系金属膜以及Au系金属膜的至少一个也可以具有与绝缘主面72相接的部分。当然,Ni系金属膜、Pd系金属膜以及Au系金属膜的至少一个也可以以不与绝缘主面72相接的方式仅形成于Al系金属膜之上。第四形态例的源极端子膜75(栅极端子膜74)也可以包含Ag系金属膜或者Cu系金属膜,来代替Al系金属膜。

[0201] 参照图8E,第五形态例的源极端子膜75(栅极端子膜74)具有包含从封固绝缘体71侧依次层叠的Al系金属膜、Ni系金属膜以及Au系金属膜的层叠构造。Al系金属膜以膜状包覆绝缘主面72。Ni系金属膜以膜状包覆Al系金属膜。Au系金属膜以膜状包覆Ni系金属膜。

[0202] Ni系金属膜以及Au系金属膜的至少一个也可以具有与绝缘主面72相接的部分。当然,Ni系金属膜以及Au系金属膜的至少一个也可以以不与绝缘主面72相接的方式仅形成于Al系金属膜之上。第五形态例的源极端子膜75(栅极端子膜74)也可以包含Ag系金属膜或者Cu系金属膜,来代替Al系金属膜。

[0203] 参照图8F,第六形态例的源极端子膜75(栅极端子膜74)具有包含从封固绝缘体71侧依次层叠的Ni系金属膜、Pd系金属膜以及Au系金属膜的层叠构造。Ni系金属膜以膜状包覆绝缘主面72。Pd系金属膜以膜状包覆Ni系金属膜。Au系金属膜以膜状包覆Pd系金属膜。Pd系金属膜以及Au系金属膜的至少一个也可以具有与绝缘主面72相接的部分。当然,Ni系金属膜以及Au系金属膜的至少一个也可以以不与绝缘主面72相接的方式仅形成于Ni系金属膜之上。

[0204] 参照图8G,第七形态例的源极端子膜75(栅极端子膜74)具有包含从封固绝缘体71侧依次层叠的Ni系金属膜以及Au系金属膜的层叠构造。Ni系金属膜以膜状包覆绝缘主面72。Au系金属膜以膜状包覆Ni系金属膜。Au系金属膜也可以具有与绝缘主面72相接的部分。当然,Au系金属膜也可以以不与绝缘主面72相接的方式仅形成于Ni系金属膜之上。

[0205] 图8A~图8G所示的源极端子膜75(栅极端子膜74)的结构是一例,源极端子膜75(栅极端子膜74)的结构不限制于图8A~图8G所示的结构。源极端子膜75(栅极端子膜74)的膜种根据焊锡、金属糊料、接合引线等材质而适当调节。

[0206] 例如,在源极端子膜75(栅极端子膜74)上接合有Ag烧结糊料的情况下,源极端子膜75(栅极端子膜74)优选至少包含相对于Ag烧结糊料具有较高的亲和性的Ag系金属膜(参照图8A)。Ag烧结糊料例如由在有机溶剂中添加有纳米尺寸或者微米尺寸的Ag颗粒的糊料构成。

[0207] 例如,在源极端子膜75(栅极端子膜74)上接合有接合引线等导线的情况下,源极端子膜75(栅极端子膜74)优选具有包含Al系金属膜、Cu系金属膜、Ni系金属膜、Pd系金属膜以及Au系金属膜中的至少一个的单层构造或者层叠构造(参照图8B~图8G)。

[0208] 例如,在接合引线由Al丝线构成的情况下,源极端子膜75(栅极端子膜74)优选至少包含Al系金属膜。另外,在接合引线由Cu丝线构成的情况下,源极端子膜75(栅极端子膜74)优选至少包含Cu系金属膜。另外,在接合引线由Au丝线构成的情况下,源极端子膜75(栅极端子膜74)优选至少包含Au系金属膜。

[0209] 具有包含Ni系金属膜以及Au系金属膜的层叠构造(参照图8D~图8G)的源极端子膜75(栅极端子膜74)能够应用于由各种材质构成的接合引线。另外,具有包含Ni系金属膜以及Au系金属膜的层叠构造(参照图8D~图8G)的源极端子膜75(栅极端子膜74)能够应用于焊锡、Ag烧结糊料。因此,从通用性的高度的观点出发,源极端子膜75(栅极端子膜74)优选具有包含Ni系金属膜以及Au系金属膜的层叠构造(参照图8D~图8G)。

[0210] 再次参照图2,半导体装置1A包括包覆第二主面4的漏极电极77(第二主面电极)。漏极电极77与第二主面4电连接。漏极电极77与从第二主面4露出的第二半导体区域7形成欧姆接触。漏极电极77也可以与芯片2的周缘(第一~第四侧面5A~5D)相连的方式包覆第二主面4的全域。

[0211] 漏极电极77也可以从芯片2的周缘向内方空出间隔地包覆第二主面4。漏极电极77构成为在与源极端子膜75之间施加有500V以上且3000V以下的漏极源极电压。也就是,芯片2形成为在第一主面3以及第二主面4之间施加有500V以上且3000V以下的电压。

[0212] 以上,半导体装置1A包括芯片2、源极电极32(主面电极)、多个源极柱状电极60、封固绝缘体71以及至少一个(在该方式中为一个)的源极端子膜75。芯片2具有第一主面3。源极电极32配置在第一主面3之上。多个源极柱状电极60在源极电极32之上空出间隔地配置。封固绝缘体71以使多个源极柱状电极60的一部分露出的方式在源极电极32之上包覆多个源极柱状电极60之间的区域。源极端子膜75在封固绝缘体71之上包覆多个源极柱状电极60。

[0213] 根据该构造,通过多个源极柱状电极60,能够削减介于源极电极32以及源极端子膜75之间的电极的体积。即,不用在源极电极32之上配置具有与源极端子膜75同等的平面面积的柱状电极。由此,能够降低介于源极电极32以及源极端子膜75之间的电极引起的应力。因而,能够抑制上述应力引起的形状不良、电的特性的变动。

[0214] 另外,根据该构造,能够利用封固绝缘体71保护封固对象物免受外力、湿气的影响。也就是,能够保护封固对象物免受外力引起的损伤、湿气引起的劣化的影响。由此,能够抑制形状不良、电的特性的变动。因而,能够提供能够提高信赖性的半导体装置1A。

[0215] 半导体装置1A优选包含局部包覆源极电极32的上绝缘膜38。根据该构造,能够通过上绝缘膜38保护源极电极32免受外力、湿气的影响。也就是,根据该构造,能够利用上绝缘膜38以及封固绝缘体71双方保护源极电极32。

[0216] 另外,封固绝缘体71优选具有直接包覆上绝缘膜38的部分。封固绝缘体71优选具有隔着上绝缘膜38包覆源极电极32的部分。上绝缘膜38优选包含无机绝缘膜42以及有机绝缘膜43的任一方或者双方。有机绝缘膜43优选由感光性树脂膜构成。

[0217] 上绝缘膜38优选比源极电极32厚。上绝缘膜38优选比芯片2薄。封固绝缘体71优选

比源极电极32厚。封固绝缘体71优选比上绝缘膜38厚。封固绝缘体71特别优选比芯片2厚。

[0218] 在对具有比较大的平面面积以及/或者比较小的厚度的芯片2应用具有比较大的总平面面积以及/或者比较大的厚度的多个源极柱状电极60的情况下,上述结构是有效的。具有比较大的总平面面积以及/或者比较大的厚度的多个源极柱状电极60对于吸收在芯片2侧产生的热并使其向外部释放的方面也是有效的。

[0219] 例如,多个源极柱状电极60优选比源极电极32厚。多个源极柱状电极60优选比上绝缘膜38厚。多个源极柱状电极60特别优选比芯片2厚。例如,多个源极柱状电极60也可以在俯视时具有第一主面3的10%以上且50%以下的占有率的总平面面积。

[0220] 该情况下,多个源极柱状电极60的总平面面积也可以为30%以下。另一方面,源极电极32也可以具有相对于第一主面3的平面面积为50%以上的占有率的平面面积。另一方面,源极端子膜75也可以具有相对于第一主面3的平面面积为50%以上的占有率的平面面积。

[0221] 源极端子膜75优选比多个源极柱状电极60薄。源极端子膜75优选为多个源极柱状电极60的厚度的1/4以下。源极端子膜75优选比上绝缘膜38薄。源极端子膜75优选比源极电极32薄。根据比较薄的源极端子膜75,能够抑制源极端子膜75引起的应力。

[0222] 例如,芯片2也可以具有在俯视时具有1mm见方以上的面积的第一主面3。芯片2也可以在剖视时具有100 $\mu\text{m}$ 以下的厚度。芯片2优选在剖视时具有50 $\mu\text{m}$ 以下的厚度。芯片2也可以具有包括半导体基板以及外延层的层叠构造。该情况下,外延层优选比半导体基板厚。

[0223] 在上述结构中,芯片2优选包含宽带隙半导体的单晶。宽带隙半导体的单晶在提高电的特性的方面是有效的。另外,根据宽带隙半导体的单晶,能够通过比较高的硬度抑制芯片2的变形,并且实现芯片2的薄化以及芯片2的平面面积的增加。芯片2的薄化以及芯片2的平面面积的扩张在提高电的特性的方面也是有效的。

[0224] 具有封固绝缘体71的结构在包括包覆芯片2的第二主面4的漏极电极77的构造中也是有效的。漏极电极77在与源极电极32之间形成经由芯片2的电位差(例如500V以上且3000V以下)。在比较薄的芯片2的情况下,源极电极32以及漏极电极77之间的距离缩短,因此第一主面3的周缘以及源极电极32之间的放电现象的风险变高。这一点在具有封固绝缘体71的构造中,能够提高第一主面3的周缘以及源极电极32之间的绝缘性,且能够抑制放电现象。

[0225] 图9是表示图1所示的半导体装置1A的制造时所使用的晶片构造80的俯视图。图10是表示图9所示的设备区域86的剖视图。参照图9以及图10,晶片构造80包含形成为圆盘状的晶片81。晶片81成为芯片2的基体。晶片81具有一方侧的第一晶片主面82、另一方侧的第二晶片主面83、以及将第一晶片主面82以及第二晶片主面83连接的晶片侧面84。

[0226] 晶片81在晶片侧面84具有表示SiC单晶的晶体方位的标记85。在该方式中,标记85包括在俯视时切成直线状的定向平面。在该方式中,定向平面在第二方向Y上延伸。定向平面不一定必须在第二方向Y上延伸,也可以在第一方向X上延伸。

[0227] 当然,标记85也可以包含在第一方向X上延伸的第一定向平面、以及在第二方向Y上延伸的第二定向平面。另外,标记85也可以具有朝向晶片81的中央部切成的定向凹口,来代替定向平面。定向凹口也可以是在俯视时切成三角形状、四边形状等多边形状的切口部。

[0228] 晶片81也可以在俯视时具有50mm以上且300mm以下(也就是2英寸以上且12英寸以

下)的直径。晶片构造80的直径根据在标记85外通过晶片构造80的中心的弦的长度来定义。晶片构造80也可以具有100 $\mu\text{m}$ 以上且1100 $\mu\text{m}$ 以下的厚度。

[0229] 晶片构造80包括在晶片81的内部形成于第一晶片主面82侧的区域的第二半导体区域6、以及形成于第二晶片主面83侧的区域的第二半导体区域7。第一半导体区域6由外延层形成,第二半导体区域7由半导体基板形成。也就是,第一半导体区域6通过外延成长法使半导体单晶从第二半导体区域7外延成长而形成。第二半导体区域7优选具有超过第一半导体区域6的厚度的厚度。

[0230] 晶片构造80包括设于第一晶片主面82的多个设备区域86以及多个切断预定线87。多个设备区域86是分别与半导体装置1A对应的区域。多个设备区域86在俯视时分别设定为四边形状。在该方式中,多个设备区域86在俯视时沿第一方向X以及第二方向Y排列成行列状。

[0231] 多个切断预定线87是确定成为芯片2的第一~第四侧面5A~5D的部位的线(以带状延伸的区域)。多个切断预定线87以划分多个设备区域86的方式形成为沿第一方向X以及第二方向Y延伸的格子状。多个切断预定线87例如也可以通过设于晶片81的内部以及/或者外部的对准标记等来确定。

[0232] 在该方式中,晶片构造80包括分别形成于多个设备区域86的台面部11、MISFET构造12、外部接触区域19、外部阱区域20、场区域21、主面绝缘膜25、侧壁构造26、层间绝缘膜27、栅极电极30、源极电极32、多个栅极配线36A、36B、源极配线37以及上绝缘膜38。

[0233] 晶片构造80包括在多个上绝缘膜38之间的区域划分出的切割道41。也就是,切割道41以使切断预定线87露出的方式,横穿切断预定线87并跨越多个设备区域86。切割道41形成为沿多个切断预定线87延伸的格子状。在该方式中,切割道41使层间绝缘膜27露出。当然,在形成有使第一晶片主面82露出的层间绝缘膜27的情况下,切割道41也可以使第一晶片主面82露出。

[0234] 图11A~图11J是表示图1所示的半导体装置1A的制造方法例的剖视图。在图11A~图11J所示的各工序中形成的各构造的具体的特征的说明如上所述,因此省略或者简化。

[0235] 参照图11A,准备晶片构造80(参照图9以及图10)。接着,在晶片构造80之上形成成为第一栅极导体膜55以及第一源极导体膜67的基体的第一基体导体膜88。第一基体导体膜88沿层间绝缘膜27、栅极电极30、源极电极32、多个栅极配线36A、36B、源极配线37以及上绝缘膜38形成为膜状。第一基体导体膜88包含Ti系金属膜。第一基体导体膜88也可以通过溅射法以及/或者蒸镀法而形成。

[0236] 接着,在第一基体导体膜88之上形成成为第二栅极导体膜56以及第二源极导体膜68的基体的第二基体导体膜89。第二基体导体膜89隔着第一基体导体膜88以膜状包覆层间绝缘膜27、栅极电极30、源极电极32、多个栅极配线36A、36B、源极配线37以及上绝缘膜38。第二基体导体膜89包含Cu系金属膜。第二基体导体膜89也可以通过溅射法以及/或者蒸镀法而形成。

[0237] 接着,参照图11B,在第二基体导体膜89之上形成具有预定图案的抗蚀剂掩模90。抗蚀剂掩模90包括使栅极电极30露出的至少一个(在该方式中为一个)的第一开口91、以及使源极电极32露出的多个第二开口92。第一开口91使在栅极电极30上的区域中应形成栅极柱状电极50的区域露出。多个第二开口92使在源极电极32上的区域中应形成多个源极柱状

电极60的区域露出。

[0238] 该工序包括使抗蚀剂掩模90相对于第二基体导体膜89的贴紧性下降的工序。抗蚀剂掩模90的贴紧性通过调节对抗蚀剂掩模90的曝光条件、曝光后的烘烤条件(热压配合温度、时间等)来调整。由此,在第一开口91的下端部形成第一突出部53的成长起点,在多个第二开口92的下端部形成第二突出部63的成长起点。

[0239] 接着,参照图11C,在第二基体导体膜89之上形成成为第二栅极导体膜56以及第二源极导体膜68的基体的第三基体导体膜95。在该方式中,第三基体导体膜95通过利用镀敷法(例如电解镀敷法)使导电体(在该方式中Cu系金属)堆积在第一开口91以及多个第二开口92内而形成。第三基体导体膜95在第一开口91以及多个第二开口92内与第二基体导体膜89一体化。

[0240] 由此,形成包覆栅极电极30的栅极柱状电极50。另外,形成包覆源极电极32的多个源极柱状电极60。应堆积在栅极电极30之上的导电体(栅极柱状电极50)的体积根据第一开口91的开口面积来调节,应堆积在源极电极32之上的导电体(源极柱状电极60)的体积根据多个第二开口92的总开口面积来调节。由此,削减应堆积在栅极电极30以及源极电极32之上的导电体的体积。

[0241] 该工序包括使镀敷液进入第一开口91的下端部中的第二基体导体膜89以及抗蚀剂掩模90之间的工序。另外,该工序包括使镀敷液进入多个第二开口92的下端部中的第二基体导体膜89以及抗蚀剂掩模90之间的工序。由此,在第一开口91的下端部,第三基体导体膜95的一部分(栅极柱状电极50)以突起状成长,形成第一突出部53。另外,在多个第二开口92的下端部,第三基体导体膜95的一部分(多个源极柱状电极60)以突起状成长,形成第二突出部63。

[0242] 接着,参照图11D,除去抗蚀剂掩模90。由此,栅极柱状电极50以及多个源极柱状电极60向外部露出。

[0243] 接着,参照图11E,除去第二基体导体膜89中从栅极柱状电极50以及多个源极柱状电极60露出的部分。第二基体导体膜89的不需要的部分也可以通过蚀刻法来除去。蚀刻法也可以是湿式蚀刻法以及/或者干式蚀刻法。接着,除去第一基体导体膜88中从栅极柱状电极50以及多个源极柱状电极60露出的部分。第一基体导体膜88的不需要的部分也可以通过蚀刻法来除去。蚀刻法也可以是湿式蚀刻法以及/或者干式蚀刻法。

[0244] 接着,参照图11F,以包覆栅极柱状电极50以及多个源极柱状电极60的方式,向第一晶片主面82之上供给封固剂93。封固剂93成为封固绝缘体71的基体。封固剂93包覆栅极柱状电极50的周围以及多个源极柱状电极60的周围,包覆栅极柱状电极50的全域以及多个源极柱状电极60的全域。

[0245] 封固剂93直接包覆栅极电极30中从上绝缘膜38以及栅极柱状电极50露出的部分。封固剂93直接包覆源极电极32中从上绝缘膜38以及多个源极柱状电极60露出的部分。在该方式中,封固剂93包括热固化性树脂、多个填充物以及多个可挠化颗粒(可挠化剂),通过加热而固化。由此,形成封固绝缘体71。封固绝缘体71具有包覆栅极柱状电极50的全域以及多个源极柱状电极60的全域的绝缘主面72。

[0246] 接着,参照图11G,局部地除去封固绝缘体71。在该方式中,封固绝缘体71通过研磨法从绝缘主面72侧研磨。研磨法既可以是机械研磨法、也可以是化学机械研磨法。绝缘主面

72研磨直至栅极柱状电极50以及多个源极柱状电极60露出。该工序包括栅极柱状电极50以及多个源极柱状电极60的研磨工序。由此,在与栅极柱状电极50(栅极电极面51)以及多个源极柱状电极60(源极电极面61)之间形成有形成一个研磨面的绝缘主面72。

[0247] 封固绝缘体71也可以在上述的图11F的工序中通过加热条件的调整而形成半固化状态(未完全固化的状态)。该情况下,封固绝缘体71在图11G的工序中被研磨之后,再次被加热,形成为全固化状态(完全固化的状态)。该情况下,能够容易地除去封固绝缘体71。

[0248] 接着,参照图11H,在封固绝缘体71(绝缘主面72)之上形成包覆栅极柱状电极50的栅极端子膜74,在封固绝缘体71(绝缘主面72)之上形成包覆源极柱状电极60的源极端子膜75。如后文所述,栅极端子膜74以及源极端子膜75通过溅射法、蒸镀法以及镀敷法中的至少一个方法使Ag系金属膜、Al系金属膜、Cu系金属膜、Ni系金属膜、Pd系金属膜以及Au系金属膜中的至少一个堆积在封固绝缘体71(绝缘主面72)之上而形成。

[0249] 接着,参照图11I,从第二晶片主面83侧局部地除去晶片81,将晶片81薄化直至成为所希望的厚度。晶片81的薄化工序也可以通过蚀刻法、研磨法来实施。蚀刻法既可以是湿式蚀刻法、也可以是干式蚀刻法。研磨法既可以是机械研磨法、也可以是化学机械研磨法。

[0250] 该工序包括利用封固绝缘体71作为支撑晶片81的支撑部件,使晶片81薄化的工序。由此,能够适当地搬运晶片81。另外,由于能够通过封固绝缘体71来抑制晶片81的变形(伴随薄化的翘曲),因此能够将晶片81适当地薄化。

[0251] 作为一例,在晶片81的厚度小于封固绝缘体71的厚度的情况下,晶片81进一步被薄化。作为其它例,在晶片81的厚度为封固绝缘体71的厚度以上的情况下,晶片81薄化直至成为小于封固绝缘体71的厚度的厚度。这些情况下,优选晶片81薄化直至第二半导体区域7(半导体基板)的厚度小于第一半导体区域6(外延层)的厚度。

[0252] 当然,第二半导体区域7(半导体基板)的厚度也可以为第一半导体区域6(外延层)的厚度以上。另外,也可以将晶片81薄化直至第一半导体区域6从第二晶片主面83露出。也就是,也可以除去第二半导体区域7的全部。

[0253] 接着,参照图11J,形成包覆第二晶片主面83的漏极电极77。漏极电极77也可以通过溅射法以及/或者蒸镀法来形成。之后,沿切断预定线87切断晶片构造80以及封固绝缘体71。晶片构造80以及封固绝缘体71也可以由切割刀片(未图示)切断。经由包括以上的工序,从一张晶片构造80制造多个半导体装置1A。

[0254] 以下,示出图11H的栅极端子膜74以及源极端子膜75的制法例。图12A~图12C是表示栅极端子膜74以及源极端子膜75的第一制法例的局部剖视图。在第一制法例中,示出了第二形态例的栅极端子膜74以及源极端子膜75(参照图8B)通过溅射法以及/或者蒸镀法而形成的例子。

[0255] 首先,参照图12A,通过溅射法以及/或者蒸镀法形成包覆封固绝缘体71的绝缘主面72的全域的Al系金属膜。Al系金属膜一并包覆栅极柱状电极50以及多个源极柱状电极60。

[0256] 接着,参照图12B,在Al系金属膜之上形成具有预定图案的抗蚀剂掩模96。抗蚀剂掩模96包覆在Al系金属膜中应形成栅极端子膜74的区域以及应形成源极端子膜75的区域,并使它们以外的区域露出。

[0257] 接着,参照图12C,Al系金属膜的不需要的部分通过经由抗蚀剂掩模96的蚀刻法而

除去。蚀刻法也可以是湿式蚀刻法以及/或者干式蚀刻法。由此,在绝缘主面72之上形成栅极端子膜74以及源极端子膜75。

[0258] Ag系金属膜、Cu系金属膜、Ni系金属膜、Pd系金属膜以及Au系金属膜均可通过溅射法以及/或者蒸镀法来形成。因此,第一~第七形态例的栅极端子膜74以及源极端子膜75(图8A~图8G)可利用图12A~图12C的工序来形成。即,第一~第七形态例的源极端子膜75(图8A~图8G)通过利用溅射法以及/或者蒸镀法使Al系金属膜、Ag系金属膜、Cu系金属膜、Ni系金属膜、Pd系金属膜以及Au系金属膜中的任意的金属膜堆积在包覆对象物之上而形成。

[0259] 图13A~图13C是表示栅极端子膜74以及源极端子膜75的第二制法例的局部剖视图。在第二制法例中,示出了第二形态例的栅极端子膜74以及源极端子膜75(参照图8B)通过利用了剥离法的溅射法以及/或者蒸镀法而形成的例子。

[0260] 首先,参照图13A,在绝缘主面72之上形成具有预定图案的抗蚀剂掩模97。抗蚀剂掩模97使在绝缘主面72中应形成栅极端子膜74的区域以及应形成源极端子膜75的区域露出,并包覆它们以外的区域。

[0261] 接着,参照图13B,通过溅射法以及/或者蒸镀法形成包覆绝缘主面72以及抗蚀剂掩模97的Al系金属膜。Al系金属膜一并包覆栅极柱状电极50以及多个源极柱状电极60。

[0262] 接着,参照图13C,除去抗蚀剂掩模97。在该工序中,Al系金属膜中包覆抗蚀剂掩模97的部分也同时除去。由此,在绝缘主面72之上形成栅极端子膜74以及源极端子膜75。

[0263] Ag系金属膜、Cu系金属膜、Ni系金属膜、Pd系金属膜以及Au系金属膜均可通过溅射法以及/或者蒸镀法来形成。因此,第一~第七形态例的栅极端子膜74以及源极端子膜75(图8A~图8G)可利用图13A~图13C的工序来形成。即,第一~第七形态例的栅极端子膜74以及源极端子膜75(图8A~图8G)通过利用溅射法以及/或者蒸镀法使Al系金属膜、Ag系金属膜、Cu系金属膜、Ni系金属膜、Pd系金属膜以及Au系金属膜中的任意的金属膜堆积在包覆对象物之上而形成。

[0264] 图14A~图14B是表示栅极端子膜74以及源极端子膜75的第三制法例的局部剖视图。在第三制法例中,示出了形成第四形态例的栅极端子膜74以及源极端子膜75(参照图8D)的例子。首先,参照图14A,经由图12A~图12C的工序、或者图13A~图13C的工序形成Al系金属膜。

[0265] 接着,参照图14B,通过镀敷法,在Al系金属膜之上依次层叠Ni系金属膜、Pd系金属膜以及Au系金属膜。在该工序中,根据层叠对象物的性质选择电解镀敷法或者无电解镀敷法。在该方式中,Ni系金属膜、Pd系金属膜以及Au系金属膜均通过无电解镀敷法而形成。由此,在绝缘主面72之上形成栅极端子膜74以及源极端子膜75。

[0266] 在图14A的工序(溅射法以及/或者蒸镀法)中形成的金属膜也可以具有包括Al系金属膜、Ag系金属膜、Cu系金属膜、Ni系金属膜、Pd系金属膜以及Au系金属膜中的至少一个的单层构造或者层叠构造。另外,在图14B的工序(镀敷法)中形成的金属膜也可以具有包括Al系金属膜、Ag系金属膜、Cu系金属膜、Ni系金属膜、Pd系金属膜以及Au系金属膜中的至少一个的单层构造或者层叠构造。

[0267] 以上,半导体装置1A的制造方法包括晶片构造80的准备工序、源极柱状电极60的形成工序、封固绝缘体71的形成工序以及源极端子膜75的形成工序。在晶片构造80的准备

工序中,准备包括具有第一晶片主面82(主面)的晶片81、以及配置在第一晶片主面82之上的源极电极32(主面电极)的晶片构造80。

[0268] 在源极柱状电极60的形成工序中,在源极电极32之上空出间隔地形成多个源极柱状电极60。在封固绝缘体71的形成工序中,以使多个源极柱状电极60的一部分露出的方式,在源极电极32之上形成包覆多个源极柱状电极60之间的区域的封固绝缘体71。在源极端子膜75的形成工序中,在封固绝缘体71之上形成包覆多个源极柱状电极60的源极端子膜75。

[0269] 根据该制造方法,通过多个源极柱状电极60,能够削减介于源极电极32以及源极端子膜75之间的电极的体积。即,不用在源极电极32之上配置具有与源极端子膜75同等的平面面积的柱状电极。由此,能够降低介于源极电极32以及源极端子膜75之间的电极引起的应力。因而,能够抑制上述应力引起的形状不良、电的特性的变动。

[0270] 另外,根据该制造方法,能够利用封固绝缘体71保护封固对象物免受外力、湿气的影 响。也就是,能够保护封固对象物免受外力引起的损伤、湿气引起的劣化的影响。由此,能够抑制形状不良、电的特性的变动。因而,能够制造能够提高信赖性的半导体装置1A。

[0271] 半导体装置1A的制造方法优选还包括在封固绝缘体71的形成工序后、将晶片81薄化的工序。晶片81的薄化工序优选包括将晶片81薄化直至小于多个源极柱状电极60的厚度的工序。

[0272] 晶片构造80的准备工序优选包括准备晶片构造80的工序,该晶片构造80包含具有包括基板以及外延层的层叠构造的晶片81。该情况下,晶片81的薄化工序优选包括将基板薄化直至小于外延层的厚度的工序。晶片构造80的准备工序优选包括准备晶片构造80的工序,该晶片构造80包含包括宽带隙半导体的单晶的晶片81。

[0273] 源极柱状电极60的形成工序优选包括在剖视时将多个源极柱状电极60形成为纵长柱状的工序。源极柱状电极60的形成工序优选包括形成比源极电极32厚的多个源极柱状电极60的工序。

[0274] 源极端子膜75的形成工序优选包括形成比多个源极柱状电极60薄的源极端子膜75的工序。源极端子膜75的形成工序优选包括形成源极端子膜75的工序,该源极端子膜75具有多个源极柱状电极60的厚度的1/4以下的厚度。封固绝缘体71的形成工序优选包括形成比源极电极32厚的封固绝缘体71的工序。

[0275] 源极柱状电极60的形成工序优选包括:形成包覆源极电极32的第二基体导体膜89的工序;在第二基体导体膜89之上形成抗蚀剂掩模90的工序,该抗蚀剂掩模90具有使第二基体导体膜89中包覆源极电极32的部分露出的多个第二开口92;以及使第三基体导体膜95(导体)堆积在第二基体导体膜89中从多个第二开口92露出的部分之上的工序。

[0276] 半导体装置1A的制造方法优选还包括在第三基体导体膜95的堆积工序之后、除去抗蚀剂掩模90的工序。该情况下,封固绝缘体71的形成工序优选在抗蚀剂掩模90的除去工序后实施。

[0277] 封固绝缘体71的形成工序优选包括:形成包覆多个源极柱状电极60的全域的封固绝缘体71的工序;以及局部地除去封固绝缘体71直至多个源极柱状电极60露出的工序。该情况下,封固绝缘体71的除去工序也可以包括通过研磨法局部除去封固绝缘体71的工序。

[0278] 半导体装置1A的制造方法优选包括准备晶片构造80的工序,该晶片构造80包括:晶片81,其具有设定设备区域86以及划分设备区域86的切断预定线87的第一晶片主面82;

以及源极电极32,其在设备区域86中配置在第一晶片主面82之上。该情况下,半导体装置1A的制造方法优选包括在封固绝缘体71的形成工序后、沿切断预定线87切断晶片81以及封固绝缘体71的工序。

[0279] 源极柱状电极60的形成工序优选包括形成多个源极柱状电极60的工序,该多个源极柱状电极60具有相对于设备区域86的平面面积为30%以下的占有率的总平面面积。源极端子膜75的形成工序优选包括形成源极端子膜75的工序,该源极端子膜75具有相对于设备区域86的平面面积为50%以上的占有率的总平面面积。

[0280] 半导体装置1A的制造方法优选包括形成上绝缘膜38的工序,该上绝缘膜38在源极柱状电极60的形成工序前局部地包覆源极电极32。该情况下,源极柱状电极60的形成工序优选包括从上绝缘膜38空出间隔地在源极电极32之上形成多个源极柱状电极60的工序。封固绝缘体71的形成工序优选包括形成封固绝缘体71的工序,该封固绝缘体71具有隔着上绝缘膜38包覆源极电极32的部分。

[0281] 上绝缘膜38的形成工序优选包括形成上绝缘膜38的工序,该上绝缘膜38包括无机绝缘膜42以及有机绝缘膜43的任一方或者双方。封固绝缘体71的形成工序优选包括形成封固绝缘体71的工序,该封固绝缘体71包含热固化性树脂以及多个填充物。

[0282] 图15是表示第二实施方式的半导体装置1B的俯视图。参照图15,半导体装置1B具有使半导体装置1A变形的形态。具体而言,半导体装置1B包含多个源极端子膜75。多个源极端子膜75以分别包覆对应的至少一个(在该方式为多个)源极柱状电极60的方式,空出间隔地配置在绝缘主面72之上。

[0283] 多个源极端子膜75分别与对应的源极柱状电极60电连接。在该方式中,多个源极端子膜75在俯视时在第一方向X以及第二方向Y上空出间隔地排列成行列状。多个源极端子膜75的配置以及平面形状是任意的。例如,多个源极端子膜75也可以具有相互不同的平面面积。另外,多个源极端子膜75也可以具有相互不同的平面形状。

[0284] 在第一主面3具有1mm见方以上的平面面积的情况下,各源极端子膜75的平面面积优选为0.8mm见方以上。该情况下,各源极端子膜75的平面面积特别优选为1mm见方以上。各源极端子膜75也可以形成为具有1mm×1.4mm以上的平面面积的多边形状。在该方式中,各源极端子膜75在俯视时形成为具有与第一~第四侧面5A~5D平行的四边的四边形状。当然,各源极端子膜75也可以在俯视时形成为四边形状以外的多边形、圆形状或者椭圆形状。

[0285] 以上,根据半导体装置1B也起到与半导体装置1A的效果相同的效果。半导体装置1B通过在半导体装置1A的制造方法中变更源极端子膜75的布局来制造。因此,根据半导体装置1B的制造方法也起到与半导体装置1A的制造方法的效果相同的效果。

[0286] 图16是表示第三实施方式的半导体装置1C的俯视图。参照图16,半导体装置1C具有使半导体装置1A变形的形态。具体而言,半导体装置1C除了源极电极32的主体电极部33以外,还包括配置在多个引出电极部34A、34B中的至少一方或者双方(在该方式中为双方)之上的源极柱状电极60。配置在引出电极部34A、34B之上的源极柱状电极60的个数是任意的,也可以在引出电极部34A、34B之上分别配置一个或者多个源极柱状电极60。

[0287] 在该方式中,上述的源极端子膜75具有至少一个(在该方式为多个)引出端子部100。具体而言,多个引出端子部100以在俯视时在第二方向Y上与栅极端子膜74对置的方

式,分别被引出直至与多个引出电极部34A、34B重叠的区域。也就是,多个引出端子部100在俯视时从第二方向Y的两侧夹住栅极柱状电极50。多个引出端子部100分别包覆至少一个(在该方式中为一个)的源极柱状电极60。

[0288] 以上,根据半导体装置1C也起到与半导体装置1A的效果相同的效果。另外,半导体装置1C经由与半导体装置1A的制造方法相同的制造方法来制造。因此,根据半导体装置1C的制造方法也起到与半导体装置1A的制造方法的效果相同的效果。在该方式中,示出了引出端子部100应用于半导体装置1A的例子。当然,引出端子部100也可以应用于第二实施方式。

[0289] 图17是表示第四实施方式的半导体装置1D的俯视图。图18是表示图16的半导体装置1D的电的结构的电路图。参照图17以及图18,半导体装置1D具有使半导体装置1A变形后的形态。具体而言,半导体装置1D除了源极电极32的主体电极部33以外,还包括配置在多个引出电极部34A、34B中的至少一方或者双方(在该方式中为双方)之上的多个源极柱状电极60。配置在引出电极部34A、34B之上的源极柱状电极60的个数是任意的,也可以在引出电极部34A、34B之上分别配置一个或者多个源极柱状电极60。

[0290] 在该方式中,半导体装置1D包括在源极电极32之上空出间隔地配置的多个源极端子膜75。具体而言,半导体装置1D包括:配置于在俯视时与源极电极32的主体电极部33重叠的位置的至少一个(在该方式中为一个)的源极端子膜75;以及配置在与源极电极32的引出电极部34A、34B重叠的位置的至少一个(在该方式为多个)的源极端子膜75。

[0291] 在该方式中,主体电极部33侧的源极端子膜75作为使漏极源极电流IDS导通的主端子膜102而形成。主端子膜102以与多个源极柱状电极60电连接的方式包覆多个源极柱状电极60。

[0292] 在该方式中,多个引出电极部34A、34B侧的多个源极端子膜75作为使监视漏极源极电流IDS的监视器电流IM导通的感测端子膜103而形成。各感测端子膜103在俯视时具有小于主端子膜102的面积的面积。各感测端子膜103包覆至少一个(在该方式中为一个)的源极柱状电极60。

[0293] 一方的感测端子膜103配置在第一引出电极部34A之上,在俯视时在第二方向Y上与栅极柱状电极50对置。另一方的感测端子膜103配置在第二引出电极部34B之上,在俯视时在第二方向Y上与栅极柱状电极50对置。由此,多个感测端子膜103在俯视时从第二方向Y的两侧夹住栅极柱状电极50。

[0294] 参照图18,在半导体装置1D中,在栅极端子膜74电连接有栅极驱动电路106,在主端子膜102电连接有至少一个的第一电阻R1,在多个感测端子膜103连接有至少一个的第二电阻R2。第一电阻R1构成为使在半导体装置1D中生成的漏极源极电流IDS导通。第二电阻R2构成为使具有小于漏极源极电流IDS的值的监视器电流IM导通。

[0295] 第一电阻R1也可以是具有第一电阻值的电阻器或者导电接合部件。第二电阻R2也可以是具有比第一电阻值大的第二电阻值的电阻器或者导电接合部件。导电接合部件也可以是导体板或者导线(例如接合引线)。也就是,具有第一电阻值的至少一个的第一接合引线也可以与主端子膜102连接。

[0296] 另外,具有超过第一电阻值的第二电阻值的至少一个第二接合引线也可以与至少一个感测端子膜103连接。第二接合引线也可以具有小于第一接合引线的线粗细的线粗细。

该情况下,第二接合引线相对于感测端子膜103的接合面积也可以小于第一接合引线相对于主端子膜102的接合面积。

[0297] 以上,根据半导体装置1D也起到与半导体装置1A的效果相同的效果。半导体装置1D通过在半导体装置1A的制造方法中变更源极端子膜75的布局来制造。因此,根据半导体装置1D的制造方法也起到与半导体装置1A的制造方法的效果相同的效果。

[0298] 在该方式中,示出了感测端子膜103配置在引出电极部34A、34B之上的例子,但感测端子膜103的配置部位是任意的。因此,感测端子膜103也可以配置在主体电极部33之上。在该方式中,示出了感测端子膜103应用于半导体装置1A的例子。当然,感测端子膜103也可以应用于第二~第三实施方式。

[0299] 图19是表示第五实施方式的半导体装置1E的俯视图。图20是沿图19所示的XX-XX线的剖视图。参照图19以及图20,半导体装置1E具有使半导体装置1A变形后的形态。具体而言,半导体装置1E包括形成于源极电极32的间隙部107。

[0300] 间隙部107形成于源极电极32的主体电极部33。间隙部107在剖视时贯通源极电极32,使层间绝缘膜27的一部分露出。在该方式中,间隙部107从源极电极32的壁部中在第一方向X上与栅极电极30对置的部分朝向源极电极32的内方部以带状延伸。

[0301] 在该方式中,间隙部107形成为在第一方向X上延伸的带状。在该方式中,间隙部107在俯视时在第一方向X上横穿源极电极32的中央部。间隙部107在俯视时在源极电极32的从第四侧面5D侧的壁部向内方(栅极电极30侧)空出间隔的位置具有端部。当然,间隙部107也可以在第二方向Y上分断源极电极32。

[0302] 半导体装置1E包括从栅极电极30引出到间隙部107内的栅极中间配线109。与栅极电极30(多个栅极配线36A、36B)相同,栅极中间配线109具有包括第一栅极导体膜55以及第二栅极导体膜56的层叠构造。栅极中间配线109在俯视时从源极电极32空出间隔地形成,沿间隙部107以带状延伸。

[0303] 栅极中间配线109在活性面8(第一主面3)的内方部贯通层间绝缘膜27而与多个栅极构造15电连接。栅极中间配线109既可以与多个栅极构造15直接连接、也可以经由导体膜而与多个栅极构造15电连接。

[0304] 在该方式中,上述的上绝缘膜38包括包覆间隙部107的间隙包覆部110。间隙包覆部110在间隙部107内包覆栅极中间配线109的全域。间隙包覆部110也可以以包覆源极电极32的周缘部的方式,从间隙部107内被引出至源极电极32之上。

[0305] 在该方式中,多个源极柱状电极60在俯视时从间隙包覆部110空出间隔地分别配置在源极电极32之上。在该方式中,封固绝缘体71在多个源极柱状电极60之间的区域中包覆间隙部107。具体而言,封固绝缘体71在多个源极柱状电极60之间的区域中包覆上绝缘膜38的间隙包覆部110。也就是,封固绝缘体71隔着上绝缘膜38包覆栅极中间配线109。

[0306] 源极端子膜75具有与第一实施方式的情况相同的形态。在该方式中,源极端子膜75以在俯视时与源极电极32、间隙部107、栅极中间配线109以及间隙包覆部110重叠的方式配置在绝缘主面72之上。源极端子膜75的平面形状是任意的,不限制为特定的形态。

[0307] 在该方式中,示出了上绝缘膜38具有间隙包覆部110的例子。但是,间隙包覆部110的有无是任意的,也可以形成不具有间隙包覆部110的上绝缘膜38。该情况下,多个源极柱状电极60以使栅极中间配线109露出的方式配置在源极电极32之上。封固绝缘体71直接包

覆栅极中间配线109,使栅极中间配线109与源极电极32电绝缘。封固绝缘体71直接包覆在间隙部107内从源极电极32以及栅极中间配线109之间的区域露出的层间绝缘膜27的一部分。

[0308] 以上,根据半导体装置1E也起到与半导体装置1A的效果相同的效果。在半导体装置1E的制造方法中,准备在设备区域86中分别制作有与半导体装置1E对应的构造的晶片构造80,实施与半导体装置1A的制造方法相同的工序。因此,根据半导体装置1E的制造方法也起到与半导体装置1A的制造方法的效果相同的效果。

[0309] 在该方式中,示出了间隙部107、栅极中间配线109、间隙包覆部110等应用于半导体装置1A的例子。当然,间隙部107、栅极中间配线109、间隙包覆部110等也可以应用于第二~第四实施方式。

[0310] 图21是表示第六实施方式的半导体装置1F的俯视图。参照图21,半导体装置1F具有使第五实施方式的半导体装置1E的特征(具有栅极中间配线109的构造)与第四实施方式的半导体装置1D的特征(具有感测端子膜103的构造)组合后的形态。根据具有这样的形态的半导体装置1F也起到与半导体装置1A的效果相同的效果。

[0311] 图22是表示第七实施方式的半导体装置1G的俯视图。参照图22,半导体装置1G具有使半导体装置1A变形后的形态。具体而言,半导体装置1G具有配置在沿芯片2的任意的角部的区域的栅极电极30。

[0312] 也就是,当设定了在第一方向X上横穿第一主面3的中央部的第一直线L1(参照双点划线部)、以及在第二方向Y上横穿第一主面3的中央部的第二直线L2(参照双点划线部)时,栅极电极30配置在从第一直线L1以及第二直线L2双方偏移的位置。在该方式中,栅极电极30在俯视时配置在沿连接第二侧面5B以及第三侧面5C的角部的区域。

[0313] 与第一实施方式的情况相同,上述的源极电极32的多个引出电极部34A、34B在俯视时从第二方向Y的两侧夹住栅极电极30。第一引出电极部34A以第一平面面积从主体电极部33引出。第二引出电极部34B以小于第一平面面积的第二平面面积从主体电极部33引出。当然,源极电极32也可以不具有第二引出电极部34B,而仅包括主体电极部33以及第一引出电极部34A。

[0314] 与第一实施方式的情况相同,上述的栅极柱状电极50配置在栅极电极30之上。在该方式中,栅极柱状电极50配置在沿芯片2的任意的角部的区域。也就是,栅极柱状电极50在俯视时配置在从第一直线L1以及第二直线L2双方偏移的位置。在该方式中,栅极柱状电极50在俯视时配置在沿连接第二侧面5B以及第三侧面5C的角部的区域。

[0315] 在该方式中,上述的多个源极柱状电极60配置在源极电极32的主体电极部33以及第一引出电极部34A之上,未配置在源极电极32的第二引出电极部34B之上。

[0316] 与第一实施方式的情况相同,上述的栅极端子膜74包覆栅极柱状电极50。在该方式中,栅极端子膜74配置在沿芯片2的任意的角部的区域。也就是,栅极端子膜74在俯视时配置在从第一直线L1以及第二直线L2双方偏移的位置。在该方式中,栅极端子膜74在俯视时配置在沿连接第二侧面5B以及第三侧面5C的角部的区域。

[0317] 与第一实施方式的情况相同,上述的源极端子膜75包覆多个源极柱状电极60。在该方式中,源极端子膜75具有引出端子部100,该引出端子部100以在俯视时在第二方向Y上与栅极端子膜74对置的方式被引出直至与第一引出电极部34A重叠的区域。在该方式中,源

极端子膜75未被引出至第二引出电极部34B之上。

[0318] 因此,引出端子部100从第二方向Y的一方侧与栅极端子膜74对置。引出端子部100包覆至少一个(在该方式为多个)的源极柱状电极60。多个源极柱状电极60通过具有引出端子部100从而具有从第一方向X以及第二方向Y这两方向与栅极端子膜74对置的部分。

[0319] 以上,根据半导体装置1G也起到与半导体装置1A的效果相同的效果。在半导体装置1G的制造方法中,准备在设备区域86中分别制作有与半导体装置1G对应的构造的晶片构造80,实施与半导体装置1A的制造方法相同的工序。因此,根据半导体装置1G的制造方法也起到与半导体装置1A的制造方法的效果相同的效果。栅极电极30以及栅极柱状电极50配置在沿芯片2的角部的区域的构造也可以应用于第二~第六实施方式。

[0320] 图23是表示第八实施方式的半导体装置1H的俯视图。参照图23,半导体装置1H具有使半导体装置1A变形后的形态。具体而言,半导体装置1H具有在俯视时配置在第一主面3(活性面8)的中央部的栅极电极30。

[0321] 也就是,当设定了在第一方向X上横穿第一主面3的中央部的第一直线L1(参照双点划线部)、以及在第二方向Y上横穿第一主面3的中央部的第二直线L2(参照双点划线部)时,栅极电极30以包覆第一直线L1以及第二直线L2的交叉部Cr的方式配置。在该方式中,上述的源极电极32在俯视时形成为包围栅极电极30的环状(具体而言为四边环状)。

[0322] 半导体装置1H包括形成于源极电极32的多个间隙部107A、107B。多个间隙部107A、107B包括第一间隙部107A以及第二间隙部107B。第一间隙部107A在第二方向Y上横穿在源极电极32的一方侧(第一侧面5A侧)的区域中在第一方向X上延伸的部分。第一间隙部107A在俯视时在第二方向Y上与栅极电极30对置。

[0323] 第二间隙部107B在第二方向Y上横穿在源极电极32的另一方侧(第二侧面5B侧)的区域中在第一方向X上延伸的部分。第二间隙部107B在俯视时在第二方向Y上与栅极电极30对置。在该方式中,第二间隙部107B在俯视时隔着栅极电极30与第一间隙部107A对置。

[0324] 上述的第一栅极配线36A从栅极电极30向第一间隙部107A内被引出。具体而言,第一栅极配线36A具有在第一间隙部107A内在第二方向Y上以带状延伸的部分、以及沿第一侧面5A(第一连接面10A)在第一方向X上以带状延伸的部分。上述的第二栅极配线36B从栅极电极30向第二间隙部107B内被引出。具体而言,第二栅极配线36B具有在第二间隙部107B内在第二方向Y上以带状延伸的部分、以及沿第二侧面5B(第二连接面10B)在第一方向X上以带状延伸的部分。

[0325] 与第一实施方式的情况相同,多个栅极配线36A、36B与多个栅极构造15的两端部交叉(具体而言为正交)。多个栅极配线36A、36B贯通层间绝缘膜27而与多个栅极构造15电连接。多个栅极配线36A、36B既可以与多个栅极构造15直接连接、也可以经由导体膜而与多个栅极构造15电连接。

[0326] 在该方式中,上述的源极配线37从源极电极32的多个部位引出,包围栅极电极30、源极电极32以及栅极配线36A、36B。当然,源极配线37也可以如第一实施方式那样从源极电极32的单一部位引出。

[0327] 在该方式中,上述的上绝缘膜38包括分别包覆多个间隙部107A、107B的多个间隙部110A、110B。多个间隙部110A、110B包含第一间隙部110A以及第二间隙部110B。第一间隙部110A在第一间隙部107A内包覆第一栅极配线36A的全域。第二间隙部

包覆部110B在第二间隙部107B内包覆第二栅极配线36B的全域。多个间隙包覆部110A、110B以包覆源极电极32的周缘部的方式从多个间隙部107A、107B内分别引出至源极电极32之上。

[0328] 与第一实施方式的情况相同,上述的栅极柱状电极50配置在栅极电极30之上。在该方式中,栅极柱状电极50配置在第一主面3(活性面8)的中央部。也就是,当设定了在第一方向X上横穿第一主面3的中央部的第一直线L1(参照双点划线部)、以及在第二方向Y上横穿第一主面3的中央部的第二直线L2(参照双点划线部)时,栅极柱状电极50以包覆第一直线L1以及第二直线L2的交叉部Cr的方式配置。

[0329] 在该方式中,上述的多个源极柱状电极60在俯视时从多个间隙包覆部110A、110B空出间隔地分别配置在源极电极32之上。在该方式中,上述的封固绝缘体71在多个源极柱状电极60之间的区域中包覆多个间隙部107A、107B。在该方式中,封固绝缘体71包覆多个间隙包覆部110A、110B。也就是,封固绝缘体71隔着多个间隙包覆部110A、110B包覆多个栅极配线36A、36B。

[0330] 与第一实施方式的情况相同,上述的栅极端子膜74包覆栅极柱状电极50。在该方式中,栅极端子膜74配置在第一主面3(活性面8)的中央部。也就是,当设定了在第一方向X上横穿第一主面3的中央部的第一直线L1(参照双点划线部)、以及在第二方向Y上横穿第一主面3的中央部的第二直线L2(参照双点划线部)时,栅极端子膜74以包覆第一直线L1以及第二直线L2的交叉部Cr的方式配置。

[0331] 在该方式中,上述的源极端子膜75在俯视时形成为沿栅极端子膜74延伸的带状。在该方式中,源极端子膜75在俯视时形成为包围栅极端子膜74的环状。在该方式中,源极端子膜75在俯视时与源极电极32、多个栅极配线36A、36B、多个间隙部107A、107B以及多个间隙包覆部110A、110B重叠。源极端子膜75的布局(个数、平面形状)是任意的,源极端子膜75不一定必须在俯视时形成为环状。例如,也可以配置有沿栅极端子膜74以带状延伸的多个源极端子膜75。

[0332] 在该方式中,示出了上绝缘膜38具有间隙包覆部110A、110B的例子。但是,多个间隙包覆部110A、110B的有无是任意的,也可以形成不具有多个间隙包覆部110A、110B的上绝缘膜38。该情况下,多个源极柱状电极60以使栅极配线36A、36B露出的方式配置在源极电极32之上。

[0333] 封固绝缘体71直接包覆栅极配线36A、36B,栅极配线36A、36B与源极电极32电绝缘。封固绝缘体71直接包覆在多个间隙部107A、107B内从源极电极32以及栅极配线36A、36B之间的区域露出的层间绝缘膜27的一部分。

[0334] 以上,根据半导体装置1H也起到与半导体装置1A的效果相同的效果。在半导体装置1H的制造方法中,准备在设备区域86中分别制作有与半导体装置1H对应的构造的晶片构造80,实施与半导体装置1A的制造方法相同的工序。因此,根据半导体装置1H的制造方法也起到与半导体装置1A的制造方法的效果相同的效果。栅极电极30以及栅极柱状电极50配置于芯片2的中央部的构造也可以应用于第二~第七实施方式。

[0335] 图24是表示第九实施方式的半导体装置1I的俯视图。半导体装置1I具有使半导体装置1A变形后的形态。具体而言,半导体装置1I包括在俯视时配置在与栅极电极30以及源极电极32重叠的位置的栅极端子膜74。

[0336] 在该方式中,栅极端子膜74从在俯视时与栅极电极30重叠的位置被引出直至与源极电极32的多个引出电极部34A、34B重叠的位置。栅极端子膜74不一定必须在俯视时与多个引出电极部34A、34B的双方重叠。栅极端子膜74也可以配置为在俯视时仅与多个引出电极部34A、34B任一方重叠。当然,栅极端子膜74也可以配置为在俯视时与源极电极32的主体电极部33重叠。

[0337] 以上,根据半导体装置1I也起到与半导体装置1A的效果相同的效果。半导体装置1I通过在半导体装置1A的制造方法中变更栅极端子膜74的布局来制造。因此,根据半导体装置1I的制造方法也起到与半导体装置1A的制造方法的效果相同的效果。以在俯视时与源极电极32的一部分重叠的方式配置有栅极端子膜74的构造也可以应用于第二~第八实施方式。

[0338] 图25是表示第十实施方式的半导体装置1J的俯视图。图26是沿图25所示的XXVI-XXVI线的剖视图。半导体装置1J包括上述的芯片2。在该方式中,芯片2不具有台面部11,而是包含平坦的第一主面3。半导体装置1J包括形成于芯片2的作为二极管的一例的SBD (Schottky Barrier Diode,肖特基势垒二极管)构造120。

[0339] 半导体装置1J包括形成于第一主面3的内方部的n型的二极管区域121。在该方式中,二极管区域121利用第一半导体区域6的一部分而形成。

[0340] 半导体装置1J包括在第一主面3中从其它区域划分二极管区域121的p型的保护区域122。保护区域122从第一主面3的周缘向内方空出间隔地形成于第一半导体区域6的表层部。在该方式中,保护区域122在俯视时形成为包围二极管区域121的环状(在该方式中四边环状)。保护区域122具有二极管区域121侧的内缘部、以及第一主面3的周缘侧的外缘部。

[0341] 半导体装置1J包括选择性地包覆第一主面3的上述的主面绝缘膜25。主面绝缘膜25具有使二极管区域121以及保护区域122的内缘部露出的二极管开口123。主面绝缘膜25从第一主面3的周缘向内方空出间隔地形成,使第一主面3(第一半导体区域6)从第一主面3的周缘部露出。当然,主面绝缘膜25也可以包覆第一主面3的周缘部。该情况下,主面绝缘膜25的周缘部也可以与第一~第四侧面5A~5D相连。

[0342] 半导体装置1J包括配置在第一主面3之上的第一极性电极124(主面电极)。在该方式中,第一极性电极124是“阳极电极”。第一极性电极124从第一主面3的周缘向内方空出间隔地配置。在该方式中,第一极性电极124在俯视时形成为沿第一主面3的周缘的四边形状。第一极性电极124从主面绝缘膜25之上进入二极管开口123,且与第一主面3以及保护区域122的内缘部电连接。

[0343] 第一极性电极124与二极管区域121(第一半导体区域6)形成肖特基接合。由此,形成有SBD构造120。第一极性电极124的平面面积优选为第一主面3的50%以上。第一极性电极124的平面面积特别优选为第一主面3的75%以上。第一极性电极124也可以具有0.5 $\mu\text{m}$ 以上且15 $\mu\text{m}$ 以下的厚度。

[0344] 第一极性电极124也可以具有包含Ti系金属膜以及Al系金属膜的层叠构造。Ti系金属膜也可以具有由Ti膜或者TiN膜构成的单层构造。Ti系金属膜也可以具有以任意的顺序包含Ti膜以及TiN膜的层叠构造。Al系金属膜优选比Ti系金属膜厚。Al系金属膜也可以包含纯Al膜(纯度为99%以上的Al膜)、AlCu合金膜、AlSi合金膜、以及AlSiCu合金膜中的至少一个。

[0345] 半导体装置1J包括选择性地包覆主面绝缘膜25以及第一极性电极124的上述的上绝缘膜38。与第一实施方式的情况相同,上绝缘膜38具有包括从芯片2侧依次层叠的无机绝缘膜42以及有机绝缘膜43的层叠构造。在该方式中,上绝缘膜38具有在俯视时使第一极性电极124的内方部露出的接触开口125,且遍及整周地包覆第一极性电极124的周缘部。在该方式中,接触开口125在俯视时形成为四边形状。

[0346] 上绝缘膜38从第一主面3的周缘(第一~第四侧面5A~5D)向内方空出间隔地形成,在与第一主面3的周缘之间划分出切割道41。切割道41在俯视时形成为沿第一主面3的周缘延伸的带状。在该方式中,切割道41在俯视时形成为包围第一主面3的内方部的环状(具体而言为四边环状)。

[0347] 在该方式中,切割道41使第一主面3(第一半导体区域6)露出。当然,在主面绝缘膜25包覆第一主面3的周缘部的情况下,切割道41也可以使主面绝缘膜25露出。上绝缘膜38优选具有超过第一极性电极124的厚度的厚度。上绝缘膜38的厚度也可以小于芯片2的厚度。

[0348] 半导体装置1J包括配置在第一极性电极124之上的多个柱状电极126。柱状电极126的个数是任意的,根据第一极性电极124的平面面积以及应形成的柱状电极126的平面面积来调节。柱状电极126在剖视时从第一极性电极124的周缘空出间隔地分别以纵长柱状竖立设置在第一极性电极124之上。

[0349] 在该方式中,多个柱状电极126从上绝缘膜38(接触开口125的壁面)空出间隔地分别配置在第一极性电极124的内方部之上。也就是,多个柱状电极126在俯视时分别配置在由接触开口125包围的区域内。

[0350] 在该方式中,多个柱状电极126在俯视时分别形成为圆形状。当然,多个柱状电极126在俯视时分别形成为四边形状、四边形状以外的多边形、椭圆形状或者线状。另外,多个柱状电极126不需要具有彼此相同的平面形状,也可以具有彼此不同的平面形状。

[0351] 在该方式中,多个柱状电极126在俯视时在第一方向X以及第二方向Y上空出间隔地排列成行列状。多个柱状电极126的布局是任意的。多个柱状电极126例如在俯视时在第一方向X以及第二方向Y上空出间隔地以交错状排列。

[0352] 即,在分别包括在第一方向X上排列成一列的多个柱状电极126的多个组在第二方向Y上空出间隔地排列的情况下,各组所含的多个柱状电极126也可以相对于在第二方向Y上相邻的组所含的多个柱状电极126在第一方向X上偏移地配置。当然,也可以采用在该构造中调换了第一方向X以及第二方向Y的排列关系的布局。

[0353] 另外,在多个柱状电极126在俯视时形成为在第一方向X或者第二方向Y上延伸的线状的情况下,多个柱状电极126也可以配置为在俯视时在第一方向X或者第二方向Y上延伸的条纹状。当然,多个柱状电极126也可以以不规则的布局配置。

[0354] 多个柱状电极126分别具有电极面127以及电极侧壁128。电极面127沿第一主面3平坦地延伸。电极面127也可以由具有研磨痕的研磨面构成。电极侧壁128位于第一极性电极124之上。电极侧壁128沿法线方向Z大致铅垂地延伸。“大致铅垂”也包含一边弯曲(曲折)一边在层叠方向上延伸的形态。电极侧壁128优选由不具有研磨痕的平滑面构成。

[0355] 在该方式中,多个柱状电极126分别具有在电极侧壁128的下端部朝向外方突出的突出部129。突出部129形成于比电极侧壁128的中间部靠第一极性电极124侧的区域。突出部129在剖视时沿第一极性电极124延伸,形成为从电极侧壁128朝向前端部而厚度逐渐变

小的尖细形状。由此,突出部129具有形成锐角的尖锐形状的前端部。当然,也可以形成不具有突出部129的柱状电极126。

[0356] 多个柱状电极126优选分别具有超过第一极性电极124的厚度的厚度。各柱状电极126的厚度根据第一极性电极124以及电极面127之间的距离来定义。各柱状电极126的厚度特别优选超过上绝缘膜38的厚度。在该方式中,各柱状电极126的厚度超过芯片2的厚度。当然,各柱状电极126的厚度也可以小于芯片2的厚度。

[0357] 各柱状电极126的厚度优选为 $10\mu\text{m}$ 以上且 $300\mu\text{m}$ 以下。各柱状电极126的厚度优选为 $30\mu\text{m}$ 以上。各柱状电极126的厚度特别优选为 $80\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下。各柱状电极126的宽度(最大值)也可以为属于 $1\mu\text{m}$ 以上且 $25\mu\text{m}$ 以下、 $25\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下、 $50\mu\text{m}$ 以上且 $75\mu\text{m}$ 以下、 $75\mu\text{m}$ 以上且 $100\mu\text{m}$ 以下、 $100\mu\text{m}$ 以上且 $125\mu\text{m}$ 以下、 $125\mu\text{m}$ 以上且 $150\mu\text{m}$ 以下、 $150\mu\text{m}$ 以上且 $175\mu\text{m}$ 以下、以及 $175\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下的任一范围的值。当然,各柱状电极126的宽度(最大值)不限定于上述的范围,也可以设定为超过 $200\mu\text{m}$ 的值。

[0358] 多个柱状电极126具有小于第一极性电极124的平面面积的总平面面积。多个柱状电极126的总平面面积根据第一极性电极124的平面面积来调整。多个柱状电极126的总平面面积优选为第一主面3的50%以下。多个柱状电极126的总平面面积特别优选为第一主面3的30%以下。多个柱状电极126的总平面面积优选为第一主面3的10%以上。

[0359] 在该方式中,多个柱状电极126具有包含从第一极性电极124侧依次层叠的第一导体膜133以及第二导体膜134的层叠构造。第一导体膜133也可以包含Ti系金属膜。第一导体膜133也可以具有由Ti膜或者TiN膜构成的单层构造。

[0360] 第一导体膜133也可以具有包含以任意的顺序层叠的Ti膜以及TiN膜的层叠构造。第一导体膜133具有小于第一极性电极124的厚度的厚度。第一导体膜133在接触开口125内以膜状包覆第一极性电极124。第一导体膜133形成突出部129的一部分。第一导体膜133不一定必须形成,也可以去除。

[0361] 第二导体膜134形成多个柱状电极126的主体。第二导体膜134也可以包含Cu系金属膜。Cu系金属膜也可以是纯Cu膜(纯度为99%以上的Cu膜)或者Cu合金膜。在该方式中,第二导体膜134包含纯Cu镀膜。第二导体膜134优选具有超过第一极性电极124的厚度的厚度。第二导体膜134的厚度特别优选超过上绝缘膜38的厚度。在该方式中,第二导体膜134的厚度超过芯片2的厚度。

[0362] 第二导体膜134在接触开口125内隔着第一导体膜133以膜状包覆第一极性电极124。第二导体膜134形成突出部129的一部分。也就是,突出部129具有包含第一导体膜133以及第二导体膜134的层叠构造。第二导体膜134在突出部129内具有超过第一导体膜133的厚度的厚度。

[0363] 半导体装置1J包括包覆第一主面3的上述的封固绝缘体71。封固绝缘体71在第一主面3之上使多个柱状电极126的一部分露出的方式包覆多个柱状电极126的周围。封固绝缘体71在第一极性电极124之上包覆多个柱状电极126之间的区域。封固绝缘体71使多个电极面127露出,且包覆多个电极侧壁128。

[0364] 封固绝缘体71具有直接包覆第一极性电极124中从上绝缘膜38以及多个柱状电极126露出的部分的部分。在该方式中,封固绝缘体71包覆多个柱状电极126的突出部129,隔着突出部129而与第一极性电极124对置。封固绝缘体71抑制多个柱状电极126的脱落。

[0365] 封固绝缘体71具有直接包覆上绝缘膜38的部分。封固绝缘体71隔着上绝缘膜38包覆第一极性电极124。封固绝缘体71包覆在第一主面3的周缘部中由上绝缘膜38划分出的切割道41。在该方式中,封固绝缘体71在切割道41中直接包覆第一主面3(第一半导体区域6)。当然,在主面绝缘膜25从切割道41露出的情况下,封固绝缘体71也可以在切割道41中直接包覆主面绝缘膜25。

[0366] 封固绝缘体71具有绝缘主面72以及绝缘侧壁73。绝缘主面72沿第一主面3平坦地延伸。绝缘主面72与多个电极面127形成一个平坦面。绝缘主面72也可以由具有研磨痕的研磨面构成。该情况下,绝缘主面72优选与多个电极面127形成一个研磨面。

[0367] 绝缘侧壁73从绝缘主面72的周缘朝向芯片2延伸,与第一~第四侧面5A~5D形成一个平坦面。绝缘侧壁73相对于绝缘主面72以大致直角形成。在绝缘侧壁73与绝缘主面72之间所成的角度也可以为 $88^\circ$ 以上且 $92^\circ$ 以下。绝缘侧壁73也可以由具有研磨痕的研磨面构成。绝缘侧壁73也可以与第一~第四侧面5A~5D形成一个研磨面。

[0368] 封固绝缘体71具有超过第一极性电极124的厚度的厚度。封固绝缘体71的厚度特别优选超过上绝缘膜38的厚度。在该方式中,封固绝缘体71的厚度超过芯片2的厚度。当然,封固绝缘体71的厚度也可以小于芯片2的厚度。封固绝缘体71的厚度也可以为 $10\mu\text{m}$ 以上且 $300\mu\text{m}$ 以下。封固绝缘体71的厚度优选为 $30\mu\text{m}$ 以上。封固绝缘体71的厚度特别优选为 $80\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下。封固绝缘体71的厚度与多个柱状电极126的厚度大致相等。

[0369] 半导体装置1J包括在封固绝缘体71之上包覆多个柱状电极126的至少一个(在该方式中为一个)端子膜135。端子膜135与多个柱状电极126电连接。端子膜135在俯视时从绝缘主面72的周缘(绝缘侧壁73)空出间隔地配置在绝缘主面72的内方部。

[0370] 端子膜135配置于与第一极性电极124不同的层,因此几乎不受第一极性电极124的布局引起的设计规则的限制。因此,端子膜135只要与多个柱状电极126电连接,就能够具有任意的平面形状,同时能够配置在任意的部位。

[0371] 端子膜135具有小于多个柱状电极126的厚度的厚度。端子膜135的厚度优选为柱状电极126的 $1/4$ 以下。端子膜135的厚度特别优选为柱状电极126的 $1/10$ 以下。端子膜135的厚度优选小于上绝缘膜38的厚度。端子膜135的厚度也可以小于第一极性电极124的厚度。端子膜135的厚度根据膜种采用各种值。端子膜135的厚度也可以为 $10\text{nm}$ 以上且 $15\mu\text{m}$ 以下。

[0372] 端子膜135具有超过多个柱状电极126的总平面面积的平面面积。端子膜135的平面面积优选超过第一极性电极124的平面面积。该情况下,端子膜135优选在俯视时包覆第一极性电极124的全域。并且,该情况下,端子膜135优选在俯视时与第一极性电极124以及上绝缘膜38重叠。

[0373] 在第一主面3具有 $1\text{mm}$ 见方以上的平面面积的情况下,端子膜135的平面面积优选为 $0.8\text{mm}$ 见方以上。该情况下,端子膜135的平面面积特别优选为 $1\text{mm}$ 见方以上。端子膜135也可以形成为具有 $1\text{mm}\times 1.4\text{mm}$ 以上的平面面积的多边形状。在该方式中,端子膜135在俯视时形成为具有与第一~第四侧面5A~5D平行的四边的四边形状。当然,端子膜135也可以在俯视时形成为四边形状以外的多边形、圆形状或者椭圆形状。

[0374] 端子膜135也可以分别具有包含Ag系金属膜、Al系金属膜、Cu系金属膜、Ni系金属膜、Pd系金属膜以及Au系金属膜中的至少一个的单层构造或者层叠构造。端子膜135也可以具有图8A~图8G所示的第一~第七形态例的结构。

[0375] 半导体装置1J包括包覆第二主面4的第二极性电极136(第二主面电极)。第二极性电极136在该方式中是“阴极电极”。第二极性电极136与第二主面4电连接。第二极性电极136与从第二主面4露出的第二半导体区域7形成欧姆接触。第二极性电极136也可以以与芯片2的周缘(第一~第四侧面5A~5D)相连的方式包覆第二主面4的全域。

[0376] 第二极性电极136也可以从芯片2的周缘向内方空出间隔地包覆第二主面4。第二极性电极136构成为在与端子膜135之间施加有500V以上且3000V以下的电压。也就是,芯片2形成为在与第一主面3以及第二主面4之间施加有500V以上且3000V以下的电压。

[0377] 以上、半导体装置1J包括芯片2、第一极性电极124(主面电极)、多个柱状电极126、封固绝缘体71以及至少一个(在该方式中为一个)端子膜135。芯片2具有第一主面3。第一极性电极124配置在第一主面3之上。多个柱状电极126在第一极性电极124之上空出间隔地配置。封固绝缘体71以使多个柱状电极126的一部分露出的方式在第一极性电极124之上包覆多个柱状电极126之间的区域。端子膜135在封固绝缘体71之上包覆多个柱状电极126。

[0378] 根据该构造,通过多个柱状电极126,能够削减介于第一极性电极124以及端子膜135之间的电极的体积。即,不用在第一极性电极124之上配置具有与端子膜135同等的平面面积的柱状电极。由此,能够降低介于第一极性电极124以及端子膜135之间的电极引起的应力。因而,能够抑制上述应力引起的形状不良、电的特性的变动。

[0379] 另外,根据该构造,能够利用封固绝缘体71保护封固对象物免受外力、湿气的影 响。也就是,能够保护封固对象物免受外力引起的损伤、湿气引起的劣化的影响。由此,能够抑制形状不良、电的特性的变动。因而,能够提供能够提高信赖性的半导体装置1J。

[0380] 这样,根据半导体装置1J,起到与半导体装置1A的效果相同的效果。在半导体装置1J的制造方法中,准备在设备区域86中分别制作有与半导体装置1J对应的构造的晶片构造80,实施与半导体装置1A的制造方法相同的工序。因此,根据半导体装置1J的制造方法也起到与半导体装置1A的制造方法的效果相同的效果。

[0381] 图27是表示第十一实施方式的半导体装置1K的俯视图。参照图27,半导体装置1K具有将第二实施方式的半导体装置1B(参照图15)的技术的思想与半导体装置1J组合而成的形态。即,半导体装置1K包含多个端子膜135。多个端子膜135以包覆对应的至少一个(在该方式为多个)柱状电极126的方式在绝缘主面72之上空出间隔地配置。

[0382] 多个端子膜135分别与对应的柱状电极126电连接。在该方式中,多个端子膜135在俯视时在第一方向X以及第二方向Y上空出间隔地排列成行列状。多个端子膜135的配置以及平面形状是任意的。

[0383] 在第一主面3具有1mm见方以上的平面面积的情况下,各端子膜135的平面面积优选为0.8mm见方以上。该情况下,各端子膜135的平面面积特别优选为1mm见方以上。各端子膜135也可以形成为具有1mm×1.4mm以上的平面面积的多边形状。在该方式中,各端子膜135在俯视时形成为具有与第一~第四侧面5A~5D平行的四边的四边形状。当然,各端子膜135也可以在俯视时形成为四边形状以外的多边形状、圆形状或者椭圆形状。

[0384] 以上,根据半导体装置1K也起到与半导体装置1J的效果相同的效果。半导体装置1K通过在半导体装置1J的制造方法中变更端子膜135的布局来制造。因此,根据半导体装置1K的制造方法也起到与半导体装置1J的制造方法的效果相同的效果。

[0385] 以下,示出应用于各实施方式的变形例。图28是表示应用于各实施方式的芯片2的

变形例的剖视图。在图28中,作为一例,示出了变形例的芯片2应用于半导体装置1A的形态。但是,变形例的芯片2也可以应用于第二~第十一实施方式。

[0386] 参照图28,半导体装置1A也可以在芯片2的内部不具有第二半导体区域7,而是仅包括第一半导体区域6。该情况下,第一半导体区域6从芯片2的第一主面3、第二主面4以及第一~第四侧面5A~5D露出。也就是,在该方式中,芯片2不具有半导体基板,而是具有由外延层构成的单层构造。这样的芯片2通过在上图11I的工序中完全除去第二半导体区域7(半导体基板)而形成。

[0387] 以下,示出了搭载有第一~第十一实施方式的半导体装置1A~1K的封装件的形态例。图29是表示搭载有第一~第九实施方式的半导体装置1A~1I的封装件201A的俯视图。封装件201A也可以称为“半导体封装件”或者“半导体模块”。

[0388] 参照图29,封装件201A包含长方体形状的封装件主体202。封装件主体202由模制树脂构成,与封固绝缘体71相同,包含基质树脂(例如环氧树脂)、多个填充物以及多个可挠化颗粒(可挠化剂)。封装件主体202具有一方侧的第一面203、另一方侧的第二面204、以及将第一面203以及第二面204连接的第一~第四侧壁205A~205D。

[0389] 第一面203以及第二面204在从它们的法线方向Z观察的俯视时形成为四边形状。第一侧壁205A以及第二侧壁205B在第一方向X上延伸,且在与第一方向X正交的第二方向Y上对置。第三侧壁205C以及第四侧壁205D在第二方向Y上延伸,且在第一方向X上对置。

[0390] 封装件201A包括配置在封装件主体202内的金属板206(导体板)。金属板206也可以称为“芯片焊盘”。金属板206在俯视时形成为四边形状(具体而言为长方形状)。金属板206包括从第一侧壁205A引出到封装件主体202的外部的引出板部207。引出板部207具有圆形的贯通孔208。金属板206也可以从第二面204露出。

[0391] 封装件201A包括从封装件主体202的内部引出到外部的多个(在该方式中为三个)引线端子209。多个引线端子209配置在第二侧壁205B侧。多个引线端子209分别形成为在第二侧壁205B的正交方向(也就是第二方向Y)上延伸的带状。多个引线端子209中的两侧的引线端子209从金属板206空出间隔地配置,中央的引线端子209与金属板206一体地形成。与金属板206连接的引线端子209的配置是任意的。

[0392] 封装件201A包括在封装件主体202内配置在金属板206之上的半导体装置210。半导体装置210由第一~第九实施方式的半导体装置1A~1I的任一个构成。半导体装置210以使漏极电极77与金属板206对置的姿势配置在金属板206之上,且与金属板206电连接。

[0393] 封装件201A包含导电粘接剂211,该导电粘接剂211介于漏极电极77以及金属板206之间,将半导体装置210接合于金属板206。导电粘接剂211也可以包含焊锡或者金属糊料。焊锡也可以是无铅焊锡。金属糊料也可以包含Au、Ag以及Cu中的至少一个。Ag糊料也可以由Ag烧结糊料构成。

[0394] 封装件201A包括在封装件主体202内与引线端子209以及半导体装置210电连接的至少一个(在该方式为多个)导线212(导电连接部件)。在该方式中,导线212由金属丝线(也就是接合引线)构成。导线212也可以包含Au丝线、Cu丝线以及Al丝线中的至少一个。当然,导线212也可以由金属卡夹等金属板构成来代替金属丝线。

[0395] 至少一个(在该方式中为一个)导线212与栅极端子膜74以及引线端子209电连接。至少一个(在该方式中为四个)导线212与源极端子膜75以及引线端子209电连接。在源极端

子膜75包含感测端子膜103(参照图17)的情况下,还设有与感测端子膜103对应的引线端子209、以及与感测端子膜103以及引线端子209连接的导线212。

[0396] 图30是表示搭载有第十~第十一实施方式的半导体装置1J~1K的封装件201B的俯视图。封装件201B也可以称为“半导体封装件”或者“半导体模块”。参照图30,封装件201B包含封装件主体202、金属板206、多个(在该方式中为两个)引线端子209、半导体装置213、导电粘接剂211以及多个导线212。以下,对与封装件201A不同的方面进行说明。

[0397] 多个引线端子209中的一方的引线端子209从金属板206空出间隔地配置,另一方的引线端子209与金属板206一体地形成。半导体装置213在封装件主体202内配置在金属板206之上。半导体装置213由第十~第十一实施方式的半导体装置1J~1K的任一个构成。半导体装置213以使第二极性电极136与金属板206对置的姿势配置在金属板206之上,且与金属板206电连接。

[0398] 导电粘接剂211介于第二极性电极136以及金属板206之间,将半导体装置213接合于金属板206。至少一个(在该方式中为四个)导线212与端子膜135以及引线端子209电连接。

[0399] 图31是表示搭载有第一~第九实施方式的半导体装置1A~1I以及第十~第十一实施方式的半导体装置1J~1K的封装件201C的立体图。图32是图31所示的封装件201C的分解立体图。图33是沿图31所示的XXXIII-XXXIII线的剖视图。封装件201C也称为“半导体封装件”或者“半导体模块”。

[0400] 参照图31~图33,封装件201C包括长方体形状的封装件主体222。封装件主体222由模制树脂构成,与封固绝缘体71相同,包含基质树脂(例如环氧树脂)、多个填充物以及多个可挠化颗粒(可挠化剂)。封装件主体222具有一方侧的第一面223、另一方侧的第二面224、以及将第一面223以及第二面224连接的第一~第四侧壁225A~225D。

[0401] 第一面223以及第二面224在从它们的法线方向Z观察的俯视时形成为四边形状(在该方式中为长方形状)。第一侧壁225A以及第二侧壁225B在沿第一面223的第一方向X上延伸,且在第二方向Y上对置。第一侧壁225A以及第二侧壁225B形成封装件主体222的长边。第三侧壁225C以及第四侧壁225D在第二方向Y上延伸,且在第一方向X上对置。第三侧壁225C以及第四侧壁225D形成封装件主体222的短边。

[0402] 封装件201C包括配置在封装件主体222的内外的第一金属板226。第一金属板226配置在封装件主体222的第一面223侧,包括第一焊盘部227以及第一引线端子228。第一焊盘部227在封装件主体222内形成为在第一方向X上延伸的长方形状,且从第一面223露出。

[0403] 第一引线端子228从第一焊盘部227朝向第一侧壁225A引出为在第二方向Y上延伸的带状,贯通第一侧壁225A而从封装件主体222露出。第一引线端子228在俯视时配置在第四侧壁225D侧。第一引线端子228从第一面223以及第二面224空出间隔地从第一侧壁225A露出。

[0404] 封装件201C包括配置在封装件主体222的内外的第二金属板230。第二金属板230从第一金属板226沿法线方向Z空出间隔地配置在封装件主体222的第二面224侧,包括第二焊盘部231以及第二引线端子232。第二焊盘部231在封装件主体222内形成为在第一方向X上延伸的长方形状,且从第二面224露出。

[0405] 第二引线端子232从第二焊盘部231朝向第一侧壁225A引出为在第二方向Y上延伸

的带状,贯通第一侧壁225A而从封装件主体222露出。第二引线端子232在俯视时配置在第三侧壁225C侧。第二引线端子232从第一面223以及第二面224空出间隔地从第一侧壁225A露出。

[0406] 第二引线端子232在法线方向Z上从与第一引线端子228不同的厚度位置引出。在该方式中,第二引线端子232从第一引线端子228向第二面224侧空出间隔地形成,在第一方向X上不与第一引线端子228对置。第二引线端子232在第二方向Y上具有与第一引线端子228不同的长度。

[0407] 封装件201C包括从封装件主体222的内部引出到外部的多个(在该方式中为五个)第三引线端子234。在该方式中,多个第三引线端子234配置在第一焊盘部227以及第二焊盘部231之间的厚度范围。多个第三引线端子234以从封装件主体222内朝向第二侧壁225B沿第二方向Y延伸的带状引出,贯通第二侧壁225B而从封装件主体222露出。

[0408] 多个第三引线端子234的配置是任意的。在该方式中,多个第三引线端子234以在俯视时与第二引线端子232位于同一直线上的方式配置在第三侧壁225C侧。多个第三引线端子234也可以在位于封装件主体222外的部分具有朝向第一面223以及/或者第二面224凹陷的弯曲部。

[0409] 封装件201C包括配置在封装件主体222内的第一半导体装置235。第一半导体装置235由第一~第九实施方式的半导体装置1A~1I的任一个构成。第一半导体装置235配置在第一焊盘部227以及第二焊盘部231之间。第一半导体装置235在俯视时配置在第三侧壁225C侧。第一半导体装置235以使漏极电极77与第二金属板230(第二焊盘部231)对置的姿势配置在第二金属板230之上,且与第二金属板230电连接。

[0410] 封装件201C包括从第一半导体装置235空出间隔地配置在封装件主体222内的第二半导体装置236。第二半导体装置236由第十~第十一实施方式的半导体装置1J~1K的任一个构成。第二半导体装置236配置在第一焊盘部227以及第二焊盘部231之间。第二半导体装置236在俯视时配置在第四侧壁225D侧。第二半导体装置236以使第二极性电极136与第二金属板230(第二焊盘部231)对置的姿势配置在第二金属板230之上,且与第二金属板230电连接。

[0411] 封装件201C包括分别配置在封装件主体222内的第一导体间隔物237(第一导电连接部件)以及第二导体间隔物238(第二导电连接部件)。第一导体间隔物237介于第一半导体装置235以及第一焊盘部227之间,与第一半导体装置235以及第一焊盘部227电连接。第二导体间隔物238介于第二半导体装置236以及第一焊盘部227之间,与第二半导体装置236以及第一焊盘部227电连接。

[0412] 第一导体间隔物237以及第二导体间隔物238也可以分别包括金属板(例如Cu系金属板)。在该方式中,第二导体间隔物238与第一导体间隔物237分体构成,但也可以与第一导体间隔物237一体地形成。

[0413] 封装件201C包含第一~第六导电粘接剂239A~239F。第一~第六导电粘接剂239A~239F也可以包含焊锡或者金属糊料。焊锡也可以是无铅焊锡。金属糊料也可以包含Au、Ag以及Cu中的至少一个。Ag糊料也可以由Ag烧结糊料构成。

[0414] 第一导电粘接剂239A介于漏极电极77以及第二焊盘部231之间,将第一半导体装置235与第二焊盘部231连接。第二导电粘接剂239B介于第二极性电极136以及第二焊盘部

231之间,将第二半导体装置236与第二焊盘部231连接。

[0415] 第三导电粘接剂239C介于源极端子膜75以及第一导体间隔物237之间,将第一导体间隔物237与源极端子膜75连接。第四导电粘接剂239D介于端子膜135以及第二导体间隔物238之间,将第二导体间隔物238与端子膜135连接。

[0416] 第五导电粘接剂239E介于第一焊盘部227以及第一导体间隔物237之间,将第一导体间隔物237与第一焊盘部227连接。第六导电粘接剂239F介于第一焊盘部227以及第二导体间隔物238之间,将第二导体间隔物238与第一焊盘部227连接。

[0417] 封装件201C包括在封装件主体222内与第一半导体装置235的栅极端子膜74以及至少一个(在该方式为多个)第三引线端子234电连接的至少一个(在该方式为多个)导线240(导电连接部件)。在该方式中,导线240由金属丝线(也就是接合引线)构成。

[0418] 导线240也可以包含金丝线、铜丝线以及铝丝线中的至少一个。当然,导线240也可以由金属卡夹等金属板构成来代替金属丝线。在源极端子膜75包含感测端子膜103(参照图17)的情况下,还设有与感测端子膜103以及第三引线端子234连接的导线240。

[0419] 在该方式中,示出了源极端子膜75经由第一导体间隔物237而与第一焊盘部227连接的例子。但是,源极端子膜75也可以不经由第一导体间隔物237而是通过第三导电粘接剂239C而与第一焊盘部227连接。另外,在该方式中,示出了端子膜135经由第二导体间隔物238而与第一焊盘部227连接的例子。但是,端子膜135也可以不经由第二导体间隔物238而是通过第四导电粘接剂239D而与第一焊盘部227连接。

[0420] 上述的各实施方式还能够以其它形态实施。在上述的各实施方式中,示出了在栅极电极30之上配置有至少一个的栅极柱状电极50的形态。但是,也可以在栅极电极30之上配置有多个栅极柱状电极50。另外,应用于多个源极柱状电极60以及源极端子膜75的各种形态也可以应用于多个栅极柱状电极50以及栅极端子膜74。

[0421] 在上述的各实施方式中,示出了各种柱状电极从上绝缘膜38空出间隔地配置的例子。但是,栅极柱状电极50也可以具有跃上到上绝缘膜38之上的重叠部。另外,多个源极柱状电极60中的至少一个的源极柱状电极60也可以具有跃上到上绝缘膜38之上的重叠部。另外,多个柱状电极126中的至少一个柱状电极126也可以具有跃上到上绝缘膜38之上的重叠部。

[0422] 在上述的各实施方式中,示出了具有台面部11的芯片2。但是,也可以采用不具有台面部11而是具有平坦地延伸的第一主面3的芯片2。该情况下,去除侧壁构造26。

[0423] 在上述的各实施方式中,示出了具有源极配线37的形态。但是,也可以采用不具有源极配线37的形态。在上述的各实施方式中,示出了在芯片2的内部控制通道的沟槽栅极型的栅极构造15。但是,也可以采用从第一主面3之上控制通道的平面栅极型的栅极构造15。

[0424] 在上述的各实施方式中,示出了形成为MISFET构造12以及SBD构造120不同的芯片2的形态。但是,MISFET构造12以及SBD构造120也可以在同一芯片2中形成于第一主面3的不同的区域。该情况下,SBD构造120也可以作为MISFET构造12的环流二极管而形成。

[0425] 在上述的各实施方式中,示出了“第一导电型”为“n型”、“第二导电型”为“p型”的形态。但是,在上述的各实施方式中,也可以采用“第一导电型”为“p型”、“第二导电型”为“n型”的形态。该情况的具体的结构通过上述的说明以及附图中将“n型”置换为“p型”的同时,将“p型”置换为“n型”而得到。

[0426] 在上述的各实施方式中,示出了“n型”的第二半导体区域7。但是,第二半导体区域7也可以是“p型”。该情况下,形成IGBT(Insulated Gate Bipolar Transistor,绝缘栅双极晶体管)构造来代替MISFET构造12。该情况下,在上述的说明中,MISFET构造12的“源极”置换为IGBT构造的“发射极”,MISFET构造12的“漏极”置换为IGBT构造的“集电极”。当然,在具有芯片2由外延层构成的单层构造的情况下,“p型”的第二半导体区域7也可以具有通过离子注入法导入到芯片2(外延层)的第二主面4的表层部的p型杂质。

[0427] 在上述的各实施方式中,第一方向X以及第二方向Y由第一~第四侧面5A~5D的延伸方向规定。但是,第一方向X以及第二方向Y只要维持相互交叉(具体而言为正交)的关系,则也可以是任意的方向。例如,第一方向X也可以是与第一~第四侧面5A~5D交叉的方向,第二方向Y也可以是与第一~第四侧面5A~5D交叉的方向。

[0428] 以下,示出了从该说明书以及附图提取出的特征例。以下,数字等表示上述的实施方式中的对应构成要素等,并非将各项的范围限定于实施方式的意思。以下的项目的“半导体装置”也可以根据需要置换为“宽带隙半导体装置”、“SiC半导体装置”、“半导体开关装置”或者“半导体整流装置”。

[0429] [A1]一种半导体装置1A~1K,包括:芯片2,其具有主面3;主面电极30、32、124,其包覆上述主面3;多个柱状电极50、60、126,其空出间隔地配置在上述主面电极30、32、124之上;封固绝缘体71,其以使多个上述柱状电极50、60、126的一部分露出的方式,在上述主面电极30、32、124之上包覆多个上述柱状电极50、60、126之间的区域;以及至少一个端子膜74、75、135,其在上述封固绝缘体71之上包覆至少一个上述柱状电极50、60、126。

[0430] [A2]根据A1所记载的半导体装置1A~1K,多个上述柱状电极50、60、126在剖视时分别以纵长柱状竖立设置。

[0431] [A3]根据A1或A2所记载的半导体装置1A~1K,上述端子膜74、75、135比多个上述柱状电极50、60、126薄。

[0432] [A4]根据A1~A3任一项中所记载的半导体装置1A~1K,上述端子膜74、75、135具有多个上述柱状电极50、60、126的厚度的1/4以下的厚度。

[0433] [A5]根据A1~A4任一项中所记载的半导体装置1A~1K,多个上述柱状电极50、60、126比上述主面电极30、32、124厚,上述封固绝缘体71比上述主面电极30、32、124厚。

[0434] [A6]根据A1~A5任一项中所记载的半导体装置1A~1K,多个上述柱状电极50、60、126比上述芯片2厚,上述封固绝缘体71比上述芯片2厚。

[0435] [A7]根据A1~A6任一项中所记载的半导体装置1A~1K,多个上述柱状电极50、60、126具有相对于上述主面3的平面面积为30%以下的占有率的总平面面积,上述端子膜74、75、135具有相对于上述主面3的平面面积为50%以上的占有率的总平面面积。

[0436] [A8]根据A1~A7任一项中所记载的半导体装置1A~1K,多个上述柱状电极50、60、126分别包含Cu系金属。

[0437] [A9]根据A1~A8任一项中所记载的半导体装置1A~1K,上述端子膜74、75、135包含Ag系金属膜、Al系金属膜、Cu系金属膜、Ni系金属膜、Pd系金属膜以及Au系金属膜中的至少一个。

[0438] [A10]根据A1~A9任一项中所记载的半导体装置1A~1K,多个上述柱状电极50、60、126分别具有电极面51、61、127以及电极侧壁52、62、128,上述封固绝缘体71以使上述电

极面51、61、127露出且包覆上述电极侧壁52、62、128的方式包覆多个上述柱状电极50、60、126。

[0439] [A11]根据A10所记载的半导体装置1A~1K,上述封固绝缘体71具有与多个上述柱状电极50、60、126的上述电极面51、61、127形成一个平坦面的绝缘主面72。

[0440] [A12]根据A1~A11任一项中所记载的半导体装置1A~1K,上述芯片2具有侧面5A~5D,上述封固绝缘体71具有与上述侧面5A~5D形成一个平坦面的绝缘侧壁73。

[0441] [A13]根据A1~A12任一项中所记载的半导体装置1A~1K,还包括绝缘膜38,该绝缘膜38局部地包覆上述主面电极30、32、124,多个上述柱状电极50、60、126从上述绝缘膜38空出间隔地配置在上述主面电极30、32、124之上。

[0442] [A14]根据A13所记载的半导体装置1A~1K,上述封固绝缘体71具有隔着上述绝缘膜38包覆上述主面电极30、32、124的部分。

[0443] [A15]根据A13或A14所记载的半导体装置1A~1K,上述绝缘膜38包含无机绝缘膜42以及有机绝缘膜43的任一方或者双方。

[0444] [A16]根据A1~A15任一项中所记载的半导体装置1A~1K,上述封固绝缘体71包含热固化性树脂。

[0445] [A17]根据A1~A16任一项中所记载的半导体装置1A~1K,上述芯片2具有包括基板7以及外延层6的层叠构造,包含由上述外延层6形成的上述主面3。

[0446] [A18]根据A17所记载的半导体装置1A~1K,上述外延层6比上述基板7厚。

[0447] [A19]根据A1~A16任一项中所记载的半导体装置1A~1K,上述芯片2具有由外延层6构成的单层构造。

[0448] [A20]根据A1~A19任一项中所记载的半导体装置1A~1K,上述芯片2包含宽带隙半导体的单晶。

[0449] [B1]一种半导体装置1A~1K的制造方法,包括以下工序:

[0450] 准备晶片构造80的工序,该晶片构造80包括具有主面82的晶片81、以及配置在上述主面82之上的主面电极30、32、124;在上述主面电极30、32、124之上空出间隔地形成多个柱状电极50、60、126的工序;形成封固绝缘体71的工序,该封固绝缘体71以使多个上述柱状电极50、60、126的一部分露出的方式,在上述主面电极30、32、124之上包覆多个上述柱状电极50、60、126之间的区域;以及形成至少一个端子膜74、75、135的工序,该至少一个端子膜74、75、135在上述封固绝缘体71之上包覆多个上述柱状电极50、60、126。

[0451] [B2]根据B1所记载的半导体装置1A~1K的制造方法,还包括在上述封固绝缘体71的形成工序后,将上述晶片81薄化的工序。

[0452] [B3]根据B2所记载的半导体装置1A~1K的制造方法,上述晶片81的薄化工序包括将上述晶片81薄化直至小于多个上述柱状电极50、60、126的厚度的工序。

[0453] [B4]根据B1~B3任一项中所记载的半导体装置1A~1K的制造方法,上述柱状电极50、60、126的形成工序包括在剖视时将多个上述柱状电极50、60、126形成为纵长柱状的工序。

[0454] [B5]根据B1~B4任一项中所记载的半导体装置1A~1K的制造方法,上述端子膜74、75、135的形成工序包括形成比多个上述柱状电极50、60、126薄的上述端子膜74、75、135的工序。

[0455] [B6]根据B1~B5任一项中所记载的半导体装置1A~1K的制造方法,上述端子膜74、75、135的形成工序包括形成具有多个上述柱状电极50、60、126的厚度的1/4以下的厚度的上述端子膜74、75、135的工序。

[0456] [B7]根据B1~B6任一项中所记载的半导体装置1A~1K的制造方法,上述柱状电极50、60、126的形成工序包括形成比上述主面电极30、32、124厚的多个上述柱状电极50、60、126的工序,上述封固绝缘体71的形成工序包括形成比上述主面电极30、32、124厚的上述封固绝缘体71的工序。

[0457] [B8]根据B1~B7任一项中所记载的半导体装置1A~1K的制造方法,上述柱状电极50、60、126的形成工序包括:形成包覆上述主面电极30、32、124的导体膜89的工序;在上述导体膜89之上形成掩模90的工序,该掩模90具有使上述导体膜89中包覆上述主面电极30、32、124的部分露出的多个开口92;以及使导电体95堆积在上述导体膜89中从多个上述开口92露出的部分之上的工序。

[0458] [B9]根据B8所记载的半导体装置1A~1K的制造方法,还包括在上述导电体95的堆积工序之后,除去上述掩模90的工序,上述封固绝缘体71的形成工序在上述掩模90的除去工序后实施。

[0459] [B10]根据B1~B9任一项中所记载的半导体装置1A~1K的制造方法,上述端子膜74、75、135的形成工序包括形成上述端子膜74、75、135的工序,上述端子膜74、75、135包含Ag系金属膜、Al系金属膜、Cu系金属膜、Ni系金属膜、Pd系金属膜以及Au系金属膜中的至少一个。

[0460] [B11]根据B1~B10任一项中所记载的半导体装置1A~1K的制造方法,上述封固绝缘体71的形成工序包括:形成包覆多个上述柱状电极50、60、126的全域的上述封固绝缘体71的工序;以及包括局部地除去上述封固绝缘体71直至多个上述柱状电极50、60、126露出的工序。

[0461] [B12]根据B11所记载的半导体装置1A~1K的制造方法,上述封固绝缘体71的除去工序包括通过研磨法局部地除去上述封固绝缘体71的工序。

[0462] [B13]根据B1~B12任一项中所记载的半导体装置1A~1K的制造方法,还包括以下工序:准备上述晶片构造80的工序,上述晶片构造80包括具有设定有设备区域86以及划分上述设备区域86的切断预定线87的上述主面82的上述晶片81、以及在上述设备区域86中配置在上述主面82之上的上述主面电极30、32、124;以及在上述封固绝缘体71的形成工序后,沿上述切断预定线87切断上述晶片81以及上述封固绝缘体71的工序。

[0463] [B14]根据B13所记载的半导体装置1A~1K的制造方法,上述柱状电极50、60、126的形成工序包括:形成多个上述柱状电极50、60、126的工序,多个上述柱状电极50、60、126具有相对于上述设备区域86的平面面积为30%以下的占有率的总平面面积,上述端子膜74、75、135的形成工序包括形成上述端子膜74、75、135的工序,上述端子膜74、75、135具有相对于上述设备区域86的平面面积为50%以上的占有率的总平面面积。

[0464] [B15]根据B1~B14任一项中所记载的半导体装置1A~1K的制造方法,还包括形成绝缘膜38的工序,该绝缘膜38在上述柱状电极50、60、126的形成工序前局部地包覆上述主面电极30、32、124,上述柱状电极50、60、126的形成工序包括从上述绝缘膜38空出间隔地在上述主面电极30、32、124之上形成多个上述柱状电极50、60、126的工序。

[0465] [B16]根据B15所记载的半导体装置1A~1K的制造方法,上述封固绝缘体71的形成工序包括形成上述封固绝缘体71的工序,上述封固绝缘体71具有隔着上述绝缘膜38包覆上述主面电极30、32、124的部分。

[0466] [B17]根据B15或B16所记载的半导体装置1A~1K的制造方法,上述绝缘膜38的形成工序包括形成上述绝缘膜38的工序,上述绝缘膜38包含无机绝缘膜42以及有机绝缘膜43的任一方或者双方。

[0467] [B18]根据B1~B17任一项中所记载的半导体装置1A~1K的制造方法,上述封固绝缘体71的形成工序包括形成上述封固绝缘体71的工序,上述封固绝缘体71包含热固化性树脂。

[0468] [B19]根据B1~B18任一项中所记载的半导体装置1A~1K的制造方法,上述晶片81具有包括基板7以及外延层6的层叠构造,具有由上述外延层6形成的上述主面82。

[0469] [B20]根据B1~B19任一项中所记载的半导体装置1A~1K的制造方法,上述晶片81包括包含宽带隙半导体的单晶的上述晶片81。

[0470] 以上,对实施方式进行了详细说明,但这些只不过是明确技术内容而使用的具体例,本发明不应被限定为这些具体例来解释,本发明的范围由附带的技术方案的范围来限定。

[0471] 符号说明

[0472] 1A—半导体装置,1B—半导体装置,1C—半导体装置,1D—半导体装置,1E—半导体装置,1F—半导体装置,1G—半导体装置,1H—半导体装置,1I—半导体装置,1J—半导体装置,1K—半导体装置,2—芯片,3—第一主面,5A—第一侧面,5B—第二侧面,5C—第三侧面,5D—第四侧面,6—第一半导体区域(外延层),7—第二半导体区域(基板),30—栅极电极(主面电极),32—源极电极(主面电极),38—上绝缘膜,42—无机绝缘膜,43—有机绝缘膜,50—栅极柱状电极,51—栅极电极面,52—栅极电极侧壁,60—源极柱状电极,61—源极电极面,62—源极电极侧壁,71—封固绝缘体,72—绝缘主面,73—绝缘侧壁,74—栅极端子膜,75—源极端子膜,80—晶片构造,81—晶片,82—第一晶片主面,86—设备区域,87—切断预定线,89—第二基体导体膜,90—抗蚀剂掩模,92—第二开口,95—第三基体导体膜(导电体),124—第一极性电极(主面电极),126—柱状电极,127—电极面,128—电极侧壁,135—端子膜。



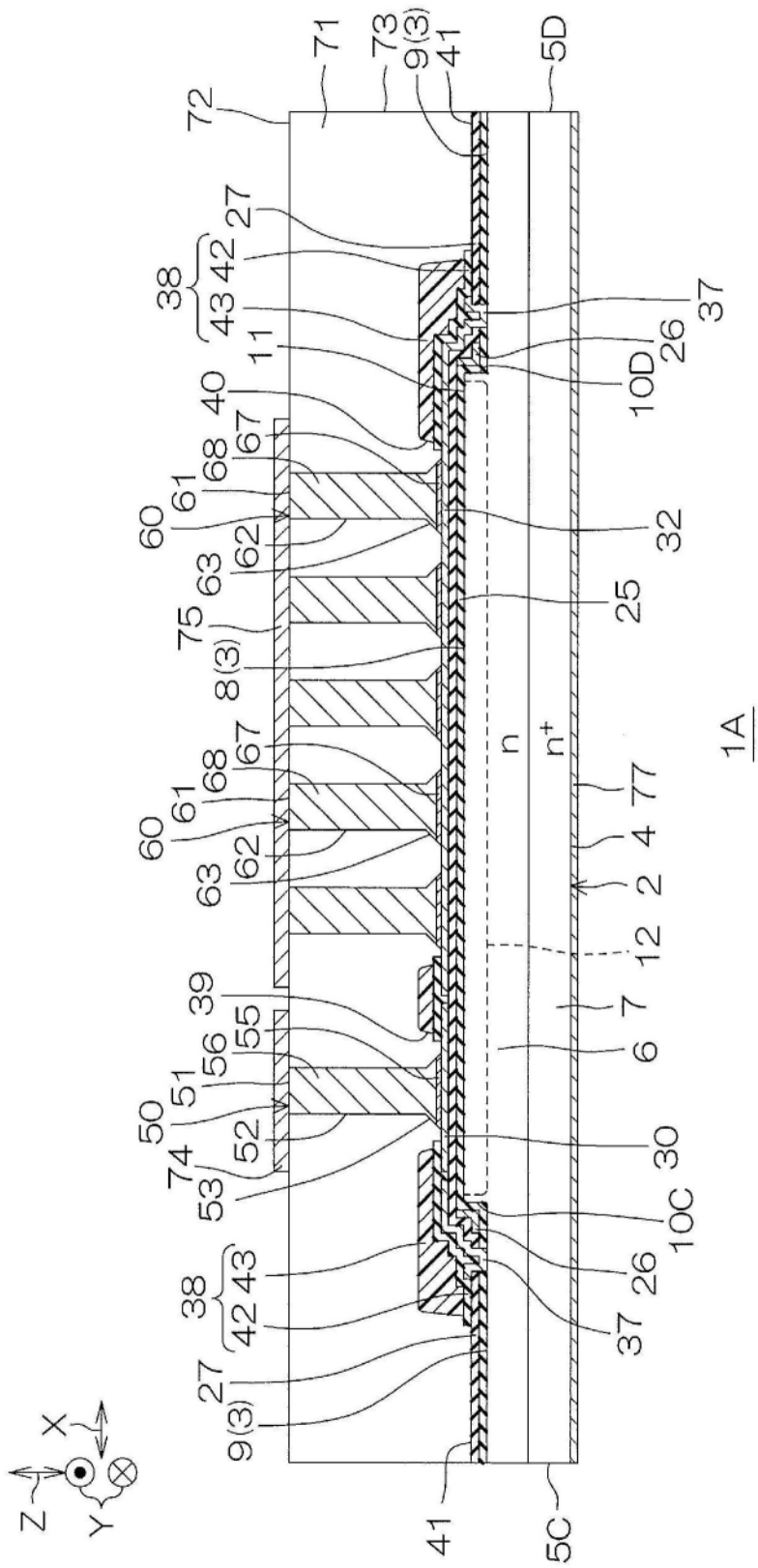


图2

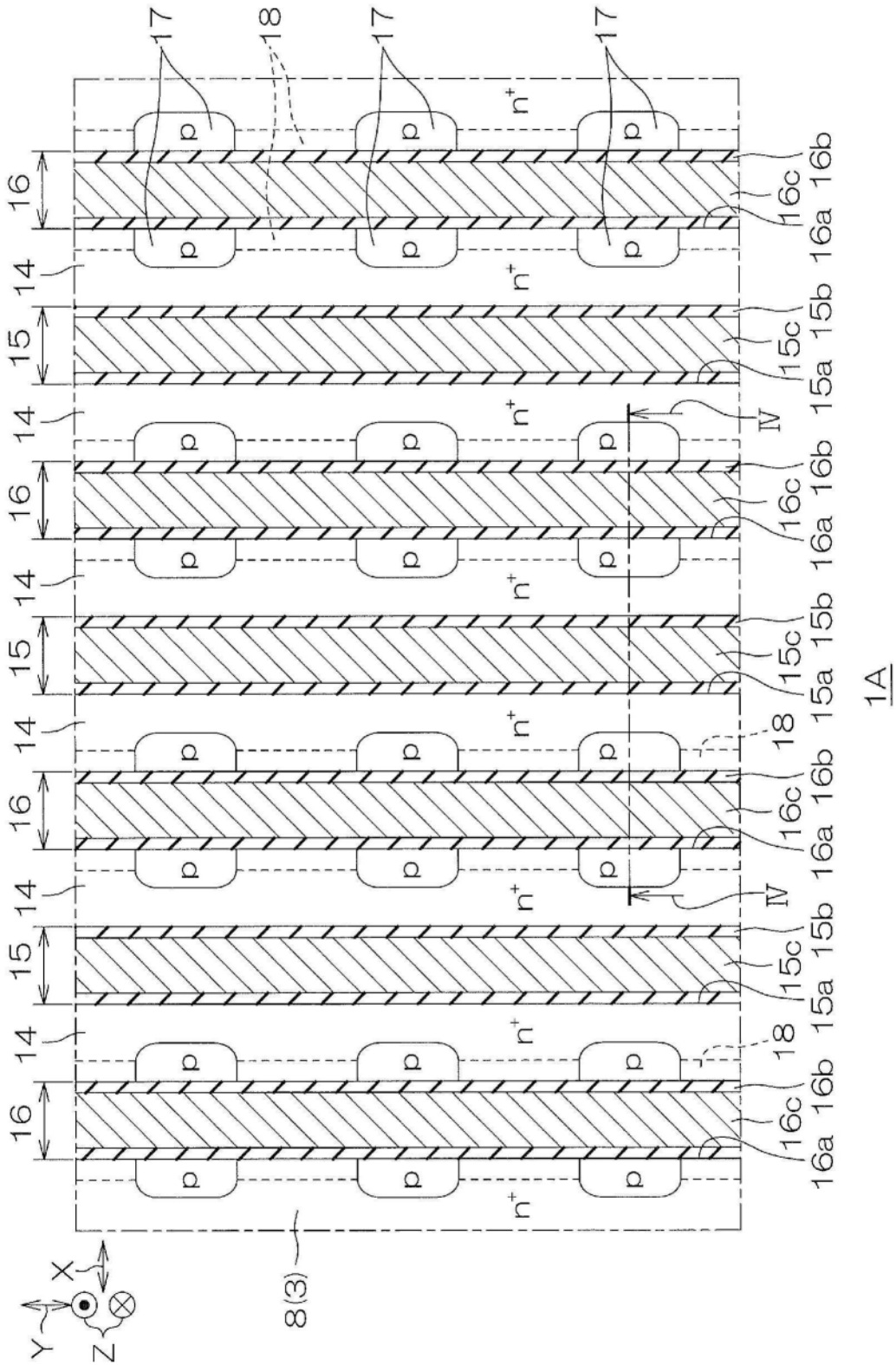


图3

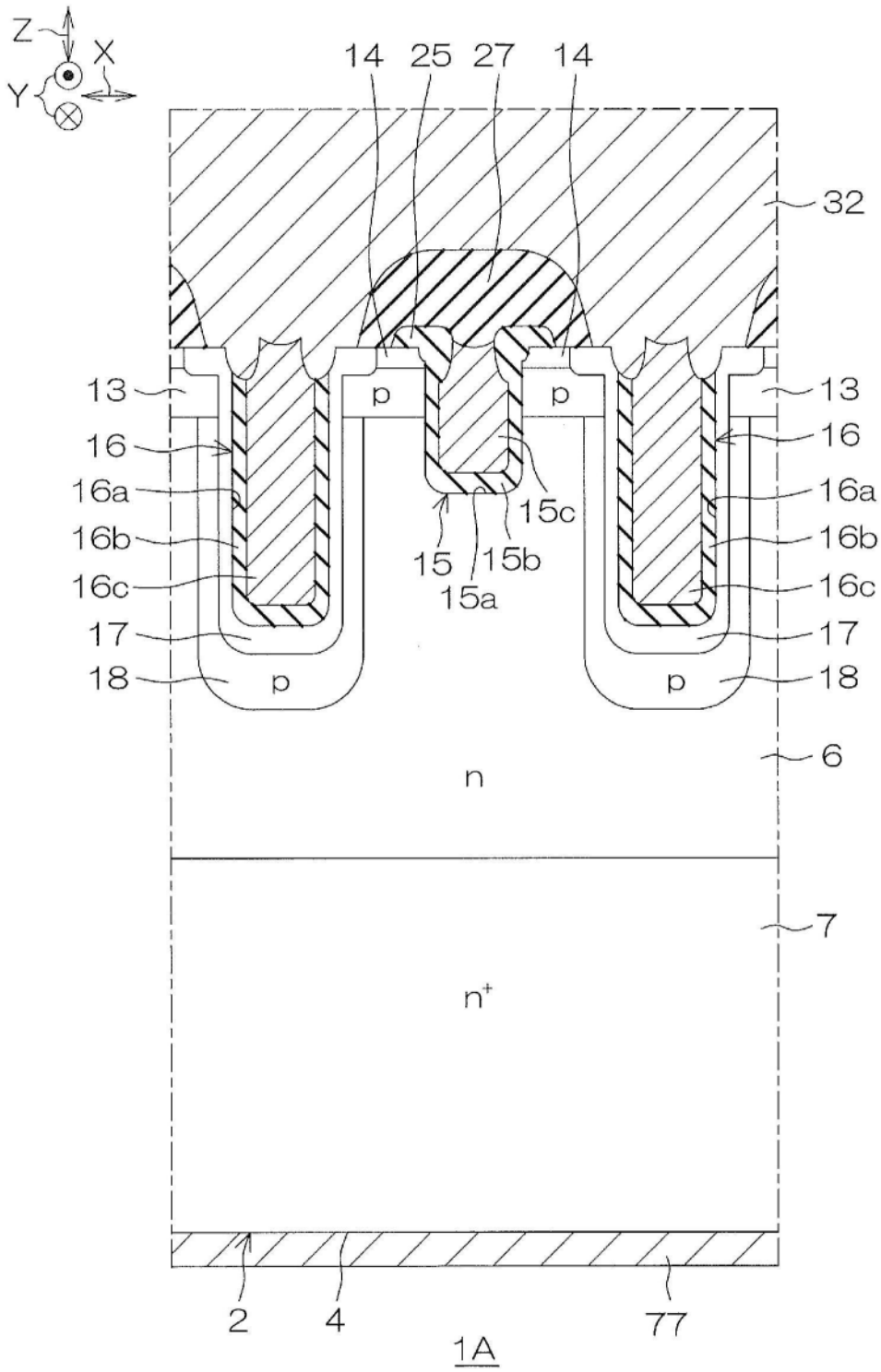


图4



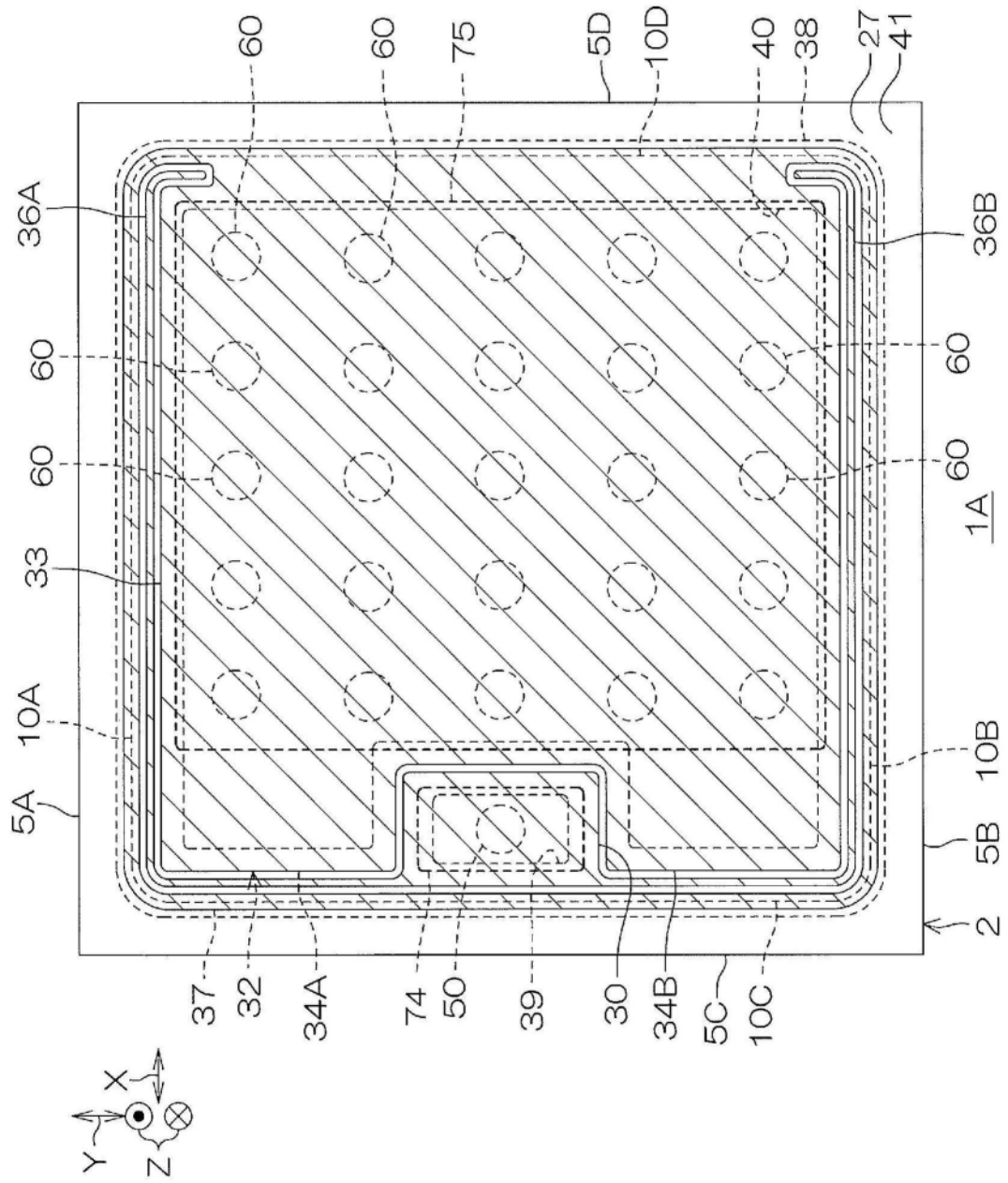


图6



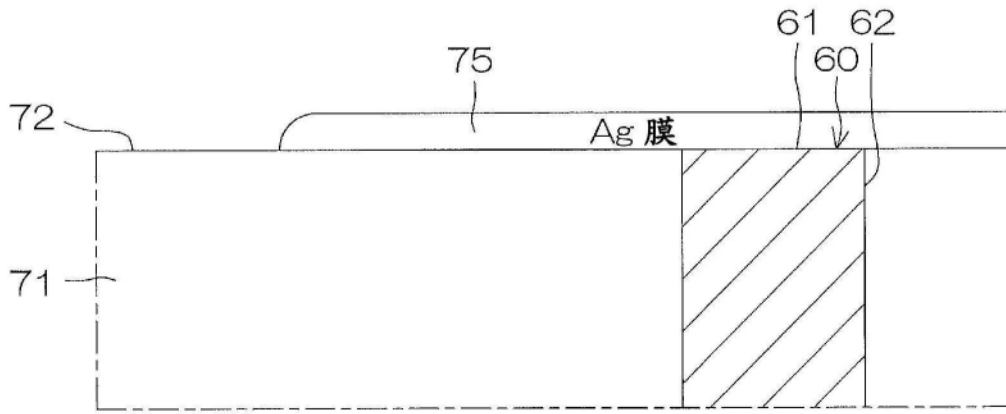


图8A

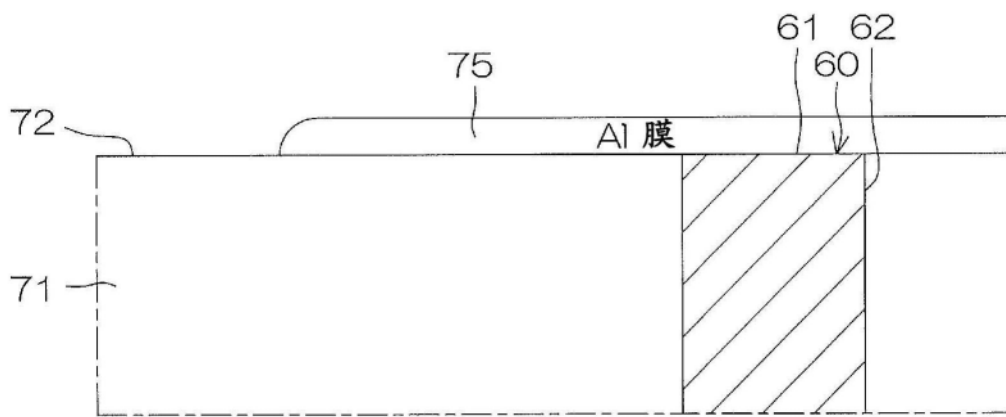


图8B

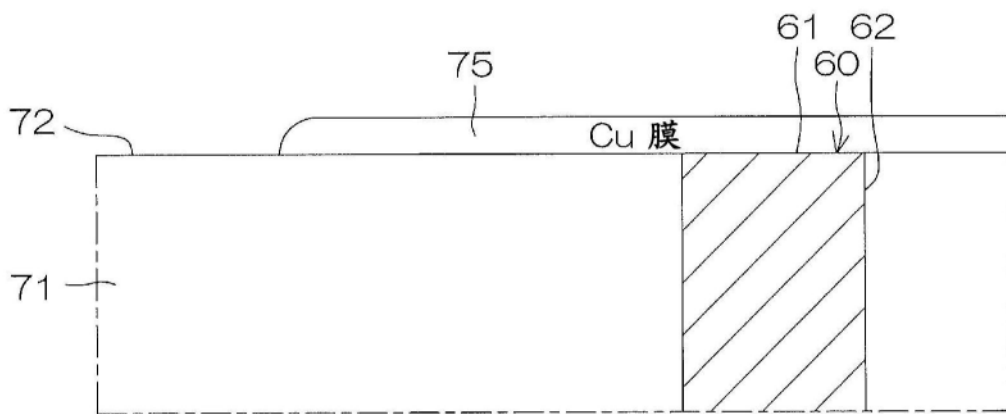


图8C

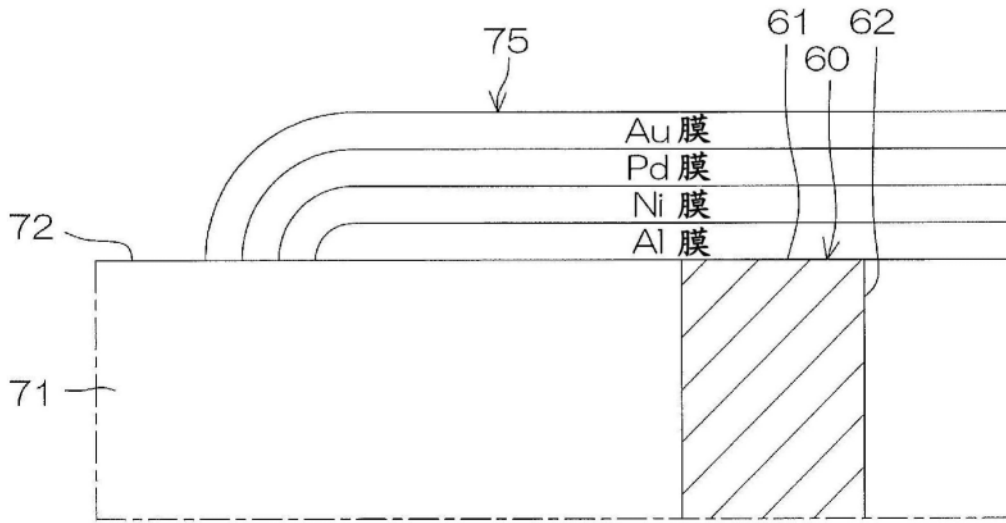


图8D

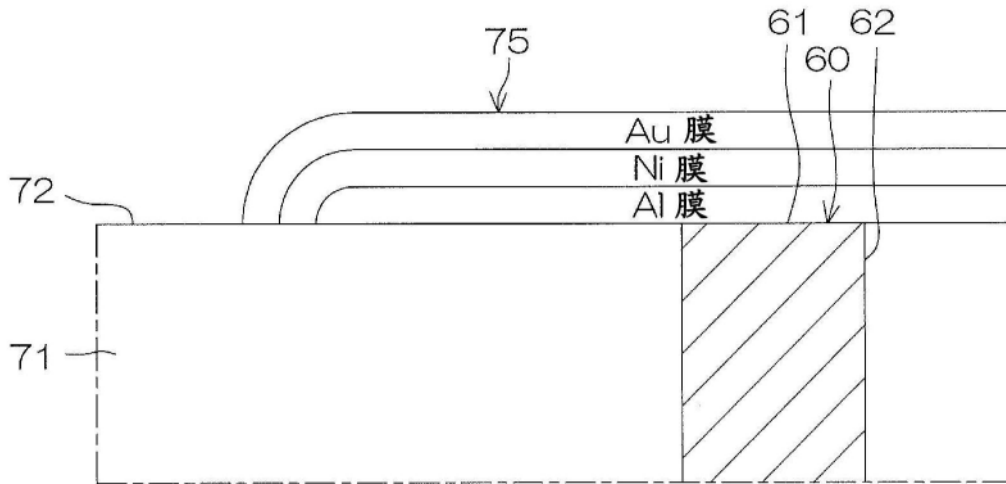


图8E

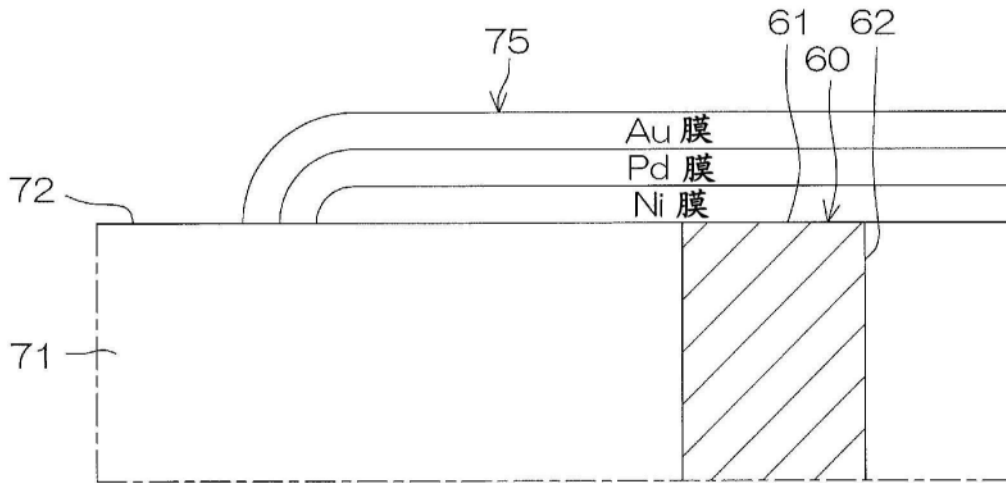


图8F

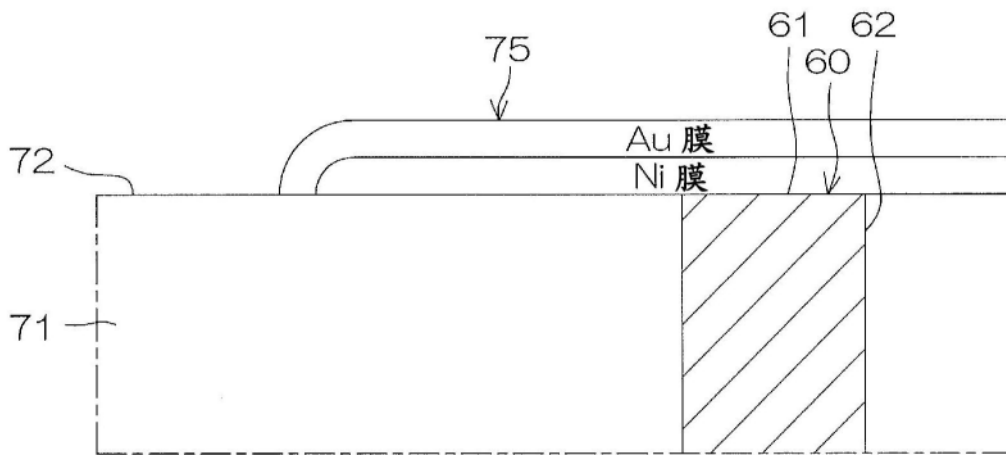


图8G

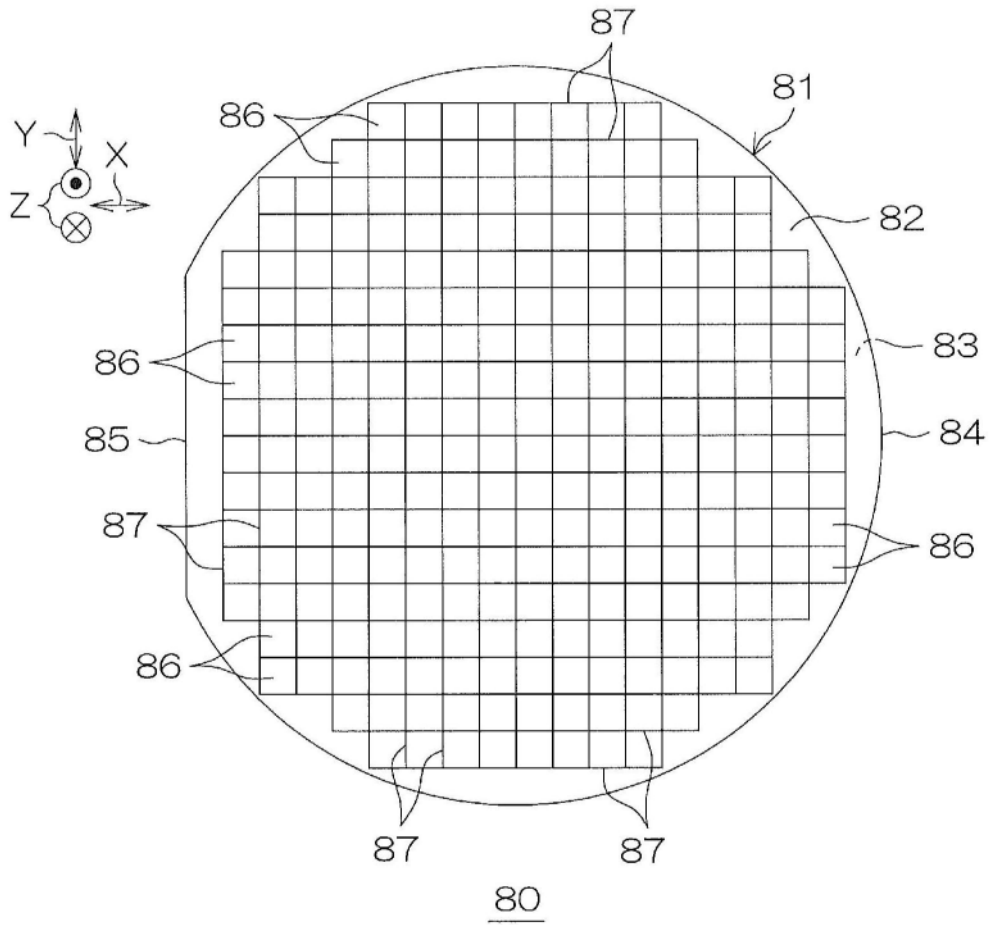


图9

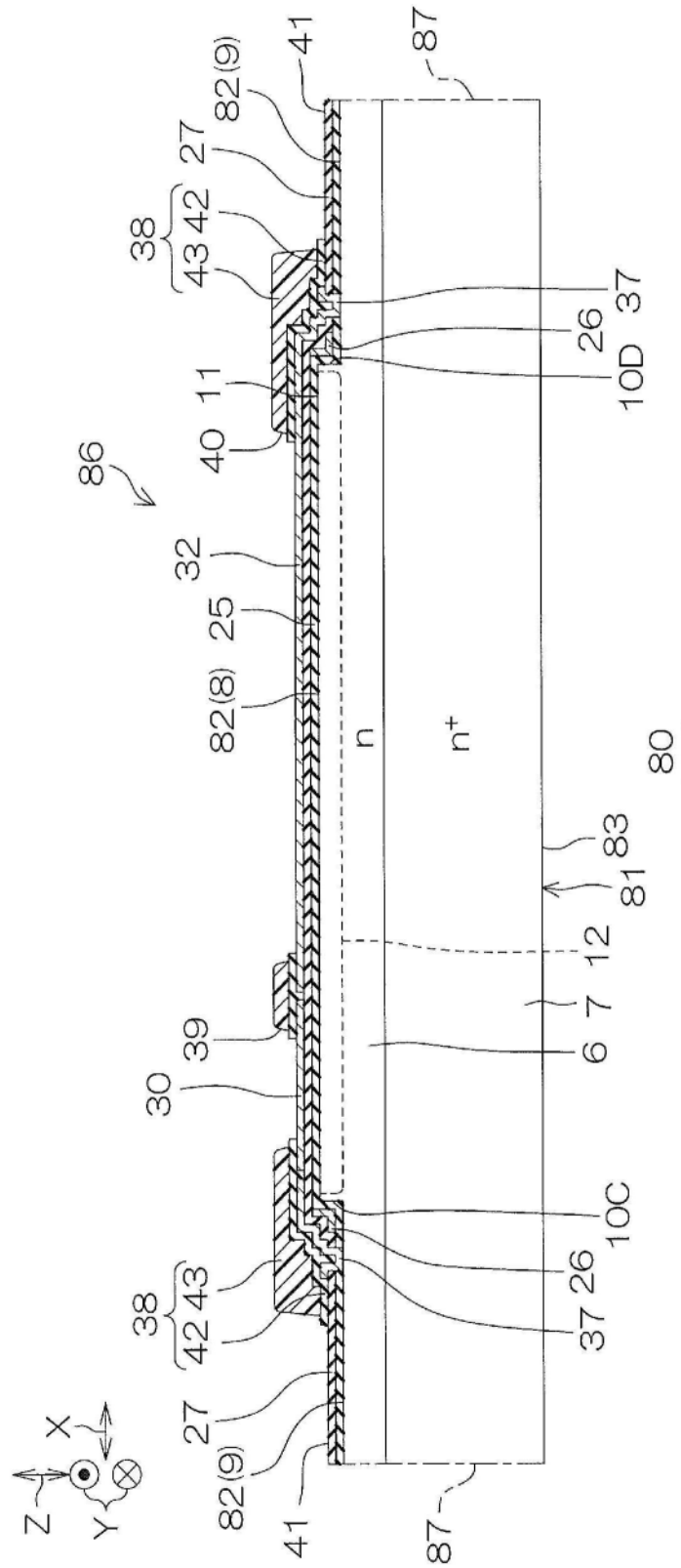


图10

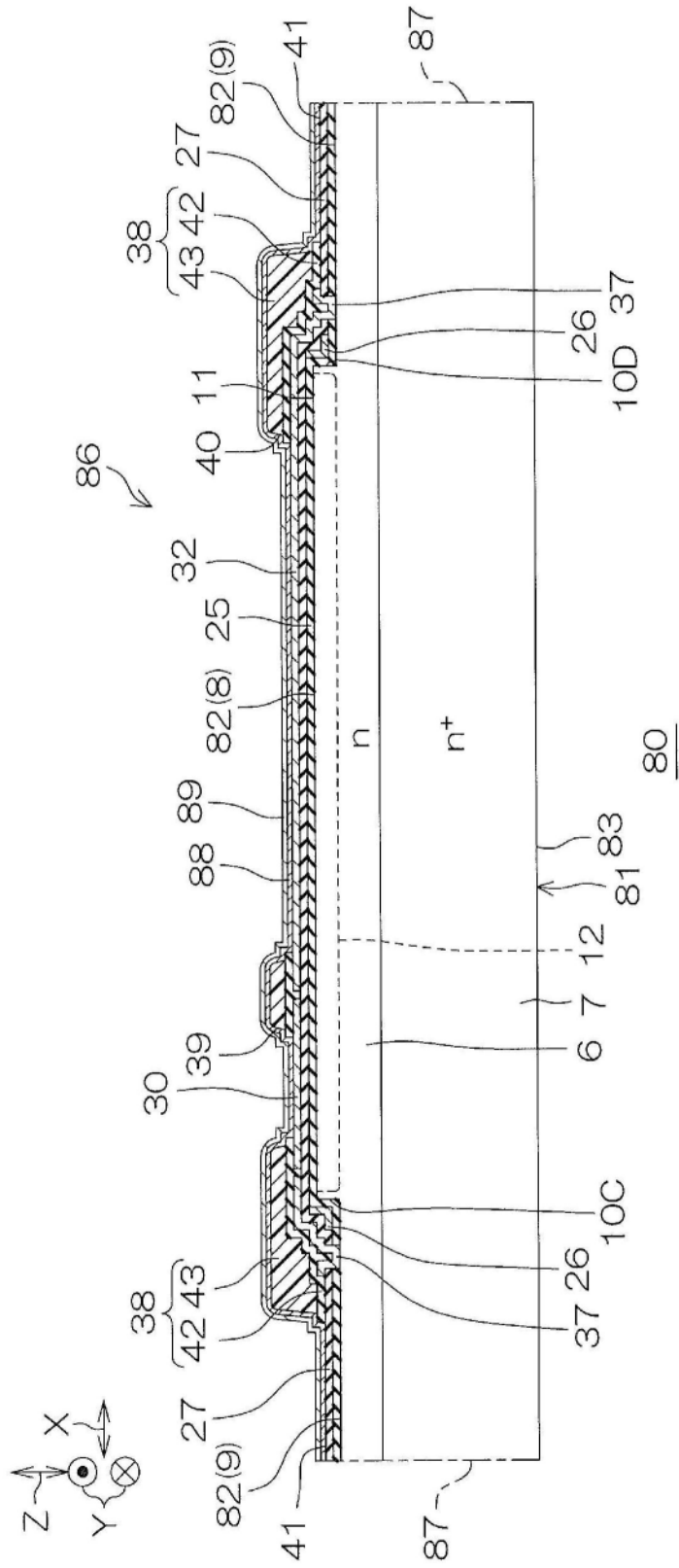


图11A

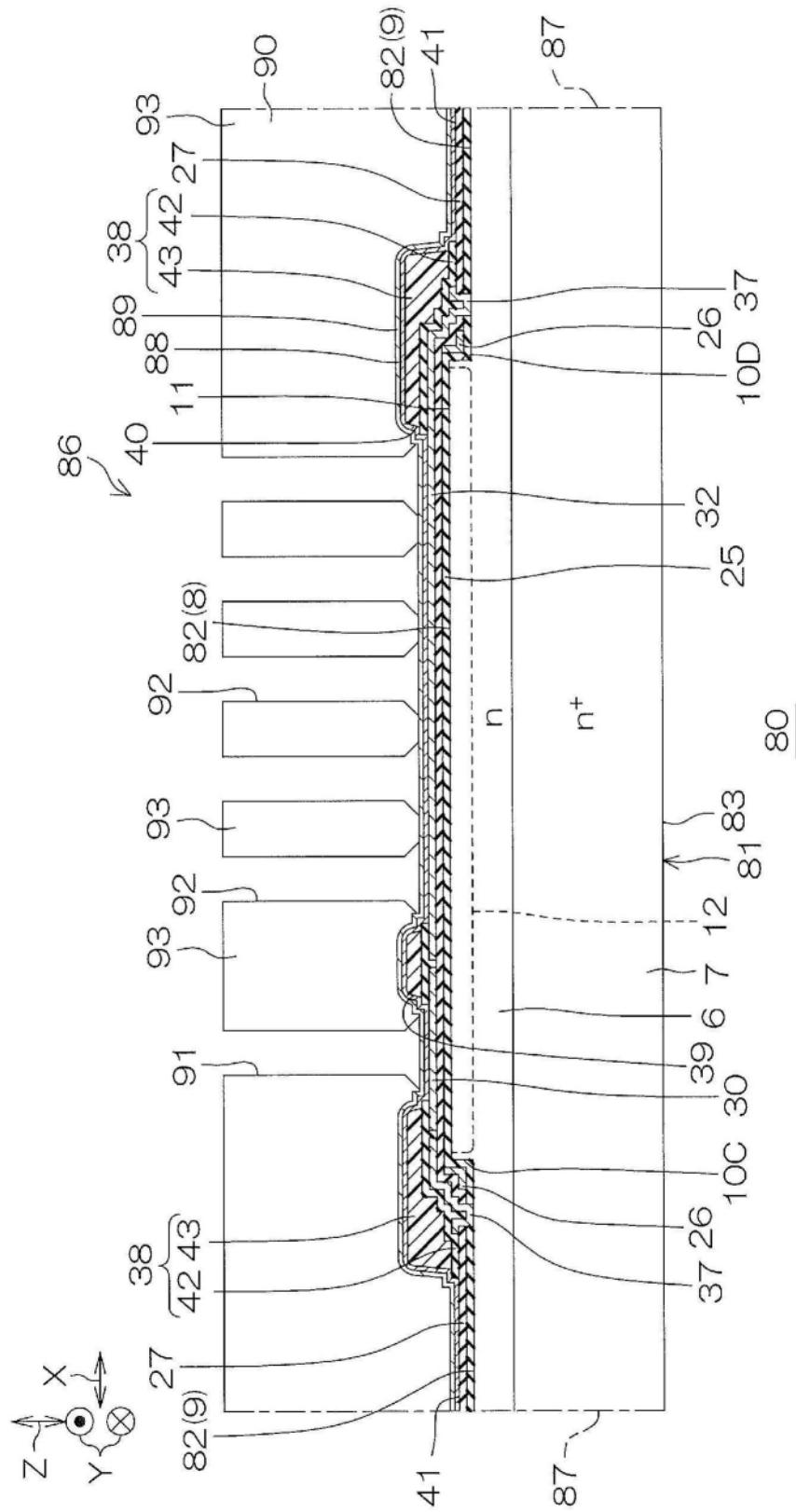


图11B



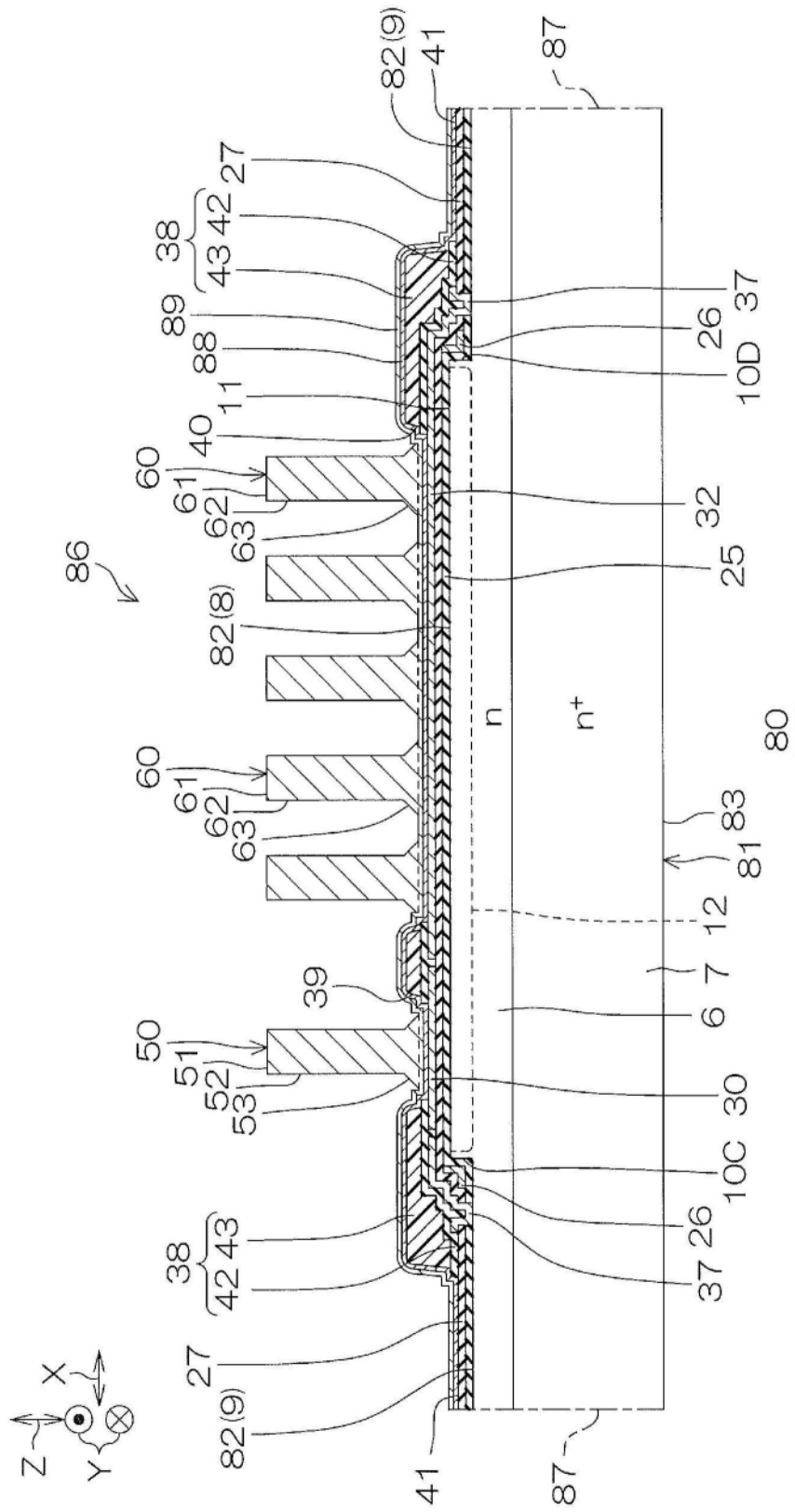


图11D

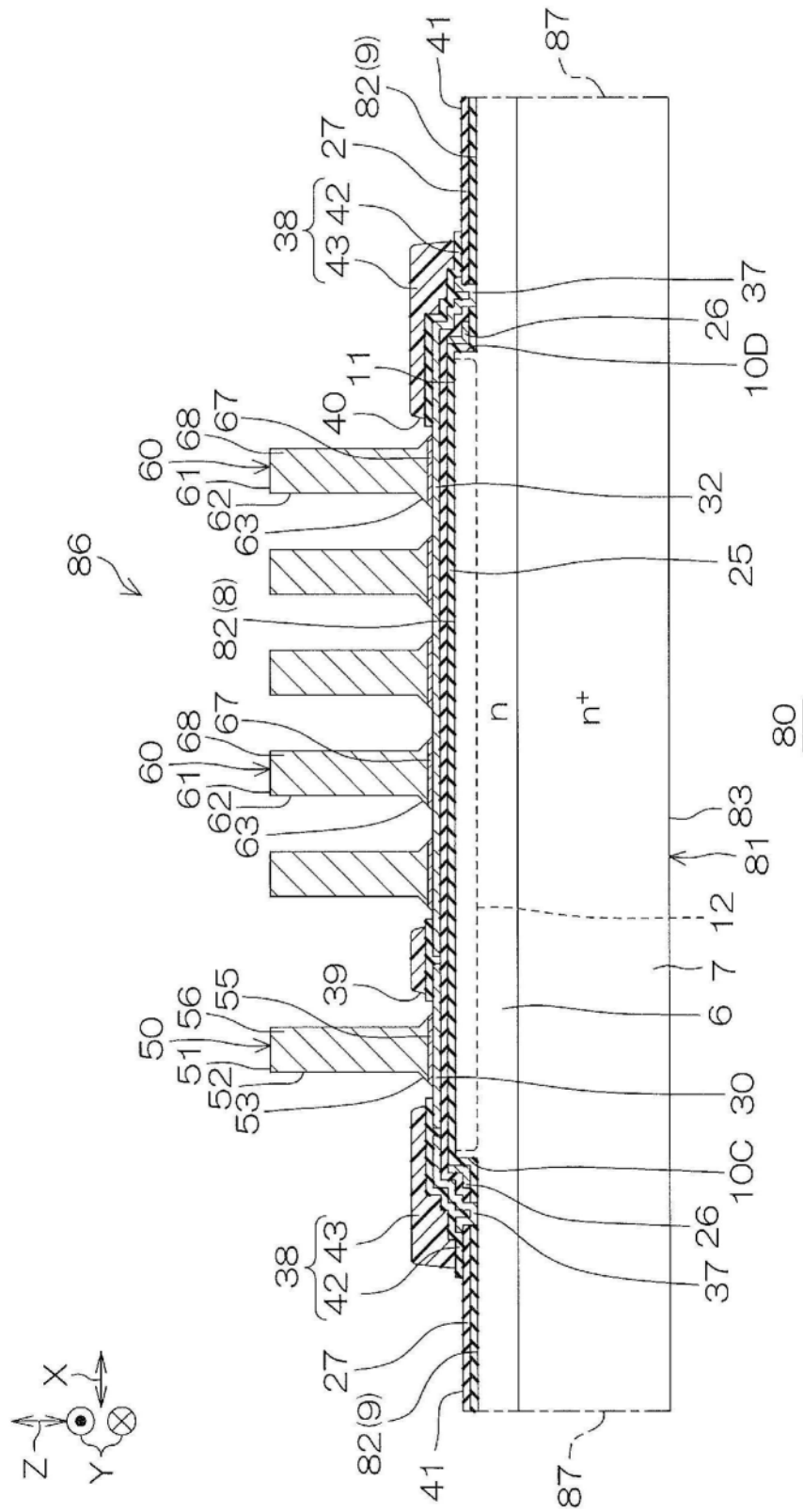


图11E

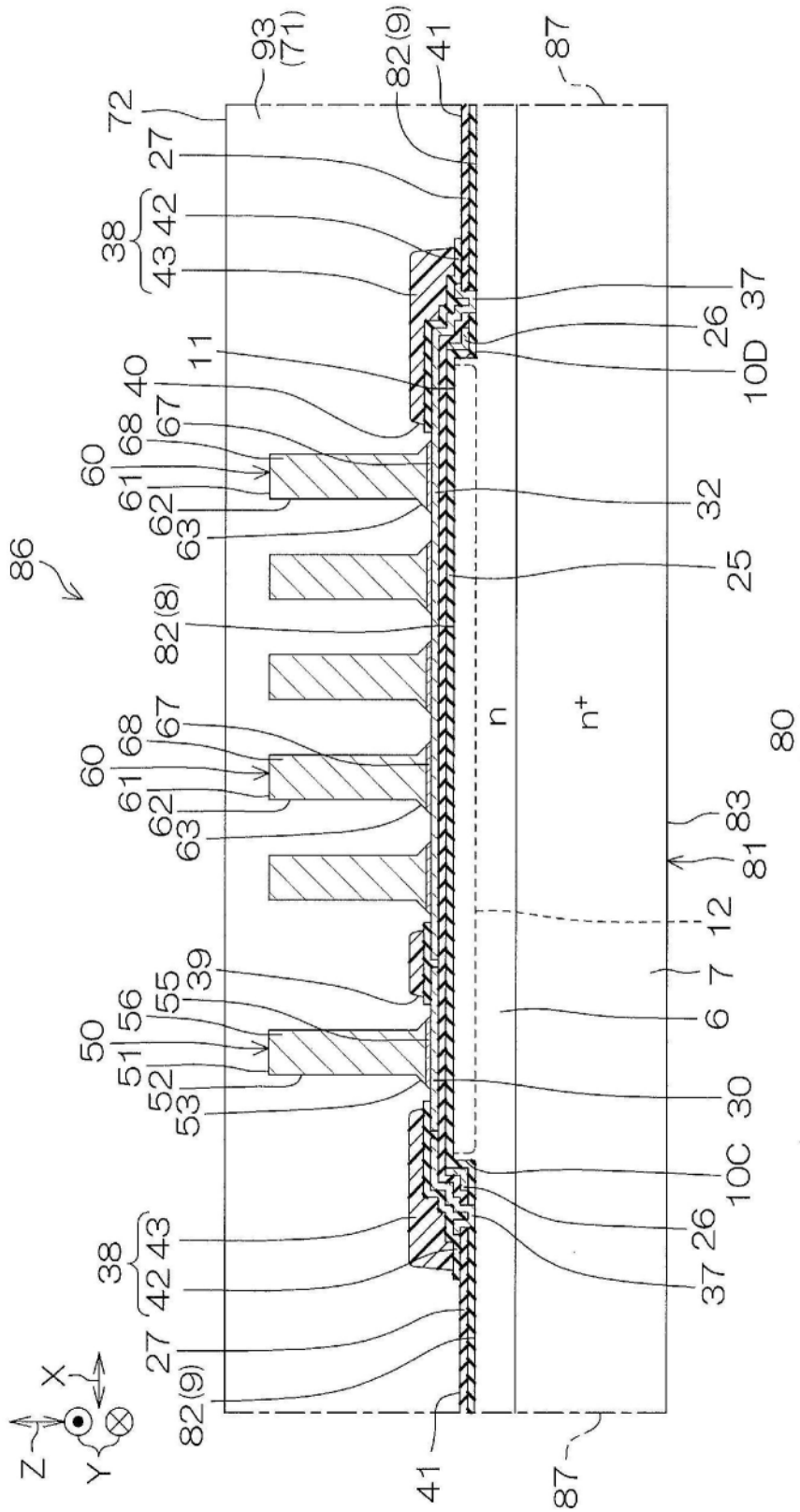


图11F

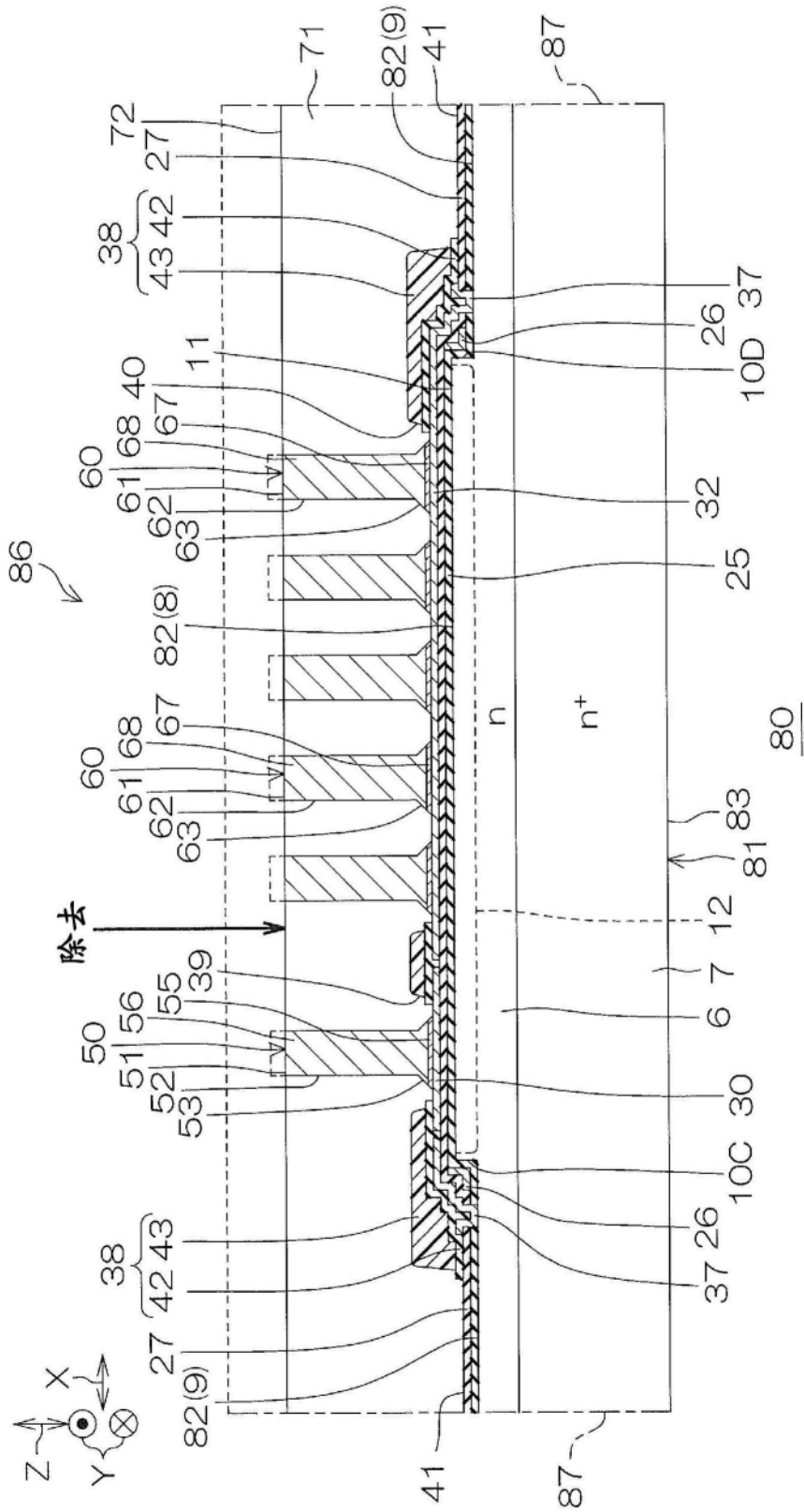


图11G

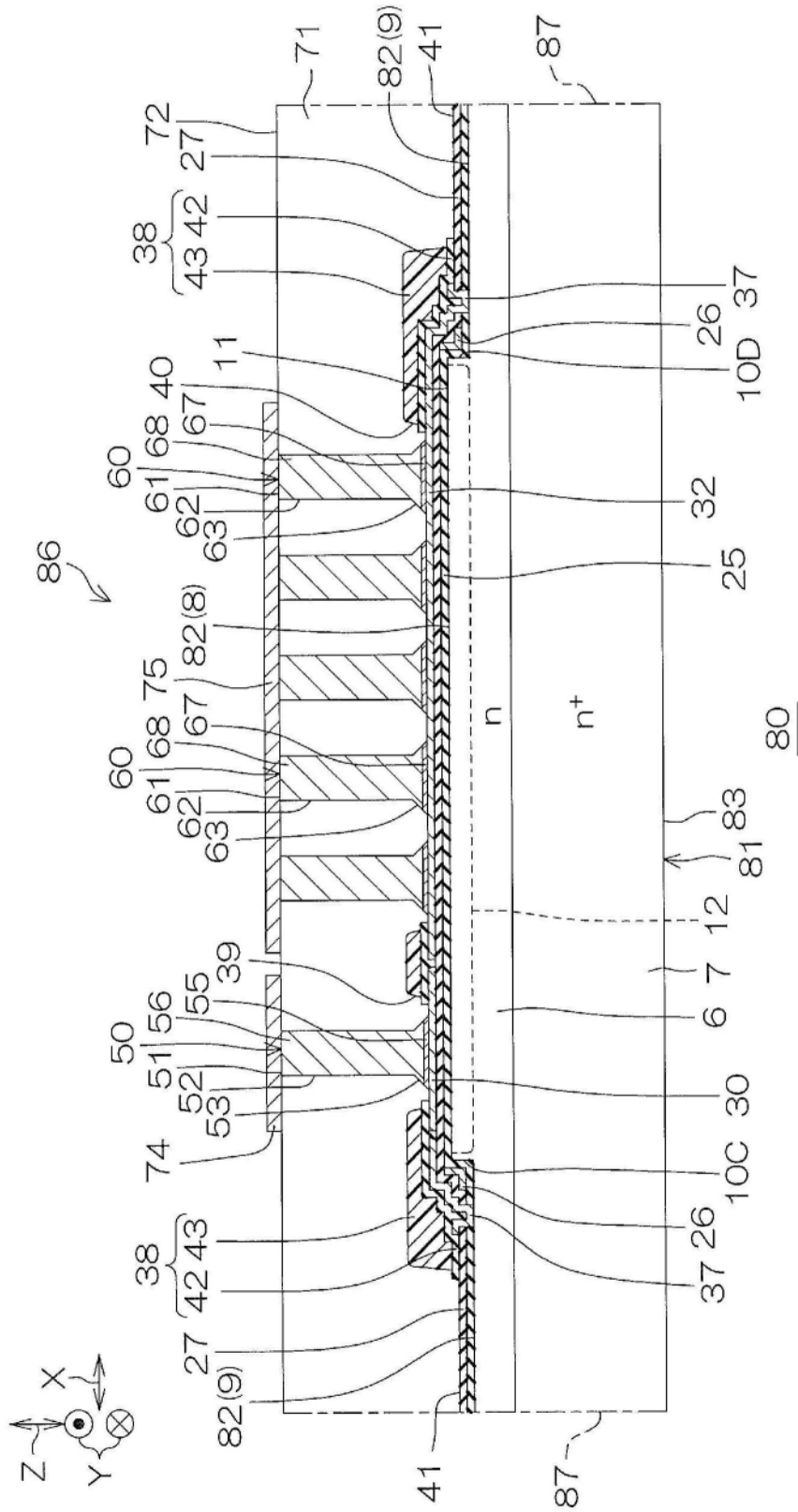


图11H

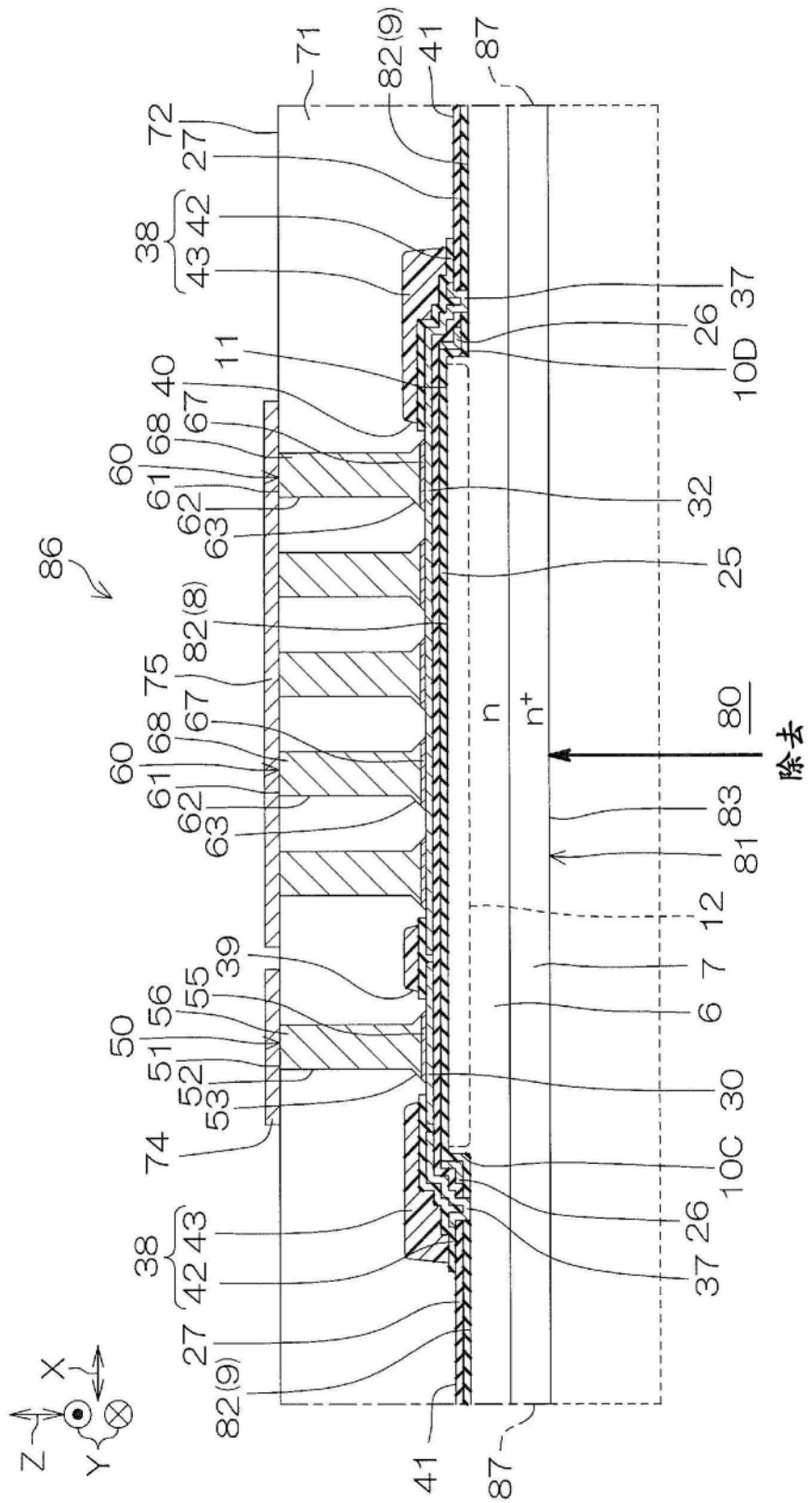


图11I



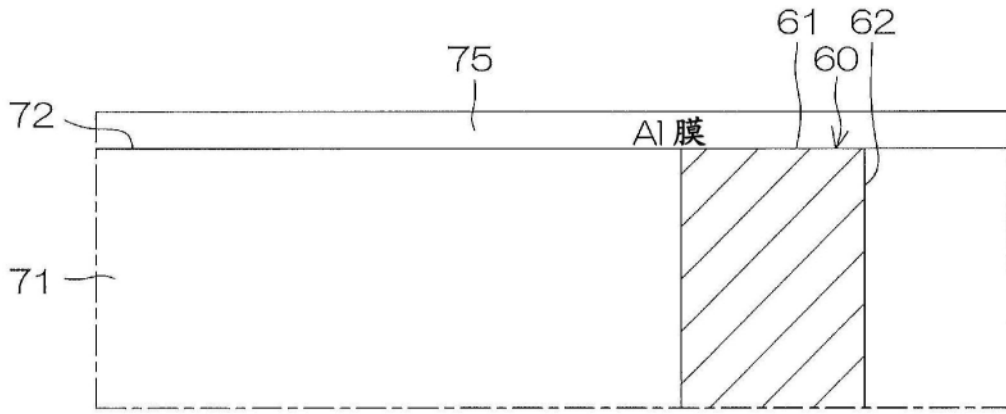


图12A

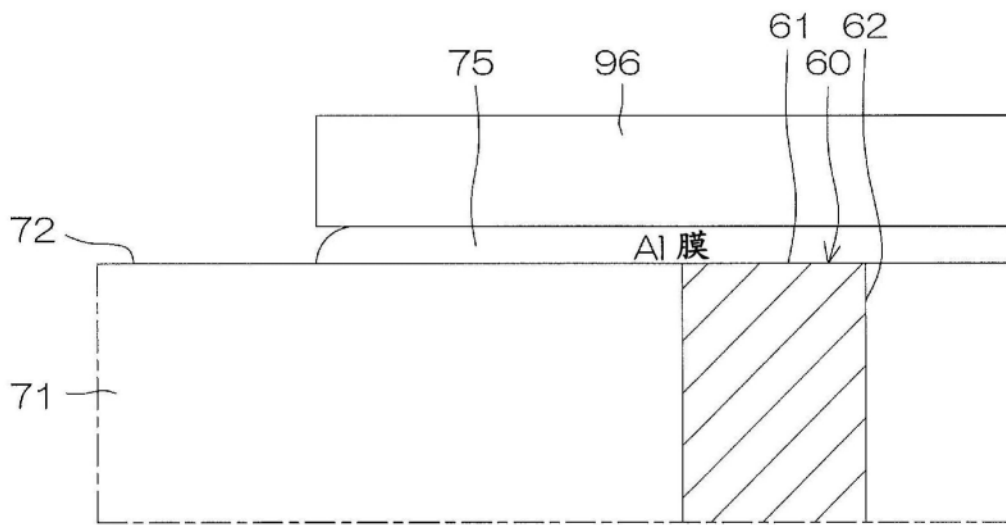


图12B

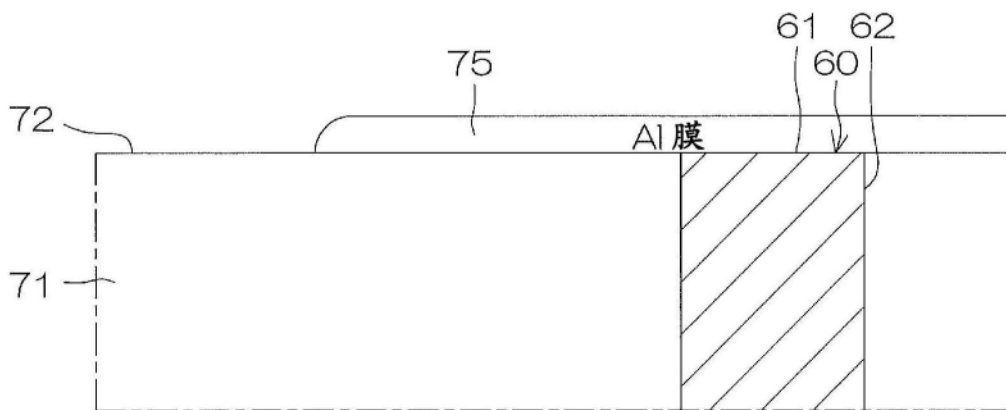


图12C

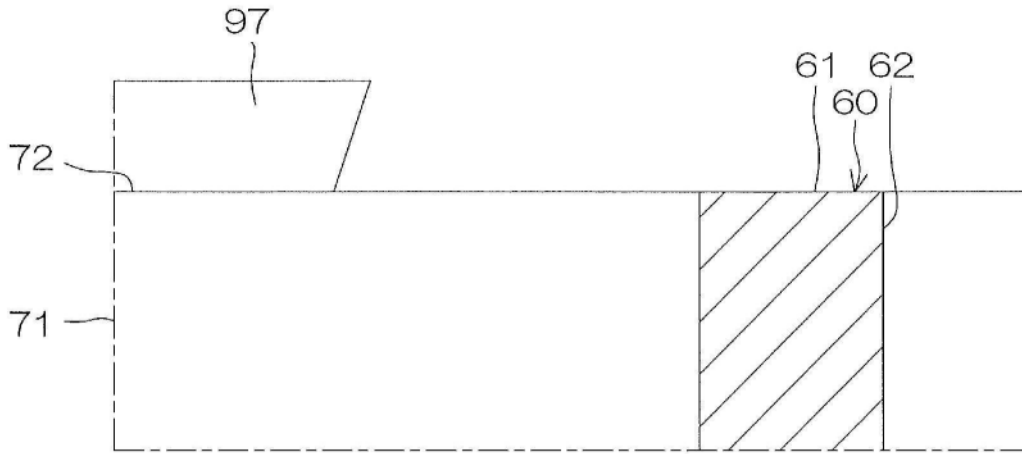


图13A

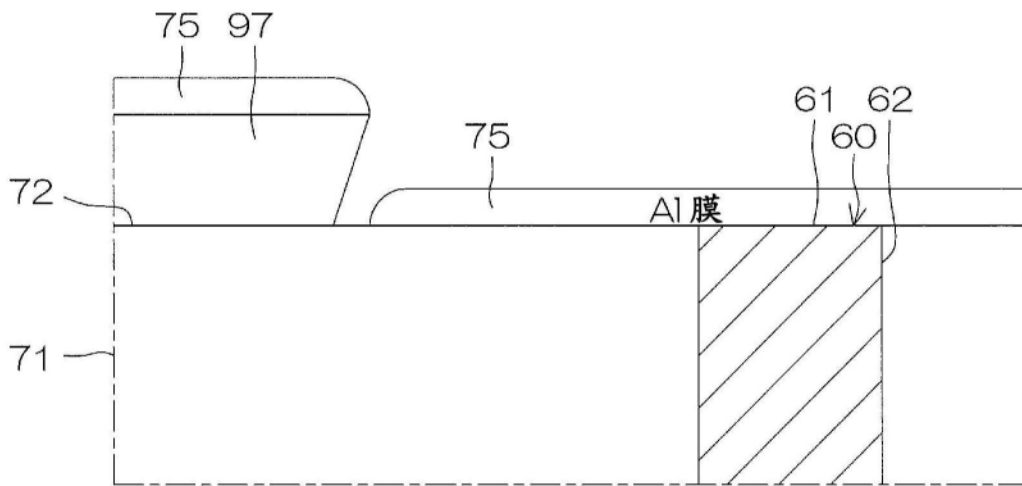


图13B

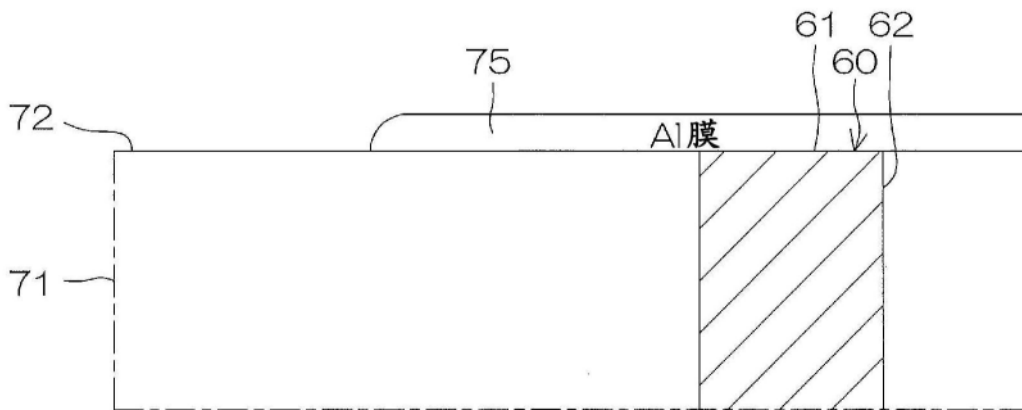


图13C

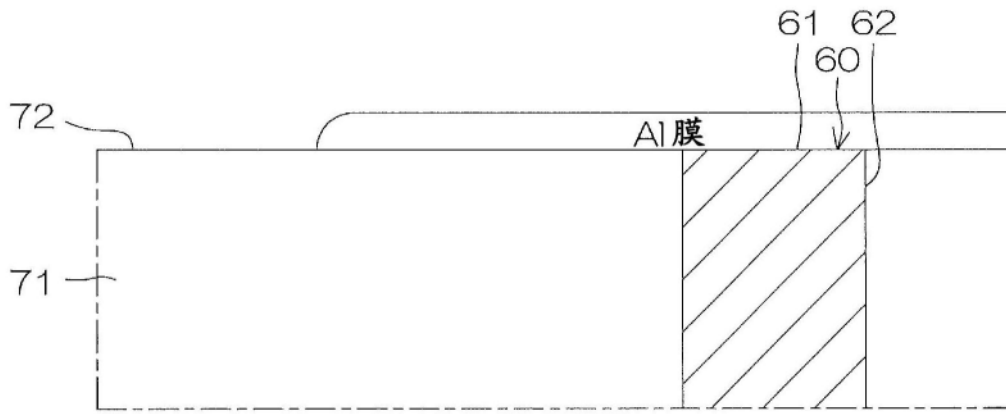


图14A

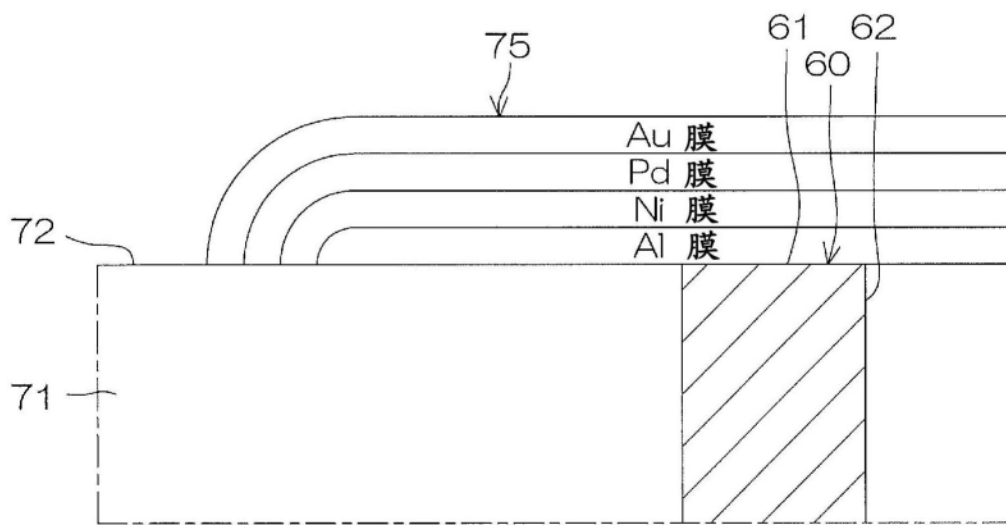


图14B

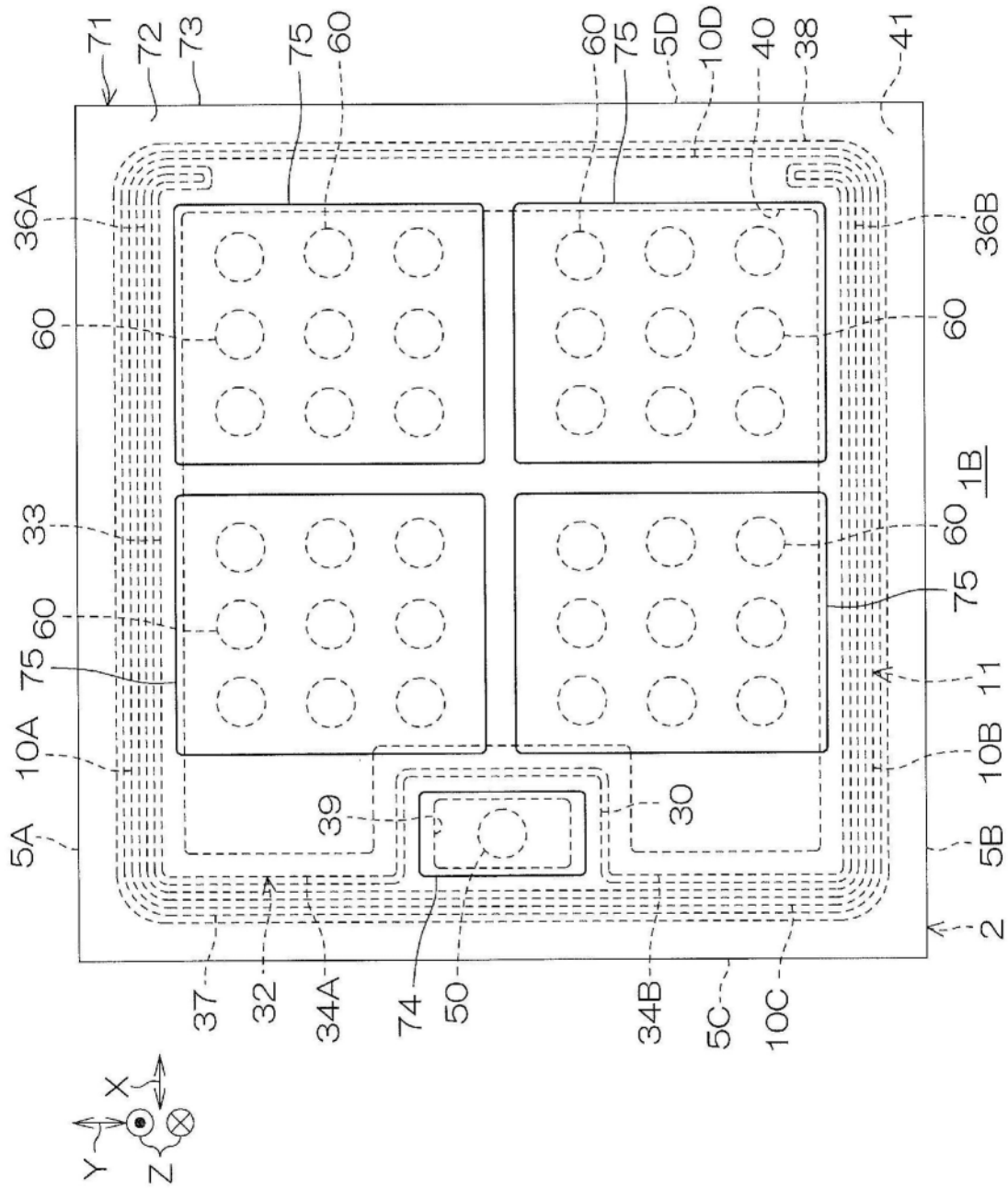


图15

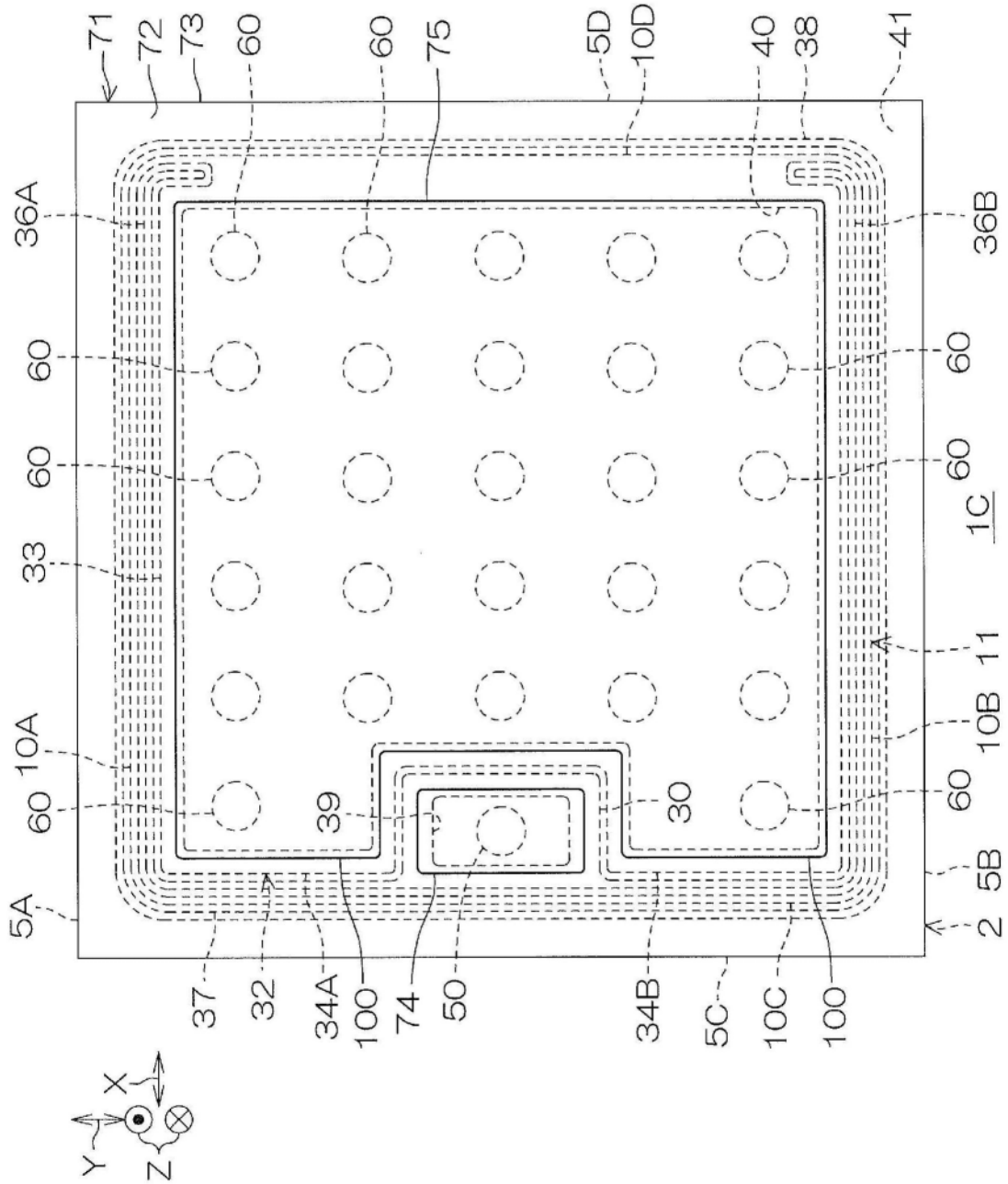


图16

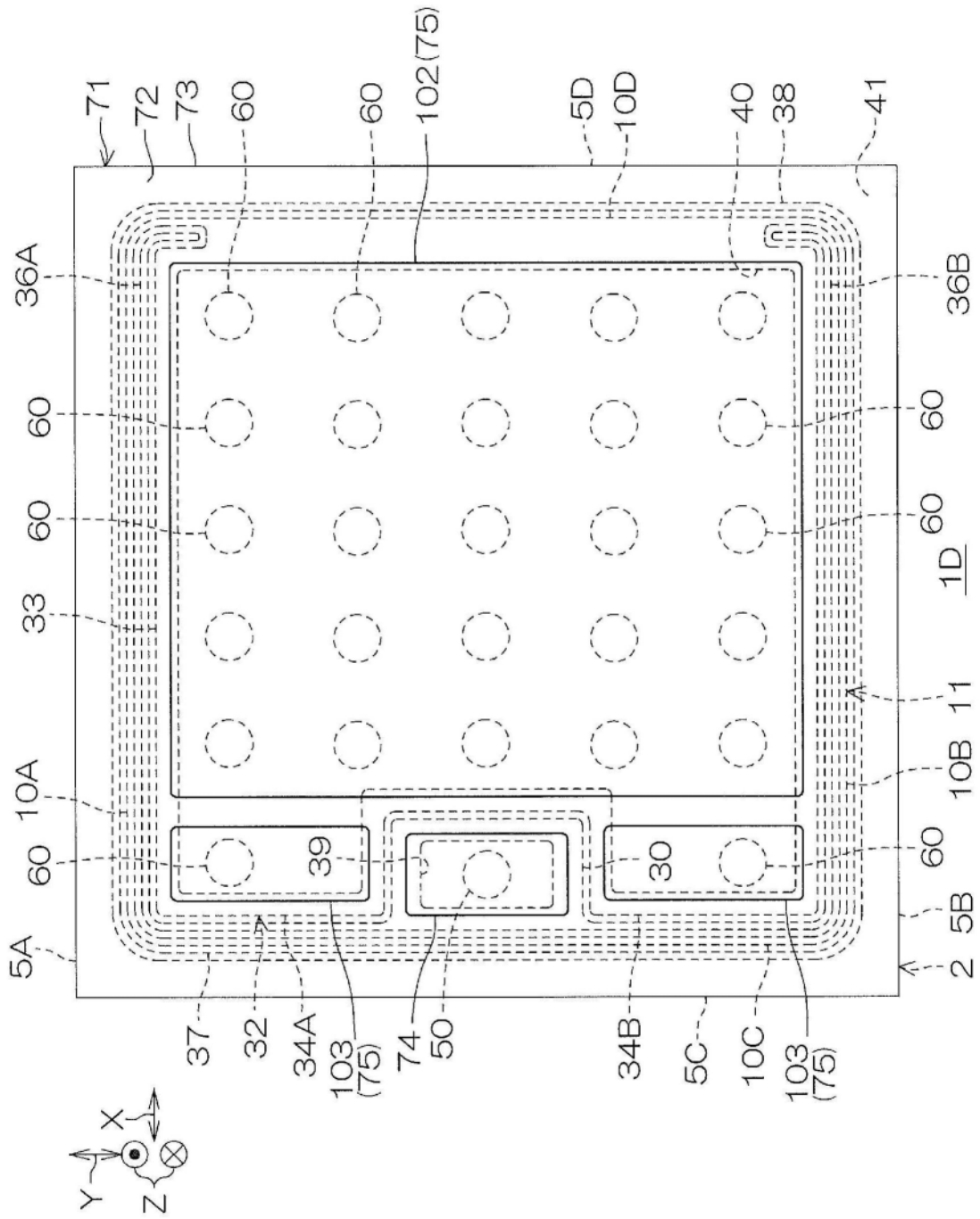


图17

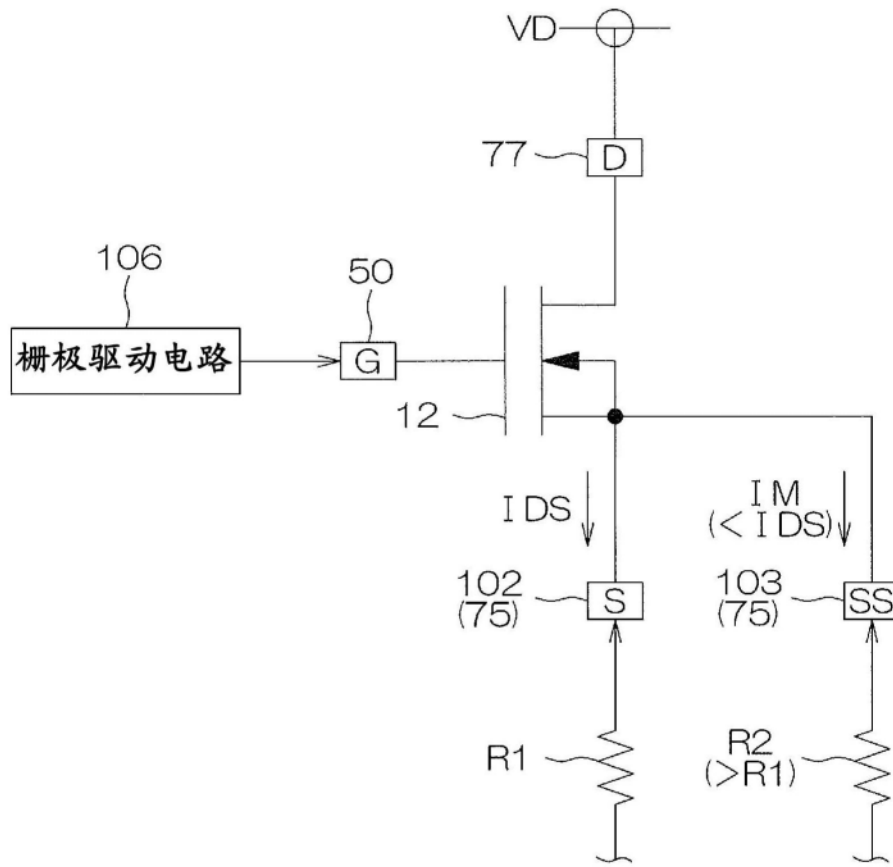


图18

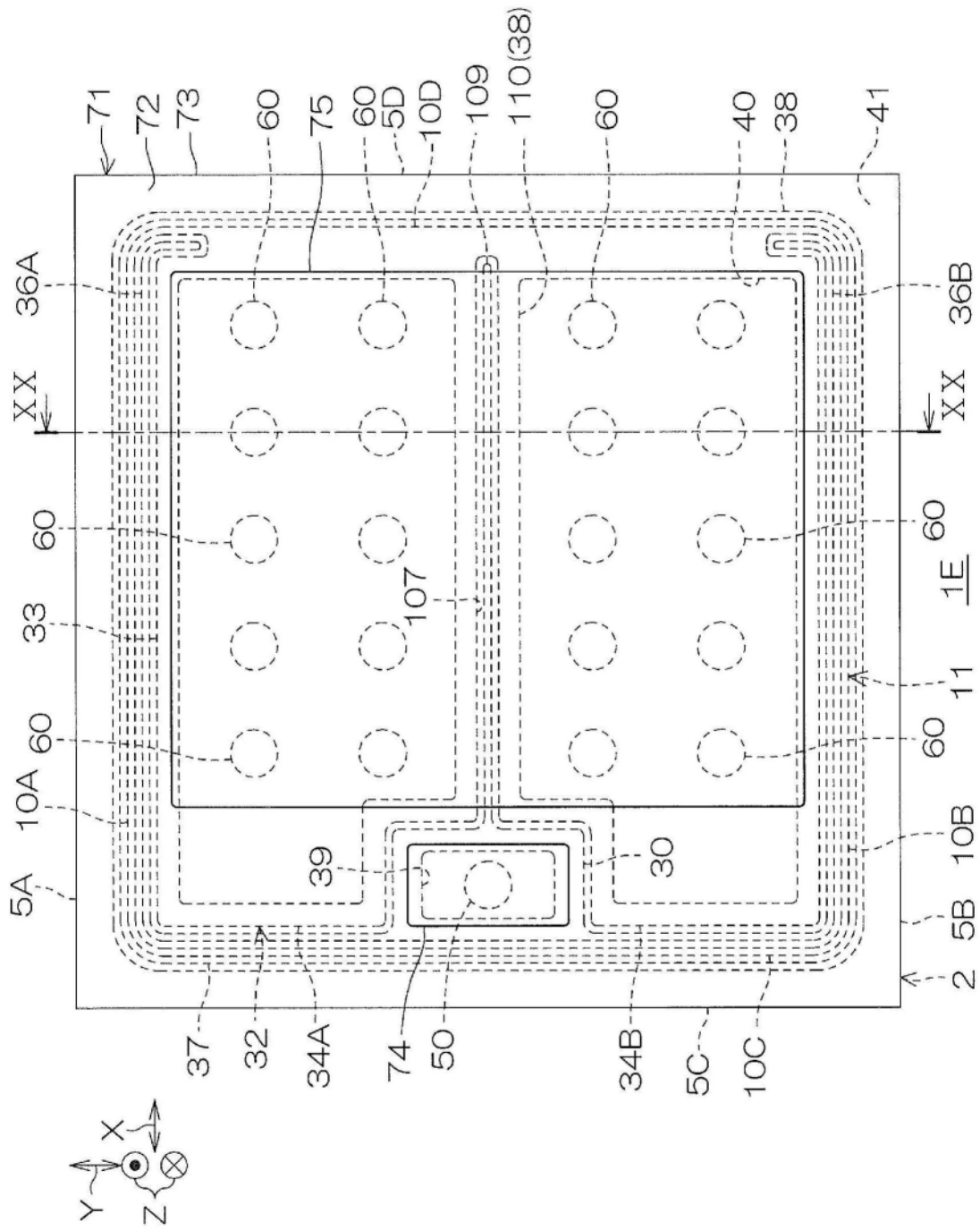


图19

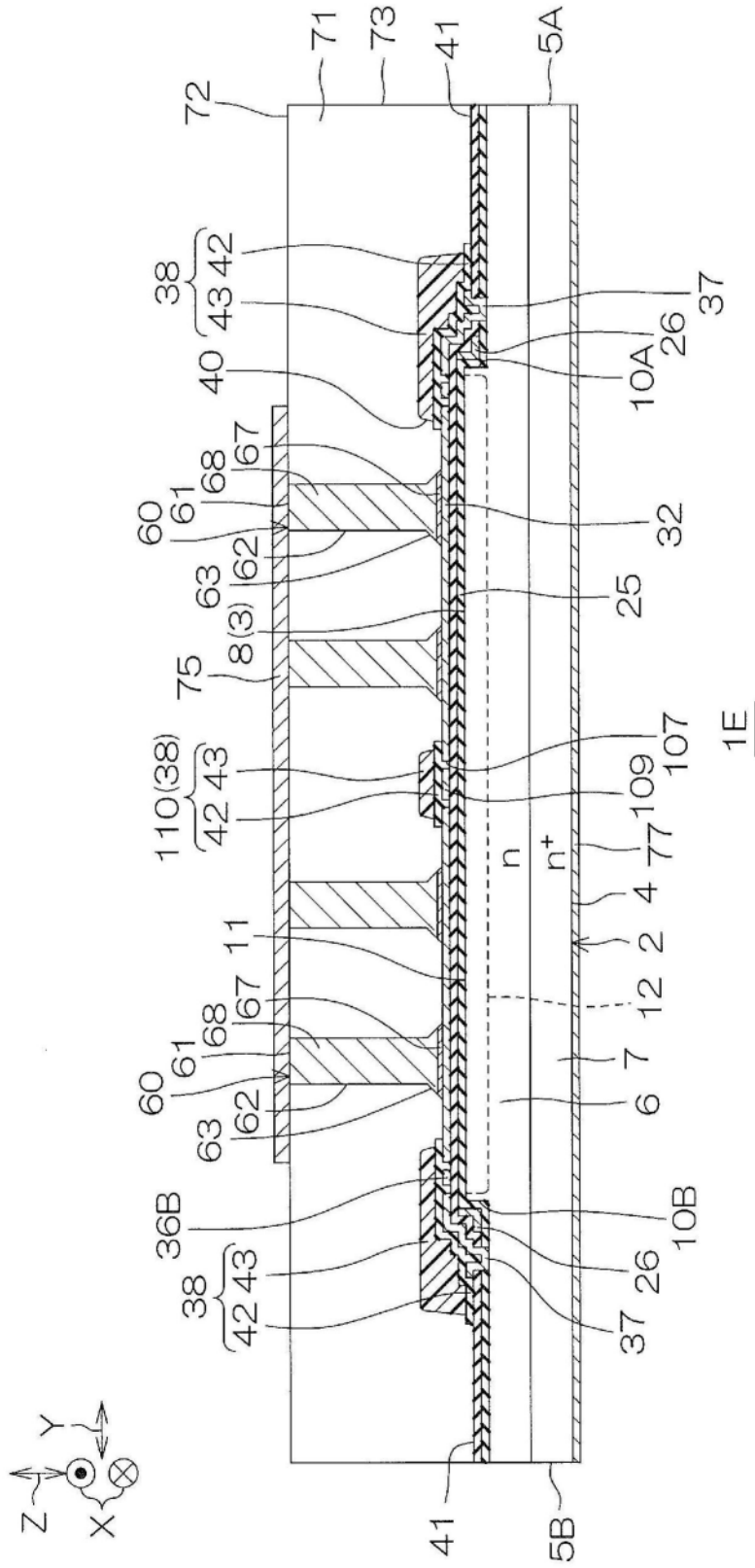


图20



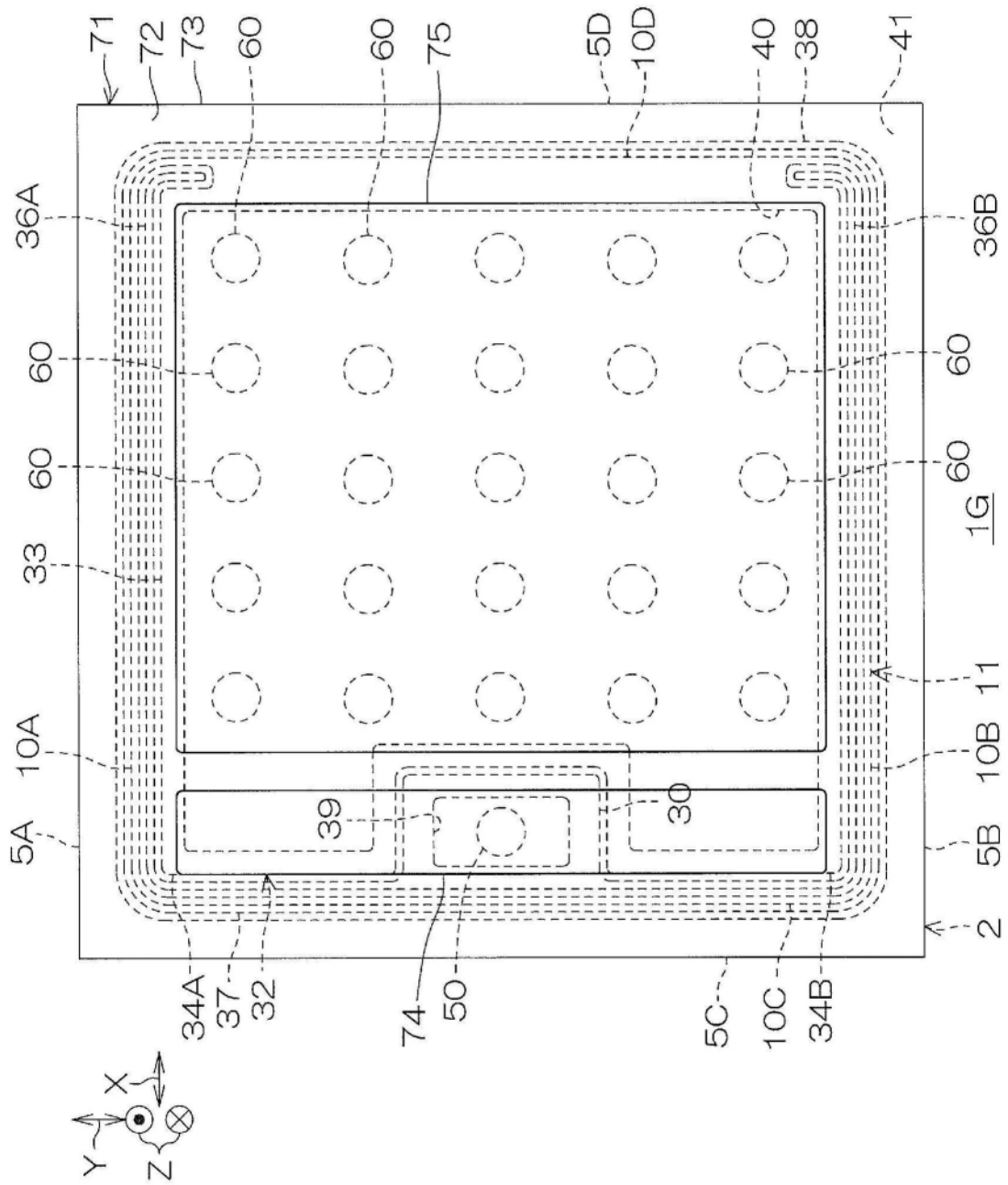


图22

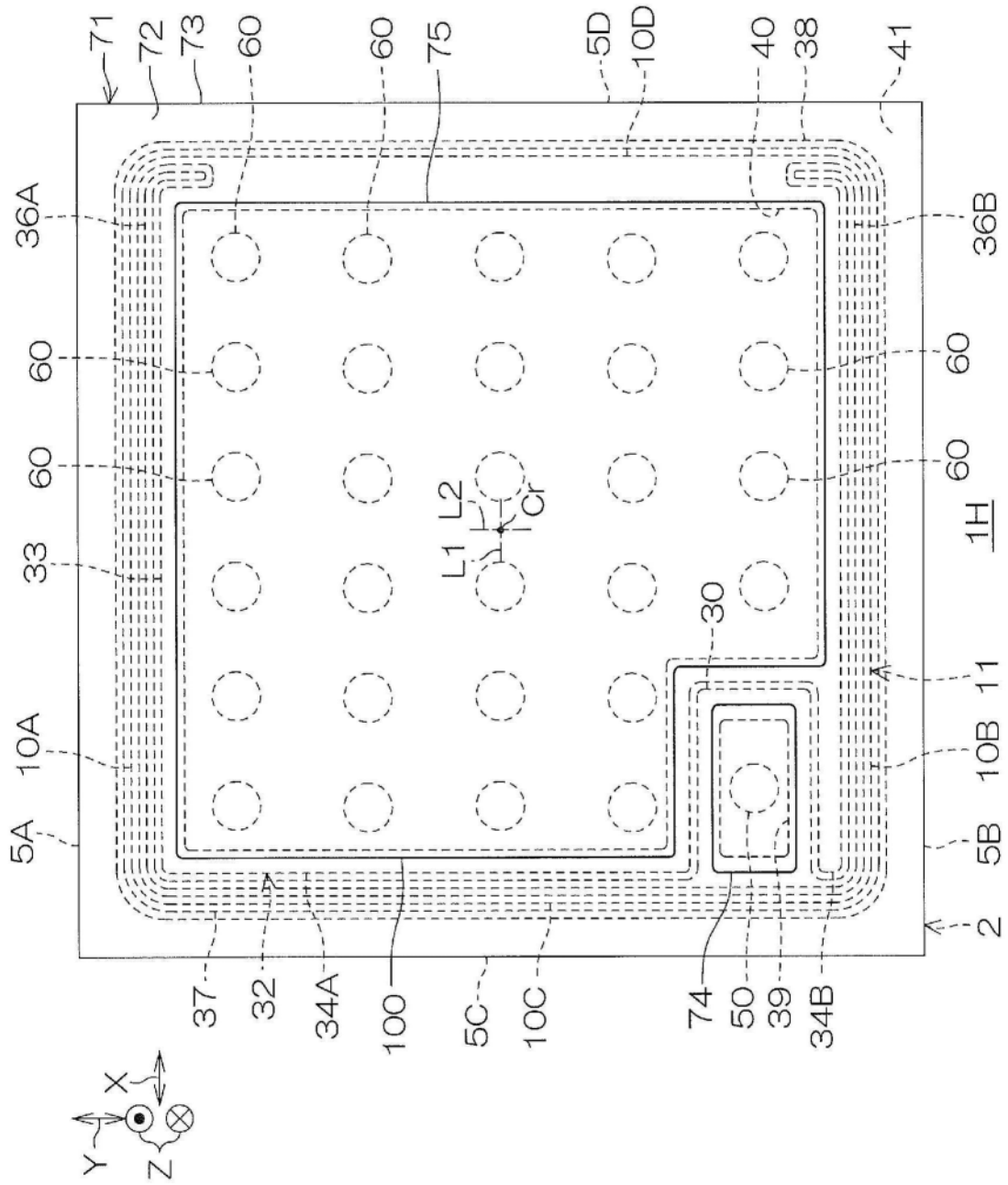


图23

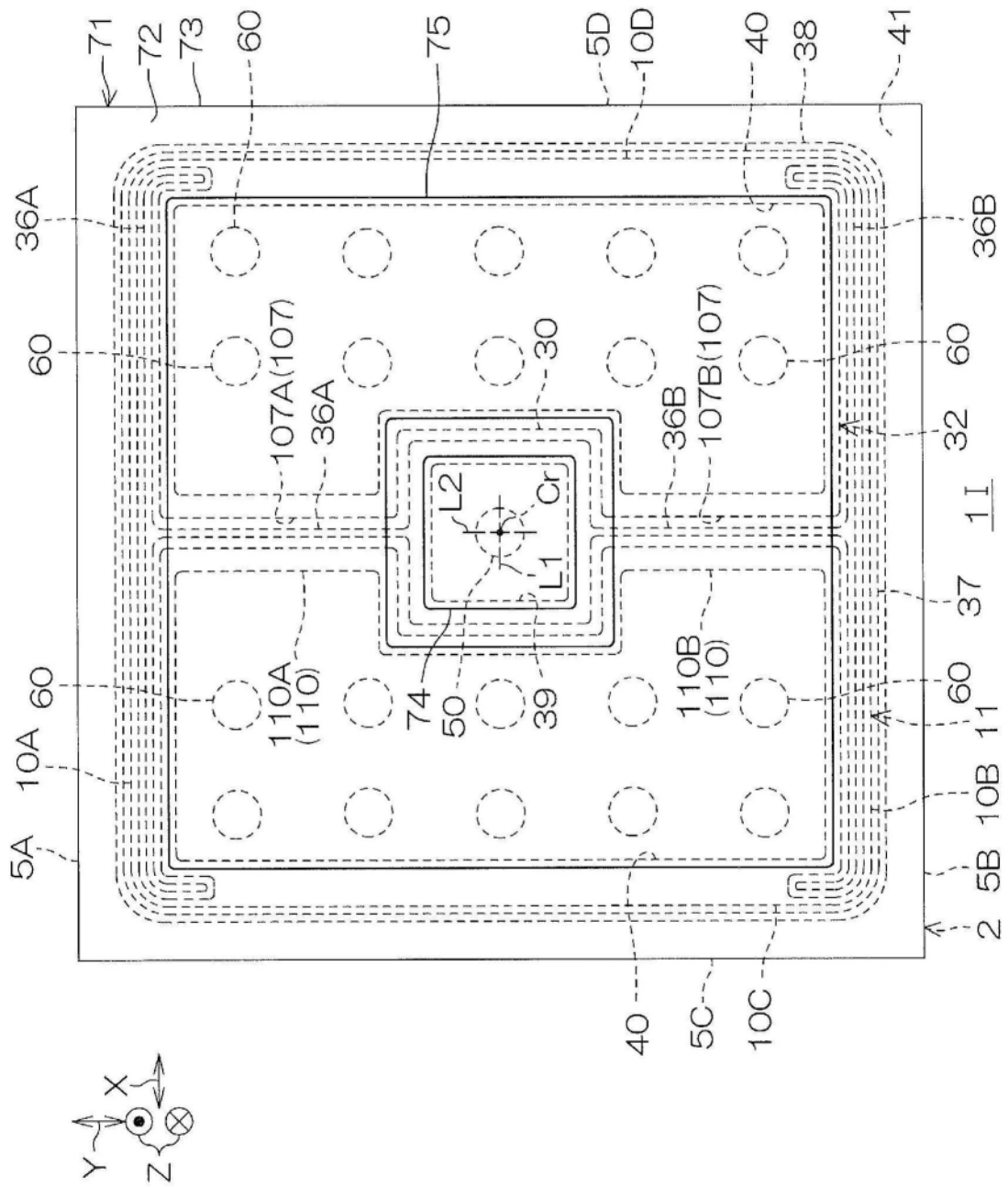


图24

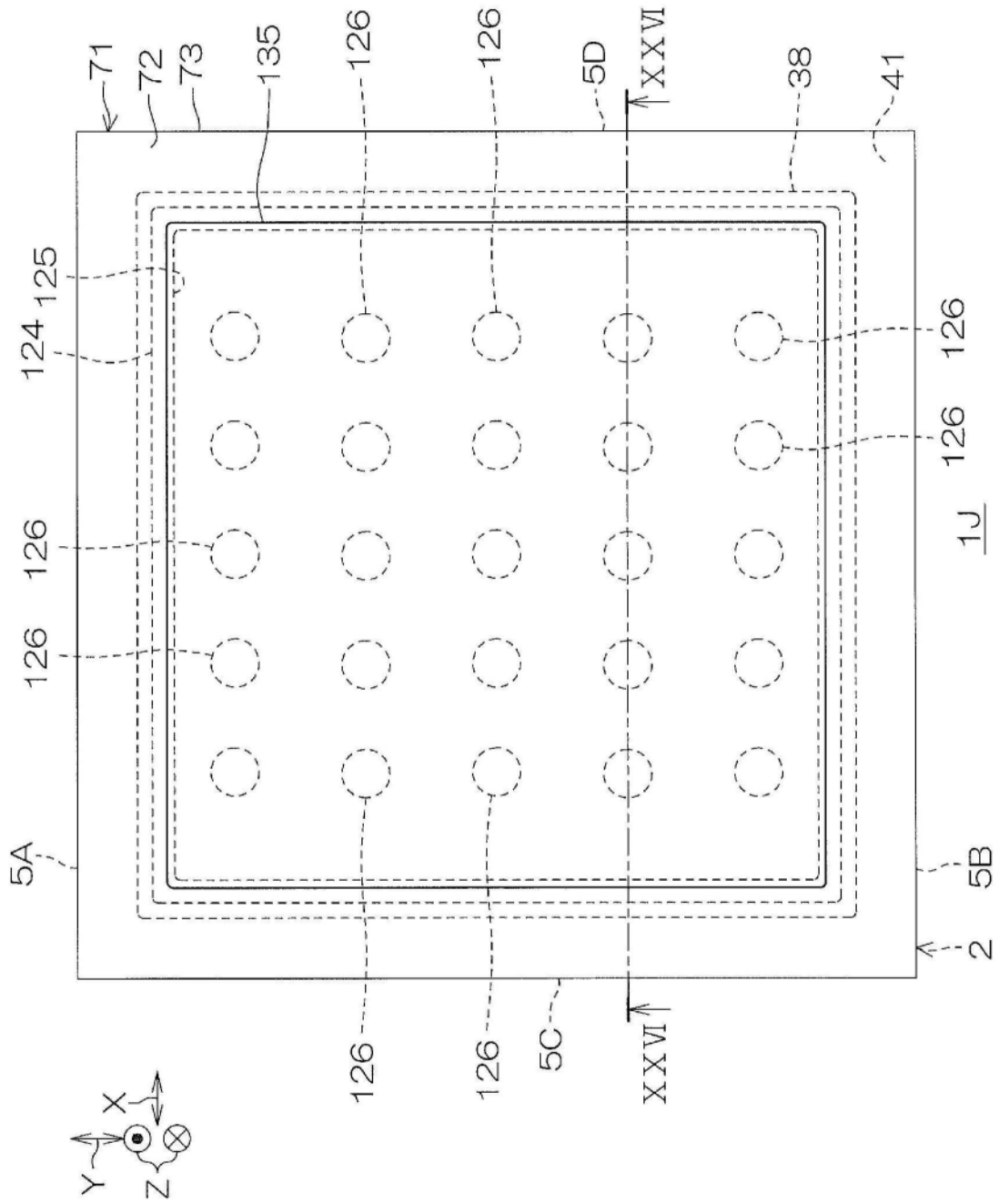


图25



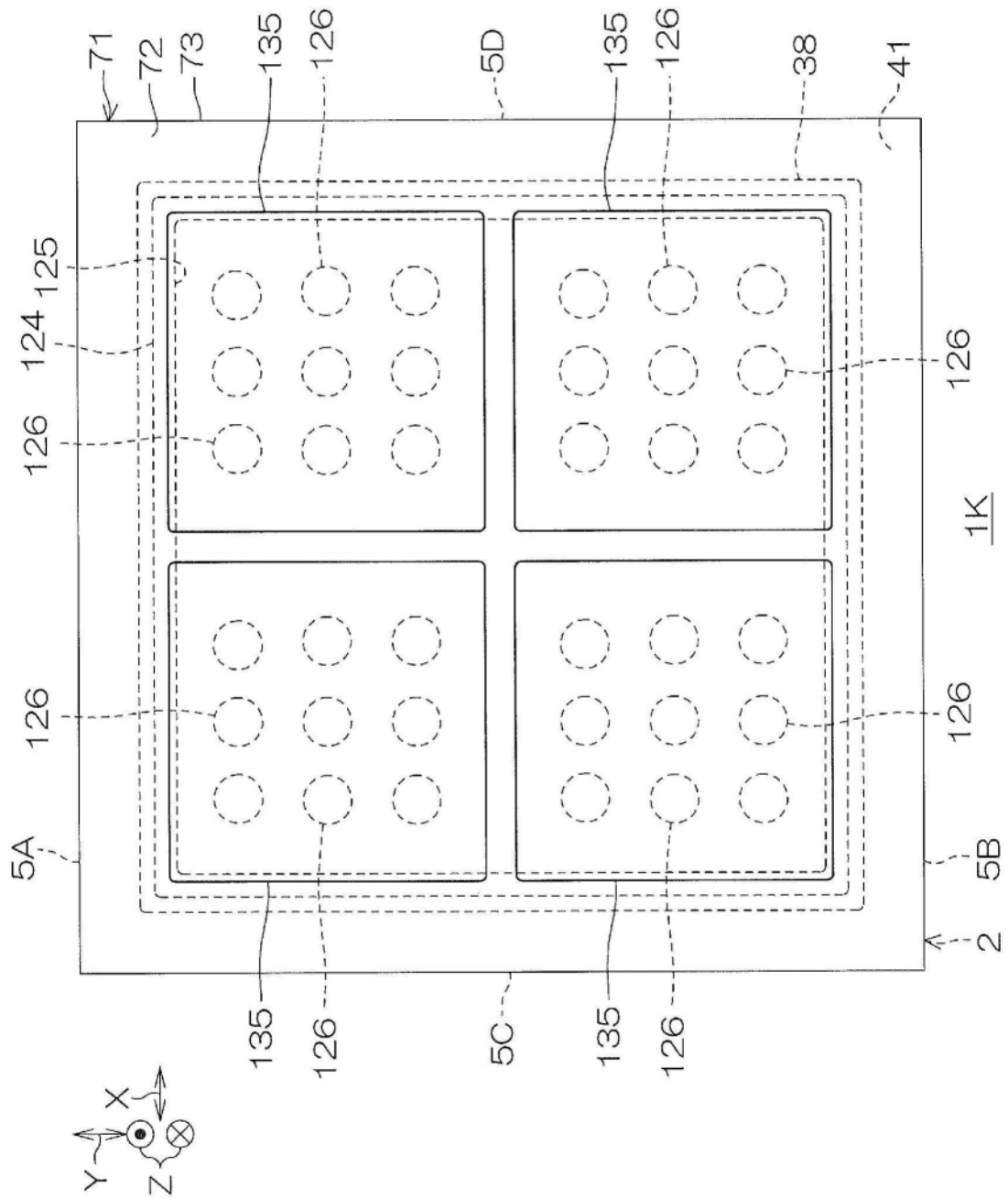


图27



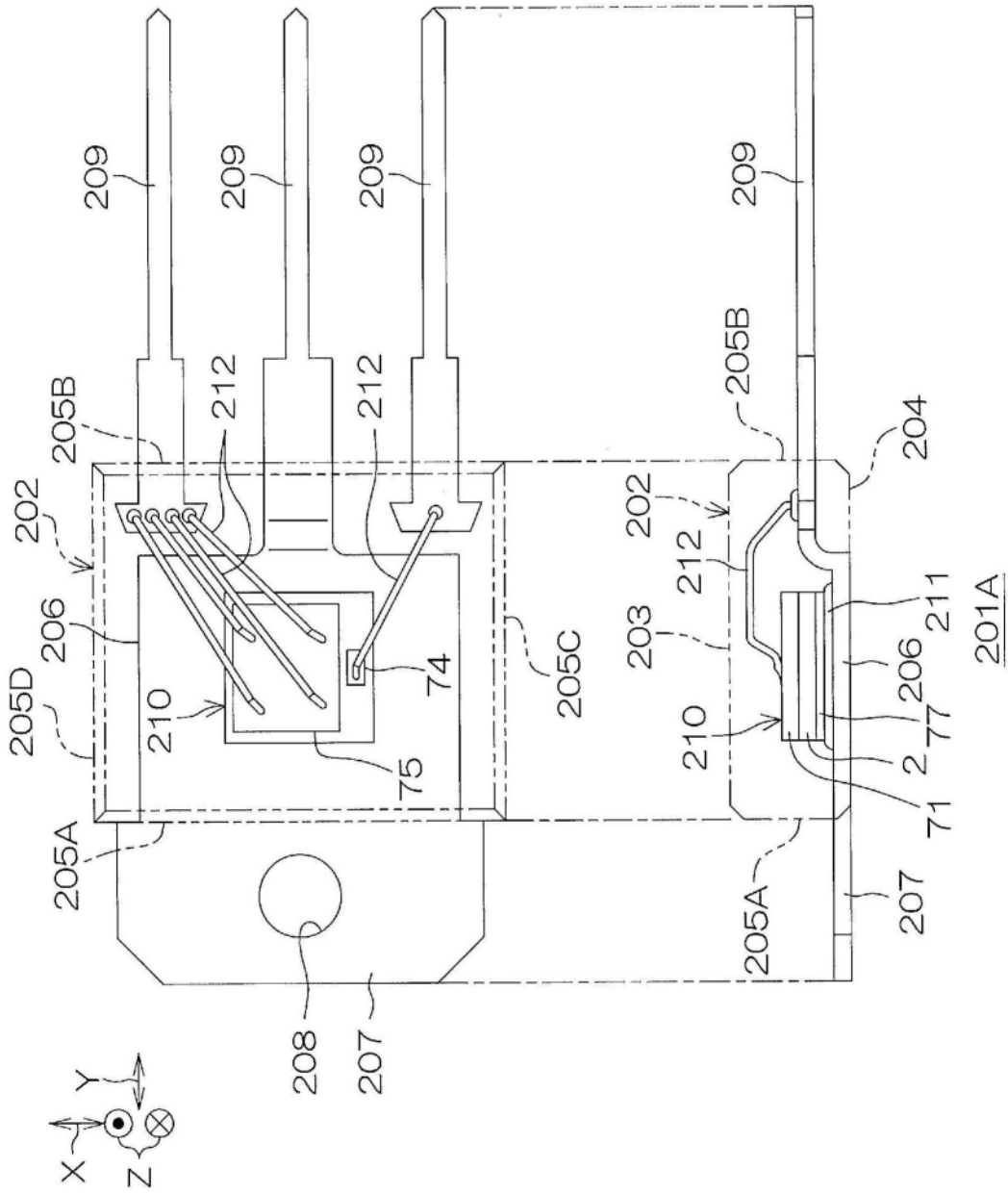


图29

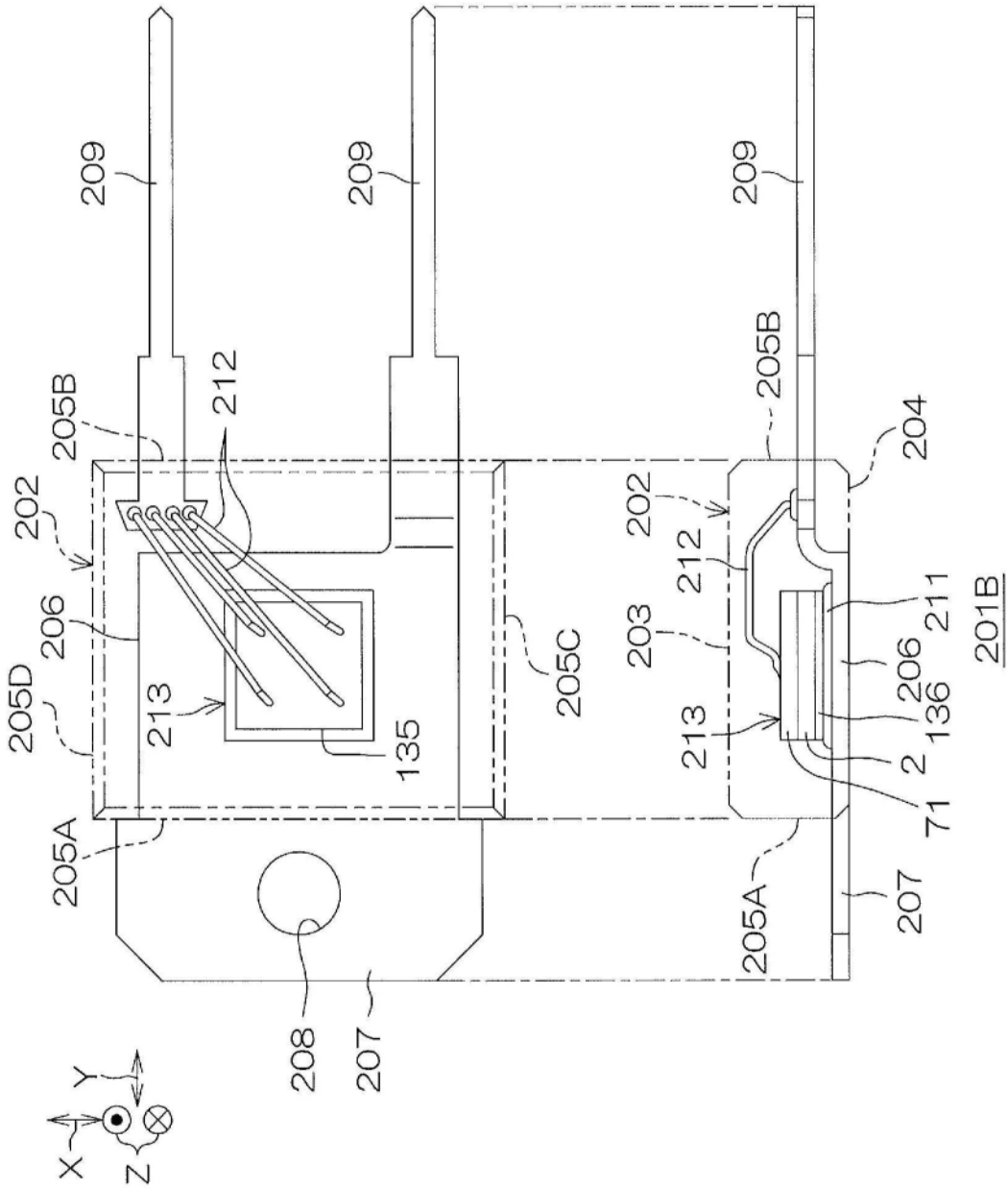


图30

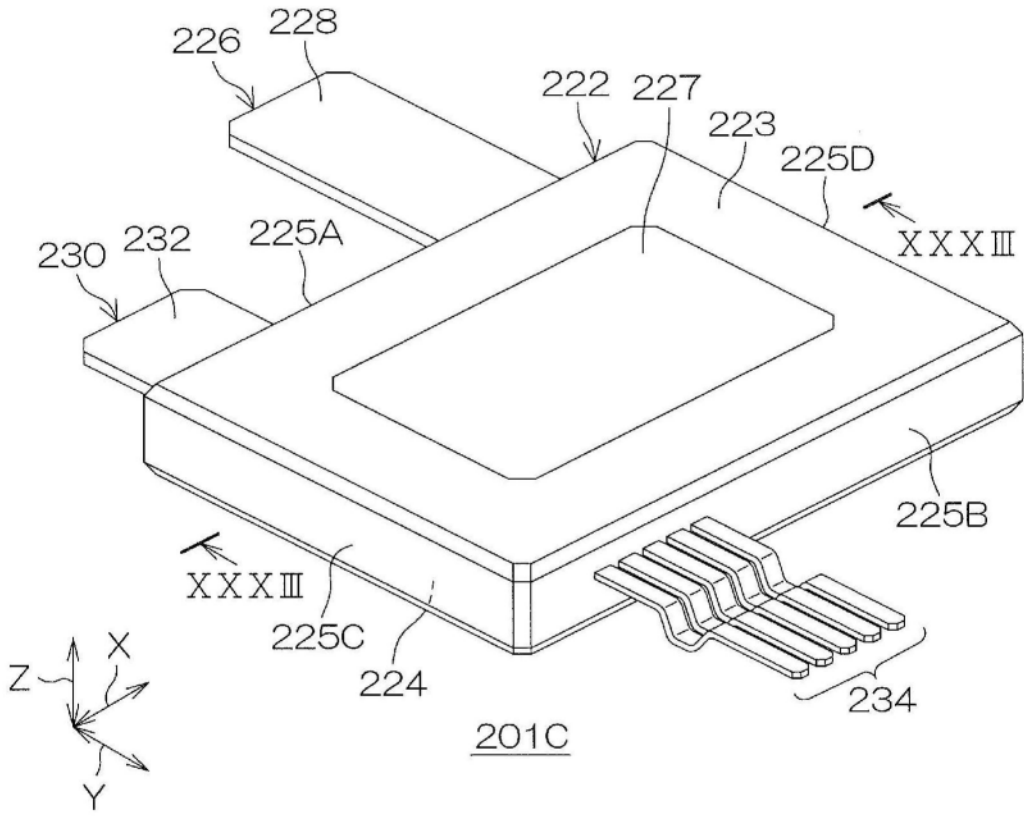


图31

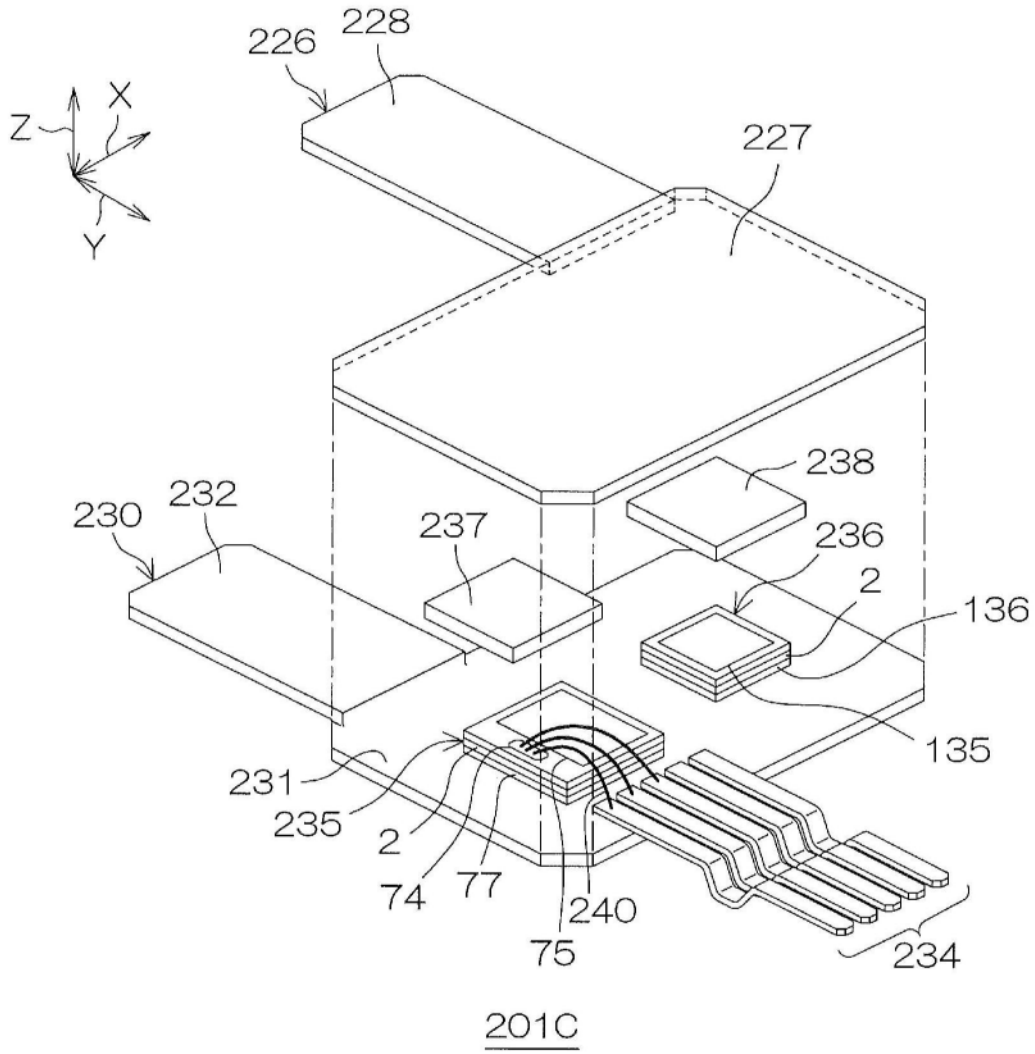


图32

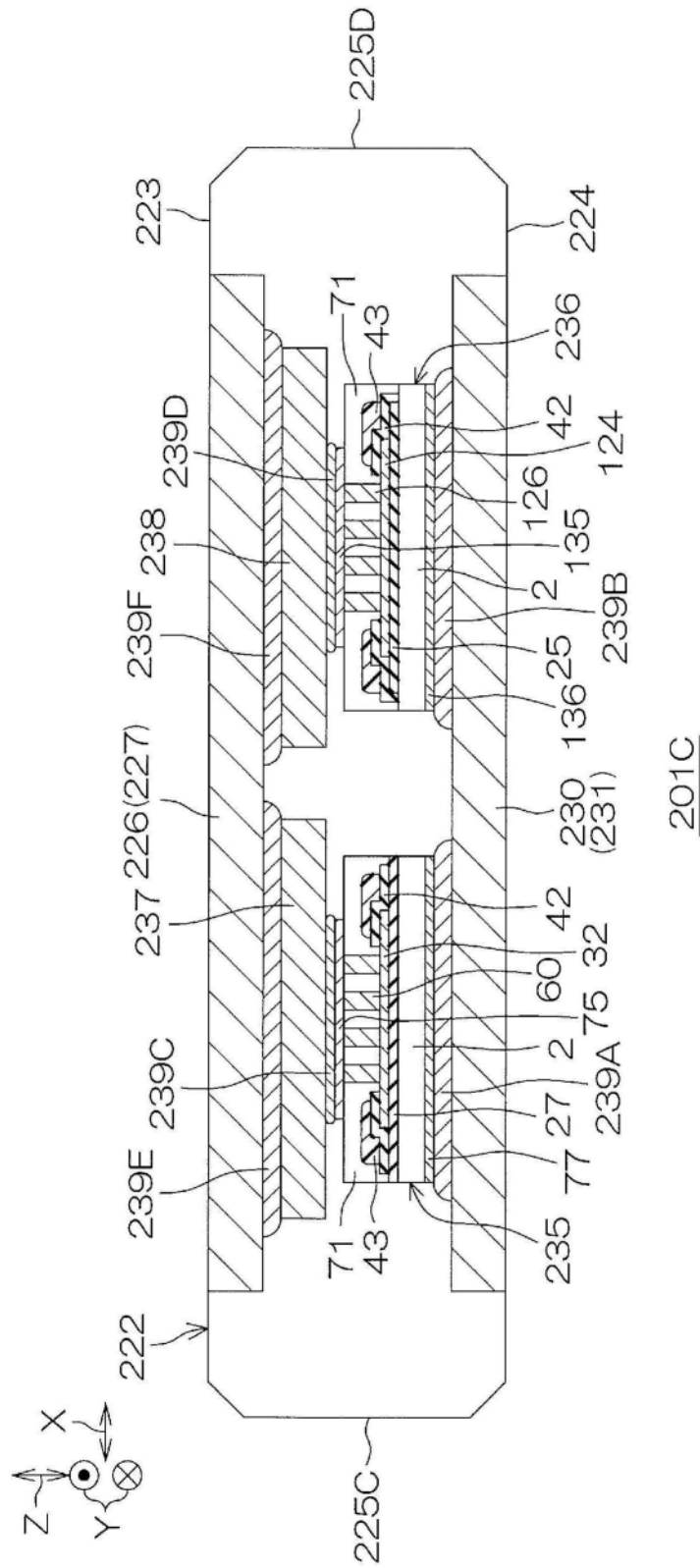


图33