(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2019 年 10 月 3 日 (03.10.2019)

WIPO | PCT

(10) 国际公布号
WO 2019/184358 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2018/114192

(22) 国际申请日: 2018 年 11 月 6 日 (06.11.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810292777.8 2018年3月30日 (30.03.2018) CN

(71) 申请人: 京东方科技集团股份有限公司 (**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。 合肥鑫晟光电科技有限公司 (**HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国安徽省合肥市新站区工业园内, Anhui 230012 (CN)。

(72) 发明人: 邹宜峰(**ZOU, Yifeng**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 王慧 (**WANG, Hui**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 刘荣铖 (**LIU, Rongcheng**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 熊雄 (**XIONG, Xiong**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (**LIU, SHEN & ASSOCIATES**); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。

(54) **Title:** GATE DRIVING CIRCUIT, DISPLAY DEVICE, AND DRIVING METHOD

(54) **发明名称**: 栅极驱动电路、显示装置及驱动方法

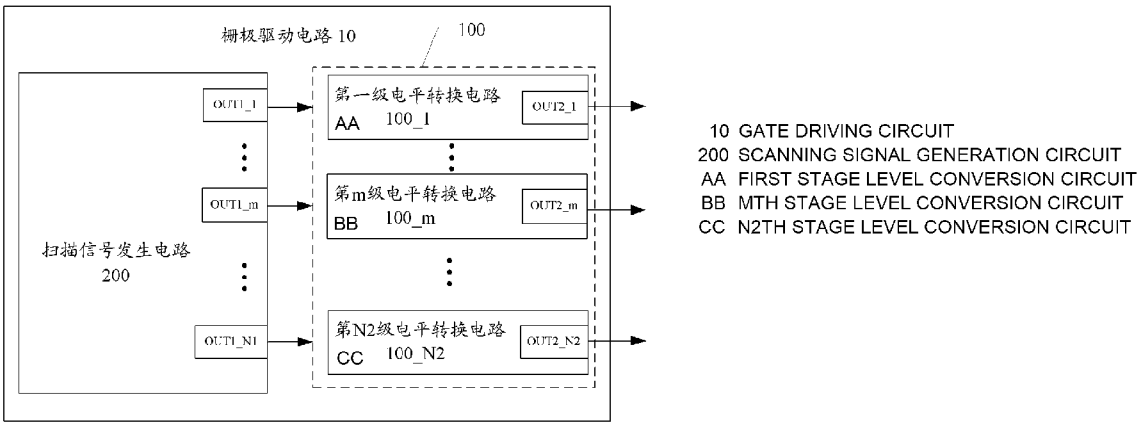


图 1A

(57) **Abstract:** A gate driving circuit, a display device, and a driving method. The gate driving circuit comprises: a scanning signal generation circuit comprising N1 stages of first output terminals and configured to output, by means of the N1 stages of first output terminals, N1 first pulsed scanning signals stage by stage; and N2 level conversion circuits configured to output, under control of multiple conversion control signals, N1 second pulsed scanning signals corresponding one-to-one with the N1 first pulsed scanning signals, wherein the multiple conversion control signals comprise multiple first sub control signals, the multiple first sub control signals are the N1 first pulsed scanning signals, N1 is an integer greater than or equal to 2, and N2 is an integer greater than or equal to 2.

(57) **摘要**: 一种栅极驱动电路、显示装置及驱动方法。该栅极驱动电路包括：扫描信号发生电路，包括N1级第一输出端，配置为通过所述N1级第一输出端逐级输出N1个第一脉冲扫描信号；N2个电平转换电路，配置为在多个转换控制信号的控制下输出与所述N1个第一脉冲扫描信号一一对应的N1个第二脉冲扫描信号，所述多个转换控制信号包括多个第一子控制信号，所述多个第一子控制信号为所述N1个第一脉冲扫描信号；N1为大于等于2的整数，N2为大于等于2的整数。

WO 2019/184358 A1

[见续页]

(81) 指定国(除另有指明，要求每一种可提供的国家保护)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

栅极驱动电路、显示装置及驱动方法

本申请要求于 2018 年 03 月 30 日递交的中国专利申请第 201810292777.8 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

技术领域

本公开的实施例涉及一种栅极驱动电路、显示装置及驱动方法。

背景技术

在显示技术领域，例如液晶显示面板的像素阵列通常包括多行栅线和与之交错的多列数据线。对栅线的驱动可以通过绑定的集成驱动电路实现。近几年随着非晶硅薄膜晶体管或氧化物薄膜晶体管制备工艺的不断提高，也可以将栅线驱动电路直接集成在薄膜晶体管阵列基板上构成 GOA（Gate driver On Array）来对栅线进行驱动。例如，可以采用由多个级联的移位寄存器单元构成的 GOA 为像素阵列的多行栅线提供开关态电压信号，从而例如控制多行栅线依序打开，例如以进行逐行扫描，并且同时由数据线向像素阵列中对应行的像素单元提供数据信号，以在各像素单元形成显示图像的各灰阶所需要的灰度电压，进而显示一帧图像。

发明内容

本公开至少一实施例提供一种栅极驱动电路，包括扫描信号发生电路和包括 N2 个电平转换电路。所述扫描信号发生电路包括 N1 级第一输出端，配置为通过所述 N1 级第一输出端逐级分别输出 N1 个第一脉冲扫描信号；所述 N2 个电平转换电路，配置为在多个转换控制信号的控制下输出与所述 N1 个第一脉冲扫描信号一一对应的 N1 个第二脉冲扫描信号，所述多个转换控制信号包括多个第一子控制信号，所述多个第一子控制信号为所述 N1 个第一脉冲扫描信号；其中，N1 为大于等于 2 的整数，N2 为大于等于 2 的整数。

例如，在本公开一实施例提供的栅极驱动电路中，N1 等于 N2，且所述 N2 个电平转换电路与所述 N1 级第一输出端一一对应设置，且所述 N2 个电平转换电路被配置分别输出所述 N1 个第二脉冲扫描信号。

例如，在本公开一实施例提供的栅极驱动电路中，N1 大于 N2，且每个所述电平转换电路与所述 N1 级第一输出端中的至少一个第一输出端对应设置，且每个所述电平转换电路被配置分别输出所述 N1 个第二脉冲扫描信号中的至少一个第二脉冲扫描信号。

例如，在本公开一实施例提供的栅极驱动电路中，每个所述电平转换电路包括第一控制端、第二控制端和第二输出端，所述多个转换控制信号还包括多个第二子控制信号，

每个所述电平转换电路配置为在所述第一控制端接收的所述 N1 个第一脉冲扫描信号中的对应的第一脉冲扫描信号和所述第二控制端接收的所述多个第二子控制信号中的对应的第二子控制信号的控制下通过所述第二输出端输出所述 N1 个第二脉冲扫描信号中的对应的第二脉冲扫描信号。

例如，在本公开一实施例提供的栅极驱动电路中，每个所述电平转换电路包括第一转换子电路和第二转换子电路，

所述第一转换子电路连接到所述第一控制端，且配置为在所述第一控制端接收的所述对应的第一脉冲扫描信号处于第一电平时开启，将第一电压输出至所述第二输出端；

所述第二转换子电路连接到所述第二控制端，且配置为在所述第二控制端接收的所述对应的第二子控制信号的控制下开启，将第二电压输出至所述第二输出端，由此得到所述对应的第二脉冲扫描信号。

例如，在本公开一实施例提供的栅极驱动电路中，所述第一转换子电路包括第一晶体管，所述第一晶体管的栅极配置为和所述第一控制端连接以接收所述对应的第一脉冲扫描信号，所述第一晶体管的第一极配置为和第一电压端连接以接收所述第一电压，所述第一晶体管的第二极配置为和所述第二输出端连接；

所述第二转换子电路包括第二晶体管，所述第二晶体管的栅极配置为和所述第二控制端连接以接收所述对应的第二子控制信号，所述第二晶体管的第一极配置为和第二电压端连接以接收所述第二电压，所述第二晶体管的第二极配置为和所述第二输出端连接。

例如，在本公开一实施例提供的栅极驱动电路中，所述 N2 个电平转换电路包括第 m 级电平转换电路，所述 N1 级第一输出端包括第 m 级第一输出端，所述 N1 个第一脉冲扫描信号包括第 m 个第一脉冲扫描信号，所述第 m 级第一

输出端被配置为输出所述第 m 个第一脉冲扫描信号，所述多个第二子控制信号包括与所述第 m 级电平转换电路对应的第 m 个第二子控制信号，

所述第 m 级电平转换电路的第一控制端电连接到所述第 m 级第一输出端以接收所述第 m 个第一脉冲扫描信号，

所述第 m 级电平转换电路的第二控制端电连接到所述第 m 级第一输出端以接收所述第 m 个第一脉冲扫描信号作为所述第 m 个第二子控制信号，

其中，m 为大于等于 1 且小于等于 N1 的整数。

例如，在本公开一实施例提供的栅极驱动电路中，所述 N2 个电平转换电路包括第 m 级电平转换电路，所述 N1 级第一输出端包括第 m 级第一输出端和第 m+i 级第一输出端，所述 N1 个第一脉冲扫描信号包括第 m 个第一脉冲扫描信号和第 m+i 个第一脉冲扫描信号，所述第 m 级第一输出端被配置为输出所述第 m 个第一脉冲扫描信号，所述第 m+i 级第一输出端被配置为输出所述第 m+i 个第一脉冲扫描信号，所述多个第二子控制信号包括与所述第 m 级电平转换电路对应的第 m 个第二子控制信号，

所述第 m 级电平转换电路的第一控制端电连接到所述第 m 级第一输出端以接收所述第 m 个第一脉冲扫描信号，

所述第 m 级电平转换电路的第二控制端电连接到所述第 m+i 级第一输出端以接收所述第 m+i 个第一脉冲扫描信号作为所述第 m 个第二子控制信号，

所述第 m 个第一脉冲扫描信号的脉冲与所述第 m+i 个第一脉冲扫描信号的脉冲在时间上连续，

其中，i 为大于等于 1 的整数，m 为大于等于 1 且小于等于 N1 的整数。

例如，在本公开一实施例提供的栅极驱动电路中，每个所述电平转换电路包括第一控制端和第二输出端，

每个所述电平转换电路配置为在所述第一控制端接收的所述 N1 个第一脉冲扫描信号中对应的第一脉冲扫描信号的控制下通过所述第二输出端输出所述 N1 个第二脉冲扫描信号中的对应的第二脉冲扫描信号。

例如，在本公开一实施例提供的栅极驱动电路中，每个所述电平转换电路包括第一转换子电路和第二转换子电路，

所述第一转换子电路连接到所述第一控制端，且配置为在所述第一控制端接收的所述对应的第一脉冲扫描信号处于第一电平时开启，将第一电压输出至所述第二输出端；

所述第二转换子电路连接到所述第一控制端，且配置为在所述第一控制端接收的所述对应的第一脉冲扫描信号处于第二电平时开启，将第二电压输出至所述第二输出端，由此得到所述对应的第二脉冲扫描信号。

例如，在本公开一实施例提供的栅极驱动电路中，所述第一转换子电路包括第一晶体管，所述第一晶体管的栅极配置为和所述第一控制端连接以接收所述对应的第一脉冲扫描信号，所述第一晶体管的第一极配置为和第一电压端连接以接收所述第一电压，所述第一晶体管的第二极配置为和所述第二输出端连接；

所述第二转换子电路包括第二晶体管，所述第二晶体管的栅极配置为和所述第一控制端连接以接收所述对应的第一脉冲扫描信号，所述第二晶体管的第一极配置为和第二电压端连接以接收所述第二电压，所述第二晶体管的第二极配置为和所述第二输出端连接，所述第一晶体管的类型与所述第二晶体管的类型相反。

例如，在本公开一实施例提供的栅极驱动电路中，所述第一转换子电路包括第一晶体管，所述第二转换子电路包括第二晶体管以及反相器，

所述第一晶体管的栅极配置为和所述第一控制端连接以接收所述对应的第一脉冲扫描信号，所述第一晶体管的第一极配置为和第一电压端连接以接收所述第一电压，所述第一晶体管的第二极配置为和所述第二输出端连接；

所述第二晶体管的栅极配置为和所述反相器连接，所述第二晶体管的第一极配置为和第二电压端连接以接收所述第二电压，所述第二晶体管的第二极配置为和所述第二输出端连接，

所述反相器与所述第一控制端和所述第二晶体管的栅极连接，且配置为将所述第一控制端接收的所述对应的第一脉冲扫描信号的电平反相后输出至所述第二晶体管的栅极，所述第一晶体管类型与所述第二晶体管的类型相同。

例如，在本公开一实施例提供的栅极驱动电路中，每个所述电平转换电路还包括电压保持子电路，

所述电压保持子电路配置为在所述第二输出端输出所述第一电压的情况下，将所述第二输出端的电压控制在所述第一电压，在所述第二输出端输出所述第二电压的情况下，将所述第二输出端的电压控制在所述第二电压。

例如，在本公开一实施例提供的栅极驱动电路中，所述电压保持子电路包括第一存储电容，所述第一存储电容的第一极配置为和所述第二输出端连接，

所述第一存储电容的第二极配置为和第三电压端连接以接收第三电压。

例如，在本公开一实施例提供的栅极驱动电路中，所述扫描信号发生电路包括级联的 N1 个移位寄存器单元，所述 N1 个移位寄存器单元与所述 N1 级第一输出端一一对应。

例如，在本公开一实施例提供的栅极驱动电路中，每个所述移位寄存器单元为 GOA 移位寄存器单元。

例如，在本公开一实施例提供的栅极驱动电路中，所述 N1 个第一脉冲扫描信号中的第 j 个第一脉冲扫描信号和所述 N1 个第二脉冲扫描信号中的第 j 个第二脉冲扫描信号对应，且所述第 j 个第一脉冲扫描信号的脉冲幅度和所述第 j 个第二脉冲扫描信号的脉冲幅度不同，其中，j 为大于等于 1 且小于等于 N1 的整数。

本公开至少一实施例还提供一种显示装置，包括上述任一实施例所述的栅极驱动电路。

本公开至少一实施例还提供一种栅极驱动电路的驱动方法，包括:

在所述第一控制端接收的所述对应的第一脉冲扫描信号的控制下，将第一电压输出至所述第二输出端;

在所述第二控制端接收的所述对应的第二子控制信号的控制下，将第二电压输出至所述电第二输出端，由此得到所述对应的第二脉冲扫描信号。

本公开至少一实施例还提供一种栅极驱动电路的驱动方法，包括:

在所述第一控制端接收的所述对应的第一脉冲扫描信号处于第一电平时，将第一电压输出至所述第二输出端;

在所述第一控制端接收的所述对应的第一脉冲扫描信号处于第二电平时，将第二电压输出至所述电第二输出端，由此得到所述对应的第二脉冲扫描信号。

附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1A 为本公开一实施例提供的一种栅极驱动电路的示意图;

图 1B 为本公开一实施例提供的另一种栅极驱动电路的示意图;

图 1C 为本公开一实施例提供的又一种栅极驱动电路的示意图；

图 1D 为本公开一实施例提供的再一种栅极驱动电路的示意图；

图 2A 为本公开一实施例提供的一种电平转换电路的示意图；

图 2B 为本公开一实施例提供的另一种电平转换电路的示意图；

图 3A 为本公开一实施例提供的又一种电平转换电路的示意图；

图 3B 为本公开一实施例提供的再一种电平转换电路的示意图；

图 4A 为图 3A 中所示的电平转换电路的一种具体实现示例的电路示意图；

图 4B 为图 3B 中所示的电平转换电路的一种具体实现示例的电路示意图；

图 4C 为图 3B 中所示的电平转换电路的另一种具体实现示例的电路示意图；

图 5A 为本公开一实施例提供的一种移位寄存器单元的示意图；

图 5B 为本公开一实施例提供的另一种移位寄存器单元的示意图；

图 5C 为本公开一实施例提供的再一种移位寄存器单元的示意图；

图 6A 为图 5B 中所示的移位寄存器单元的电路示意图；

图 6B 为图 5C 中所示的移位寄存器单元的电路示意图；

图 7A 为本公开一实施例提供的一种栅极驱动电路的示意图；

图 7B 为本公开一实施例提供的另一种栅极驱动电路的示意图；

图 8 对应于图 7A 或图 7B 中所示的栅极驱动电路工作时的信号时序图；

图 9A 和图 9B 分别为图 4A 中所示的电平转换电路对应于图 8 中信号时序图的电路示意图；

图 10A 为本公开一实施例提供的另一种栅极驱动电路的示意图；

图 10B 为对应于图 10A 中所示的栅极驱动电路工作时的信号时序图；以及

图 11 为本公开一实施例提供的一种显示装置的示意图。

具体实施方式

为了使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”、“一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

下面通过几个具体的实施例对本公开进行说明。为了保持本发明实施例的以下说明清楚且简明，可省略已知功能和已知部件的详细说明。当本发明实施例的任一部件在一个以上的附图中出现时，该部件在每个附图中由相同的参考标号表示。

在显示面板技术中，为了实现低成本和窄边框，可以采用 GOA(Gate driver On Array)技术，即将栅极驱动电路通过半导体制备工艺制备在显示面板的阵列基板上，从而可以实现窄边框、薄厚度和降低装配成本等优势。

在现有的 GOA 架构中，由于 GOA 结构的限制，例如控制上拉节点和下拉节点的电平的某些薄膜晶体管会长期处于高压（例如，高压为十几伏甚至几十伏）的状态。由于薄膜晶体管长期处于高压的状态会导致薄膜晶体管的阈值电压发生漂移，从而会引起薄膜晶体管出现漏电或截止不完全的现象，甚至还会使得 GOA 单元出现多输出的现象，因此 GOA 单元输出的准确性以及显示面板的显示质量都受到严重的不利影响。

本公开一实施例提供了一种栅极驱动电路，包括扫描信号发生电路和 N2 个电平转换电路。扫描信号发生电路包括 N1 级第一输出端，配置为在 N1 级第一输出端逐级分别输出 N1 个第一脉冲扫描信号；N2 个电平转换电路，配置为在多个转换控制信号的控制下输出与所述 N1 个第一脉冲扫描信号一一对应的 N1 个第二脉冲扫描信号；所述多个转换控制信号包括多个第一子控制信号，所述多个第一子控制信号为所述 N1 个第一脉冲扫描信号；其中，N1 为大于等于 2 的整数，N2 为大于等于 2 的整数。本公开的实施例还提供对应于上述栅极驱动电路的显示装置及驱动方法。

本公开的实施例提供的栅极驱动电路、显示装置以及驱动方法，一方面，通过将扫描信号发生电路中的晶体管的工作电压降低到时钟脉冲信号的逻辑电压，例如3.3V，避免扫描信号发生电路中的某些晶体管由于长期处于高压偏置的状态而出现阈值漂移的现象，从而保证了扫描信号发生电路中晶体管特性的稳定性，以延长晶体管的使用寿命，提高显示面板的显示质量，同时还降低了使用能耗；另一方面，电平转换电路以扫描信号发生电路产生的输出信号作为触发信号，在保证电平转换的同时使得电平转换前后的信号的相位保持同步，从而满足显示面板的电压需求。

下面结合附图对本公开的实施例及其示例进行详细说明。

图1A为本公开一实施例提供的一种栅极驱动电路的示意图，图1B为本公开一实施例提供的另一种栅极驱动电路的示意图，图1C为本公开一实施例提供的又一种栅极驱动电路的示意图。

例如，如图1A-图1C所示，该栅极驱动电路10包括N2个电平转换电路100（例如，如图1B所示实施例中，N2个电平转换电路100包括第一级电平转换电路100_1、第m级电平转换电路100_m和第N2级电平转换电路100_N2等，如图1C所示的所示实施例中，N2个电平转换电路100包括第一级电平转换电路100_1、第m级电平转换电路100_m和第N2级电平转换电路100_N2，其中，m为大于等于1且小于等于N2的整数）和扫描信号发生电路200，N2为大于等于2的整数。例如，该扫描信号发生电路200可以是多个级联的移位寄存器单元或集成驱动芯片的输出端口，本公开的实施例对此不作限制。

例如，如图1A所示，该扫描信号发生电路200包括N1（N1为大于等于2的整数）级第一输出端OUT1，配置为按照预定周期在N1级第一输出端OUT1（即OUT1_1至OUT1_N1）逐级分别输出N1个第一脉冲扫描信号。在一个预定周期内，一个第一输出端仅输出与其对应的一个第一脉冲扫描信号。例如，该预定周期可以设置为对应于逐行扫描的扫描周期，例如包括从第一级第一输出端输出第一脉冲扫描信号至第N1级第一输出端输出第一脉冲扫描信号的时间。该预定周期也可以设置为对应于隔行扫描的扫描周期，例如包括对于奇数级从第一级第一输出端输出第一脉冲扫描信号至第N-1级（N为偶数）或第N级（N为奇数）第一输出端输出第一脉冲扫描信号的时间，对于偶数级从第二级第一输出端输出第一脉冲扫描信号至第N级（N为偶数）或第N-1级（N为奇数）第一输出端输出第一脉冲扫描信号的时间。

例如，在一个示例中，该扫描信号发生电路 200 包括 N1 个级联的移位寄存器单元，N1 个移位寄存器单元与 N1 级第一输出端 OUT1 一一对应，即一个移位寄存器单元对应一个第一输出端 OUT1。例如，该移位寄存器单元为 GOA 移位寄存器单元，在该示例中，N2 个电平转换电路 100 和扫描信号发生电路 200 均制备于阵列基板上，从而有利于实现窄边框、薄厚度、降低装配成本等。在另一个示例中，扫描信号发生电路 200 为集成驱动芯片，其可以通过例如柔性印刷电路板（FPC）以绑定方式连接到阵列基板，扫描信号发生电路 200 可以进一步集成到该集成驱动芯片之中，或者制备在阵列基板上。

例如，如图 1A 所示，N1 个第一脉冲扫描信号被传输至 N2 个电平转换电路 100。且 N2 个电平转换电路 100 配置为在多个转换控制信号的控制下输出与 N1 个第一脉冲扫描信号一一对应的 N1 个第二脉冲扫描信号，多个转换控制信号包括多个第一子控制信号，多个第一子控制信号为 N1 个第一脉冲扫描信号。

例如，如图 1B 和图 1C 所示，在一些实施例中，N1 等于 N2，N2 个电平转换电路 100 与 N1 级第一输出端 OUT1 一一对应设置。N2 个电平转换电路 100 被配置分别输出 N1 个第二脉冲扫描信号，也就是说，一个电平转换电路被配置为输出与其对应的一个第二脉冲扫描信号。

图 1D 为本公开一实施例提供的一种栅极驱动电路的局部示意图。

例如，在另一些实施例中，N1 不等于 N2，且 N1 大于 N2。每个电平转换电路与 N1 级第一输出端 OUT1 中的至少一个第一输出端对应设置，且每个电平转换电路被配置分别输出 N1 个第二脉冲扫描信号中的至少一个第二脉冲扫描信号。例如，每个电平转换电路 100 与多级第一输出端 OUT1 对应。如图 1D 所示，在一些示例中，N2 为 2，即栅极驱动电路包括第一级电平转换电路 100_1 和第二级电平转换电路 100_2。每级第一输出端通过一个开关元件与第一级电平转换电路 100_1 和第二级电平转换电路 100_2 连接。例如，第 m_0 级第一输出端 OUT1_m_0 通过第 m_0 个开关元件 202_m_0 分别连接第一级电平转换电路 100_1 的第一控制端 Ctr1_1 和第二级电平转换电路 100_2 的第二控制端 Ctr2_2，第 m_0+1 级第一输出端 OUT1_m_0+1 通过第 m_0+1 个开关元件 202_m_0+1 分别连接第一级电平转换电路 100_1 的第二控制端 Ctr1_2 和第二级电平转换电路 100_2 的第一控制端 Ctr2_1，第 m_0+2 级第一输出端 OUT1_m_0+2 通过第 m_0+2 个开关元件 202_m_0+2 分别连接第一级电平转换电路 100_1 的第一控制端

Ctr1_1 和第二级电平转换电路 100_2 的第二控制端 Ctr2_2，第 m_0+3 级第一输出端 OUT1_m_0+3 通过第 m_0+3 个开关元件 202_m_0+3 分别连接第一级电平转换电路 100_1 的第二控制端 Ctr1_2 和第二级电平转换电路 100_2 的第一控制端 Ctr2_1。其中，m_0 为大于等于 1 且小于等于 N1-3 的整数。

例如，当第 m_0 级第一输出端 OUT1_m_0 输出第一脉冲扫描信号和第 m_0+1 级第一输出端 OUT1_m_0+1 输出第一脉冲扫描信号时，第 m_0 个开关元件 202_m_0 和第 m_0+1 个开关元件 202_m_0+1 均导通，而第 m_0+2 个开关元件 202_m_0+2 和第 m_0+3 个开关元件 202_m_0+3 则均截止，从而在第 m_0 级第一输出端 OUT1_m_0 输出第一脉冲扫描信号时，第一级电平转换电路 100_1 输出与第 m_0 级第一输出端 OUT1_m_0 输出第一脉冲扫描信号对应的第二脉冲扫描信号；在第 m_0+1 级第一输出端 OUT1_m_0+1 输出第一脉冲扫描信号时，第二级电平转换电路 100_2 输出与第 m_0+1 级第一输出端 OUT1_m_0+1 输出第一脉冲扫描信号对应的第二脉冲扫描信号。

当第 m_0+2 级第一输出端 OUT1_m_0+2 输出第一脉冲扫描信号和第 m_0+3 级第一输出端 OUT1_m_0+3 输出第一脉冲扫描信号时，第 m_0+2 个开关元件 202_m_0+2 和第 m_0+3 个开关元件 202_m_0+3 则均导通，而第 m_0 个开关元件 202_m_0 和第 m_0+1 个开关元件 202_m_0+1 均截止，从而在第 m_0+2 级第一输出端 OUT1_m_0+2 输出第一脉冲扫描信号时，第一级电平转换电路 100_1 输出与第 m_0+2 级第一输出端 OUT1_m_0+2 输出第一脉冲扫描信号对应的第二脉冲扫描信号；在第 m_0+3 级第一输出端 OUT1_m_0+3 输出第一脉冲扫描信号时，第二级电平转换电路 100_2 输出与第 m_0+3 级第一输出端 OUT1_m_0+3 输出第一脉冲扫描信号对应的第二脉冲扫描信号。

需要说明的是，在图 1D 所示的实施例中，第 m_0 级第一输出端 OUT1_m_0 输出的第一脉冲扫描信号、第 m_0+1 级第一输出端 OUT1_m_0+1 输出的第一脉冲扫描信号、第 m_0+2 级第一输出端 OUT1_m_0+2 输出的第一脉冲扫描信号和第 m_0+3 级第一输出端 OUT1_m_0+3 输出的第一脉冲扫描信号在时间上不重叠，也就是说，在某一时刻，仅有第 m_0 级第一输出端 OUT1_m_0、第 m_0+1 级第一输出端 OUT1_m_0+1、第 m_0+2 级第一输出端 OUT1_m_0+2 和第 m_0+3 级第一输出端 OUT1_m_0+3 中的一个输出对应的第一脉冲扫描信号，例如，当第 m_0 级第一输出端 OUT1_m_0 输出第一脉冲扫描信号时，第 m_0+1 级第一输出端 OUT1_m_0+1、第 m_0+2 级第一输出端 OUT1_m_0+2 和第 m_0+3 级第一输出端

OUT1_m_0+3 均不输出信号。

下面，以 N1 等于 N2 为例详细描述本公开实施例提供的栅极驱动电路。

例如，在一些实施例中，每个电平转换电路 100 包括对应的第一控制端 Ctr1（例如，图 1B 中的 Ctr1_1，Ctr1_m 和 Ctr1_N2）、第二控制端 Ctrl2（例如，图 1B 中 Ctr2_1，Ctr2_m 和 Ctr2_N2）和第二输出端 OUT2（例如，图 1A 和图 1B 中 OUT2_1，OUT2_m 和 OUT2_N2）。多个转换控制信号还包括多个第二子控制信号。每个电平转换电路配置为在第一控制端接收的 N1 个第一脉冲扫描信号中的对应的第一脉冲扫描信号和第二控制端接收的多个第二子控制信号中的对应的第二子控制信号的控制下通过第二输出端输出 N1 个第二脉冲扫描信号中的对应的第二脉冲扫描信号。如图 1B 所示，N2 个电平转换电路 100 包括第 m 级电平转换电路 100_m，下面以第 m 级电平转换电路 100_m 为例描述电平转换电路的工作原理和结构，但是应当理解的是，下面关于第 m 级电平转换电路 100_m 的描述在不冲突的情况下均适用于 N2 个电平转换电路中的任意一个电平转换电路。

例如，第 m 级电平转换电路 100_m 包括第一控制端 Ctr1_m、第二控制端 Ctr2_m 和第二输出端 OUT2_m，N1 级第一输出端包括第 m 级第一输出端 OUT1_m，N1 个第一脉冲扫描信号包括第 m 个第一脉冲扫描信号，第 m 级第一输出端 OUT1_m 被配置为输出第 m 个第一脉冲扫描信号，N1 个第二脉冲扫描信号包括与第 m 个第一脉冲扫描信号对应的第 m 个第二脉冲扫描信号，多个转换控制信号还包括多个第二子控制信号，多个第二子控制信号包括与第 m 个第一脉冲扫描信号对应的第 m 个第二子控制信号。

例如，在第 m 级电平转换电路 100_m 中，第一控制端 Ctr1_m 电连接到第 m 级第一输出端 OUT1_m 以接收第 m 个第一脉冲扫描信号，第二控制端 Ctr2_m 被配置为接收第 m 个第二子控制信号。第 m 级电平转换电路 100_m 被配置为在第 m 个第一脉冲扫描信号和第 m 个第二子控制信号的控制下通过其第二输出端 OUT2_m 输出第 m 个第二脉冲扫描信号，其中，m 为大于等于 1 且小于等于 N1 的整数。第 m 个第二脉冲扫描信号用于驱动例如与该第二输出端 OUT2_m 连接的栅线。由于第 m 级电平转换电路 100_m 的第一控制端 Ctr1_m 电连接到扫描信号发生电路 200 的第 m 级第一输出端 OUT1_m 以接收第 m 个第一脉冲扫描信号。由此，当扫描信号发生电路 200 为逐行扫描模式以输出该 N1 个第一脉冲扫描信号时，N2 个电平转换电路 100 也为逐行扫描模式以输出

该 N1 个第二脉冲扫描信号；当扫描信号发生电路 200 为隔行扫描模式以输出该 N1 个第一脉冲扫描信号时，N2 个电平转换电路 100 也为隔行扫描模式以输出该 N1 个第二脉冲扫描信号。例如，该第 m 级电平转换电路 100_m 的第二控制端 Ctr2_m 接收的第 m 个第二子控制信号可以是 N1 个第一脉冲扫描信号中的一个。需要注意的是，本公开不限于此，多个第二子控制信号还可以是其他可以实现该电平转换功能的控制信号，本公开的实施例对此不作限制，以下实施例与此相同，不再赘述。

例如，在一个示例中，第 m 级电平转换电路 100_m 的第二控制端 Ctr2_m 电连接到扫描信号发生电路 200 的第 m 级第一输出端 OUT1_m 以接收第 m 个第一脉冲扫描信号作为第 m 个第二子控制信号，即在每个电平转换电路中，第二控制端和与其同级的第一控制端电连接，且电连接至扫描信号发生电路 200 中对应的第一输出端。

例如，在另一个示例中，N1 级第一输出端包括第 m+i 级第一输出端（图中未示出），N1 个第一脉冲扫描信号包括第 m+i 个第一脉冲扫描信号，第 m+i 级第一输出端被配置为输出第 m+i 个第一脉冲扫描信号，第 m 级电平转换电路 100_m 的第二控制端 Ctr2_m 电连接到扫描信号发生电路 200 的第 m+i（i 为大于等于 1 的整数）级第一输出端，从而第 m+i 个第一脉冲扫描信号被输出至第 m 级电平转换电路 100_m 的第二控制端 Ctr2_m 作为第 m 个第二子控制信号。例如，在该栅极驱动电路包括两条时钟信号线时，i 为 1，第 m 级电平转换电路 100_m 的第二控制端 Ctr2_m 电连接到扫描信号发生电路 200 的第 m+1 级第一输出端；在该栅极驱动电路包括四条时钟信号线时，i 为 2，第 m 级电平转换电路 100_m 的第二控制端 Ctr2_m 电连接到扫描信号发生电路 200 的第 m+2 级第一输出端。需要注意的是，本公开的其他实施例中，栅极驱动电路还可以包括六条、八条等更多的时钟信号线，其具体的连接方式视具体情况而定，本公开的实施例在此不作限制。

例如，该第 m 级第一输出端 OUT1_m 输出的第 m 个第一脉冲扫描信号的脉冲与第 m+i 级第一输出端输出的第 m+i 个第一脉冲扫描信号的脉冲在时间上连续，即在每个电平转换电路中，其第二控制端接收的第一脉冲扫描信号的脉冲和其第一控制端接收的第一脉冲扫描信号的脉冲在时间上连续。例如，该第 m 级第一输出端 OUT1_m 输出的第 m 个第一脉冲扫描信号的脉冲由高电平变为低电平时，该第 m+i 级第一输出端输出的第 m+i 个第一脉冲扫描信号的脉冲

由低电平变为高电平；或者该第 m 级第一输出端 OUT1_m 输出的第 m 个第一脉冲扫描信号的脉冲由低电平变为高电平时，该第 m+i 级第一输出端输出的第 m+i 个第一脉冲扫描信号的脉冲由高电平变为低电平，以下实施例与此相同，不再赘述。

例如，该扫描信号发生电路 200 输出的每个第一脉冲扫描信号包括第一电平和第二电平，且该第一电平和第二电平在时间上连续；该电平转换电路输出的每个第二脉冲扫描信号包括第一电压和第二电压，且电平转换电路配置为在该第一脉冲扫描信号处于第一电平时，将第一电压输出至电平转换电路 100 的第二输出端 OUT2，在第一脉冲扫描信号处于第二电平时，将第二电压输出至电平转换电路 100 的第二输出端 OUT2，该第一电压和第二电压在时间上连续，即该电平转换电路 100 响应于该第一脉冲扫描信号的第一电平和第二电平交替输出第二脉冲扫描信号的第一电压和第二电压，以下各实施例与此相同，不再赘述。

本公开的实施例提供的栅极驱动电路，一方面，通过将扫描信号发生电路中的晶体管的工作电压降低到时钟脉冲信号的逻辑电压，例如 3.3V，避免扫描信号发生电路中的某些晶体管由于长期处于高压偏置的状态而出现阈值漂移的现象，从而保证了扫描信号发生电路中晶体管特性的稳定性，以延长晶体管的使用寿命，提高显示面板的显示质量，同时还降低了使用能耗；另一方面，电平转换电路以扫描信号发生电路产生的输出信号作为触发信号，在保证电平转换的同时使得电平转换前后的信号的相位保持同步，从而满足显示面板的电压需求。

例如，每个电平转换电路包括第一转换子电路和第二转换子电路，第一转换子电路连接到第一控制端，且配置为在第一控制端接收的对应的第一脉冲扫描信号处于第一电平时开启，将第一电压输出至第二输出端；第二转换子电路连接到第二控制端，且配置为在第二控制端接收的对应的第二子控制信号的控制下开启，将第二电压输出至第二输出端，由此得到对应的第二脉冲扫描信号。

下面以第 m 级电平转换电路 100_m 为例详细描述电平转换电路的具体结构，栅极驱动电路中的其余各电平转换电路与第 m 级电平转换电路相类似，以下各实施例与此相同，不再赘述。

图 2A 为本公开一实施例提供的一种示例性电平转换电路的示意图。例如，如图 2A 所示，该第 m 级电平转换电路 100_m 包括第一转换子电路 110 和第二

转换子电路 120。

该第一转换子电路 110 连接到第一控制端 Ctr1_m，且配置为在第一控制端 Ctr1_m 接收的第 m 个第一脉冲扫描信号处于第一电平时开启，将第一电压输出至第 m 级电平转换电路 100_m 的第二输出端 OUT2_m。例如，该第一转换子电路 110 可以与第一控制端 Ctr1_m、第一电压端 VGH 和第二输出端 OUT2_m 连接，且配置为在第一控制端 Ctr1_m 接收的第 m 个第一脉冲扫描信号处于第一电平时开启，将第一电压端 VGH 与第二输出端 OUT2_m 连接，从而将第一电压输出至电平转换电路 100_m 的第二输出端 OUT2_m，从而实现将处于第一电平的第 m 个第一脉冲扫描信号转换为第一电压。

该第二转换子电路 120 连接到第二控制端 Ctr2_m，且配置为在第二控制端 Ctr2_m 接收的第 m 个第二子控制信号的控制下开启，将第二电压输出至电平转换电路 100_m 的第二输出端 OUT2_m。第一电压和第二电压组成第 m 个第二脉冲扫描信号。例如，该第二转换子电路 120 可以与第二控制端 Ctr2_m、第二电压端 VGL 和第二输出端 OUT2_m 连接，且配置为在第二控制端 Ctr2_m 接收的第 m 个第二子控制信号的控制下开启，将第二电压端 VGL 与第二输出端 OUT2_m 连接，从而将第二电压输出至电平转换电路 100_m 的第二输出端 OUT2_m。例如，当第二转换子电路 120 在第 m 个第二子控制信号的控制下开启时，第 m 个第一脉冲扫描信号可以处于第二电平。

例如，在一些实施例中，在第 m 级电平转换电路 100_m 的第二控制端 Ctr2_m 电连接到扫描信号发生电路 200 的第 m 级第一输出端 OUT1_m 时，即与第一控制端 Ctr1_m 电连接时，该第二转换子电路 120 配置为在第二控制端 Ctr2_m 接收的第 m 个第一脉冲扫描信号的处于第二电平时开启，将第二电压输出至电平转换电路 100_m 的第二输出端 OUT2_m。在另一些实施例中，在第 m 级电平转换电路 100_m 的第二控制端电 Ctr2_m 连接到扫描信号发生电路 200 的第 m+i 级第一输出端时，该第二转换子电路 120 配置为在第二控制端 Ctr2_m 接收的第 m+i 个第一脉冲扫描信号的处于第一电平时开启，将第二电压输出至电平转换电路 100_m 的第二输出端 OUT2_m。

例如，N1 个第一脉冲扫描信号中的第 j 个第一脉冲扫描信号和 N1 个第二脉冲扫描信号中的第 j 个第二脉冲扫描信号对应，且第 j 个第一脉冲扫描信号的脉冲幅度（即第一电平与第二电平之间的电压差）和第 j 个第二脉冲扫描信号的脉冲幅度不同。第 j 个第一脉冲扫描信号的脉冲幅度例如为时钟信号的脉

冲幅度，例如为 3.3 伏（V）。第 j 个第二脉冲扫描信号的脉冲幅度例如为显示面板的扫描信号所需的脉冲幅度。j 为大于等于 1 且小于等于 N1 的整数。例如，第 j 个第二脉冲扫描信号的第一电平为第一电压，第 j 个第二脉冲扫描信号的第二电平为第二电压，二者的差值（即脉冲幅度）例如为十几伏或几十伏。需要注意的是，第二脉冲扫描信号的脉冲幅度与第一脉冲扫描信号的脉冲幅度的大小视具体情况而定，本公开的实施例对此不作限制。

需要注意的是，该第一脉冲扫描信号和第二脉冲扫描信号的第一电平例如为高电平，该第二电平例如为低电平（参考图 8 的示例），其设置可以视具体的实际情况而定，本公开的实施例对此不作限制。本公开的实施例以第一脉冲扫描信号和第二脉冲扫描信号的第一电平是高电平为例进行描述，以下各实施例与此相同，不再赘述。

需要注意的是，第一电压端 VGH 例如可以配置为保持输入直流高电平信号，例如，将该直流高电平信号称为第一电压，例如为十几伏或几十伏，第二电压端 VGL 例如可以配置为保持输入直流低电平信号，例如，将该直流低电平信号称为第二电压，第二电压低于第一电压，以下各实施例与此相同，不再赘述。

例如，每个电平转换电路包括第一转换子电路和第二转换子电路，第一转换子电路连接到第一控制端，且配置为在第一控制端接收的对应的第一脉冲扫描信号处于第一电平时开启，将第一电压输出至第二输出端；第二转换子电路连接到第一控制端，且配置为在第一控制端接收的对应的第一脉冲扫描信号处于第二电平时开启，将第二电压输出至第二输出端，由此得到对应的第二脉冲扫描信号。

例如，如图 3A 所示，在图 2A 所示的示例的基础上，该第 m 级电平转换电路 100_m 还包括电平保持子电路 130。该电压保持子电路 130 配置为在第二输出端 OUT2_m 输出第一电压的情况下，将第二输出端 OUT2_m 的电压控制在第一电压，在第二输出端 OUT2_m 输出第二电压的情况下，将第二输出端 OUT2_m 的电压控制在第二电压。

如图 3A 所示，该电压保持子电路 130 与第一转换子电路 110、第二转换子电路 120、第二输出端 OUT2_m 以及第三电压端 GND 连接，且配置为在第一转换子电路 110 输出第一电压的情况下，将第二输出端 OUT2_m 的电压控制在第一电压，在第二转换子电路 120 输出第二电压的情况下，将第二输出端

OUT2_m 的电压控制在第二电压。例如，该第三电压端为接地端，可将其输入的电压称为第三电压，该第三电压可根据需要选择，例如为低电平（低于第一电压），例如接地等，以下各实施例与此相同，不再赘述。

例如，图 3A 所示的电平转换电路在一个示例中可以具体实现为图 4A 所示的电路结构。

如图 4A 所示，在该示例中，更详细地，第一转换子电路 110 可以实现为第一晶体管 T1。如图 4A 所示，第一晶体管 T1 的栅极配置为和第一控制端 Ctr1_m 连接以接收对应的第一脉冲扫描信号，即第 m 个第一脉冲扫描信号，第 m 个第一脉冲扫描信号可以控制该第一晶体管 T1 开启或截止，第一晶体管 T1 的第一极配置为和第一电压端 VGH 连接以接收第一电压，第一晶体管 T1 的第二极配置为和第二输出端 OUT2_m 连接。

如图 4A 所示，第二转换子电路 120 可以实现为第二晶体管 T2。如图 4A 所示，第二晶体管 T2 的栅极配置为和第二控制端 Ctr2_m 连接以接收对应的第一脉冲扫描信号，即第 m 个第二子控制信号，第 m 个第二子控制信号可以控制该第二晶体管 T2 开启或截止，第二晶体管 T2 的第一极配置为和第二电压端 VGL 连接以接收第二电压，第二晶体管 T2 的第二极配置为和第二输出端 OUT2_m 连接，并且还和第一晶体管 T1 的第二极连接。

如图 4A 所示，电压保持子电路 130 可以实现为第一存储电容 C1。该第一存储电容 C1 的第一极配置为和第二输出端 OUT2_m 连接，还和第一晶体管 T1 的第二极连接以将第二输出端 OUT2_m 的电平控制在第一电压，以及和第二晶体管 T2 的第二极连接以将第二输出端 OUT2_m 的电平控制在第二电压，第一存储电容 C1 的第二极配置为和第三电压端 GND 连接以接收第三电压。

在上述示例中，第一晶体管 T1 和第二晶体管 T2 均以 N 型晶体管为例进行说明，但是本公开的实施例对此不作限制，也可以根据需要至少部分采用 P 型晶体管实现。

例如，在另一些实施例中，每个电平转换电路 100 包括对应的第一控制端（例如，图 1C 中的 Ctr1_1，Ctr1_m 和 Ctr1_N2）和第二输出端（例如，图 1C 中 OUT2_1，OUT2_m 和 OUT2_N2）。每个电平转换电路配置为在第一控制端接收的 N1 级第一输出端中对应的第一脉冲扫描信号的控制下通过第二输出端输出 N1 个第二脉冲扫描信号中对应的第二脉冲扫描信号。

例如，如图 1C 所示，N2 个电平转换电路 100 包括第 m 级电平转换电路

100_m，第 m 级电平转换电路 100_m 包括第一控制端 Ctr1_m 和第二输出端 OUT2_m，N1 级第一输出端包括第 m 级第一输出端 OUT1_m，N1 个第一脉冲扫描信号包括第 m 个第一脉冲扫描信号，第 m 级第一输出端 OUT1_m 被配置为输出第 m 个第一脉冲扫描信号，N1 个第二脉冲扫描信号包括与第 m 个第一脉冲扫描信号对应的第 m 个第二脉冲扫描信号。

例如，在第 m 级电平转换电路 100_m 中，第一控制端 Ctr1_m 电连接到第 m 级第一输出端 OUT1_m 以接收第 m 个第一脉冲扫描信号，第 m 级电平转换电路 100_m 被配置为在第 m 个第一脉冲扫描信号的控制下通过其第二输出端 OUT2_m 输出第 m 个第二脉冲扫描信号，其中，m 为大于等于 1 且小于等于 N1 的整数。

图 2B 示出了本公开另一示例的电平转换电路示意图。例如，如图 2B 所示，该示例中的第 m 级电平转换电路 100_m 与图 2A 中所示的第 m 级电平转换电路 100_m 的结构类似，区别在于：图 2B 所示的第 m 级电平转换电路 100_m 仅包括一个控制端，即第一控制端 Ctr1_m。值得注意的是，图 2A 中所示的第 m 级电平转换电路 100_m 中，第二控制端 Ctr2 也可以与第一控制端 Ctr1 连接，即第一转换子电路 110 和第二转换子电路 120 均与第一控制端连接，由此，第一转换子电路 110 和第二转换子电路 120 通过同一个转换控制信号控制。需要说明的是，上述关于图 2A 中的第 m 级电平转换电路 100_m 的描述在不矛盾的情况下均适用于图 2B 中的第 m 级电平转换电路 100_m。

例如，每个电平转换电路包括第一转换子电路和第二转换子电路，第一转换子电路连接到第一控制端，且配置为在第一控制端接收的对应的第一脉冲扫描信号处于第一电平时开启，将第一电压输出至第二输出端；第二转换子电路连接到第一控制端，且配置为在第一控制端接收的对应的第一脉冲扫描信号处于第二电平时开启，将第二电压输出至第二输出端，由此得到对应的第二脉冲扫描信号。

例如，如图 2B 所示，第 m 级电平转换电路 100_m 包括第一转换子电路 110 和第二转换子电路 120。第一转换子电路 110 连接到第一控制端 Ctr1_m，第一转换子电路 110 配置为在第一控制端 Ctr1_m 接收的第 m 个第一脉冲扫描信号处于第一电平时开启，将第一电压输出至第 m 级电平转换电路 100_m 的第二输出端 OUT2_m。第二转换子电路 120 连接到第一控制端 Ctr1_m，第二转换子电路 120 配置为在第一控制端 Ctr1_m 接收的第 m 个第一脉冲扫描信号

处于第二电平时开启，将第二电压输出至第 m 级电平转换电路 100_m 的第二输出端 OUT2_m，由此得到第 m 个第二脉冲扫描信号。

例如，该第二转换子电路 120 可以与第一控制端 Ctrl_m、第二电压端 VGL 和第二输出端 OUT2_m 连接，且配置为在第一控制端 Ctrl_m 接收的第 m 个第一脉冲扫描信号处于第二电平时开启，将第二电压端 VGL 与第二输出端 OUT2_m 连接，从而将第二电压输出至第 m 级电平转换电路 100 的第二输出端 OUT2_m，从而实现将第 m 个第一脉冲扫描信号的电平由第一电平转换为第二电压，由此得到第 m 个第二脉冲扫描信号。

例如，可以通过在第一控制端 Ctrl_m 和第二转换子电路 120 之间加反相器电路实现通过第 m 个第一脉冲扫描信号控制第二转换子电路 120 的功能。又例如，还可以通过在第一转换子电路 110 和第二转换子电路 120 中采用不同类型的晶体管实现通过第 m 个第一脉冲扫描信号控制第二转换子电路 120 的功能，例如，第一转换子电路 110 中采用 N 型，第二转换子电路 120 中采用 P 型，反之亦然。需要注意的是，该第二转换子电路 120 的实现方式可以视具体情况而定，本公开的实施例在此不作限制。

例如，如图 3B 所示，在图 2B 所示的示例的基础上，该第 m 级电平转换电路 100_m 还包括电平保持子电路 130。如图 3B 所示，该示例中的第 m 级电平转换电路 100_m 与图 3A 中所示的第 m 级电平转换电路 100_m 的结构类似，区别在于：图 3B 所示的第 m 级电平转换电路 100_m 仅包括一个控制端，即第一控制端 Ctrl_m。第一转换子电路 110 和第二转换子电路 120 均与第一控制端 Ctrl_m 连接。该第一转换子电路 110 和第二转换子电路 120 与第一控制端 Ctrl_m 的连接关系与图 2B 中所示的连接关系类似，在此不再赘述。

例如，该第一转换子电路 110 和第二转换子电路 120 分别响应于第一控制端 Ctrl_m 接收的第 m 个第一脉冲扫描信号的第一电平或第二电平交替工作。

例如，图 3B 所示的电平转换电路在一个示例中可以具体实现为图 4B 所示的电路结构。在该示例中，图 4B 所示的电平转换电路的电路结构和图 4A 所示的电路结构类似，区别在于第二转换子电路 120 的实现方式。

例如，如图 4B 所示，第一转换子电路 110 包括第一晶体管 T1，第一晶体管 T1 的栅极配置为和第一控制端 Ctrl_m 连接以接收对应的第一脉冲扫描信号，即第 m 个第一脉冲扫描信号，第一晶体管 T1 的第一极配置为和第一电压端 VGH 连接以接收第一电压，第一晶体管 T1 的第二极配置为和第二输出端

OUT2_m 连接。

例如，如图 4B 所示，该第二转换子电路 120 可以实现为第二晶体管 T2，第二晶体管 T2 的栅极配置为和第一控制端 Ctrl_m 连接以接收对应的第一脉冲扫描信号，即第 m 个第一脉冲扫描信号，第二晶体管 T2 的第一极配置为和第二电压端 VGL 连接，第二晶体管 T2 的第二极配置为和第二输出端 OUT2_m 连接，并且和第一晶体管 T1 的第二极连接，其中第一晶体管 T1 的类型与第二晶体管 T2 的类型相反。例如，在本实施例中，第一晶体管 T1 的类型可以采用 N 型晶体管，第二晶体管 T2 的类型可以采用 P 型晶体管。例如，该第一晶体管 T1 在第一脉冲扫描信号为第一电平时导通，以将第一电压端 VGH 与第二输出端 OUT2_m 连接，从而将第一电压输出至第二输出端 OUT2_m，该第二晶体管 T2 在第一脉冲扫描信号为第二电平时导通，以将第二电压端 VGL 与第二输出端 OUT2_m 连接，从而将第二电压输出至第二输出端 OUT2_m，从而在实现电平转换的同时保证了第二脉冲扫描信号与第一脉冲扫描信号的相位一致，从而满足显示面板的电压需求。

例如，图 3B 所示的电平转换电路在另一个示例中还可以具体实现为图 4C 所示的电路结构。如图 4C 所示，该电平转换电路 100_m 与图 4B 中所示的电平转换电路 100_m 的结构类似，区别在于：该第二转换子电路 120 还可以包括反相器 140。

例如，如图 4C 所示，第一转换子电路 110 包括第一晶体管 T1，第一晶体管 T1 的栅极配置为和第一控制端 Ctrl_m 连接以接收对应的第一脉冲扫描信号，即第 m 个第一脉冲扫描信号，第一晶体管 T1 的第一极配置为和第一电压端 VGH 连接以接收第一电压，第一晶体管 T1 的第二极配置为和第二输出端 OUT2_m 连接。

例如，如图 4C 所示，第二转换子电路 120 可以实现为第二晶体管 T2 以及反相器 140。例如，第二晶体管 T2 的栅极配置为和反相器 140 连接，第二晶体管 T2 的第一极配置为和第二电压端 VGL 连接以接收第二电压，第二晶体管 T2 的第二极配置为和第二输出端 OUT2_m 连接，并且和第一晶体管 T1 的第二极连接。例如，该反相器 140 与第一控制端 Ctrl_m 和第二晶体管 T2 的栅极连接，反相器 140 的输入端与第一控制端 Ctrl_m 连接，反相器 140 的输出端与第二晶体管 T2 的栅极连接。该反相器 140 配置为将第一控制端 Ctrl_m 接收的对应的第一脉冲扫描信号，即第 m 个第一脉冲扫描信号的电平反相后输出至第

二晶体管 T2 的栅极，并且在该示例中，第一晶体管 T1 类型与第二晶体管 T2 的类型相同，例如，都是 N 型。需要注意的是，该反相器 140 可以是任意可以实现反相器功能的电路结构，在此不再赘述。

例如，在本公开的实施例中，扫描信号发生电路 200 可以包括 N 个级联的移位寄存器单元 201。例如，该移位寄存器单元 201 可以为 GOA 移位寄存器单元。例如，图 5A 为本公开一实施例提供的一种移位寄存器单元 201 的示意图。如图 5A 所示，该移位寄存器单元 201 包括输入电路 210、上拉节点复位电路 220、输出电路 230。

该输入电路 210 配置为响应于输入信号对上拉节点 PU 进行充电。例如，该输入电路 210 可以与输入端 INPUT 和上拉节点 PU 连接，配置为在输入端 INPUT 输入的信号的控制下使上拉节点 PU 和输入端 INPUT 电连接或另外提供的高电压端电连接，从而可以使输入端 INPUT 输入的高电平信号或高电压电平端输出的高电平信号对上拉节点 PU 进行充电，以使得上拉节点 PU 的电压增加以控制输出电路 230 导通。

该上拉节点复位电路 220 配置为响应于复位信号对上拉节点 PU 进行复位。例如，该上拉节点复位电路 220 可以配置为和复位端 RST 连接，从而可以在复位端 RST 输入的复位信号的控制下，使得上拉节点 PU 和低电平信号或低电压端电连接，该低电压端例如为第二电压端 VGL，从而可以对上拉节点 PU 进行下拉复位。

该输出电路 230 配置为在上拉节点 PU 的电平的控制下，从而可以将第一时钟信号端 CLKA 输入的第一时钟信号输出至第一输出端 OUT1，作为该移位寄存器单元 201 的输出信号，以输入至电平转换电路 100。例如，该输出电路 230 可以配置为在上拉节点 PU 的电平的控制下导通，使第一时钟信号端 CLKA 和第一输出端 OUT1 电连接，从而可以将第一时钟信号端 CLKA 输入的时钟信号输出至第一输出端 OUT1。

例如，如图 5B 所示，在本公开实施例的另一个示例中，移位寄存器单元 201 还可以包括下拉电路 240、下拉控制电路 250、上拉节点降噪电路 260 和输出降噪电路 270。

该下拉电路 240 配置为在上拉节点 PU 和下拉控制节点 PD_CN 的电平的控制下，对下拉节点 PD 的电平进行控制，进而对上拉节点降噪电路 260 和输出降噪电路 270 进行控制。

例如，该下拉电路 240 可以连接第二时钟信号端 CLKB、第二电压端 VGL、上拉节点 PU、下拉节点 PD 和下拉控制节点 PD_CN，以在上拉节点 PU 的电平的控制下，使下拉节点 PD 和第二电压端 VGL 电连接，从而对下拉节点 PD 的电平进行下拉控制，使其处于低电位。同时，该下拉电路 240 可以在下拉控制节点 PD_CN 的电平的控制下，使下拉节点 PD 和第二时钟信号端 CLKB 电连接，从而对下拉节点 PD 进行充电，使其处于高电位。例如，通过将下拉电路的工作电压降低到第二时钟信号的逻辑电压，例如，3.3V，从而避免电路中的晶体管由于长期处于高压状态而出现阈值漂移的现象。

例如，如图 5C 所示，在另一个示例中，该移位寄存器单元还可以采用直流降噪结构。例如，该下拉电路 240 可以连接第一电压端 VGH、第二电压端 VGL、上拉节点 PU、下拉节点 PD 和下拉控制节点 PD_CN，以在上拉节点 PU 的电平的控制下，使下拉节点 PD 和第二电压端 VGL 电连接，从而对下拉节点 PD 的电平进行下拉控制，使其处于低电位。同时，该下拉电路 240 可以在下拉控制节点 PD_CN 的电平的控制下，使下拉节点 PD 和第一电压端 VGH 电连接，从而对下拉节点 PD 进行充电，使其处于高电位。

该下拉控制电路 250 配置为在上拉节点 PU 的电平的控制下，对下拉控制节点 PD_CN 的电平进行控制。例如，该下拉控制电路 250 可以连接第二时钟信号端 CLKB、第二电压端 VGL、上拉节点 PU 和下拉控制节点 PD_CN，以在上拉节点 PU 的电平的控制下，使下拉控制节点 PD_CN 和第二电压端 VGL 电连接，从而对下拉控制节点 PD_CN 的电平进行控制。例如，通过将下拉控制电路的工作电压降低到第二时钟信号的逻辑电压，例如，3.3V，从而避免电路中的晶体管由于长期处于高压状态而出现阈值漂移的现象。

例如，如图 5C 所示，在另一个示例中，该下拉控制电路 250 可以连接第一电压端 VGH、第二电压端 VGL、上拉节点 PU 和下拉控制节点 PD_CN，以在上拉节点 PU 的电平的控制下，使下拉控制节点 PD_CN 和第二电压端 VGL 电连接，从而对下拉控制节点 PD_CN 的电平进行控制。

该上拉节点降噪电路 260 配置为在下拉节点 PD 的电平的控制下，对上拉节点 PU 进行降噪。例如，该上拉节点降噪电路 260 可以配置为和第二电压端 VGL 连接，以在下拉节点 PD 的电平的控制下，使上拉节点 PU 和第二电压端 VGL 电连接，从而对上拉节点 PU 进行下拉降噪。

该输出降噪电路 270 配置为在下拉节点 PD 的电平的控制下，对第一输出

端 OUT1 进行降噪。例如，该输出降噪电路 270 可以配置为在下拉节点 PD 的电平的控制下，使第一输出端 OUT1 和第二电压端 VGL 电连接，从而对第一输出端 OUT1 进行下拉降噪。

需要注意的是，移位寄存器单元不限于图 5A、图 5B 和图 5C 中所示的结构，该移位寄存器单元还可以是其他各种类型的移位寄存器单元，本公开的实施例对此不作限制。例如，在图 5C 所示的示例的基础上，还可以再包括一个下拉电路和一个下拉控制电路，其连接方式与图 5C 中已经示出的下拉电路 240 和下拉控制电路 250 类似，在此不再赘述。该移位寄存器单元通过两个第一电压端交替工作，以减小与第一电压端相连的晶体管的应力，延长使用寿命。

例如，图 5B 中所示的移位寄存器单元 201 在一个示例中可以具体实现为图 6A 所示的电路结构，图 5C 中所示的移位寄存器单元 201 在一个示例中可以具体实现为图 6B 所示的电路结构。在下面的说明中以各晶体管为 N 型晶体管为例进行说明，但并不构成对本公开实施例的限制。

输入电路 210 可以实现为第三晶体管 T3。第三晶体管 T3 的栅极和第一极彼此电连接，且配置为都和输入端 INPUT 连接以接收输入信号，第三晶体管 T3 的第二极配置为和上拉节点 PU 连接，从而当第三晶体管 T3 由于输入端 INPUT 接收到的导通信号（高电平信号）导通时，使用该导通信号以对上拉节点 PU 进行充电，使其处于高电平。

上拉节点复位电路 220 可以实现为第四晶体管 T4。第四晶体管 T4 的栅极配置为和复位端 RST 连接以接收复位信号，第四晶体管 T4 的第一极配置为和上拉节点 PU 连接，第四晶体管 T4 的第二极配置为和第二电压端 VGL 连接以接收第二电压。第四晶体管 T4 由于复位信号而导通时，将上拉节点 PU 和第二电压端 VGL 电连接，从而可以对上拉节点 PU 进行复位，使其从高电平下降至低电平。

输出电路 230 可以实现为包括第五晶体管 T5 和第二存储电容 C2。第五晶体管 T5 的栅极配置为和上拉节点 PU 连接，第五晶体管 T5 的第一极配置为和第一时钟信号端 CLKA 连接以接收第一时钟信号，第五晶体管 T5 的第二极配置为和第一输出端 OUT1 连接；第二存储电容 C2 的第一极配置为和第五晶体管 T5 的栅极连接，第二存储电容 C2 的第二极和第五晶体管 T5 的第二极连接。

下拉电路 240 可以实现为包括第六晶体管 T6 和第七晶体管 T7。例如，如图 6A 所示，在一个示例中，第六晶体管 T6 的栅极配置为和下拉控制节点

PD_CN 连接，第六晶体管 T6 的第一极配置为和第二时钟信号端 CLKB 连接以接收第二时钟信号，第六晶体管 T6 的第二极配置为和下拉节点 PD 连接。

例如，如图 6B 所示，在另一个示例中，第六晶体管 T6 的栅极配置为和下拉控制节点 PD_CN 连接，第六晶体管 T6 的第一极配置为和第一电压端 VGH 连接以接收第一电压，第六晶体管 T6 的第二极配置为和下拉节点 PD 连接。

例如，如图 6A 和图 6B 所示，第七晶体管 T7 的栅极配置为和上拉节点 PU 连接，第七晶体管 T7 的第一极配置为和下拉节点 PD 连接，第七晶体管 T7 的第二极配置为和第二电压端 VGL 连接以接收第二电压。

下拉控制电路 250 可以实现为包括第八晶体管 T8 和第九晶体管 T9。例如，如图 6A 所示，在一个示例中，第八晶体管 T8 的栅极和其自身的第一极彼此电连接，且配置为都和第二时钟信号端 CLKB 连接以接收第二时钟信号，第八晶体管 T8 的第二极配置为和下拉控制节点 PD_CN 连接。

例如，如图 6B 所示，在另一个示例中，第八晶体管 T8 的栅极和其自身的第一极彼此电连接，且配置为都和第一电压端 VGH 连接以接收第一电压，第八晶体管 T8 的第二极配置为和下拉控制节点 PD_CN 连接。

例如，如图 6A 和图 6B 所示，第九晶体管 T9 的栅极配置为和上拉节点 PU 连接，第九晶体管 T9 的第一极配置为和下拉控制节点 PD_CN 连接，第九晶体管 T9 的第二极配置为和第二电压端 VGL 连接以接收第二电压。

上拉节点降噪电路 260 可以实现为第十晶体管 T10。第十晶体管 T10 的栅极配置为和下拉节点 PD 连接，第一极配置为和上拉节点 PU 连接，第二极配置为和第二电压端 VGL 连接以接收第二电压。第十晶体管 T10 由于下拉节点 PD 处于高电位时导通，将上拉节点 PU 和第二电压端 VGL 连接，从而可以对上拉节点 PU 下拉以实现降噪。

输出降噪电路 270 可以实现为第十一晶体管 T11。第十一晶体管 T11 的栅极配置为和下拉节点 PD 连接，第十一晶体管 T11 第一极配置为和第一输出端 OUT1 连接，第十一晶体管 T11 第二极配置为和第二电压端 VGL 连接以接收第二电压。第十一晶体管 T11 由于下拉节点 PD 处于高电位时导通，将第一输出端 OUT1 和第二电压端 VGL 连接，从而可以对第一输出端 OUT1 降噪。

需要说明的是，本公开的实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件，本公开的实施例中均以薄膜晶体管为例进行说明。这里采用的晶体管的源极、漏极在结构上可以是对称的，所以其

源极、漏极在结构上可以是没有区别的。在本公开的实施例中，为了区分晶体管除栅极之外的两极，直接描述了其中一极为第一极，另一极为第二极。

另外，在本公开的实施例提供的移位寄存器单元中的晶体管均以 N 型晶体管为例进行说明，此时，晶体管的第一极是漏极，第二极是源极。需要说明的是，本公开包括但不限于此。例如，本公开的实施例提供的移位寄存器单元中的一个或多个晶体管也可以采用 P 型晶体管，此时，晶体管第一极是源极，第二极是漏极，只需将选定类型的晶体管的各极的极性按照本公开的实施例中的相应晶体管的各极的极性相应连接即可。

例如，如图 6A 或 6B 所示，该移位寄存器单元 201 中的晶体管均采用 N 型晶体管，第一电压端 VGH 保持输入直流高电平的第一电压，第二电压端 VGL 保持输入直流低电平的第二电压，第一时钟信号端 CLKA 输入第一时钟信号，第二时钟信号端 CLKB 输入第二时钟信号。

例如，如图 7A 所示，本公开还提供一种栅极驱动电路 10，该栅极驱动电路 10 包括多个级联的移位寄存器单元 201（例如，图 7A 所示的第 m 级移位寄存器单元 201_m、第 m+1 级移位寄存器单元 201_m+1、第 m+2 级移位寄存器单元 201_m+2）和与多个级联的移位寄存器单元 201 一一对应的电平转换电路 100（例如，图 7A 所示的第 m 级电平转换电路 100_m、第 m+1 级电平转换电路 100_m+1、第 m+2 级电平转换电路 100_m+2）。例如，该示例中的电平转换电路 100 可以是图 4A 中所示的电平转换电路，每个电平转换电路 100 包括第一控制端 Ctr1 和第二控制端 Ctr2。例如，该示例中的移位寄存器单元 201 可以是图 6A 中所示的移位寄存器单元。

例如，在本示例中，该栅极驱动电路 10 还包括第一时钟信号线 CLK1 和第二时钟信号线 CLK2。例如，第 m 级电平转换电路 100_m 的第一控制端 Ctr1_m 与第 m 级移位寄存器单元 201_m 的第一输出端 OUT1_m 连接，第 m 级电平转换电路 100_m 的第二控制端 Ctr2_m 和第 m+1 级移位寄存器单元的第一输出端 OUT_m+1 连接。需要注意的是，该栅极驱动电路还可以包括四条、六条或八条以及更多的时钟信号线，时钟信号线的条数视具体情况而定，本公开的实施例在此不作限定。

例如，如图 7A 所示，该移位寄存器单元 201 的每个还包括第一时钟信号端 CLKA 和第二时钟信号端 CLKB，且配置为和第一时钟信号线 CLK1 或第二时钟信号线 CLK2 连接以接收第一时钟信号或第二时钟信号。第一时钟信号线

CLK1和第2n-1(n为大于0的整数)级移位寄存器单元的第一时钟信号端CLKA以及第2n级移位寄存器单元的第二时钟信号端CLKB连接，第二时钟信号线CLK2和第2n级移位寄存器单元的第一时钟信号端CLKA以及第2n-1级移位寄存器单元的第二时钟信号端CLKB连接。需要说明的是，本公开的实施例包括但不限于上述连接方式，例如还可以采用：第一时钟信号线CLK1和第2n级移位寄存器单元的第一时钟信号端CLKA以及第2n-1级移位寄存器单元的第二时钟信号端CLKB连接，第二时钟信号线CLK2和第2n-1级移位寄存器单元的第一时钟信号端CLKA以及第2n级移位寄存器单元的第二时钟信号端CLKB连接，本公开的实施例对此不作限制。

需要说明的是，图7A中所示的OUT1_m表示第m级移位寄存器单元201_m的第一输出端，OUT1_m+1表示第m+1级移位寄存器单元201_m+1的第一输出端，OUT1_m+2表示第m+2级移位寄存器单元201_m+2的第一输出端。图7A中所示的OUT2_m表示第m级电平转换电路100_m的第二输出端，OUT2_m+1表示第m+1级电平转换电路的第二输出端100_m+1，OUT2_m+2表示第m+2级电平转换电路100_m+2的第二输出端。以下各实施例中的附图标记与此类似，不再赘述。

例如，如图7A所示，除最后一级移位寄存器单元外，其余各级移位寄存器单元的复位端RST和下一级移位寄存器单元的第一输出端OUT1连接。除第一级移位寄存器单元外，其余各级移位寄存器单元的输入端INPUT和上一级移位寄存器单元的第一输出端OUT1连接。

例如，第一级移位寄存器单元的输入端INPUT可以被配置为接收触发信号STV，最后一级移位寄存器单元的复位端RST可以被配置为接收复位信号RESET，为简洁起见，触发信号STV和复位信号RESET在图7A中未示出。

例如，如图7A所示，该栅极驱动电路10还可以包括时序控制器300。例如，该时序控制器300可以被配置为和第一时钟信号线CLK1以及第二时钟信号线CLK2连接，以向各移位寄存器单元提供第一时钟信号和第二时钟信号。例如，时序控制器300还可以被配置为提供触发信号STV以及复位信号RESET。

例如，第一时钟信号线CLK1和第二时钟信号线CLK2上提供的时钟信号时序可以采用图8中所示的信号时序，以实现栅极驱动电路10逐行输出栅极扫描信号的功能。

在另一个示例中，如图 7B 所示，该栅极驱动电路 10 包括多个级联的移位寄存器单元 201（例如，图 7B 所示的第 m 级移位寄存器单元 201_m、第 m+1 级移位寄存器单元 201_m+1、第 m+2 级移位寄存器单元 201_m+2）和与多个级联的移位寄存器单元 201 一一对应的电平转换电路 100（例如，图 7B 所示的第 m 级电平转换电路 100_m、第 m+1 级电平转换电路 100_m+1、第 m+2 级电平转换电路 100_m+2）。栅极驱动电路 10 与图 7A 中所示的栅极驱动电路 10 的结构类似，区别在于每个电平转换电路 100 仅包括第一控制端 Ctr1（例如，如图 7B 所示，第 m 级电平转换电路 100_m 包括第一控制端 Ctr1_m 和第二输出端 OUT2_m，第 m+1 级电平转换电路 100_m+1 包括第一控制端 Ctr1_m+1 和第二输出端 OUT2_m+1，第 m+2 级电平转换电路 100_m+2 包括第一控制端 Ctr1_m+2 和第二输出端 OUT2_m+2），且第一控制端 Ctr1 其同级的移位寄存器单元 201 的第一输出端 OUT1 连接。例如，第 m 级电平转换电路 100_m 的第一控制端 Ctr1_m 与第 m 级移位寄存器单元的第一输出端 OUT1_m 连接。例如，本示例中的电平转换电路 100 可以是图 4B 或图 4C 中所示的电平转换电路。本示例中，栅极驱动电路的其他部分可以参考图 7A 中所示的栅极驱动电路的描述，在此不再赘述。

下面结合图 8 所示的信号时序图，对图 7A 中所示的栅极驱动电路 10 的工作原理进行说明。在图 8 所示的第一阶段 1 和第二阶段 2 共两个阶段中，该栅极驱动电路 10 可以分别进行如下操作。

需要说明的是，如图 8 所示，在本示例中，第一阶段为移位寄存器单元输出的第一脉冲扫描信号为第一电平时的阶段，第二阶段为移位寄存器单元输出的第一脉冲扫描信号为第二电平时的阶段。

需要说明的是，图 9A 为图 4A 中所示的电平转换电路 100 处于第一阶段 1 时的示意图，图 9B 为图 4A 中所示的电平转换电路 100 处于第二阶段 2 时的示意图。另外图 9A 和图 9B 中用虚线标识的晶体管均表示在对应阶段内处于截止状态，图 9A 和图 9B 中带箭头的虚线表示电平转换电路 100 在对应阶段内的电流方向。图 9A 和图 9B 中所示的晶体管均以 N 型晶体管为例进行说明，即各个晶体管的栅极在接入高电平（即第一电平）时导通，而在接入低电平（即第二电平）时截止。

在第一阶段 1，第一时钟信号线 CLK1 提供高电平信号，如图 7A 所示，由于第 m 级移位寄存器单元 201_m 的第一时钟信号端 CLKA 和第一时钟信号

线 CLK1 连接，所以在此阶段第 m 级移位寄存器单元 201_m 的第一时钟信号端 CLKA 高电平信号；又由于第 m 级移位寄存器单元 201_m 的上拉节点（图中未示出）为高电平，所以在上拉节点高电平的控制下，第一时钟信号端 CLKA 输入的高电平输出至第 m 级移位寄存器单元 201_m 的第一输出端 OUT1_m，作为第 m 级移位寄存器单元 201_m 输出的第一脉冲扫描信号的第一电平。需要说明的是，图 8 中所示的信号时序图的电位的高低仅是示意性的，不代表真实电位值或相对比例，对应于上述示例，高电平信号对应于 N 型晶体管的开启信号，而低电平信号对应于 N 型晶体管为截止信号。例如，该第一时钟信号线 CLK1 和第二时钟信号线 CLK2 提供的高电平为 3.3V，因此该第 m 级移位寄存器单元 201_m 的第一输出端 OUT1_m 输出的第一脉冲扫描信号的第一电平大约为 3.3V。

如图 8 和图 9A 所示，在第一阶段 1，第一晶体管 T1 响应于第一控制端 Ctr1_m 接收的第 m 级移位寄存器单元 201_m 的第一输出端 OUT1_m 输出的第一脉冲扫描信号的第一电平而导通，同时，第二晶体管 T2 响应于第二控制端 Ctr2_m 接收的第 m+1 级移位寄存器单元 201 的第一输出端 OUT1_m+1 输出的第一脉冲扫描信号的第二电平而截止。

如图 9A 所示，在第一阶段 1，图 4A 所示的第 m 级电平转换电路 100_m 形成一条第二脉冲扫描信号的输出路径（如图 9A 中带箭头的虚线所示），由于在此阶段，第一控制端 Ctr1_m 接收的第一脉冲扫描信号为第一电平，使得第一电压端 VGH 和第二输出端 OUT2_m 连接，并对第一存储电容 C1 进行充电，因此，在此阶段，第 m 级电平转换电路 100_m 的第二输出端 OUT2_m 输出第一电压 VGH。

在第二阶段 2，第二时钟信号线 CLK2 提供高电平信号，如图 7A 所示，由于第 m+1 级移位寄存器单元 201_m+1 的第一时钟信号端 CLKA 和第二时钟信号线 CLK2 连接，所以在此阶段第 m+1 级移位寄存器单元 201_m+1 的第一时钟信号端 CLKA 高电平信号；又由于第 m+1 级移位寄存器单元 201_m+1 的上拉节点（图中未示出）为高电平，所以在上拉节点高电平的控制下，第一时钟信号端 CLKA 输入的高电平输出至第 m+1 级移位寄存器单元 201_m+1 的第一输出端 OUT1_m+1，作为第 m+1 级移位寄存器单元 201_m+1 输出的第一脉冲扫描信号的第一电平；同时，在此阶段，第一时钟信号线 CLK1 提供低电平，所以，在此阶段，第 m 级移位寄存器单元 201_m 的第一输出端 OUT1_m 输出

低电平，作为第 m 级移位寄存器单元 201_m 输出的第一脉冲扫描信号的第二电平。

如图 8 和图 9B 所示，在第二阶段 2，第一晶体管 T1 响应于第一控制端 Ctr1_m 接收的第 m 级移位寄存器单元 201_m 的第一输出端 OUT1_m 输出的第一脉冲扫描信号的第二电平而截止，同时，第二晶体管 T2 响应于第二控制端 Ctr2_m 接收的第 m+1 级移位寄存器单元 201_m+1 的第一输出端 OUT1_m+1 输出的第一脉冲扫描信号的第一电平而导通。

如图 9B 所示，在第二阶段 2，图 4A 所示的第 m 级电平转换电路 100_m 形成一条第二脉冲扫描信号的输出路径（如图 9B 中带箭头的虚线所示），由于在此阶段，第二控制端 Ctr2_m 接收的第一脉冲扫描信号为第一电平，使得第二电压端 VGL 和第二输出端 OUT2_m 连接，并将第一存储电容 C1 放电至第二电压 VGL，因此，在此阶段，电平转换电路 100_m 输出第二电压且在之后一直保持第二电压 VGL，直至第一控制端 Ctr1_m 接收的第一脉冲扫描信号为第一电平时为止，从而保证了电平转换后的信号和转换前的信号的相位的一致性，以满足显示面板的电压的需求。同时，第 m+1 级电平转换电路 100_m+1 的第二输出端 OUT2_m+1 输出第一电压。第 m+1 级电平转换电路 100_m+1 的工作原理与图 9A 中所示的第 m 级电平转换电路 100_m 的工作原理类似，在此不再赘述。

图 7B 中所示的栅极驱动电路的工作原理与图 7A 中所示的栅极驱动电路的工作原理类似，在此不再赘述。

图 10A 为本公开一实施例提供的另一示例的栅极驱动电路 10。图 10A 中所示的栅极驱动电路与图 7A 中所示的栅极驱动电路的结构类似，区别在于：该栅极驱动电路 10 包括第一时钟信号线 CLK1、第二时钟信号线 CLK2、第三时钟信号线 CLK3、第四时钟信号线 CLK4、第五时钟信号线 CLK5 和第六时钟信号线 CLK6，且该栅极驱动电路 10 的第 m 级电平转换电路 100_m 的第一控制端 Ctr1_m 与第 m 级移位寄存器单元 201_m 的第一输出端 OUT1_m 连接，第 m 级电平转换电路 100_m 的第二控制端 Ctr2_m 和第 m+3 级移位寄存器单元 201_m+1 的第一输出端 OUT_m+3 连接。

例如，如图 10A 所示，第一时钟信号线 CLK1 例如和第 6n-5（n 为大于 0 的整数）级移位寄存器单元的第一时钟信号端 CLKA 以及第 6n-2 级移位寄存器单元的第二时钟信号端 CLKB 连接；第二时钟信号线 CLK2 例如和第 6n-4

级移位寄存器单元的第一时钟信号端 CLKA 以及第 6n-1 级移位寄存器单元的第二时钟信号端 CLKB 连接；第三时钟信号线 CLK3 例如和第 6n-3 级移位寄存器单元的第一时钟信号端 CLKA 以及第 6n 级移位寄存器单元的第二时钟信号端 CLKB 连接；第四时钟信号线 CLK4 例如和第 6n-2 级移位寄存器单元的第一时钟信号端 CLKA 以及第 6n-5 级移位寄存器单元的第二时钟信号端 CLKB 连接；第五时钟信号线 CLK5 例如和第 6n-1 级移位寄存器单元的第一时钟信号端 CLKA 以及第 6n-4 级移位寄存器单元的第二时钟信号端 CLKB 连接；第六时钟信号线 CLK6 例如和第 6n 级移位寄存器单元的第一时钟信号端 CLKA 以及第 6n-3 级移位寄存器单元的第二时钟信号端 CLKB 连接。需要注意的是，本公开的实施例还可以包括其他的连接方式，本公开的实施例对此不作限制。

例如，如图 10A 所示，除最后三级移位寄存器单元外，其余各级移位寄存器单元的复位端 RST 和与其相隔两级的下级移位寄存器单元的第一输出端 OUT1 连接。例如，第 6n-5 级移位寄存器单元的复位端 RST 和第 6n-3 级移位寄存器单元的第一输出端 OUT1 连接。除第一级、第二级和第三级移位寄存器单元外，其余各级移位寄存器单元的输入端 INPUT 和与其相隔两级的上级移位寄存器单元的第一输出端 OUT1 连接。例如，第 6n 级移位寄存器单元的输入端 INPUT 和第 6n-2 级移位寄存器单元的第一输出端 OUT1 连接。

例如，第一级、第二级和第三级移位寄存器单元的输入端 INPUT 可以被配置为接收触发信号 STV，最后三级移位寄存器单元的复位端 RST 可以被配置为接收复位信号 RESET，为简洁起见，触发信号 STV 和复位信号 RESET 在图 10A 中未示出。

例如，如图 10A 所示，该栅极驱动电路 10 还可以包括时序控制器 300。例如，该时序控制器 300 可以被配置为和第一时钟信号线 CLK1、第二时钟信号线 CLK2、第三时钟信号线 CLK3、第四时钟信号线 CLK4、第五时钟信号线 CLK5 和第六时钟信号线 CLK6 连接，以向各移位寄存器单元提供时钟信号。

例如，第一时钟信号线 CLK1、第二时钟信号线 CLK2、第三时钟信号线 CLK3、第四时钟信号线 CLK4、第五时钟信号线 CLK5 和第六时钟信号线 CLK6 上提供的时钟信号时序可以采用图 10B 中所示的信号时序，以实现栅极驱动电路 10 逐行输出栅极扫描信号的功能。

下面结合图 10B 所示的信号时序图，对图 10A 中所示的栅极驱动电路 10

的工作原理进行说明。如图 10B 所示，图 10A 中所示的栅极驱动电路 10 的工作原理与图 7A 中所示的栅极驱动电路的工作原理类似，在此不再详述。图 10A 所示的栅极驱动电路的工作原理为：

第一阶段 1，第一时钟信号线 CLK1 输入的高电平输出至第 m 级移位寄存器单元 201_m 的第一输出端 OUT1_m，作为第 m 级移位寄存器单元 201_m 输出的第一脉冲扫描信号的第一电平；第 m 级电平转换电路 100_m 的第二输出端 OUT2_m 输出第一电压，作为第 m 级电平转换电路 100_m 输出的第二脉冲扫描信号的第一电平。

第二阶段 2，第二时钟信号线 CLK2 输入的高电平输出至第 m+1 级移位寄存器单元 201_m+1 的第一输出端 OUT1_m+1，作为第 m+1 级移位寄存器单元 201 输出的第一脉冲扫描信号的第一电平；第 m+1 级电平转换电路 100_m+1 的第二输出端 OUT2_m+1 输出第一电压，作为第 m+1 级电平转换电路 100_m+1 输出的第二脉冲扫描信号的第一电平。

第三阶段 3，第三时钟信号线 CLK3 输入的高电平输出至第 m+2 级移位寄存器单元 201_m+2 的第一输出端 OUT1_m+2，作为第 m+2 级移位寄存器单元 201_m+2 输出的第一脉冲扫描信号的第一电平；第 m+2 级电平转换电路 100_m+2 的第二输出端 OUT2_m+1 输出第一电压，作为第 m+2 级电平转换电路 100_m+2 输出的第二脉冲扫描信号的第一电平。

第四阶段 4，第四时钟信号线 CLK4 输入的高电平输出至第 m+3 级移位寄存器单元 201_m+3 的第一输出端 OUT1_m+3，作为第 m+3 级移位寄存器单元 201_m+3 输出的第一脉冲扫描信号的第一电平；第 m+3 级电平转换电路 100_m+3 的第二输出端 OUT2_m+3 输出第一电压，作为第 m+3 级电平转换电路 100_m+3 输出的第二脉冲扫描信号的第一电平；第 m 级电平转换电路 100_m 的第二输出端 OUT2_m 输出第二电压并保持在第二电压，作为第 m 级电平转换电路 100_m 输出的第二脉冲扫描信号的第二电平，直至第 m 级电平转换电路 100_m 的第一控制端 Ctr1_m 接收的第一脉冲扫描信号为第一电平时为止。

第五阶段 5，第五时钟信号线 CLK5 输入的高电平输出至第 m+4 级移位寄存器单元 201_m+4 的第一输出端 OUT1_m+4，作为第 m+4 级移位寄存器单元 201_m+4 输出的第一脉冲扫描信号的第一电平；第 m+4 级电平转换电路 100_m+4 的第二输出端 OUT2_m+4 输出第一电压，作为第 m+4 级电平转换电路 100_m+4 输出的第二脉冲扫描信号的第一电平；第 m+1 级电平转换电路

100_m+1 的第二输出端 OUT2_m+1 输出第二电压并保持在第二电压，作为第 m+1 级电平转换电路 100_m+1 输出的第二脉冲扫描信号的第二电平，直至第 m+1 级电平转换电路 100_m+1 的第一控制端 Ctr1_m+1 接收的第一脉冲扫描信号为第一电平时为止。

第六阶段 6，第六时钟信号线 CLK6 输入的高电平输出至第 m+5 级移位寄存器单元 201_m+5 的第一输出端 OUT1_m+5，作为第 m+5 级移位寄存器单元 201_m+5 输出的第一脉冲扫描信号的第一电平；第 m+5 级电平转换电路 100_m+5 的第二输出端 OUT2_m+5 输出第一电压，作为第 m+5 级电平转换电路 100_m+5 输出的第二脉冲扫描信号；第 m+2 级电平转换电路 100_m+2 的第二输出端 OUT2_m+2 输出第二电压并保持在第二电压，作为第 m+2 级电平转换电路 100_m+2 输出的第二脉冲扫描信号的第二电平，直至第 m+2 级电平转换电路 100_m+2 的第一控制端 Ctr1_m+2 接收的第一脉冲扫描信号为第一电平时为止。

值得注意的是，如图 8 所示，第 m 级移位寄存器单元 201_m 的第一输出端 OUT1_m 输出的第一脉冲扫描信号和第 m+1 级移位寄存器单元 201 的第一输出端 OUT1_m+1 输出的第一脉冲扫描信号在时间上连续，即当第 m 级移位寄存器单元 201_m 的第一输出端 OUT1_m 输出的第一脉冲扫描信号结束时，第 m+1 级移位寄存器单元 201 的第一输出端 OUT1_m+1 输出第一脉冲扫描信号，也就是说，在同一时刻，第 m 级移位寄存器单元 201_m 的第一输出端 OUT1_m 和第 m+1 级移位寄存器单元 201 的第一输出端 OUT1_m+1 不会同时输出信号。如图 10B 所示，类似地，第 m 级移位寄存器单元 201_m 的第一输出端 OUT1_m 输出的第一脉冲扫描信号和第 m+3 级移位寄存器单元 201 的第一输出端 OUT1_m+3 输出的第一脉冲扫描信号在时间上连续。

需要说明的是，本公开实施例中提供的栅极驱动电路中采用的移位寄存器单元可以是各种类型的，不限于图 7A、图 7B 和图 10A 中所示的栅极驱动电路中的移位寄存器单元，例如，还可以采用图 5C 和图 6B 中所示的移位寄存器单元，本公开的实施例对此不作限制。例如，当该栅极驱动电路采用图 5C 和图 6B 中所示的移位寄存器单元时，该移位寄存器单元只有一个第一时钟信号端，该第一时钟信号端根据移位寄存器单元级联中的顺序与对应的时钟信号线连接。

需要说明的是，当采用本公开的实施例提供的栅极驱动电路 10 驱动一显

示面板时，可以将该栅极驱动电路 10 设置于显示面板的一侧。例如，该显示面板包括多行栅线，栅极驱动电路 10 中的各级电平转换电路的第二输出端可以配置为依序和该多行栅线一一对应连接，以用于输出栅极扫描信号至多行栅线。需要说明的是，还可以分别在显示面板的两侧设置该栅极驱动电路 10，以实现双边驱动，本公开的实施例对栅极驱动电路 10 的设置方式不作限定。

本公开的实施例还提供一种显示装置 1，如图 11 所示，该显示装置 1 包括本公开实施例提供的栅极驱动电路 10。该显示装置 1 包括由多个像素单元 30 构成的像素阵列。例如，该显示装置 1 还可以包括数据驱动电路 20。数据驱动电路 20 用于提供数据信号给像素阵列；栅极驱动电路 10 用于提供栅极扫描信号给像素阵列。数据驱动电路 20 通过数据线 21 与像素单元 30 电连接，栅极驱动电路 10 通过栅线 11 与像素单元 30 电连接。

需要说明的是，本实施例中的显示装置 1 可以为：液晶面板、液晶电视、显示器、OLED 面板、OLED 电视、电子纸显示装置、手机、平板电脑、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。该显示装置 1 还可以包括显示面板等其他常规部件，本公开的实施例对此不作限定。

本公开的实施例提供的显示装置 1 的技术效果可以参考上述实施例中关于栅极驱动电路 10 的相应描述，这里不再赘述。

需要说明的是，为表示清楚、简洁，并没有给出该显示装置 1 的全部结构。为实现显示装置的必要功能，本领域技术人员可以根据具体应用场景进行设置其他未示出的结构，本发明的实施例对此不做限制。

本公开一实施例还提供一种驱动方法，该驱动方法可以用于驱动图 1B 所示的栅极驱动电路。该驱动方法可以包括如下操作：

在第一控制端接收的对应的第一脉冲扫描信号的控制下，将第一电压输出至电平转换电路的第二输出端；在第二控制端接收的对应的第二子控制信号的控制下，将第二电压输出至电平转换电路的第二输出端，由此得到对应的第二脉冲扫描信号。

例如，在第一控制端接收的对应的第一脉冲扫描信号的控制下，将第一电压输出至电平转换电路的第二输出端的操作可以包括：在第一控制端接收的对应的第一脉冲扫描信号处于第一电平时，将第一电压输出至电平转换电路的第二输出端。

进一步地，对于图 7A 所示的示例，栅极驱动电路 10 包括两条时钟信号线，

以第 m 级电平转换电路为例，该驱动方法可以依次包括如下操作:

第一阶段，第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m 级电平转换电路的第一控制端，且第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m 级电平转换电路的第二输出端输出第一电压，作为第 m 级电平转换电路输出的第二脉冲扫描信号的第一电平;

第二阶段，第 m+1 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+1 级电平转换电路的第一控制端，且第 m+1 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m+1 级电平转换电路的第二输出端输出第一电压，作为第 m+1 级电平转换电路输出的第二脉冲扫描信号的第一电平;第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m 级电平转换电路的第一控制端，且第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第二电平，第 m+1 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m 级电平转换电路的第二控制端，第 m 级电平转换电路的第二输出端输出第二电压，作为第 m 级电平转换电路输出的第二脉冲扫描信号的第二电平，直至第 m 级电平转换电路的第一控制端接收的第一脉冲扫描信号为第一电平时为止。

进一步地，对于图 10A 所示的示例，栅极驱动电路 10 包括六条时钟信号线，该驱动方法可以依次包括如下操作:

第一阶段，第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m 级电平转换电路的第一控制端，且第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m 级电平转换电路的第二输出端输出第一电压，作为第 m 级电平转换电路输出的第二脉冲扫描信号的第一电平;

第二阶段，第 m+1 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+1 级电平转换电路的第一控制端，且第 m+1 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m+1 级电平转换电路的第二输出端输出第一电压，作为第 m+1 级电平转换电路输出的第二脉冲扫描信号的第一电平;

第三阶段，第 m+2 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+2 级电平转换电路的第一控制端，且第 m+2 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m+2 级电平转换电路的第二输出端输出第一电压，作为第 m+2 级电平转换电路输出的第二脉冲扫描信

号的第一电平;

第四阶段，第 m+3 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+3 级电平转换电路的第一控制端，且第 m+3 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m+3 级电平转换电路的第二输出端输出第一电压，作为第 m+3 级电平转换电路输出的第二脉冲扫描信号的第一电平;第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m 级电平转换电路的第一控制端，且第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第二电平，第 m+3 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m 级电平转换电路的第二控制端，第 m 级电平转换电路的第二输出端输出第二电压并保持在第二电压,作为第 m 级电平转换电路输出的第二脉冲扫描信号的第二电平,直至第 m 级电平转换电路的第一控制端接收的第一脉冲扫描信号为第一电平时为止;

第五阶段，第 m+4 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+4 级电平转换电路的第一控制端，且第 m+4 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m+4 级电平转换电路的第二输出端输出第一电压，作为第 m+4 级电平转换电路输出的第二脉冲扫描信号的第一电平；第 m+1 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+1 级电平转换电路的第一控制端，且第 m+1 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第二电平，第 m+4 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+1 级电平转换电路的第二控制端，第 m+1 级电平转换电路的第二输出端输出第二电压并保持在第二电压，作为第 m+1 级电平转换电路输出的第二脉冲扫描信号的第二电平，直至第 m+1 级电平转换电路的第一控制端接收的第一脉冲扫描信号为第一电平时为止;

第六阶段，第 m+5 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+5 级电平转换电路的第一控制端，且第 m+5 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m+5 级电平转换电路的第二输出端输出第一电压，作为第 m+5 级电平转换电路输出的第二脉冲扫描信号的第一电平；第 m+2 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+2 级电平转换电路的第一控制端，且第 m+2 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第二电平，第 m+5 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+2 级电平转换电路的第二控制端，

第 m+2 级电平转换电路的第二输出端输出第二电压并保持在第二电压，作为第 m+2 级电平转换电路输出的第二脉冲扫描信号的第二电平，直至第 m+2 级电平转换电路的第一控制端 Ctr1 接收的第一脉冲扫描信号为第一电平时为止。

本公开一实施例还提供一种驱动方法，该驱动方法可以用于驱动图 1C 所示的栅极驱动电路。该驱动方法可以包括如下操作:

在第一控制端接收的对应的第一脉冲扫描信号处于第一电平时，将第一电压输出至第二输出端;

在第一控制端接收的对应的第一脉冲扫描信号处于第二电平时，将第二电压输出至电第二输出端，由此得到对应的第二脉冲扫描信号。

进一步地，对于图 7A 所示的示例，栅极驱动电路 10 包括两条时钟信号线，以第 m 级电平转换电路为例，该驱动方法可以依次包括如下操作:

第一阶段，第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m 级电平转换电路的第一控制端，且第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m 级电平转换电路的第二输出端输出第一电压，作为第 m 级电平转换电路输出的第二脉冲扫描信号的第一电平;

第二阶段，第 m+1 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+1 级电平转换电路的第一控制端，且第 m+1 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m+1 级电平转换电路的第二输出端输出第一电压，作为第 m+1 级电平转换电路输出的第二脉冲扫描信号的第一电平;第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m 级电平转换电路的第一控制端，且第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第二电平，第 m 级电平转换电路的第二输出端输出第二电压，作为第 m 级电平转换电路输出的第二脉冲扫描信号的第二电平，直至第 m 级电平转换电路的第一控制端接收的第一脉冲扫描信号为第一电平时为止。

进一步地，对于图 10A 所示的示例，栅极驱动电路 10 包括六条时钟信号线，该驱动方法可以依次包括如下操作:

第一阶段，第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m 级电平转换电路的第一控制端，且第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m 级电平转换电路的第二输出端输出第一电压，作为第 m 级电平转换电路输出的第二脉冲扫描信号的第一电平;

第二阶段，第 m+1 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+1 级电平转换电路的第一控制端，且第 m+1 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m+1 级电平转换电路的第二输出端输出第一电压，作为第 m+1 级电平转换电路输出的第二脉冲扫描信号的第一电平；

第三阶段，第 m+2 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+2 级电平转换电路的第一控制端，且第 m+2 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m+2 级电平转换电路的第二输出端输出第一电压，作为第 m+2 级电平转换电路输出的第二脉冲扫描信号的第一电平；

第四阶段，第 m+3 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+3 级电平转换电路的第一控制端，且第 m+3 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m+3 级电平转换电路的第二输出端输出第一电压，作为第 m+3 级电平转换电路输出的第二脉冲扫描信号的第一电平；第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m 级电平转换电路的第一控制端，且第 m 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第二电平，第 m 级电平转换电路的第二输出端输出第二电压并保持在第二电压，作为第 m 级电平转换电路输出的第二脉冲扫描信号的第二电平，直至第 m 级电平转换电路的第一控制端接收的第一脉冲扫描信号为第一电平时为止；

第五阶段，第 m+4 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+4 级电平转换电路的第一控制端，且第 m+4 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m+4 级电平转换电路的第二输出端输出第一电压，作为第 m+4 级电平转换电路输出的第二脉冲扫描信号的第一电平；第 m+1 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+1 级电平转换电路的第一控制端，且第 m+1 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第二电平，第 m+1 级电平转换电路的第二输出端输出第二电压并保持在第二电压，作为第 m+1 级电平转换电路输出的第二脉冲扫描信号的第二电平，直至第 m+1 级电平转换电路的第一控制端接收的第一脉冲扫描信号为第一电平时为止；

第六阶段，第 m+5 级移位寄存器单元的第一输出端输出第一脉冲扫描信

号至第 m+5 级电平转换电路的第一控制端，且第 m+5 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第一电平，第 m+5 级电平转换电路的第二输出端输出第一电压，作为第 m+5 级电平转换电路输出的第二脉冲扫描信号的第一电平；第 m+2 级移位寄存器单元的第一输出端输出第一脉冲扫描信号至第 m+2 级电平转换电路的第一控制端，且第 m+2 级移位寄存器单元的第一输出端输出第一脉冲扫描信号处于第二电平，第 m+2 级电平转换电路 00 的第二输出端输出第二电压并保持在第二电压，作为第 m+2 级电平转换电路输出的第二脉冲扫描信号的第二电平，直至第 m+2 级电平转换电路的第一控制端 Ctrl 接收的第一脉冲扫描信号为第一电平时为止。

本公开的实施例提供的栅极驱动电路 10 的驱动方法的技术效果可以参考上述实施例中关于栅极驱动电路 10 的相应描述，这里不再赘述。

有以下几点需要说明:

（1）本公开实施例附图只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计。

（2）在不冲突的情况下，本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权利要求书

1、一种栅极驱动电路，包括:

扫描信号发生电路，包括 N1 级第一输出端，配置为通过所述 N1 级第一输出端逐级分别输出 N1 个第一脉冲扫描信号;

N2 个电平转换电路，配置为在多个转换控制信号的控制下输出与所述 N1 个第一脉冲扫描信号一一对应的 N1 个第二脉冲扫描信号，所述多个转换控制信号包括多个第一子控制信号，所述多个第一子控制信号为所述 N1 个第一脉冲扫描信号;

其中，N1 为大于等于 2 的整数，N2 为大于等于 2 的整数。

2、根据权利要求 1 所述的栅极驱动电路，其中，N1 等于 N2，且所述 N2 个电平转换电路与所述 N1 级第一输出端一一对应设置，且所述 N2 个电平转换电路被配置分别输出所述 N1 个第二脉冲扫描信号。

3、根据权利要求 1 所述的栅极驱动电路，其中，N1 大于 N2，且每个所述电平转换电路与所述 N1 级第一输出端中的至少一个第一输出端对应设置，且每个所述电平转换电路被配置分别输出所述 N1 个第二脉冲扫描信号中的至少一个第二脉冲扫描信号。

4、根据权利要求 2 所述的栅极驱动电路，其中，每个所述电平转换电路包括第一控制端、第二控制端和第二输出端，所述多个转换控制信号还包括多个第二子控制信号，

每个所述电平转换电路配置为在所述第一控制端接收的所述 N1 个第一脉冲扫描信号中的对应的第一脉冲扫描信号和所述第二控制端接收的所述多个第二子控制信号中的对应的第二子控制信号的控制下通过所述第二输出端输出所述 N1 个第二脉冲扫描信号中的对应的第二脉冲扫描信号。

5、根据权利要求 4 所述的栅极驱动电路，其中，每个所述电平转换电路包括第一转换子电路和第二转换子电路，

所述第一转换子电路连接到所述第一控制端，且配置为在所述第一控制端接收的所述对应的第一脉冲扫描信号处于第一电平时开启，将第一电压输出至所述第二输出端;

所述第二转换子电路连接到所述第二控制端，且配置为在所述第二控制端接收的所述对应的第二子控制信号的控制下开启，将第二电压输出至所述第二

输出端，由此得到所述对应的第二脉冲扫描信号。

6、根据权利要求 5 所述的栅极驱动电路，其中，所述第一转换子电路包括第一晶体管，所述第一晶体管的栅极配置为和所述第一控制端连接以接收所述对应的第一脉冲扫描信号，所述第一晶体管的第一极配置为和第一电压端连接以接收所述第一电压，所述第一晶体管的第二极配置为和所述第二输出端连接；

所述第二转换子电路包括第二晶体管，所述第二晶体管的栅极配置为和所述第二控制端连接以接收所述对应的第二子控制信号，所述第二晶体管的第一极配置为和第二电压端连接以接收所述第二电压，所述第二晶体管的第二极配置为和所述第二输出端连接。

7、根据权利要求 4-5 任一项所述的栅极驱动电路，其中，所述 N2 个电平转换电路包括第 m 级电平转换电路，所述 N1 级第一输出端包括第 m 级第一输出端，所述 N1 个第一脉冲扫描信号包括第 m 个第一脉冲扫描信号，所述第 m 级第一输出端被配置为输出所述第 m 个第一脉冲扫描信号，所述多个第二子控制信号包括与所述第 m 级电平转换电路对应的第 m 个第二子控制信号，

所述第 m 级电平转换电路的第一控制端电连接到所述第 m 级第一输出端以接收所述第 m 个第一脉冲扫描信号，

所述第 m 级电平转换电路的第二控制端电连接到所述第 m 级第一输出端以接收所述第 m 个第一脉冲扫描信号作为所述第 m 个第二子控制信号，

其中，m 为大于等于 1 且小于等于 N1 的整数。

8、根据权利要求 4-6 任一项所述的栅极驱动电路，其中，所述 N2 个电平转换电路包括第 m 级电平转换电路，所述 N1 级第一输出端包括第 m 级第一输出端和第 m+i 级第一输出端，所述 N1 个第一脉冲扫描信号包括第 m 个第一脉冲扫描信号和第 m+i 个第一脉冲扫描信号，所述第 m 级第一输出端被配置为输出所述第 m 个第一脉冲扫描信号，所述第 m+i 级第一输出端被配置为输出所述第 m+i 个第一脉冲扫描信号，所述多个第二子控制信号包括与所述第 m 级电平转换电路对应的第 m 个第二子控制信号，

所述第 m 级电平转换电路的第一控制端电连接到所述第 m 级第一输出端以接收所述第 m 个第一脉冲扫描信号，

所述第 m 级电平转换电路的第二控制端电连接到所述第 m+i 级第一输出端以接收所述第 m+i 个第一脉冲扫描信号作为所述第 m 个第二子控制信号，

所述第 m 个第一脉冲扫描信号的脉冲与所述第 m+i 个第一脉冲扫描信号的脉冲在时间上连续，

其中，i 为大于等于 1 的整数，m 为大于等于 1 且小于等于 N1 的整数。

9、根据权利要求 1-3 任一项所述的栅极驱动电路，其中，每个所述电平转换电路包括第一控制端和第二输出端，

每个所述电平转换电路配置为在所述第一控制端接收的所述 N1 个第一脉冲扫描信号中对应的第一脉冲扫描信号的控制下通过所述第二输出端输出所述 N1 个第二脉冲扫描信号中的对应的第二脉冲扫描信号。

10、根据权利要求 9 所述的栅极驱动电路，其中，每个所述电平转换电路包括第一转换子电路和第二转换子电路，

所述第一转换子电路连接到所述第一控制端，且配置为在所述第一控制端接收的所述对应的第一脉冲扫描信号处于第一电平时开启，将第一电压输出至所述第二输出端；

所述第二转换子电路连接到所述第一控制端，且配置为在所述第一控制端接收的所述对应的第一脉冲扫描信号处于第二电平时开启，将第二电压输出至所述第二输出端，由此得到所述对应的第二脉冲扫描信号。

11、根据权利要求 10 所述的栅极驱动电路，其中，所述第一转换子电路包括第一晶体管，所述第一晶体管的栅极配置为和所述第一控制端连接以接收所述对应的第一脉冲扫描信号，所述第一晶体管的第一极配置为和第一电压端连接以接收所述第一电压，所述第一晶体管的第二极配置为和所述第二输出端连接；

所述第二转换子电路包括第二晶体管，所述第二晶体管的栅极配置为和所述第一控制端连接以接收所述对应的第一脉冲扫描信号，所述第二晶体管的第一极配置为和第二电压端连接以接收所述第二电压，所述第二晶体管的第二极配置为和所述第二输出端连接，所述第一晶体管的类型与所述第二晶体管的类型相反。

12、根据权利要求 10 所述的栅极驱动电路，其中，所述第一转换子电路包括第一晶体管，所述第二转换子电路包括第二晶体管以及反相器，

所述第一晶体管的栅极配置为和所述第一控制端连接以接收所述对应的第一脉冲扫描信号，所述第一晶体管的第一极配置为和第一电压端连接以接收所述第一电压，所述第一晶体管的第二极配置为和所述第二输出端连接；

所述第二晶体管的栅极配置为和所述反相器连接，所述第二晶体管的第一极配置为和第二电压端连接以接收所述第二电压，所述第二晶体管的第二极配置为和所述第二输出端连接，

所述反相器与所述第一控制端和所述第二晶体管的栅极连接，且配置为将所述第一控制端接收的所述对应的第一脉冲扫描信号的电平反相后输出至所述第二晶体管的栅极，所述第一晶体管类型与所述第二晶体管的类型相同。

13、根据权利要求 5-8 和 10-12 任一所述的栅极驱动电路，其中，每个所述电平转换电路还包括电压保持子电路，

所述电压保持子电路配置为在所述第二输出端输出所述第一电压的情况下，将所述第二输出端的电压控制在所述第一电压，在所述第二输出端输出所述第二电压的情况下，将所述第二输出端的电压控制在所述第二电压。

14、根据权利要求 13 所述的栅极驱动电路，其中，所述电压保持子电路包括第一存储电容，所述第一存储电容的第一极配置为和所述第二输出端连接，所述第一存储电容的第二极配置为和第三电压端连接以接收第三电压。

15、根据权利要求 1-14 任一所述的栅极驱动电路，其中，所述扫描信号发生电路包括级联的 N1 个移位寄存器单元，所述 N1 个移位寄存器单元与所述 N1 级第一输出端一一对应。

16、根据权利要求 15 所述的栅极驱动电路，其中，每个所述移位寄存器单元为 GOA 移位寄存器单元。

17、根据权利要求 1-16 任一所述的栅极驱动电路，其中，所述 N1 个第一脉冲扫描信号中的第 j 个第一脉冲扫描信号和所述 N1 个第二脉冲扫描信号中的第 j 个第二脉冲扫描信号对应，且所述第 j 个第一脉冲扫描信号的脉冲幅度和所述第 j 个第二脉冲扫描信号的脉冲幅度不同，其中，j 为大于等于 1 且小于等于 N1 的整数。

18、一种显示装置，包括如权利要求 1-17 任一所述的栅极驱动电路。

19、一种如权利要求 4-8 任一项所述的栅极驱动电路的驱动方法，包括:

在所述第一控制端接收的所述对应的第一脉冲扫描信号的控制下，将第一电压输出至所述第二输出端;

在所述第二控制端接收的所述对应的第二子控制信号的控制下，将第二电压输出至所述电第二输出端，由此得到所述对应的第二脉冲扫描信号。

20、一种如权利要求 9-12 任一项所述的栅极驱动电路的驱动方法，包括:

在所述第一控制端接收的所述对应的第一脉冲扫描信号处于第一电平时，将第一电压输出至所述第二输出端；

在所述第一控制端接收的所述对应的第一脉冲扫描信号处于第二电平时，将第二电压输出至所述电第二输出端，由此得到所述对应的第二脉冲扫描信号。

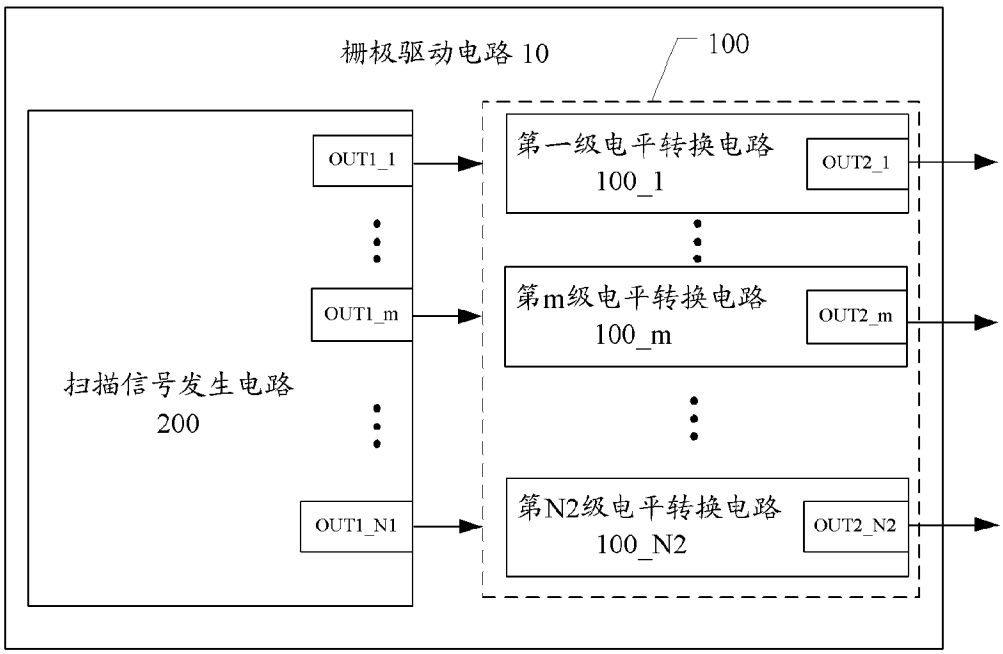

栅极驱动电路 10
100
OUT1_1
OUT1_m
OUT1_N1
扫描信号发生电路
200
第一级电平转换电路
100_1
OUT2_1
第m级电平转换电路
100_m
OUT2_m
第N2级电平转换电路
100_N2
OUT2_N2

图 1A

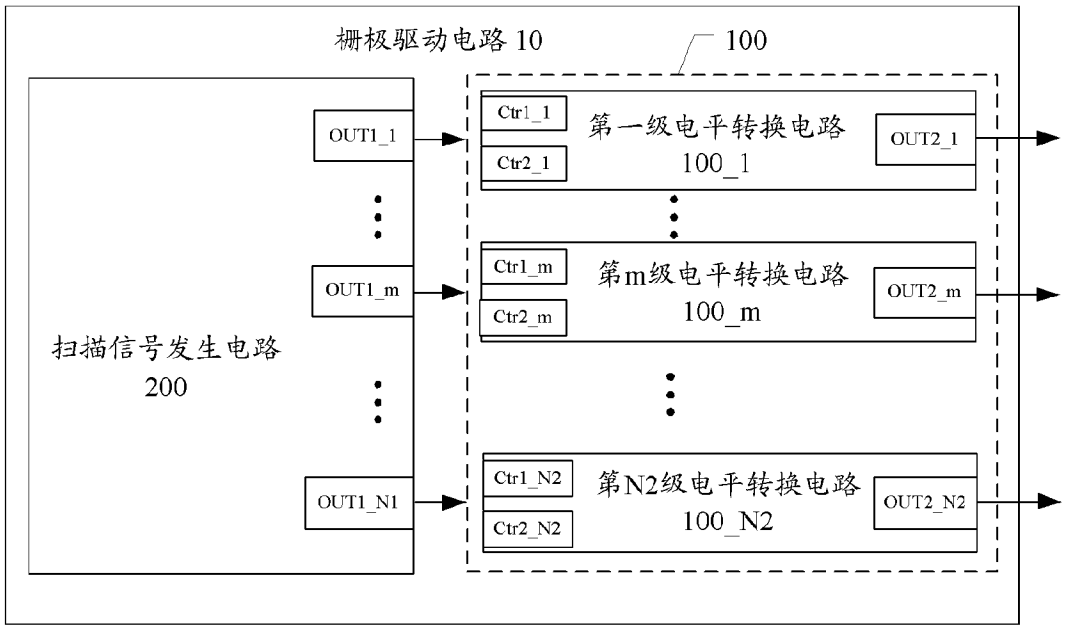

栅极驱动电路 10
100
OUT1_1
OUT1_m
OUT1_N1
扫描信号发生电路
200
Ctr1_1
Ctr2_1
第一级电平转换电路
100_1
OUT2_1
Ctr1_m
Ctr2_m
第m级电平转换电路
100_m
OUT2_m
Ctr1_N2
Ctr2_N2
第N2级电平转换电路
100_N2
OUT2_N2

图 1B

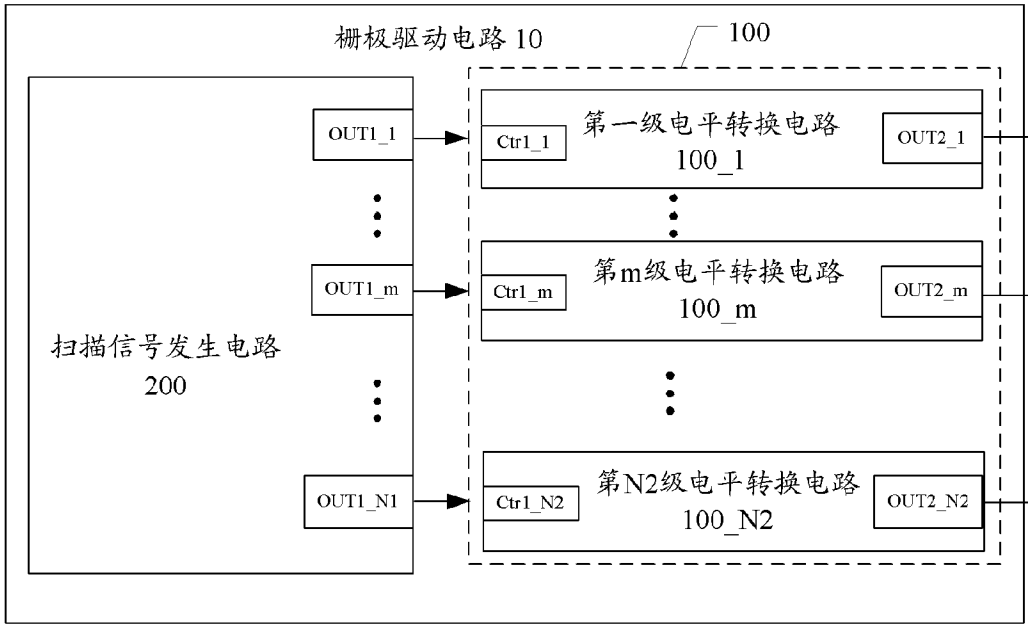

栅极驱动电路 10
100
扫描信号发生电路
200
OUT1_1
OUT1_m
OUT1_N1
Ctr1_1
第一级电平转换电路
100_1
OUT2_1
Ctr1_m
第m级电平转换电路
100_m
OUT2_m
Ctr1_N2
第N2级电平转换电路
100_N2
OUT2_N2

图 1C

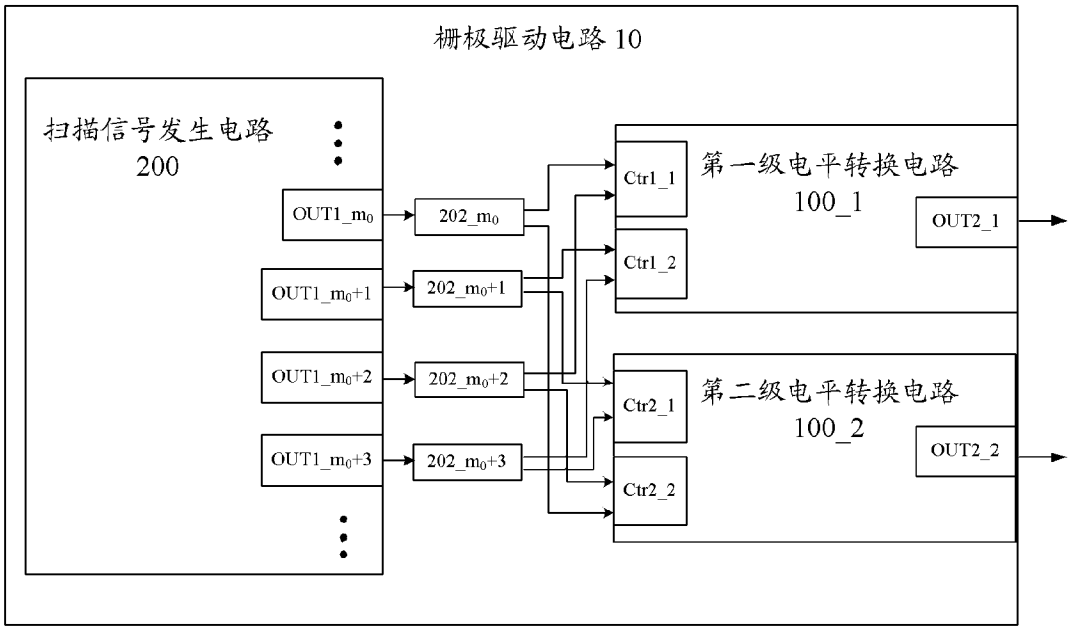

栅极驱动电路 10
扫描信号发生电路
200
OUT1_m0
OUT1_m0+1
OUT1_m0+2
OUT1_m0+3
202_m0
202_m0+1
202_m0+2
202_m0+3
Ctr1_1
Ctr1_2
第一级电平转换电路
100_1
OUT2_1
Ctr2_1
Ctr2_2
第二级电平转换电路
100_2
OUT2_2

图 1D

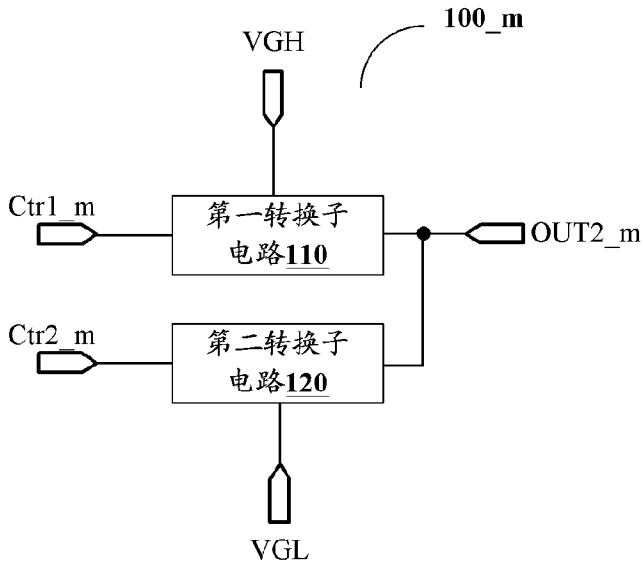

100_m
VGH
Ctr1_m
第一转换子电路110
OUT2_m
Ctr2_m
第二转换子电路120
VGL

图 2A

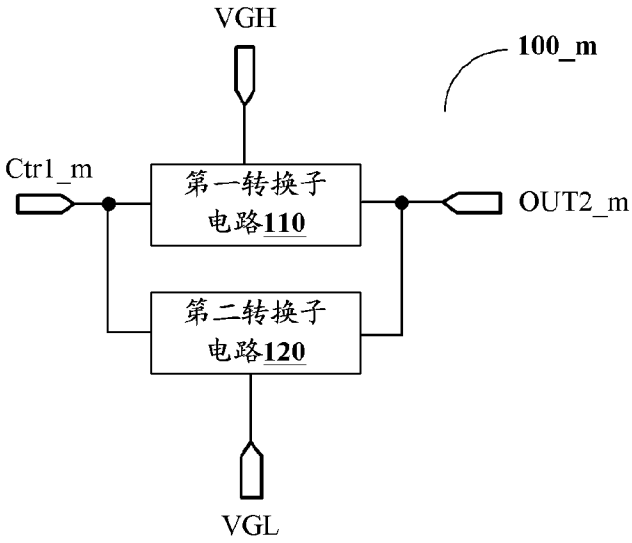

VGH
100_m
Ctr1_m
第一转换子电路110
OUT2_m
第二转换子电路120
VGL

图 2B

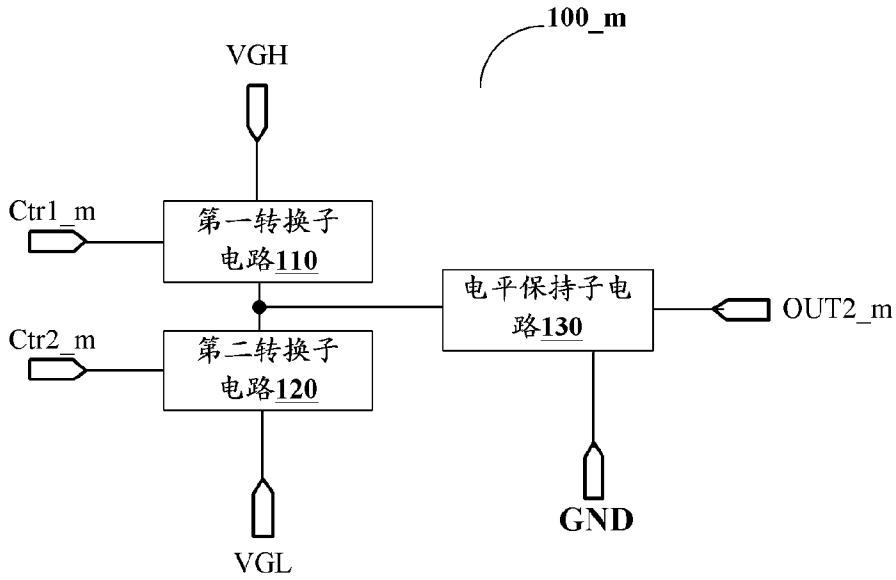

100_m
VGH
Ctr1_m
第一转换子电路110
电平保持子电路130
OUT2_m
Ctr2_m
第二转换子电路120
GND
VGL

图 3A

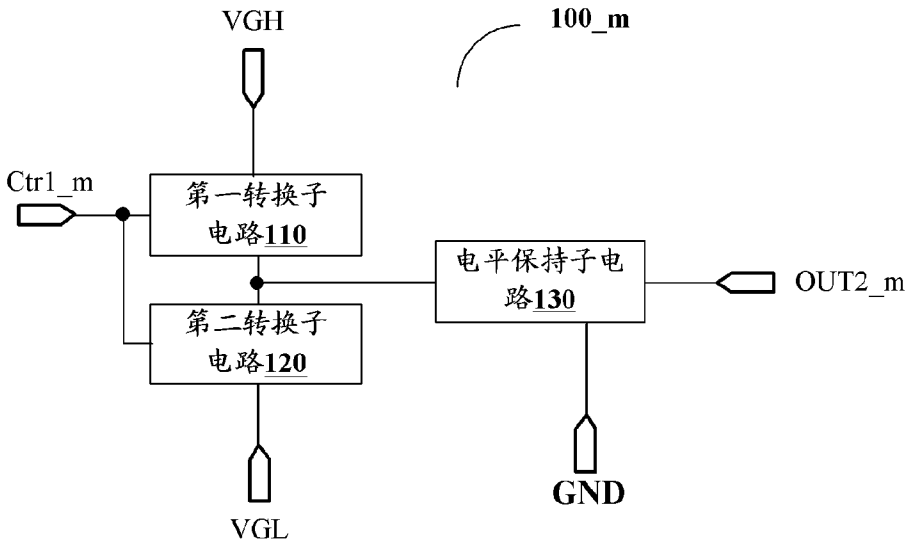

VGH
100_m
Ctr1_m
第一转换子电路110
电平保持子电路130
OUT2_m
第二转换子电路120
GND
VGL

图 3B

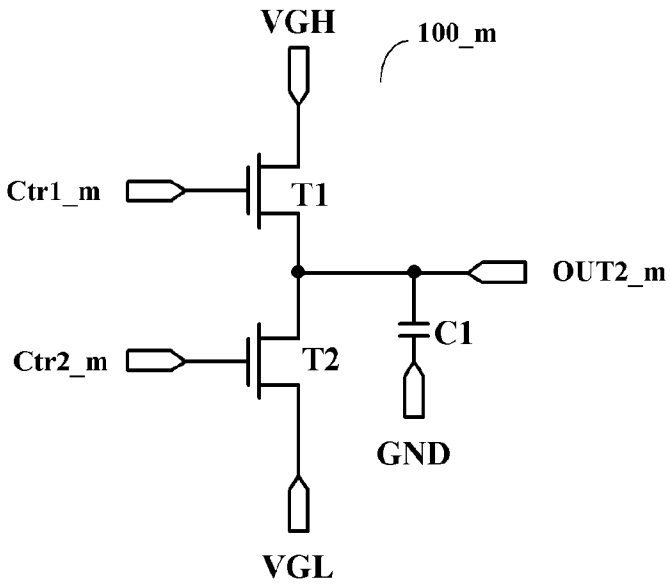

VGH
100_m
Ctr1_m
T1
OUT2_m
C1
Ctr2_m
T2
GND
VGL

图 4A

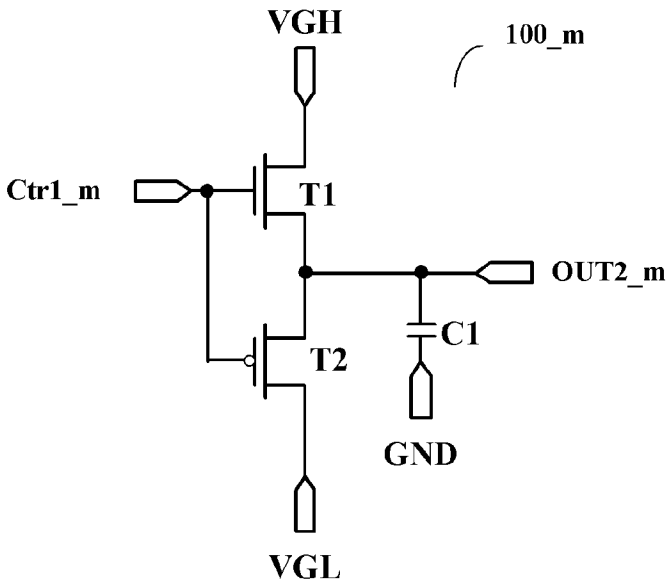

VGH
100_m
Ctr1_m
T1
OUT2_m
C1
T2
GND
VGL

图 4B

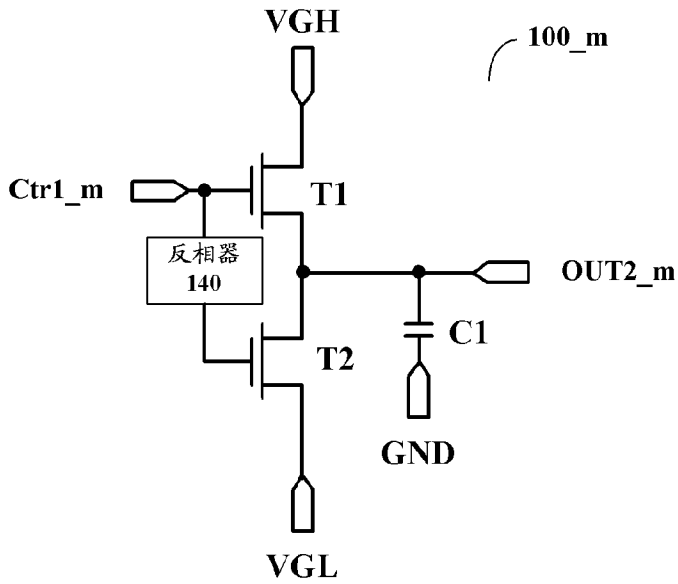

VGH
100_m
Ctr1_m
T1
反相器
140
OUT2_m
C1
T2
GND
VGL

图 4C

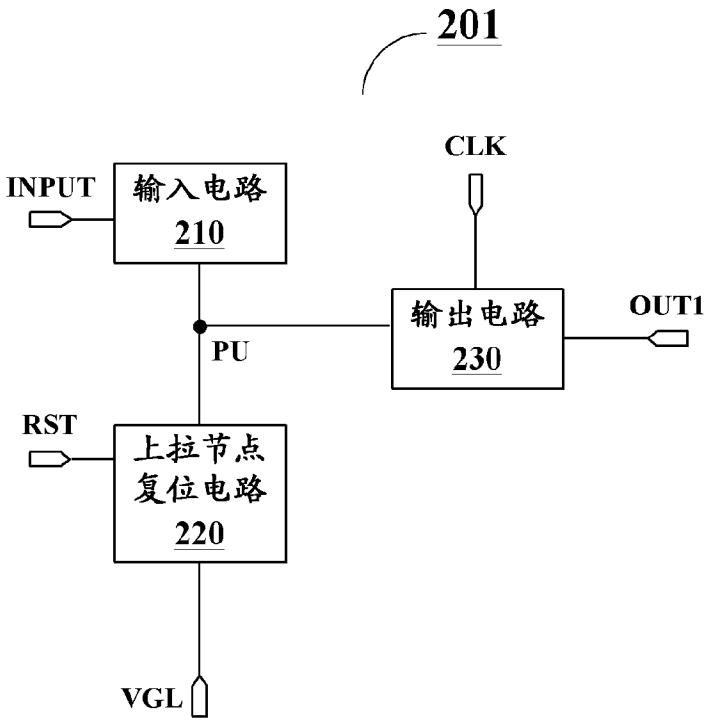

201
CLK
INPUT
输入电路
210
输出电路
230
OUT1
PU
RST
上拉节点
复位电路
220
VGL

图 5A

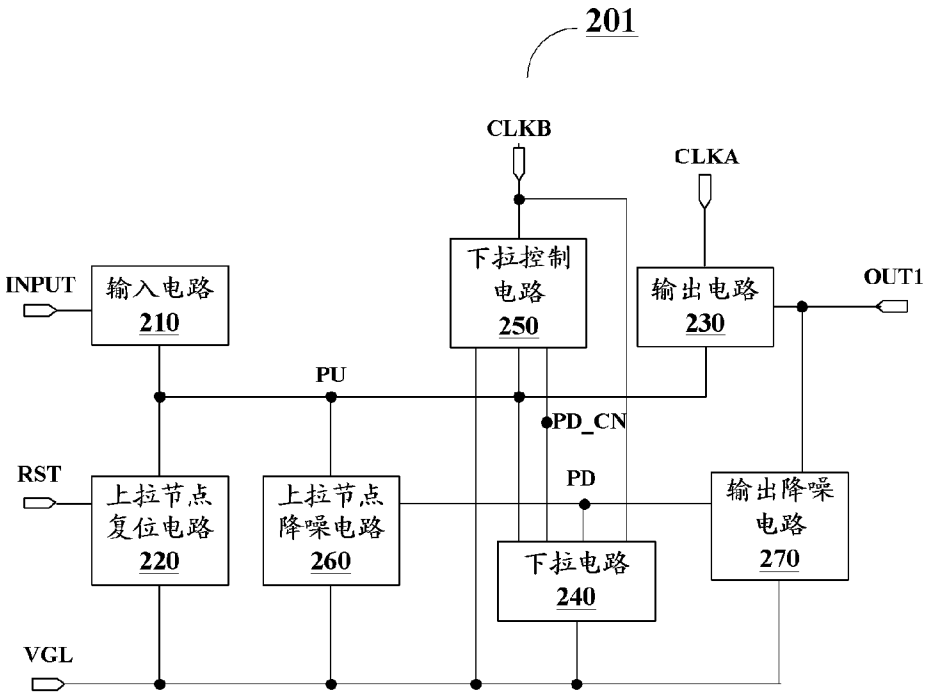

201
CLKB
CLKA
INPUT
输入电路
210
下拉控制
电路
250
输出电路
230
OUT1
PU
PD_CN
RST
上拉节点
复位电路
220
上拉节点
降噪电路
260
PD
输出降噪
电路
270
下拉电路
240
VGL

图 5B

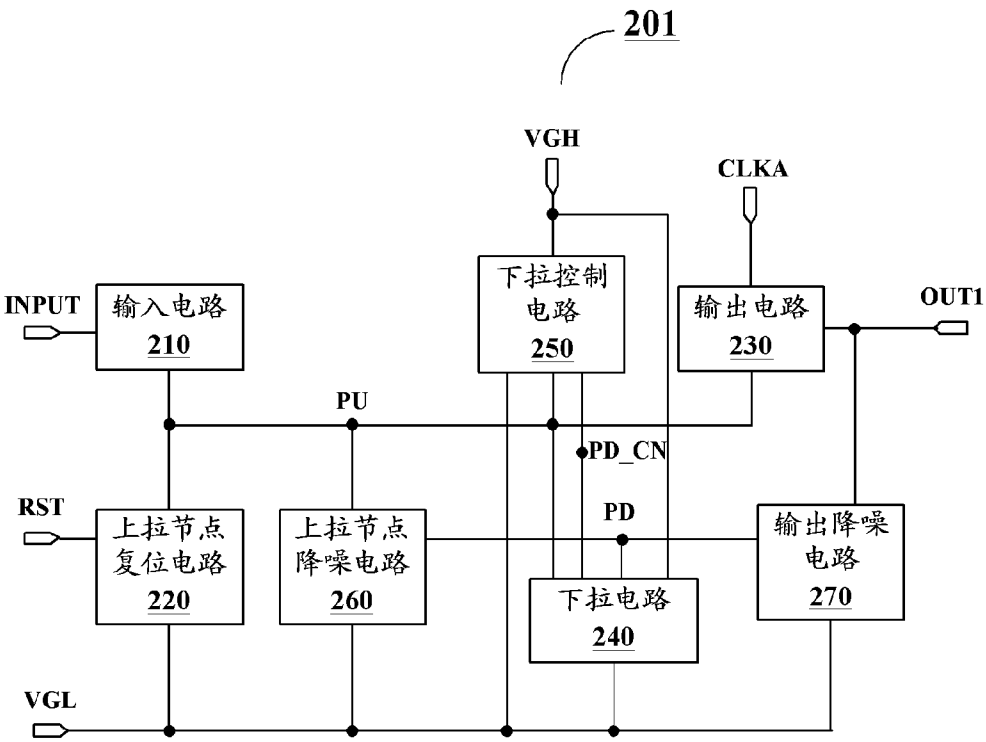

201
VGH
CLKA
INPUT
输入电路
210
下拉控制
电路
250
输出电路
230
OUT1
PU
PD_CN
RST
上拉节点
复位电路
220
上拉节点
降噪电路
260
PD
输出降噪
电路
270
下拉电路
240
VGL

图 5C

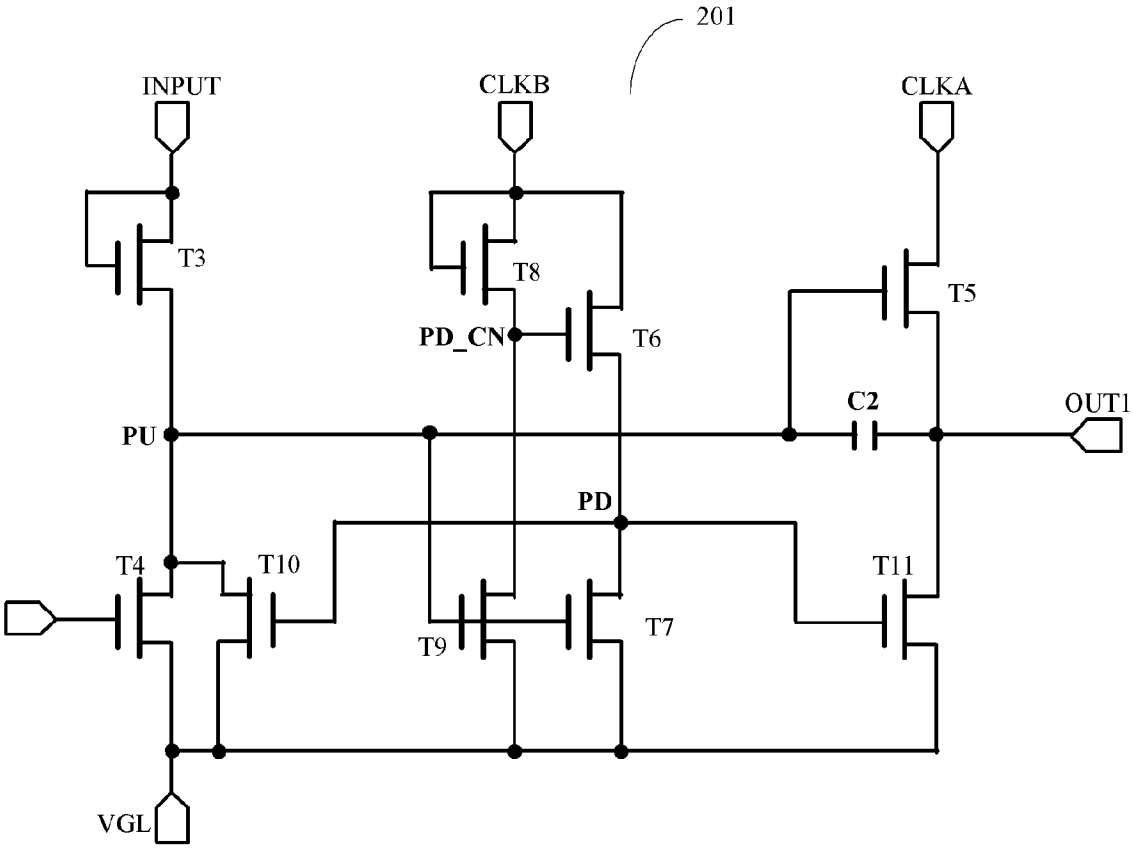

201
INPUT
CLKB
CLKA
T3
T8
T5
PD_CN
T6
C2
OUT1
PU
PD
T4
T10
T11
T9
T7
VGL

图 6A

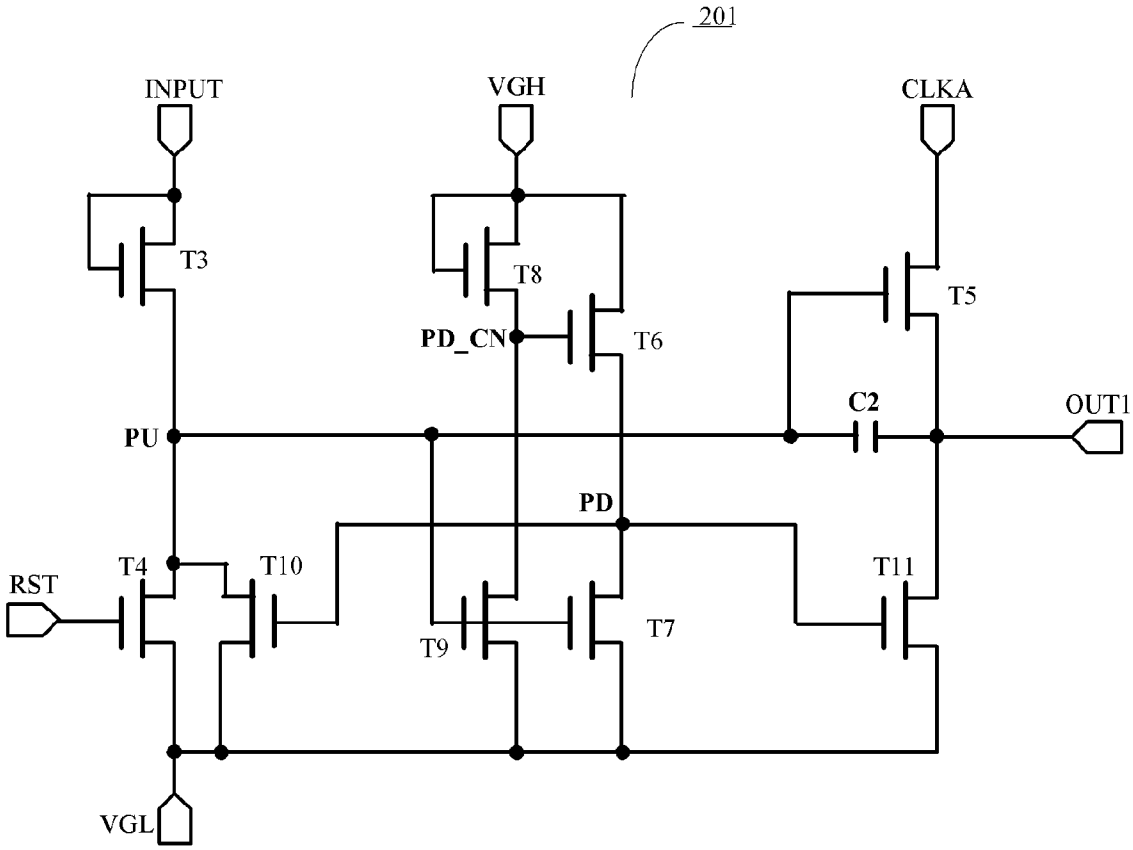

201
INPUT
VGH
CLKA
T3
T8
T5
PD_CN
T6
C2
OUT1
PU
PD
RST
T4
T10
T11
T9
T7
VGL

图 6B

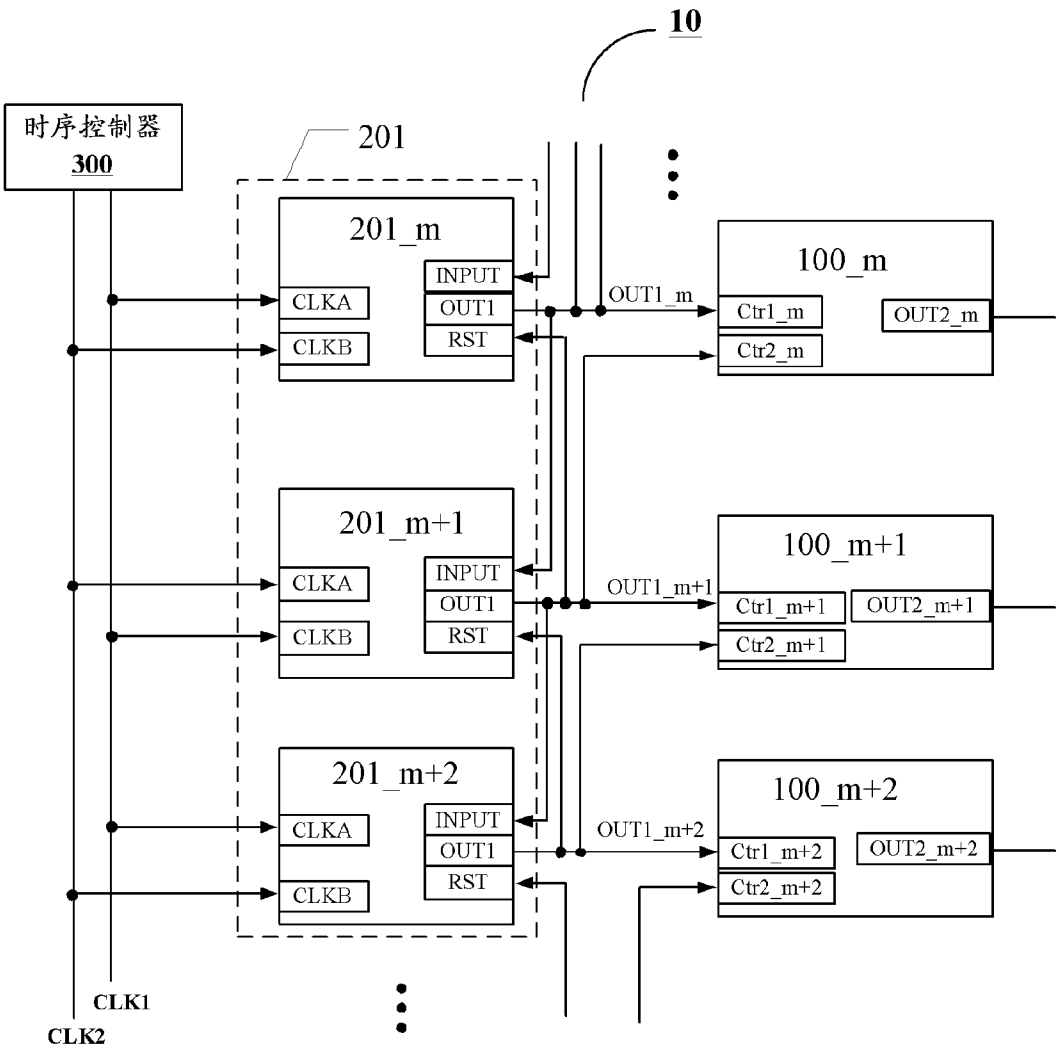

10
时序控制器
300
201
201_m
INPUT
CLKA
OUT1
CLKB
RST
OUT1_m
100_m
Ctr1_m
OUT2_m
Ctr2_m
201_m+1
INPUT
CLKA
OUT1
CLKB
RST
OUT1_m+1
100_m+1
Ctr1_m+1
OUT2_m+1
Ctr2_m+1
201_m+2
INPUT
CLKA
OUT1
CLKB
RST
OUT1_m+2
100_m+2
Ctr1_m+2
OUT2_m+2
Ctr2_m+2
CLK1
CLK2

图 7A

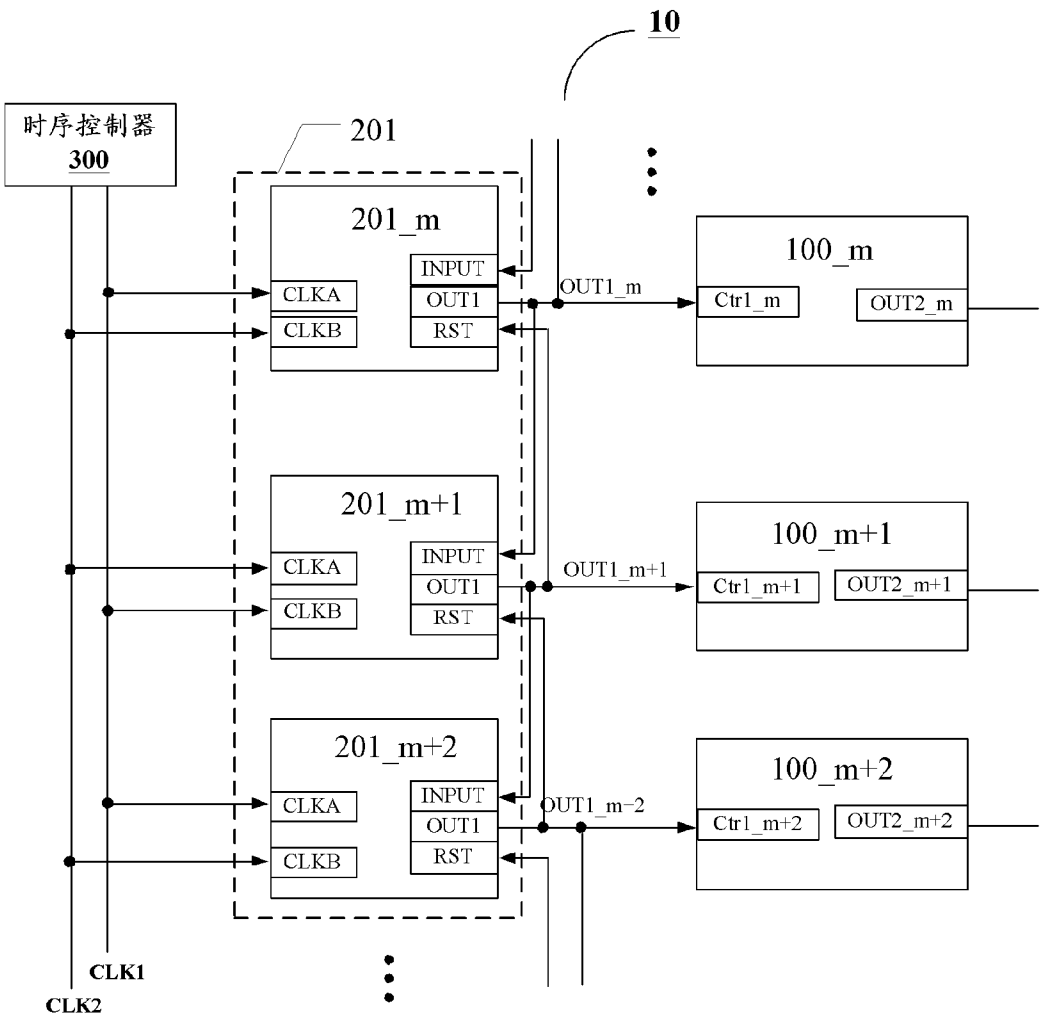

10
时序控制器
300
201
201_m
CLKA
CLKB
INPUT
OUT1
RST
OUT1_m
100_m
Ctrl_m
OUT2_m
201_m+1
CLKA
CLKB
INPUT
OUT1
RST
OUT1_m+1
100_m+1
Ctrl_m+1
OUT2_m+1
201_m+2
CLKA
CLKB
INPUT
OUT1
RST
OUT1_m−2
100_m+2
Ctrl_m+2
OUT2_m+2
CLK1
CLK2

图 7B

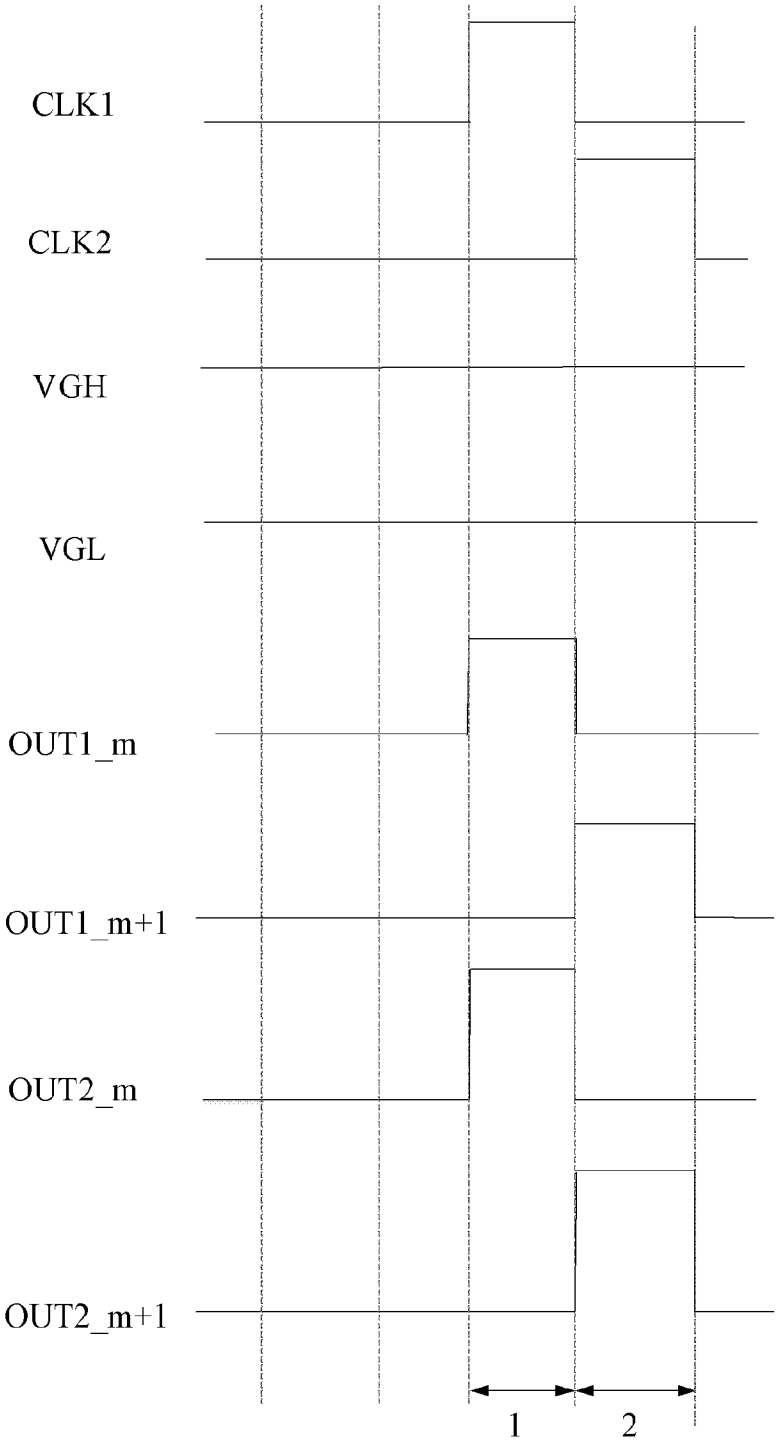


图 8

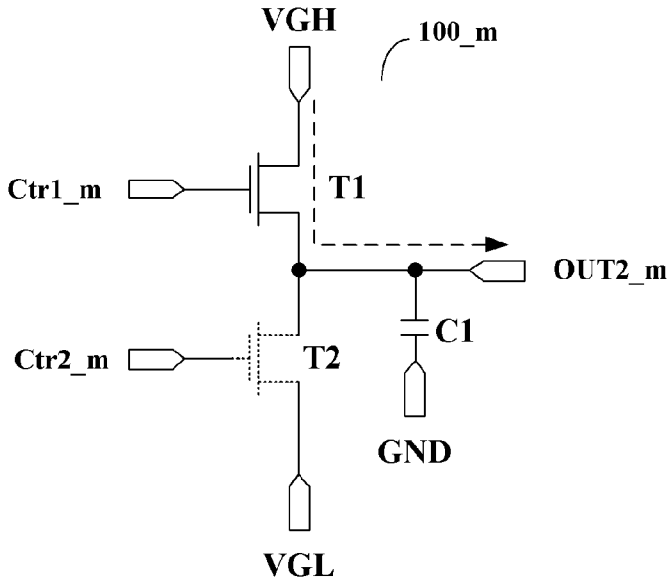

VGH
100_m
Ctr1_m
T1
OUT2_m
C1
Ctr2_m
T2
GND
VGL

图 9A

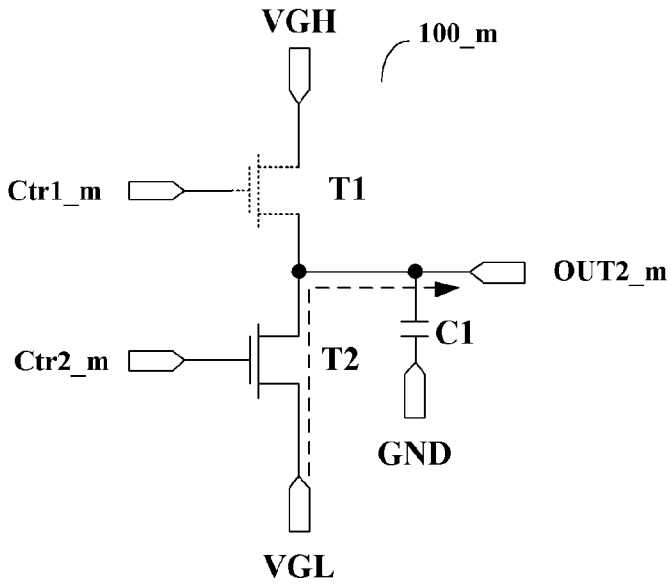

VGH
100_m
Ctr1_m
T1
OUT2_m
C1
Ctr2_m
T2
GND
VGL

图 9B

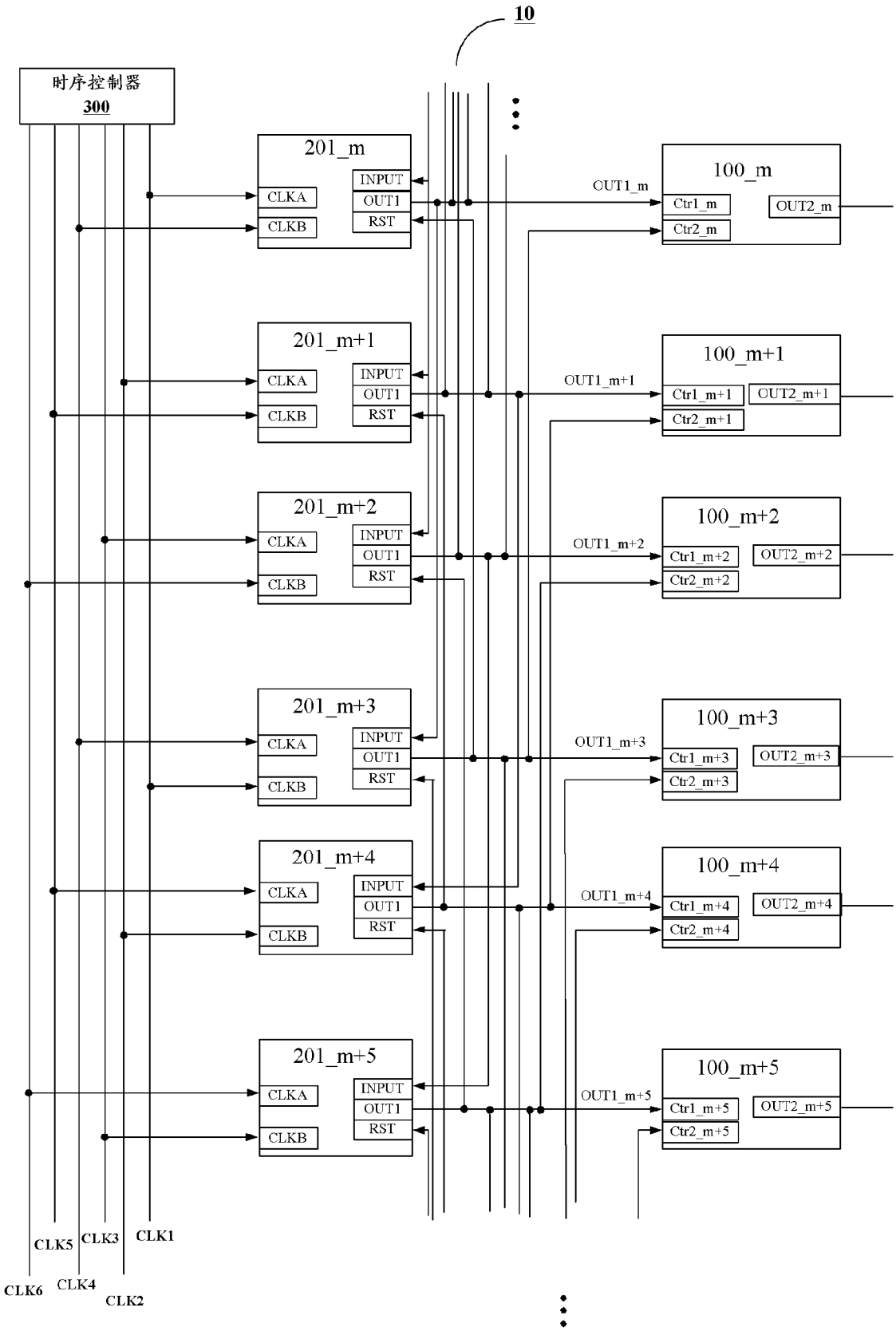

10
时序控制器
300
201_m
CLKA
CLKB
INPUT
OUT1
RST
OUT1_m
100_m
Ctr1_m
Ctr2_m
OUT2_m
201_m+1
OUT1_m+1
100_m+1
Ctr1_m+1
Ctr2_m+1
OUT2_m+1
201_m+2
OUT1_m+2
100_m+2
Ctr1_m+2
Ctr2_m+2
OUT2_m+2
201_m+3
OUT1_m+3
100_m+3
Ctr1_m+3
Ctr2_m+3
OUT2_m+3
201_m+4
OUT1_m+4
100_m+4
Ctr1_m+4
Ctr2_m+4
OUT2_m+4
201_m+5
OUT1_m+5
100_m+5
Ctr1_m+5
Ctr2_m+5
OUT2_m+5
CLK5
CLK3
CLK1
CLK6
CLK4
CLK2

图 10A

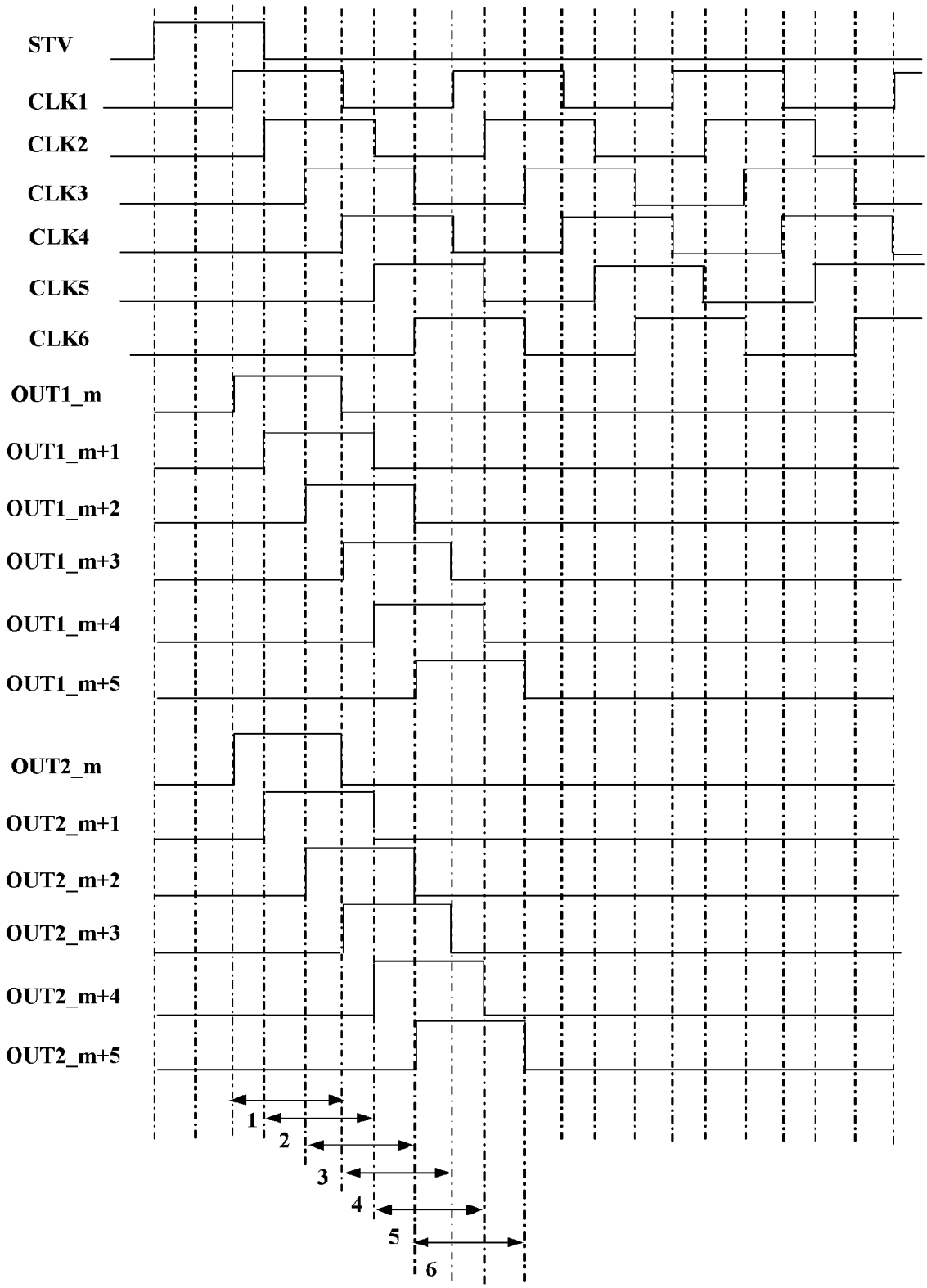

STV
CLK1
CLK2
CLK3
CLK4
CLK5
CLK6
OUT1_m
OUT1_m+1
OUT1_m+2
OUT1_m+3
OUT1_m+4
OUT1_m+5
OUT2_m
OUT2_m+1
OUT2_m+2
OUT2_m+3
OUT2_m+4
OUT2_m+5
1
2
3
4
5
6

图 10B

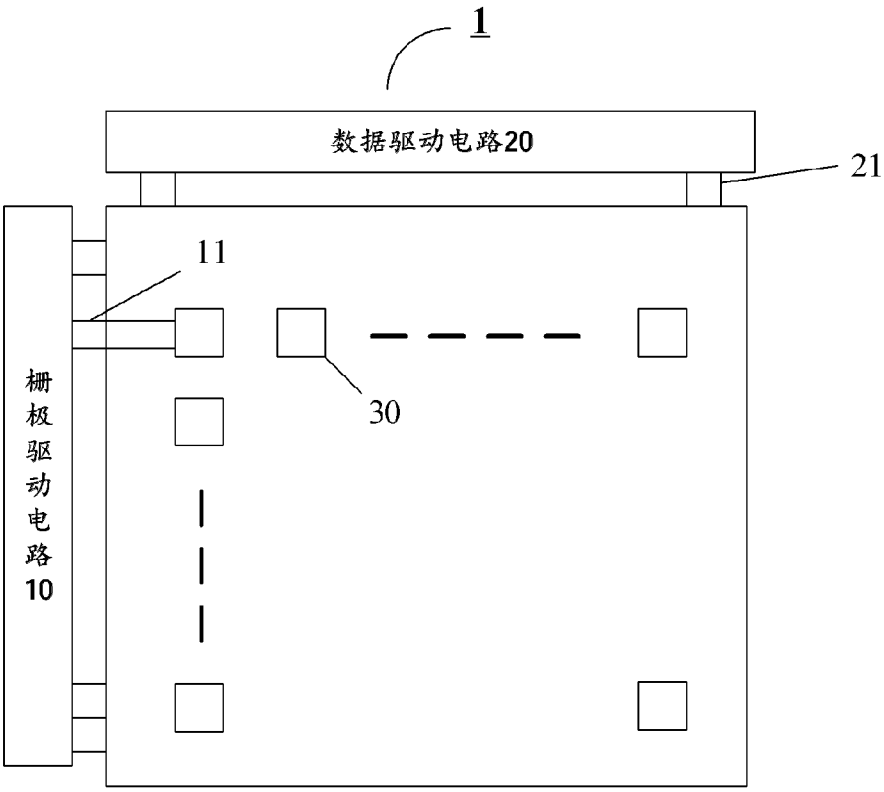


图 11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/114192

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: 京东方,刘荣铖, 王慧, 熊雄, 邹宜峰, 栅极, 驱动, 电路, 扫描, 信号, 脉冲, 像素, 电平, 电压, 转换, 开关, 输出, 移位寄存器, 反相器, 晶体管, gate, driv+, GOA, scan, signal, pulse, pixel, level, voltage, shift+, register, convert+, switch, output, inverter, transistor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 202443724 U (BOE TECHNOLOGY GROUP CO., LTD.) 19 September 2012 (2012-09-19) description, paragraphs [0046]-[0071], and figures 1-5	1-20
A	CN 104282270 A (BOE TECHNOLOGY GROUP CO., LTD.) 14 January 2015 (2015-01-14) entire document	1-20
A	CN 101334971 A (LG. PHILIPS LCD CO., LTD.) 31 December 2008 (2008-12-31) entire document	1-20
A	CN 105741739 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 06 July 2016 (2016-07-06) entire document	1-20
A	KR 20070083072 A (SAMSUNG SDI CO., LTD.) 23 August 2007 (2007-08-23) entire document	1-20

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 January 2019	**12 February 2019**

Name and mailing address of the ISA/CN	Authorized officer
National Intellectual Property Administration, PRC, (ISA/CN) **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/114192

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	202443724	U	19 September 2012	None			
CN	104282270	A	14 January 2015	WO	2016058352	A1	21 April 2016
				EP	3208792	A4	23 May 2018
				CN	104282270	B	18 January 2017
				US	9892676	B2	13 February 2018
				US	2016247446	A1	25 August 2016
				EP	3208792	A1	23 August 2017
CN	101334971	A	31 December 2008	CN	101334971	B	02 March 2011
				JP	5265184	B2	14 August 2013
				US	8026887	B2	27 September 2011
				JP	4974878	B2	11 July 2012
				KR	101224459	B1	22 January 2013
				JP	2009009090	A	15 January 2009
				JP	2009009087	A	15 January 2009
				US	2009002301	A1	01 January 2009
				US	2009002302	A1	01 January 2009
				US	2009002291	A1	01 January 2009
				CN	101334972	B	02 March 2011
				CN	101334972	A	31 December 2008
				CN	101334975	B	28 September 2011
				JP	2009009088	A	15 January 2009
				CN	101334975	A	31 December 2008
				JP	4856052	B2	18 January 2012
				US	8049698	B2	01 November 2011
				KR	20090000475	A	07 January 2009
				US	8049697	B2	01 November 2011
CN	105741739	A	06 July 2016	CN	105741739	B	16 November 2018
KR	20070083072	A	23 August 2007	KR	101182237	B1	12 September 2012

国际检索报告

国际申请号
PCT/CN2018/114192

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNPAT, WPI, EPODOC, CNKI：京东方，刘荣钺，王慧，熊雄，邹宜峰，栅极，驱动，电路，扫描，信号，脉冲，像素，电平，电压，转换，开关，输出，移位寄存器，反相器，晶体管，gate，driv+，GOA，scan，signal，pulse，pixel，level，voltage，shift+，register，convert+，switch，output，inverter，transistor

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 202443724 U (京东方科技集团股份有限公司) 2012年 9月 19日 (2012-09-19) 说明书第[0046]-[0071]段、附图1-5	1-20
A	CN 104282270 A (京东方科技集团股份有限公司) 2015年 1月 14日 (2015-01-14) 全文	1-20
A	CN 101334971 A (LG.菲利浦LCD株式会社) 2008年 12月 31日 (2008-12-31) 全文	1-20
A	CN 105741739 A (京东方科技集团股份有限公司 等) 2016年 7月 6日 (2016-07-06) 全文	1-20
A	KR 20070083072 A (SAMSUNG SDI CO., LTD.) 2007年 8月 23日 (2007-08-23) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2019年 1月 25日	2019年 2月 12日

ISA/CN的名称和邮寄地址	受权官员
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	王雪婷
传真号 (86-10)62019451	电话号码 86-(10)-53961207

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2018/114192

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	202443724	U	2012年 9月 19日	无			
CN	104282270	A	2015年 1月 14日	WO	2016058352	A1	2016年 4月 21日
				EP	3208792	A4	2018年 5月 23日
				CN	104282270	B	2017年 1月 18日
				US	9892676	B2	2018年 2月 13日
				US	2016247446	A1	2016年 8月 25日
				EP	3208792	A1	2017年 8月 23日
CN	101334971	A	2008年 12月 31日	CN	101334971	B	2011年 3月 2日
				JP	5265184	B2	2013年 8月 14日
				US	8026887	B2	2011年 9月 27日
				JP	4974878	B2	2012年 7月 11日
				KR	101224459	B1	2013年 1月 22日
				JP	2009009090	A	2009年 1月 15日
				JP	2009009087	A	2009年 1月 15日
				US	2009002301	A1	2009年 1月 1日
				US	2009002302	A1	2009年 1月 1日
				US	2009002291	A1	2009年 1月 1日
				CN	101334972	B	2011年 3月 2日
				CN	101334972	A	2008年 12月 31日
				CN	101334975	B	2011年 9月 28日
				JP	2009009088	A	2009年 1月 15日
				CN	101334975	A	2008年 12月 31日
				JP	4856052	B2	2012年 1月 18日
				US	8049698	B2	2011年 11月 1日
				KR	20090000475	A	2009年 1月 7日
				US	8049697	B2	2011年 11月 1日
CN	105741739	A	2016年 7月 6日	CN	105741739	B	2018年 11月 16日
KR	20070083072	A	2007年 8月 23日	KR	101182237	B1	2012年 9月 12日