



MINISTERO DELLO SVILUPPO ECONOMICO  
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETA' INDUSTRIALE  
UFFICIO ITALIANO BREVETTI E MARCHI

# UIBM

<b>DOMANDA NUMERO</b>	<b>101995900467859</b>
<b>Data Deposito</b>	<b>29/09/1995</b>
<b>Data Pubblicazione</b>	<b>29/03/1997</b>

<b>Priorità</b>	06-242658
<b>Nazione Priorità</b>	JP
<b>Data Deposito Priorità</b>	

<b>Sezione</b>	<b>Classe</b>	<b>Sottoclasse</b>	<b>Gruppo</b>	<b>Sottogruppo</b>
G	11	C		

<b>Sezione</b>	<b>Classe</b>	<b>Sottoclasse</b>	<b>Gruppo</b>	<b>Sottogruppo</b>
G	06	F		

Titolo

APPARATO DI TRASFERIMENTO DATI CAPACE DI ELABORAZIONE PIPELINE

1103/95/U.

29 SET. 1995

Ditta: FUJITSU LIMITED

Con sede a: Kanagawa (Giappone)

**D E S C R I Z I O N E**

SFONDO TECNICO DELL'INVENZIONE

MI 95 A 002002

1. Campo dell'invenzione

Questa invenzione si riferisce ad un apparato di trasferimento dati che è capace di elaborazione pipeline e più in particolare si riferisce ad un apparato di trasferimento dati che è capace di comandare una memoria sincrona ad accesso causale dinamico ad una velocità superiore a quella ottenibile fino ad ora.

2. Descrizione della tecnica anteriore

In questi ultimi anni, la tendenza dei vari apparati di elaborazione di dati verso una diversificazione funzionale sempre più ampia e sempre più elevata ha imposto la necessità di accelerare l'elaborazione dei dati. Nel caso della memoria ad accesso casuale dinamico (DRAM), per esempio, la domanda di un velocità più alta ha guadagnato consensi sempre più entusiastici, superando la domanda di una capacità maggiore. Dal momento che la DRAM universale tradizionale possiede una velocità di funzionamento limitata, si avverte fortemente l'esigenza dello sviluppo di una DRAM sincrona adatta a far funzionare una pluralità di circuiti di elaborazione pipeline in sincronizzazione

1103/95/U.

con un segnale esterno di temporizzazione (che verrà da ora in poi definita "SDRAM").

La SDRAM esistente ha una velocità operativa di circa 100 MHz al massimo, laddove la CPU (unità centrale di elaborazione) che controlla l'input e l'output della SDRAM ha una velocità operativa ancora più elevata. Di conseguenza, si richiede che la SDRAM abbia una velocità operativa che superi i 100 MHz.

Generalmente, la SDRAM implementa il trasferimento dei dati fornendo segnali esterni di temporizzazione in sincronizzazione con i transistori di input che servono i relativi circuiti di elaborazione dati ed effettuando un simultaneo controllo della commutazione dei singoli transistori.

La SRAM esistente, di conseguenza, è in grado di funzionare a pieno regime nella misura in cui la frequenza operativa del segnale esterno di temporizzazione non superi i 100 MHz. Non è possibile, tuttavia, utilizzare segnali esterni di temporizzazione ad una frequenza di funzionamento superiore ai 100 MHz allo scopo di accelerare l'elaborazione dei dati. In altre parole, la SDRAM esistente non è in grado di trasferire dati ad una velocità superiore ai 100 MHz.

Le figure 1 e 2 sono diagrammi che facilitano la descrizione dell'architettura del trasferimento dati

1103/95/U.

nella SDRAM tradizionale. Più specificatamente, la figura 1 è un diagramma a blocchi che illustra la struttura di una parte di lettura dei dati e la figura 2 è un diagramma che mostra il funzionamento della parte di lettura dei dati in termini di forme d'onda.

La parte di lettura di una SDRAM che adotta un sistema pipeline funzionante in modo sincrono con un segnale esterno di temporizzazione (che verrà da ora in poi definito "segnale CLK"), per esempio, è dotata come si vede nella figura 1 di un primo circuito di elaborazione pipeline PC1 in esso incorporante transistori di input TN11 e TN12 ed un circuito di decodifica 100, di un secondo circuito di elaborazione pipeline PC2 in esso incorporante transistori di input TN21 e TN22 ed un circuito di lettura dati 200, e di un terzo circuito di elaborazione pipeline PC3 in esso incorporante transistori di input TN31 e TN32 ed un circuito di output dei dati 300.

Questa SDRAM implementa il trasferimento dati controllando la commutazione dei transistori di input TN11 e TN12, TN21 e TN22, e TN31 e TN32 rispettivamente dei circuiti di elaborazione pipeline dal PC1 al PC3 in sincronizzazione con il segnale CLK.

Specificatamente come mostrato nella figura 2, quando il segnale CLK raggiunge un livello "H" (input di domanda

1103/95/U.

di lettura RD), i transistori TN11 e TN12 nel primo circuito di elaborazione pipeline PC1 vengono attivati ed i dati DB0' ed i dati invertiti di ritardo  $\overline{DB0'}$  vengono ammessi nel circuito di decodifica 100 così da determinare l'elaborazione di decodifica dei dati di input. Simultaneamente, i transistori TN21 e TN22 del secondo circuito di elaborazione pipeline PC2 vengono attivati ed i dati  $\overline{DB1'}$  ed i dati invertiti di ritardo DB1 vengono ammessi nel circuito di lettura dei dati 200 in sincronizzazione con l'introduzione dei dati DB0 ed i dati invertiti di ritardo  $\overline{DB0'}$  nel circuito di decodifica 100. Mediante lo stesso token, quando i transistori TN31 e TN32 vengono attivati, i dati DB2 ed i dati invertiti di ritardo  $\overline{DB2'}$  vengono introdotti nel circuito di output dei dati 300.

Nel circuito di trasferimento dati tradizionale costruito nel modo sopra descritto, il trasferimento dei dati viene portato a termine inviando il segnale di temporizzazione CLK in comune ai transistori di input TN11, TN12, TN21, TN22, TN31 e TN32 dei circuiti di elaborazione pipeline dal PC1 al PC3 e controllando simultaneamente la commutazione dei transistori TN11, TN12, TN21, TN22, TN31 E TN32.

Quando la frequenza del segnale di temporizzazione CLK non è superiore ai 100 MHz, di conseguenza, i dati che

1103/95/U.

vengono elaborati in parallelo dai circuiti di elaborazione pipeline possono essere trasferiti (output a raffica) in sincronizzazione con il segnale di temporizzazione CLK, sebbene dipendano dalle capacità dei circuiti di elaborazione pipeline dal PC1 al PC3 per l'elaborazione dei segnali. Quando viene impiegata una frequenza di alcune centinaia di MHz o più allo scopo di accelerare l'elaborazione dei dati, tuttavia, le fasi per definire l'elaborazione parallela dei dati e fornire il segnale di temporizzazione CLK non sono facilmente separate.

Per effettuare il trasferimento dei dati tra le pipeline, per esempio, è necessario impostare i tempi per il trasferimento dei dati nel momento in cui i trasferimenti dei dati in tutti i circuiti di elaborazione pipeline sono stati completati. In tutte le pipeline, quella che impiega il tempo più lungo nel trasferimento dei dati automaticamente determina la frequenza più grande del segnale di temporizzazione CLK. Come risultato, il circuito di trasferimento dati tradizionale si scontra con il problema che il trasferimento dati ad una frequenza superiore a 100 MHz, cioè la velocità di elaborazione massima per la SDRAM, risulterà difficile.

BREVE DESCRIZIONE DELL'INVENZIONE

1103/95/U.

Questa invenzione è stata prodotta allo scopo di risolvere il suddetto problema implicito nell'apparato di trasferimento dati tradizionale. Essa ha come suo scopo la realizzazione di un apparato di trasferimento dati che, grazie all'impiego di un dispositivo adatto all'introduzione di dati in circuiti di elaborazione pipeline, potenzi la velocità di trasferimento dei dati nei circuiti di elaborazione pipeline effettuando l'introduzione dei dati nei circuiti di elaborazione pipeline eccetto almeno per quello nell'ultima fase senza contare sul segnale di temporizzazione esterno.

La figura 3 è un diagramma illustrante il principio di funzionamento dell'apparato di trasferimento dati conforme a questa invenzione. L'apparato di trasferimento dati di questa invenzione, come è illustrato, comprende un primo, un secondo ed un terzo circuito di elaborazione pipeline P1, P2 e P3. Il primo ed il secondo circuito di elaborazione pipeline P1 e P2 sono rispettivamente provvisti di elementi interruttori SW1 ed SW1' per controllare l'introduzione di dati D, di circuiti di elaborazione dei segnali 11 e 11' per introdurre i dati D e determinare l'elaborazione di vari segnali in risposta ad essi, e di circuiti di controllo della commutazione 12 e 12' per rilevare il completamento del trasferimento dei dati emessi dal

1103/95/U.

circuito di elaborazione dei segnali 11 ed attivare gli elementi interruttori SW1 ed SW1'.

L'apparato di trasferimento dati di questa invenzione comprende inoltre il terzo circuito di elaborazione pipeline P3. Questo circuito è provvisto di un elemento interruttore SW2 per controllare l'introduzione dei dati D emessi dal circuito di elaborazione dei segnali 11' nel circuito di elaborazione pipeline P2 in modo sincrono con il segnale esterno di temporizzazione CLK, e di un circuito di output 13 per introdurre il dati D ed emettere un segnale in risposta ad essi. Tra i circuiti di elaborazione pipeline P2 e P3 può essere frapposta una pluralità di circuiti di elaborazione pipeline che incorporano circuiti di elaborazione arbitraria dei segnali ed elementi interruttori e circuiti di controllo della commutazione simili nella struttura agli elementi interruttori ed ai circuiti di controllo della commutazione presenti nei circuiti P1 e P2.

L'apparato di elaborazione dei dati di questa invenzione che è costruito nel modo precedentemente descritto funziona nel modo seguente per trasferire dati ad un'alta velocità. Quando i dati D vengono introdotti nel circuito 11 di elaborazione dei segnali del primo circuito di elaborazione pipeline P1 ed i dati D vengono

1103/95/U.

trasferiti al circuito 11' di elaborazione dei segnali nel successivo circuito di elaborazione pipeline P2, il circuito di controllo della commutazione 12 rileva il completamento del trasferimento dei dati ed invia un segnale S di rilevamento del completamento del trasferimento dati all'elemento interruttore SW1. In risposta a questo segnale S, l'elemento interruttore SW1 assume uno stato chiuso ed introduce nuovi dati di input D nel circuito 11 di elaborazione dei segnali.

L'apparato di trasferimento dati di questa invenzione, a differenza dell'apparato tradizionale, attiva e disattiva l'elemento interruttore SW1 in risposta al segnale S, introduce nuovi dati D nel circuito 11 di elaborazione dei segnali ed effettua l'elaborazione desiderata sui dati D senza contare su un segnale esterno di temporizzazione.

In modo analogo nel successivo circuito di elaborazione P2, il circuito 11' di elaborazione dei segnali conferma il completamento del trasferimento dati al successivo circuito di elaborazione dei segnali come, per esempio, il circuito di output 13 e quindi introduce nuovi dati dal precedente circuito 11 di elaborazione dei segnali. Il circuito di output 13 attiva e disattiva l'elemento interruttore SW1 in sincronizzazione con il segnale esterno di temporizzazione CLK, introduce i dati dal

1103/95/U.

precedente circuito di elaborazione dei segnali ed invia un output ad un dispositivo esterno.

Come precedentemente descritto, l'apparato di trasferimento dati di questa invenzione è in grado di trasferire dati da un circuito di elaborazione pipeline all'altro tranne quello dell'ultima fase in sincronizzazione con lo stato di trasferimento dati (dopo o durante il trasferimento dati) nel precedente circuito di elaborazione dei segnali senza contare sul segnale esterno di temporizzazione. Quando questo apparato viene applicato ad un dispositivo di memoria quale la SDRAM cui capiti di adottare per il suo controllo globale un segnale di temporizzazione con una frequenza alta alcune centinaia di MHz, una velocità più alta della velocità a cui la SDRAM può effettivamente operare, di conseguenza, l'operazione di trasferimento dati nei circuiti di elaborazione pipeline non viene influenzata da questo segnale di temporizzazione. Per questa ragione, il dispositivo di memoria è in grado di utilizzare un segnale di temporizzazione complessivo con una frequenza superiore ad alcune centinaia di MHz e, come risultato, di usufruire di un considerevole aumento della velocità di elaborazione dei dati.

Questa invenzione, conseguentemente, consente la costruzione di un dispositivo di memoria di tipo

1103/95/U.

sincrono che funziona con un segnale di temporizzazione CLK avente una frequenza che supera alcune centinaia di MHz. Consente anche la costruzione di un sistema di elaborazione di dati che utilizza una CPU che funziona con un segnale di temporizzazione CLK avente una frequenza superiore ad alcune centinaia di MHz come master ed il dispositivo di memoria in questione come slave.

#### BREVE DESCRIZIONE DEI DISEGNI

La figura 1 è un diagramma a blocchi illustrante la costruzione di una parte di lettura dati di una SDRAM tradizionale.

La figura 2 è un diagramma mostrante il funzionamento della parte di lettura dei dati in termini di forme d'onda. La figura 3 è un diagramma mostrante il principio di funzionamento di un apparato di trasferimento dati conforme a questa invenzione.

La figura 4 è un diagramma a blocchi mostrante l'intera struttura di una SDRAM incorporante l'apparato di trasferimento dati come una realizzazione di questa invenzione.

La figura 5 è un diagramma a blocchi mostrante la struttura di una parte di lettura dati della SDRAM mostrata nella figura 4.

La figura 6 è un diagramma a blocchi che facilità la

1103/95/U.

descrizione dello stato di trasferimento dati nella parte di lettura dati mostrata nella figura 5.

La figura 7 è un diagramma mostrante il funzionamento della parte di lettura dati mostrata nella figura 5 in termini di forme d'onda.

#### DESCRIZIONE DETTAGLIATA DELLE REALIZZAZIONI

Saranno ora qui di seguito descritte realizzazioni di questa invenzione facendo riferimento ai disegni allegati.

Verrà prima qui di seguito descritta la struttura complessiva di una SDRAM che utilizza un apparato di trasferimento dati come una realizzazione di questa invenzione con riferimento alla figura 4.

Come è mostrato nella figura 4, 1 indica un buffer di indirizzo di riga per la memorizzazione di un componente di riga di un segnale di indirizzo, 2 indica un decoder di riga per decodificare un segnale di indirizzo in entrata, 3 indica un buffer di indirizzo di colonna per la memorizzazione di un componente di colonna del segnale di indirizzo, 4 indica un decoder di colonna per la decodifica del segnale di indirizzo in entrata, 5 indica una porta di commutazione, 6 indica celle di memoria, 7 indica un amplificatore di misura per amplificare un segnale letto dalle celle di memoria 6, 8 indica un buffer di output di decodifica, 9 indica un

1103/95/U.

buffer di output di dati e 10 indica un generatore di temporizzazione per generare un segnale di temporizzazione CLK per controllare il dispositivo di memoria nel suo complesso.

La SDRAM della figura 4, quando funziona mediante il sistema CAS, per esempio, attiva il buffer 3 di indirizzo di colonna in risposta all'ultima transizione di un segnale di temporizzazione, attiva una delle porte della porta di commutazione 5 al prompt del decoder di colonna 4, e procede alla scrittura e lettura dei dati nello stato conseguente. Un segnale emesso dalle celle di memoria 6 viene amplificato dall'amplificatore di misura 7 e derivato dal buffer di output di dati 9.

Sarà ora qui di seguito descritto un apparato di trasferimento dati come una realizzazione di questa invenzione facendo riferimento alle figure dalla 5 alla 7. La presente invenzione è applicata ad una parte di lettura dati della SDRAM.

Questo apparato di trasferimento dati, come è mostrato nella figura 5, comprende tre circuiti di elaborazione pipeline dal P11 al P13 ed un circuito 26 di ripristino. Specificatamente, il circuito di elaborazione pipeline P11 è dotato di elementi interruttori TN11 e TN12, un circuito di elaborazione dei segnali 21 ed un circuito di controllo della commutazione 22. Il circuito di

1103/95/U.

elaborazione dei segnali 21 incorpora un buffer di indirizzo di riga 1, un decoder di riga 2, un decoder di colonna 3 ed un decoder di colonna 4 nella SRAM mostrata nella figura 4. Gli elementi interruttori TN11 e TN12 sono costituiti ciascuno da un transistor ad effetto di campo di tipo n, con il pozzo collegato al terminale di indirizzo e la sorgente al circuito di elaborazione dei segnali 21. La porta è collegata al circuito di controllo 22. Gli elementi TN11 e TN12 controllano l'introduzione dei dati (da qui in poi definiti semplicemente "dati DB0 e  $\overline{DB0}'$ "). Nel momento in cui il segnale di porta ha raggiunto il livello "H", per esempio, essi introducono i dati DB0 e  $\overline{DB0}'$  nel circuito di elaborazione dei segnali 21.

Il circuito di elaborazione dei segnali 21, al momento dell'introduzione dei dati DB0 e  $\overline{DB0}'$ , li decodifica e invia un segnale di controllo della lettura (da qui in poi semplicemente indicato con "DB1,  $\overline{DB1}'$ "), per esempio, ad un circuito di lettura 23 del successivo circuito di elaborazione pipeline 12 (in conformità al metodo di lettura dati nel sistema CAS). Il circuito di controllo della commutazione 22 serve per rilevare il completamento del trasferimento dei dati DB1 e  $\overline{DB1}'$  ed attiva gli elementi interruttori TN11 ed TN12. Il circuito 12, per esempio, comprende un circuito NAND 202

1103/95/U.

a due input ed un invertitore 201, computa una logica NAND dei dati DB1 e  $\overline{DB1'}$ , ed invia un segnale logico invertito (segnale di rilevamento del completamento del trasferimento dati) S1 agli elementi interruttori TN11 e TN12.

Il secondo circuito di elaborazione pipeline P12 comprende elementi interruttori TN12 e TN22, un circuito di lettura 23, ed un circuito di controllo della commutazione 24. Il circuito di lettura 23 incorpora una porta di commutazione 5, celle di memoria 6, ed un amplificatore di misura 7 nella SDRAM della figura 4. Gli elementi interruttori TN21 e TN22 sono formati ciascuno da un transistor ad effetto di campo di tipo n, con il pozzo collegato all'output del circuito 21 di elaborazione dei segnali e la sorgente collegata al circuito di lettura 23. La porta è collegata al circuito di controllo della commutazione 24. Gli elementi TN21 e TN22 servono per controllare l'introduzione dei dati DB1 e  $\overline{DB1'}$ .

Il circuito di lettura 23, all'introduzione dei dati DB1 e  $\overline{DB1'}$ , li legge ed invia un segnale di lettura (da qui in poi indicato semplicemente con "DB2,  $\overline{DB2'}$ ") ad un circuito di output 25 del successivo circuito di elaborazione pipeline P13. Il circuito di controllo della commutazione 24 serve a rilevare il completamento

1103/95/U.

del trasferimento dei dati DB2 e  $\overline{\text{DB2}}$  ed attiva gli elementi gli elementi interruttori TN21 e TN22. Il circuito 24, per esempio, comprende un circuito NAND a due input 204 ed un invertitore 203, computa una logica NAND dei dati DB2 e  $\overline{\text{DB2}}$  ed invia un segnale logico invertito agli elementi interruttori TN21 e TN22.

Il circuito di ripristino 26 serve per azzerare una linea di segnali di dati che collega un circuito di elaborazione dei segnali 21 ed il circuito di lettura 23. Il circuito di ripristino 26, per esempio, comprende transistori ad effetto di campo di tipo p TP1 e TP2, un circuito NAND a due input 205 ed invertitori 206 e 207. L'output del circuito 26 è controllato sulla base del segnale S2 di rilevamento del completamento del trasferimento dati, che è emesso dal circuito di controllo della commutazione 24. Dopo che il segnale S2 si è innalzato fino al livello "H", per esempio, i transistori TP1 e TP2 vengono disattivati per abbassare la linea di segnali di dati al livello "L". Dopo che il segnale S2 è caduto fino al livello "L", i transistori TP1 e TP2 sono attivati per elevare la linea di segnali di dati fino al livello "H". Il circuito 26 può essere omesso.

Il terzo circuito pipeline P13 comprende elementi interruttori TN31 e TN32 ed il circuito di output 25. Il

1103/95/U.

circuito di output 25 è equivalente al buffer 9 di output dei dati nella SDRAM di figura 4. Gli elementi interruttori TN31 e TN32 sono formati ciascuno da un transistor ad effetto di campo di tipo n, con il pozzo collegato all'output del circuito di lettura 23 e la sorgente collegata al circuito di output 25. Alla porta è inviato un segnale esterno di temporizzazione (in seguito definito brevemente come "segnale CLK"). Gli elementi TN31 e TN32 servono per controllare l'introduzione dei dati DB2 e  $\overline{\text{DB2}}$  in sincronizzazione con il segnale CLK.

Il circuito di output 25 serve per amplificare i dati DB2 e  $\overline{\text{DB2}}$  ed emette dati di lettura  $D_{\text{out}}$ .

Sarà ora qui di seguito descritto il funzionamento della SDRAM come una realizzazione di questa invenzione facendo riferimento alle figure dalla 6 alla 7. Le figure dalla 6 (A) alla 6 (C) sono diagrammi illustrativi mostranti gli stati della SDRAM assunti durante il trasferimento di dati e la figura 7 è un diagramma mostrante il funzionamento della SDRAM in termini di forme d'onda.

Quando il circuito di elaborazione pipeline P13 introduce da capo i dati DB2 e  $\overline{\text{DB2}}$  allo scopo di leggere i dati dalla SDRAM impiegando il metodo di lettura dati CAS (impulso di riferimento di indirizzo di

1103/95/U.

colonna), per esempio, l'invio del segnale CLK agli elementi interruttori TN31 e TN32 determina come conseguenza l'attivazione degli elementi interruttori TN31 e TN32 e l'introduzione dei dati DB1 e  $\overline{DB2}$ ' nel circuito di output 25. Il circuito di output 25, conseguentemente, emette i dati di lettura  $D_{out}$  in sincronizzazione con il segnale CLK.

Per inciso, il metodo di lettura dati del sistema CAS definisce una lunghezza di raffica = 4 ed un tempo di attesa del CAS (latenza) = 3, come è mostrato nella figura 7., per esempio. Il termine "lunghezza di raffica" come viene qui impiegato indica il numero di singoli dati emessi da un solo comando di lettura RD. Come dati di lettura  $D_{out}$ , vengono emessi quattro bit dei livelli "L", "L", "H" ed "H". L'espressione "tempo di attesa del CAS" indica il tempo per l'emissione dei dati di lettura  $D_{out}$ . I dati  $D_{out}$  diventano operativi alla prima transizione del terzo segnale CLK calcolato a partire dalla prima transizione del comando di lettura RD, per esempio.

Nel circuito di elaborazione pipeline P12, dopo che i dati DB2 e  $\overline{DB2}$ ' sono stati trasferiti al circuito di output 25 del circuito di elaborazione pipeline P13, i dati  $DB2 = \overline{\overline{DB2}}$  assumono uno stato precaricato del livello "H", come è mostrato in figura 6 (B) ed il

1103/95/U.

completamento del trasferimento dei dati viene rilevato dal circuito di controllo della commutazione 24. Come risultato, il circuito di controllo 24 invia un segnale di rilevamento del completamento del trasferimento dati  $S2 = \text{livello "L"} \rightarrow \text{"H"}$  agli elementi interruttori TN21 e TN22 e, senza dipendere dal segnale CLK come nel dispositivo tradizionale, attiva gli elementi interruttori TN21 e TN22 sulla base del segnale  $S2 = \text{livello "H"}$ , legge i dati DB1,  $\overline{DB1'}$  di nuovo e li introduce nel circuito di lettura 23. Il circuito di lettura 23 esegue l'elaborazione della lettura parallela di dati sulla base dei dati DB1 e  $\overline{DB1'}$ .

Quindi, nel circuito di elaborazione P11, dopo che i dati DB1 e  $\overline{DB1'}$  sono stati trasferiti al circuito di lettura 23 nel circuito di elaborazione pipeline P12, i dati  $DB1 = \overline{DB1'}$  assumono uno stato precaricato del livello "H", come è mostrato nella figura 6(C) ed il completamento del trasferimento dei dati viene rilevato dal circuito di controllo della commutazione 22. In questo caso, quando il circuito di controllo della commutazione 24 invia il segnale S2 di rilevamento del completamento del trasferimento dati al circuito di ripristino 26, la linea di segnali di dati collegata al precedente circuito di elaborazione dei segnali 21 viene azzerata sulla base del segnale S2.

1103/95/U.

Come risultato, il circuito di controllo 22 invia il segnale di rilevamento del completamento del trasferimento dati  $S1 = \text{livello "L"} \rightarrow \text{"H"}$  agli elementi interruttori TN11 e TN12 e, indipendentemente da tale segnale CLK al contrario di quanto avviene nel dispositivo tradizionale, attiva gli elementi interruttori TN11 e TN12 sulla base del segnale  $S1 = \text{livello "H"}$  ed introduce i dati  $DB0$  e  $\overline{DB0'}$  di nuovo nel circuito di elaborazione dei segnali 21. Il circuito di elaborazione dei segnali 21 esegue l'elaborazione della decodifica parallela di indirizzo sulla base dei dati  $DB0$  e  $\overline{DB0'}$ .

In breve, il secondo circuito di elaborazione pipeline P12 è in grado di assumere i nuovi dati  $DB1$  e  $\overline{DB1'}$  dopo la conferma del trasferimento dei dati  $DB2$  e  $\overline{DB2'}$  dal secondo circuito di elaborazione pipeline P12 al terzo circuito di elaborazione pipeline P13 ed il primo circuito di elaborazione pipeline P11 è in grado di assumere i nuovi dati  $DB0$  e  $\overline{DB0'}$  dopo la conferma del trasferimento dei dati  $DB1$  e  $\overline{DB1'}$  dal primo circuito di elaborazione pipeline P11 al secondo circuito di elaborazione pipeline P12.

La SDRAM conforme alla realizzazione di questa invenzione precedentemente descritta è dotata dei tre circuiti di elaborazione pipeline dal P11 al P13 e del

1103/95/U.

circuito di ripristino 26, come è mostrato nella figura 5.

Il primo circuito di elaborazione pipeline P11, quando assume di nuovo i dati DB0 e  $\overline{DB0'}$ , può attivare gli elementi interruttori TN11 e TN12 sulla base del segnale S1 di rilevamento del completamento del trasferimento dati senza far ricorso al segnale CLK come invece avviene nel dispositivo tradizionale e, in risposta ad esso, determinare l'elaborazione da parte del circuito di elaborazione dei segnali 21 dei nuovi dati DB0 e  $\overline{DB0'}$ .

Inoltre, conformemente alla realizzazione di questa invenzione, il secondo circuito di elaborazione pipeline P12, quando assume di nuovo i dati DB1 e  $\overline{DB1'}$ , può attivare gli elementi interruttori TN21 e TN22 sulla base del segnale S2 di rilevamento del completamento del trasferimento dati senza far ricorso al segnale CLK come invece avviene nel dispositivo tradizionale e, in risposta ad esso, determinare l'elaborazione da parte del circuito di lettura 23 dei nuovi dati DB1 e  $\overline{DB1'}$ .

Come risultato, nel momento in cui i dati DB1 e  $\overline{DB1'}$  cessano di esistere nel circuito di elaborazione pipeline P11, cioè il trasferimento dei dati DB1 e  $\overline{DB1'}$  al circuito di elaborazione pipeline P12 è completato, il circuito di elaborazione pipeline P11 è in grado di

1103/95/U.

assumere i nuovi dati DB0 e  $\overline{DB0'}$  in sincronizzazione con lo stato di lettura dati nel circuito di elaborazione pipeline P12.

Come conseguenza, il circuito di elaborazione pipeline P11 è in grado di assumere i nuovi dati DB0 e  $\overline{DB0'}$  dopo la conferma del trasferimento dei dati DB1 e  $\overline{DB1'}$  dal circuito di elaborazione pipeline P11 al circuito di elaborazione pipeline P12.

Inoltre, la realizzazione di questa invenzione contempla la presenza del circuito di ripristino 26 che è predisposto per azzerare la linea di segnali di dati collegata al circuito di elaborazione dei segnali 21 sulla base del segnale S2 di rilevamento del completamento del trasferimento dati. Dal momento che il potenziale elettrico della linea di segnali di dati viene conseguentemente stabilizzata, il funzionamento del successivo circuito di lettura dati 23 nell'introduzione dei dati può essere ulteriormente stabilizzato.

Conformemente alla realizzazione di questa invenzione, quando il terzo circuito di elaborazione pipeline P13 introduce di nuovo i dati DB2 e  $\overline{DB2'}$ , il segnale CLK, al raggiungimento degli elementi interruttori TN31 e TN32, attiva questi elementi e conseguentemente determina l'introduzione dei dati DB2 e  $\overline{DB2'}$  nel

1103/95/U.

circuito di output 25.

Conseguentemente, il circuito di output 25 è messo in grado di emettere i dati di lettura  $D_{out}$  sulla base del segnale di lettura in sincronizzazione con il segnale CLK. Grazie ai fattori precedentemente descritti, di conseguenza, diventa possibile costruire un dispositivo di memoria di tipo sincrono ad alta velocità che produce un movimento di lettura dati mediante l'invio di un segnale CLK di frequenza superiore ad alcune centinaia di MHz esclusivamente al circuito finale di elaborazione pipeline P13.

Come risultato, è possibile costruire un sistema di elaborazione dati che utilizza una CPU funzionante con un segnale CLK di frequenza superiore ad alcune centinaia di MHz come master ed il suddetto dispositivo di memoria come slave. Inoltre, può essere potenziata la velocità di trasferimento dei dati lungo tutti i circuiti di elaborazione pipeline dal P11 al P13.

Sebbene la realizzazione di questa invenzione sia stata illustrata relativamente ad un dispositivo di memoria, produce il medesimo effetto in un sistema di elaborazione dati che sia adatto ad eseguire l'elaborazione pipeline separatamente per blocchi di componenti.

1103/95/U.

## R I V E N D I C A Z I O N I

1. Apparato di trasferimento dati comprendente:  
un primo circuito di elaborazione pipeline (P1) dotato di un primo circuito (11) di elaborazione dei segnali, un primo elemento interruttore (SW1) per controllare l'introduzione dei dati in detto primo circuito (11) di elaborazione dei segnali, ed un primo circuito di controllo della commutazione (12) per attivare detto elemento interruttore (SW1) al rilevamento del completamento del trasferimento di dati da detto primo circuito (11) di elaborazione dei segnali ; e  
un secondo circuito di elaborazione pipeline (P3) dotato di un secondo circuito (13) di elaborazione dei segnali e di un secondo elemento interruttore (WS2) per controllare l'introduzione dei dati trasferiti da detto primo circuito (11) di elaborazione dei segnali a detto secondo circuito (13) di elaborazione dei segnali in modo sincronizzato con un segnale di temporizzazione.
2. Apparato di trasferimento dati conforme a rivendicazione 1, in cui detto secondo circuito (13) di elaborazione dei segnali è un circuito di output dei segnali.
3. Apparato di trasferimento dati conforme a rivendicazione 1, in cui un terzo circuito (P2) dotato di un terzo elemento interruttore (SW1'), di un terzo

1103/95/U.

circuito (11') di elaborazione dei segnali collegato a detto primo circuito (11) di elaborazione dei segnali attraverso detto terzo elemento interruttore (SW1'), e di un terzo circuito (12) di controllo della commutazione per attivare detto terzo elemento interruttore (SW1') al rilevamento del completamento del trasferimento dei dati da detto terzo circuito (11') di elaborazione dei segnali, è interposto tra detto primo e detto secondo circuito di elaborazione pipeline (P1, P2) per collegarli tra di loro.

4. Apparato di trasferimento dati conforme a rivendicazione 3, in cui una pluralità di detti terzi circuiti (P2) di elaborazione pipeline dotata di un circuito di elaborazione arbitraria dei segnali è collegata in cascata tra detto primo e detto secondo circuito di elaborazione pipeline (P1, P2).

5. Apparato di trasferimento dati conforme a rivendicazione 1, in cui un circuito di ripristino (26) per azzerare una linea in uscita di segnali di dati proveniente da detto primo circuito (21) di elaborazione dei segnali al rilevamento del completamento del trasferimento dati da detto primo circuito di elaborazione pipeline (P11) a detto secondo circuito di elaborazione pipeline (P13) è interposto tra detto primo e detto secondo circuito di elaborazione pipeline (P11,

1103/95/U.

P13) per collegarli tra di loro.

6. Apparato di trasferimento dati conforme a rivendicazione 2, in cui detto primo circuito (11) di elaborazione dei segnali è un circuito di decodifica dei segnali in una SDRAM sincrona, detto terzo circuito (11') di elaborazione dei segnali è un circuito di lettura dei segnali in detta DRAM sincrona, e detto secondo circuito (13) di elaborazione dei segnali è un circuito di output di dati in detta SDRAM.

7. Dispositivo di lettura dei dati in una SDRAM sincrona, comprendente:

un primo circuito di elaborazione pipeline (P1) dotato di un circuito di decodifica (11), un primo elemento interruttore (SW1) per controllare l'introduzione di dati di indirizzo in detto circuito di decodifica (11), ed un primo circuito (12) di controllo della commutazione per attivare detto primo elemento interruttore (SW1) al rilevamento del completamento del trasferimento dei dati da detto circuito di decodifica (11);

un secondo circuito di elaborazione pipeline (P2) dotato di un secondo elemento interruttore (SW1'), un circuito (11') di lettura dei segnali collegato a detto circuito di decodifica (11) per mezzo di detto secondo elemento interruttore (SW1'), ed un secondo circuito di controllo

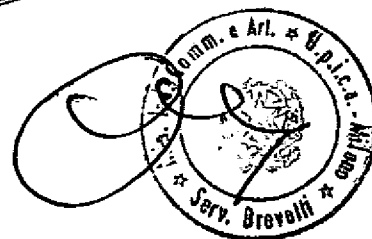
1103/95/U.

della commutazione (12') per attivare detto secondo elemento interruttore (SW1') al rilevamento del completamento del trasferimento dei dati da detto circuito di lettura dei segnali (11'); e un terzo circuito di elaborazione pipeline (P3) dotato di un circuito di output (13) e di un terzo elemento interruttore (SW2) per controllare l'introduzione dei dati trasferiti da detto circuito (11') di lettura dei segnali in detto circuito di output (13) in sincronizzazione con un segnale di temporizzazione.

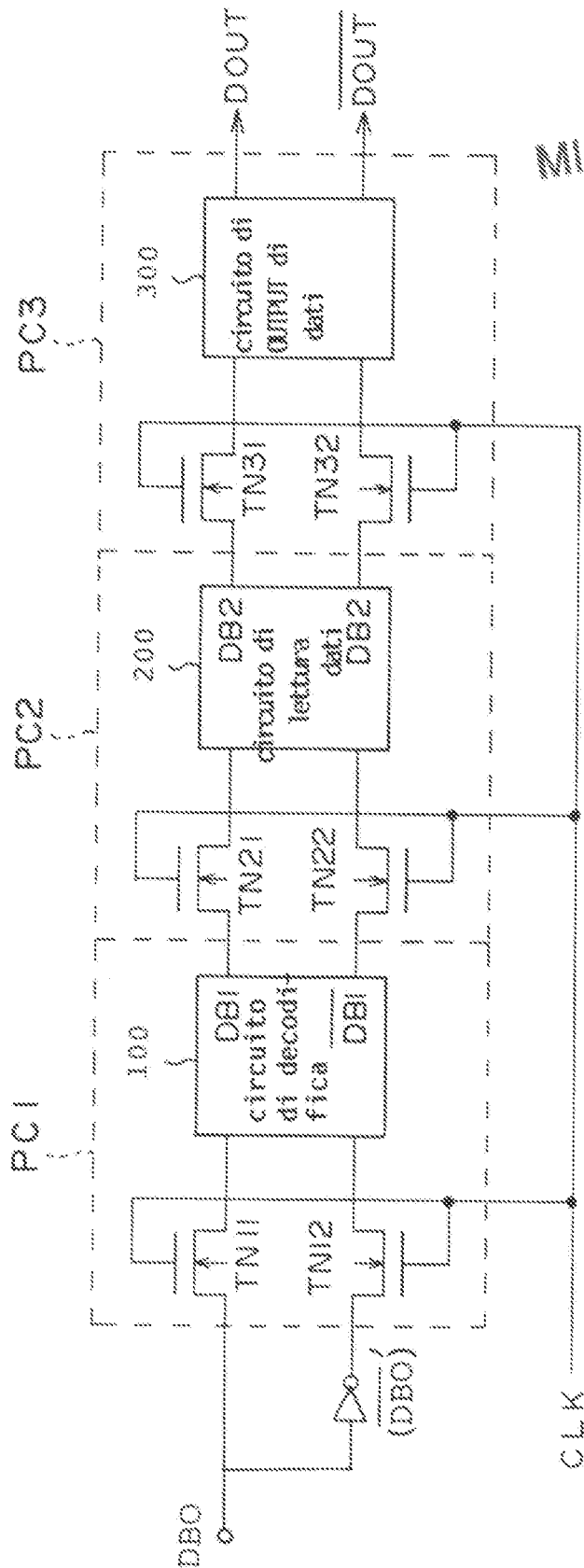
8. Dispositivo di lettura dati conforme a rivendicazione 7, che inoltre comprende un circuito di ripristino (26) collegato tra detto primo circuito di elaborazione pipeline (P11) e detto secondo circuito di elaborazione pipeline (P12) e predisposto per l'azzeramento di una linea in uscita di segnali di dati proveniente da detto primo circuito (21) di elaborazione dei segnali al rilevamento del completamento del trasferimento dei dati da detto primo circuito di elaborazione pipeline (P11) a detto secondo circuito di elaborazione pipeline (P12).

Per traduzione conforme  
il mandatario (Paolo Jaumann)  
dello

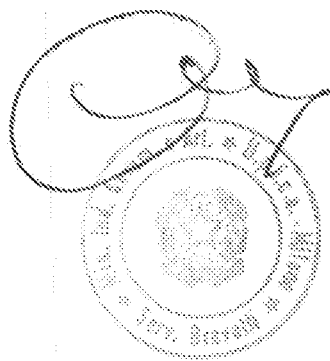
**STUDIO BREVETTI JAUMANN**  
*di Jaumann P. & C. s.n.c.*



TECNICA ANTERIORE

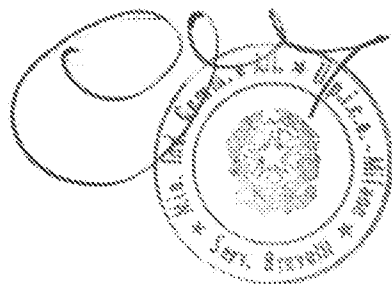
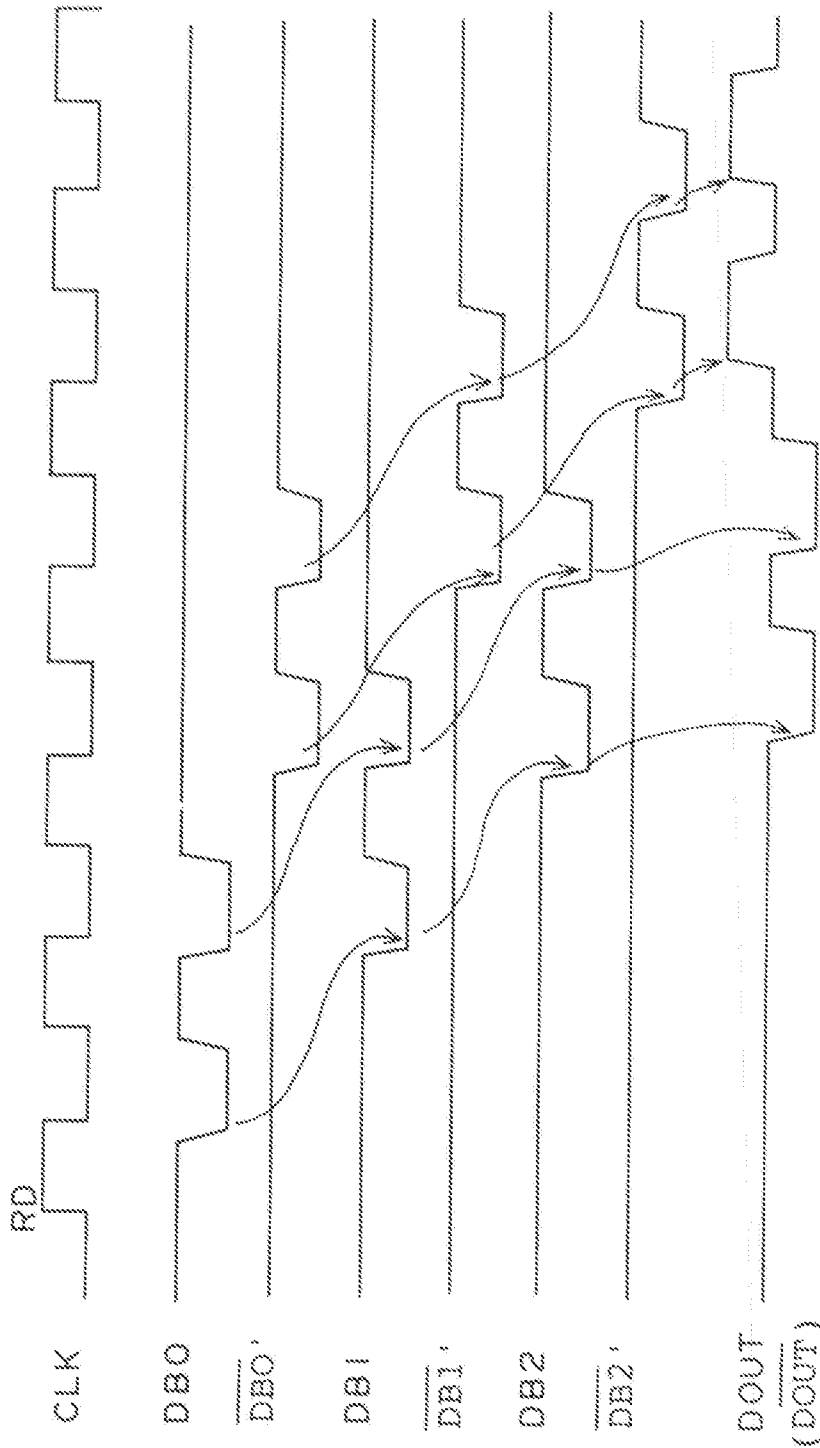


MI 95A 002002



MI 95 A 002002

TECNICA ANTERIORE

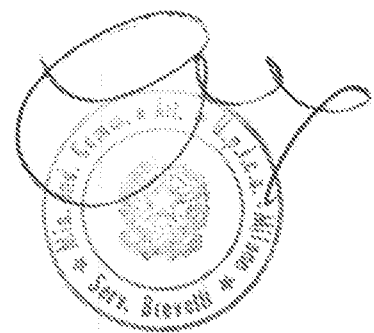
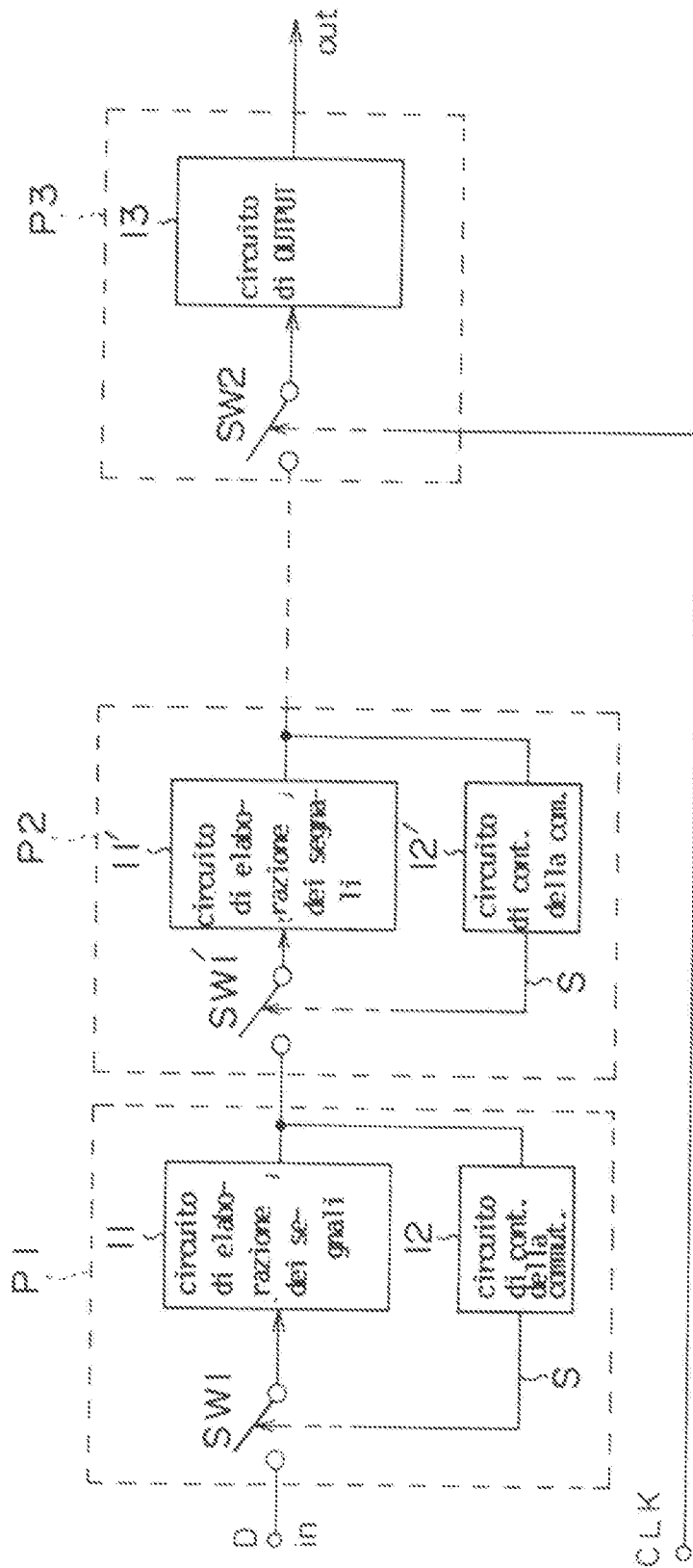


STUDIO BREVETTI JAUMANN

Jaumann P. & C. s.n.c.

MI 95 A 002002

FIG.3

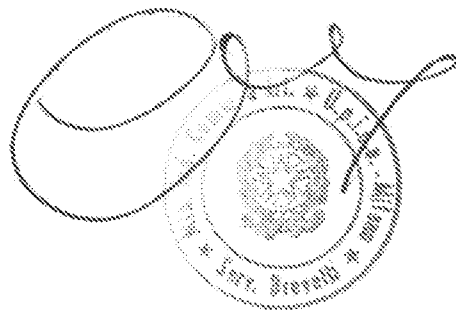
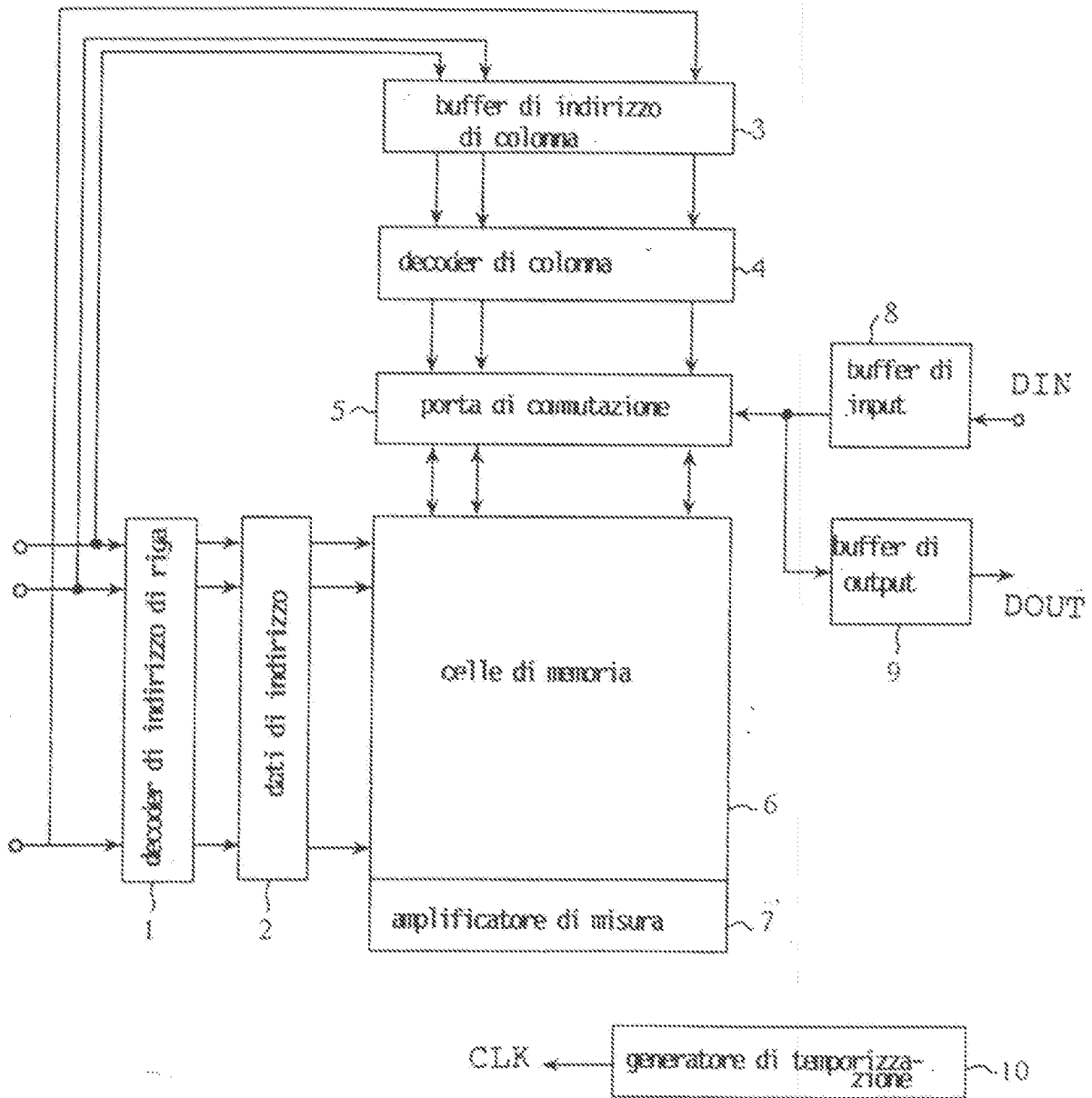


STUDIO BREVETTI JAUMANN

Jaumann P. & C. s.p.a.

FIG.4

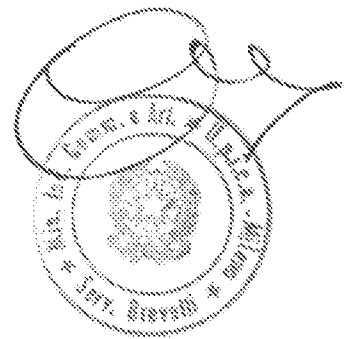
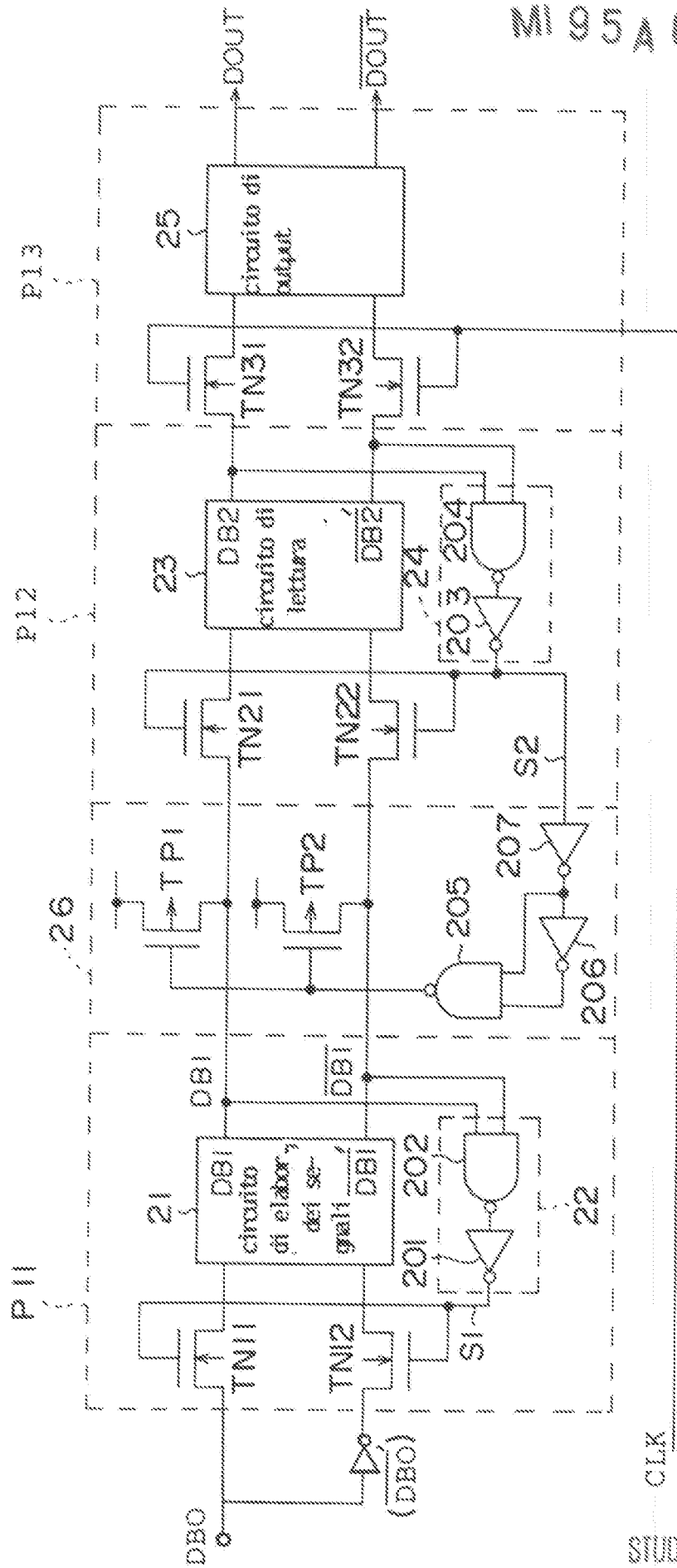
MI 95 A 002002



STUDIO BREVETTI JAUMANN  
di Jaumann P. & C. s.n.c.

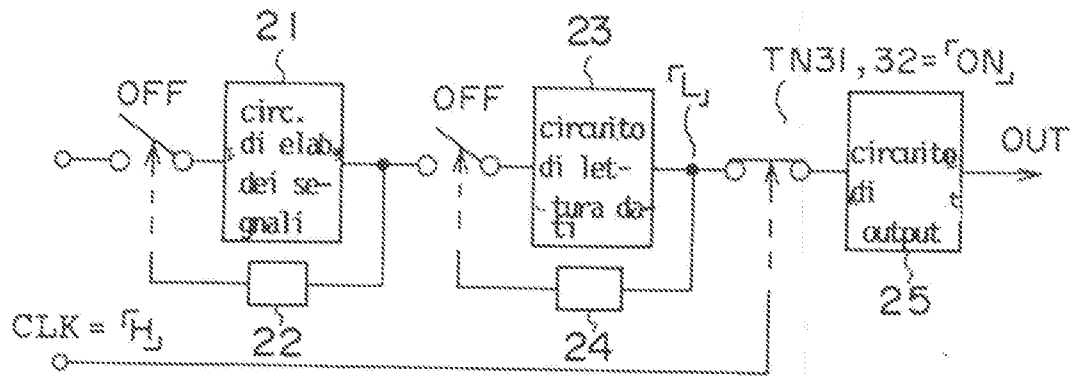
FIG. 5

MI 95 A 002002

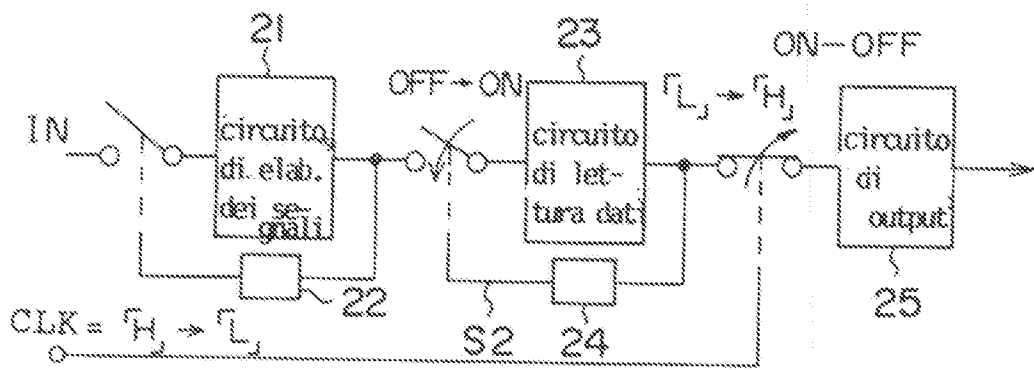


MI 95A 002002

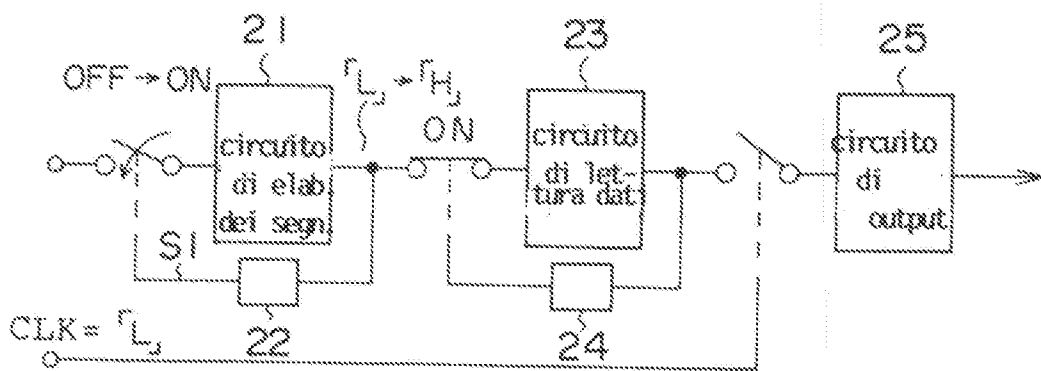
FIG.6



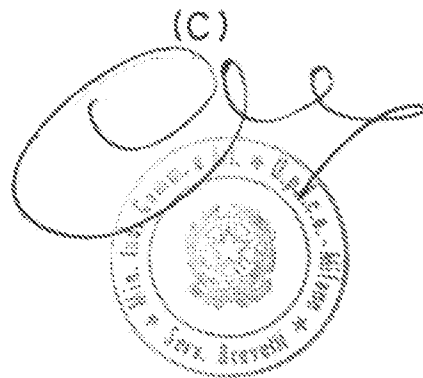
(A)



(B)



(C)



STUDIO BREVETTI JAUMANN  
di Jaumann P. & C. s.p.a.

MI 95 A 002002

FIG.7

