



(12) 实用新型专利

(10) 授权公告号 CN 202494982 U

(45) 授权公告日 2012. 10. 17

(21) 申请号 201220102764. 8

(22) 申请日 2012. 03. 16

(73) 专利权人 环达电脑(上海)有限公司

地址 200436 上海市闸北区江场三路 213 号

专利权人 神达电脑股份有限公司

(72) 发明人 永昇平

(51) Int. Cl.

G06F 1/32(2006. 01)

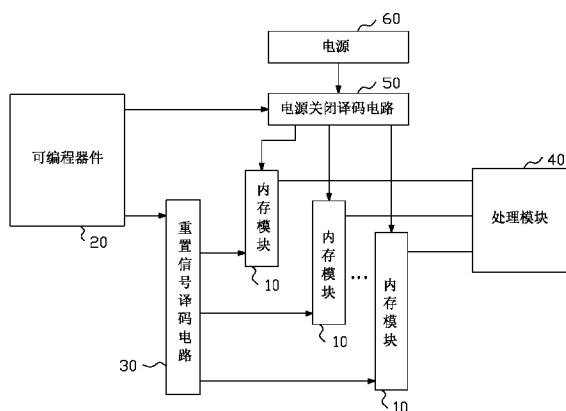
权利要求书 1 页 说明书 2 页 附图 1 页

(54) 实用新型名称

内存省电系统

(57) 摘要

本实用新型提供一种内存省电系统,其包括若干内存模块、可编程器件、重置信号译码电路、处理模块及电源关闭译码电路,其中,可编程器件用以输入总重置信号;重置信号译码电路分别电性连接所述内存模块并将总重置信号分解成各个内存模块所对应的分重置信号,且分重置信号包括省电模式重置信号与非省电模式重置信号;处理模块电性连接重置信号译码电路,且所述处理模块根据分重置信号将所有内存模块上的数据搬移至非省电模式重置信号所对应的内存模块;电源关闭译码电路电性连接电源、可编程器件及内存模块,所述电源关闭译码电路根据总重置信号及离峰时段断开省电模式重置信号所对应的内存模块的回路,从而有效的降低内存模块所造成的功率消耗。



1. 一种内存省电系统,其特征在于包括:

若干内存模块;

可编程器件,其用以输入总重置信号;

重置信号译码电路,分别电性连接所述内存模块并将总重置信号分解成各个内存模块所对应的分重置信号,其中,分重置信号包括省电模式重置信号与非省电模式重置信号;

处理模块,其电性连接重置信号译码电路,且所述处理模块根据分重置信号将所有内存模块上的数据搬移至非省电模式重置信号所对应的内存模块;

电源关闭译码电路,其电性连接电源、可编程器件及内存模块,所述电源关闭译码电路根据总重置信号及离峰时段断开省电模式重置信号所对应的内存模块的回路。

2. 根据权利要求1所述的内存省电系统,其特征在于:所述可编程器件为FPGA。

内存省电系统

[0001] 【技术领域】

[0002] 本实用新型涉及一种内存省电系统,特别是一种有效降低功率消耗的内存省电系统。

[0003] 【背景技术】

[0004] 为了在系统离峰时段达到省电的效果,某些处理器可以在离峰时段进行降频的动作以降低功率消耗,此时系统仍能正常运作。某些处理器上也整合了“自动化内存调节”(automatic memory throttling)功能。然而处于离峰时段,内存使用量变低,系统即便拥有“处理器降频”及“自动化内存调节”功能,但是服务器内的所有内存模块也会持续被供电,造成不必要的功率浪费。

[0005] 处理器的功耗范围约在 45 ~ 200W 之间;而在一个具有 8 款 1Gb 双列直插式内存模块(DIMM)的服务器中,这些 DIMM 的功率预算达 80W。因此,对于具有多达 64 个 DIMM 的大型服务器而言,其结果很可能是“内存模块的功耗比处理器更高”,所以在服务器的应用上,如果能在离峰时间有效的降低内存所造成的功率消耗,对使用服务器的企业来说,将能省下可观的电力与电费。

[0006] 【实用新型内容】

[0007] 本实用新型的主要目的在于提供一种有效降低功率消耗的内存省电系统。

[0008] 本实用新型提供一种内存省电系统,其包括若干内存模块、可编程器件、重置信号译码电路、处理模块及电源关闭译码电路,其中,可编程器件用以输入总重置信号;重置信号译码电路分别电性连接所述内存模块并将总重置信号分解成各个内存模块所对应的分重置信号,其中,分重置信号包括省电模式重置信号与非省电模式重置信号;处理模块电性连接重置信号译码电路,且所述处理模块根据分重置信号将所有内存模块上的数据搬移至非省电模式重置信号所对应的内存模块;电源关闭译码电路电性连接电源、可编程器件及内存模块,所述电源关闭译码电路根据总重置信号及离峰时段断开省电模式重置信号所对应的内存模块的回路。

[0009] 特别地,所述可编程器件为 FPGA。

[0010] 与现有技术相比较,本实用新型利用电源关闭译码电路在离峰时段断开省电模式重置信号所对应的内存模块的回路,有效的降低内存模块所造成的功率消耗,能省下可观的电力与电费。

[0011] 为对本实用新型的目的、构造特征及其功能有进一步的了解,兹配合附图详细说明如下:

[0012] 【附图说明】

[0013] 图 1 为本实用新型内存省电系统的原理方框图。

[0014] 【具体实施方式】

[0015] 请参阅图 1 所示,本实用新型提供一种内存省电系统,其包括若干内存模块 10、可编程器件 20、重置信号译码电路 30、处理模块 40 及电源关闭译码电路 50,其中,可编程器件 20 用以输入总重置信号,总重置信号的输入方法有两种,一种方法为服务器管理人员根

据内存使用量的大小手动输入总重置信号,另一种方法是内存管理程式根据内存使用量的大小自动输入总重置信号;于本实施例中,所述可编程器件为 FPGA。重置信号译码电路 30 分别电性连接所述内存模块 10 并将总重置信号分解成各个内存模块 10 所对应的分重置信号,其中,分重置信号包括省电模式重置信号与非省电模式重置信号;处理模块 40 电性连接重置信号译码电路,且所述处理模块 40 根据分重置信号将所有内存模块 10 上的数据搬移至非省电模式重置信号所对应的内存模块 10;电源关闭译码电路 50 电性连接电源 60、可编程器件 20 及内存模块 10,所述电源关闭译码电路 50 根据总重置信号及离峰时段断开省电模式重置信号所对应的内存模块 10 的回路。

[0016] 流程图中方块 5 所描述之重置记忆体方法,首先重新供应记忆体模组所需要的电源,电源供应后,经过一段时间,重置信号译码电路 30 将会重新送发分重置讯号至重新供电的记忆体模组,待重置完毕后,记忆体管理程式会重新编排记忆体配置,并且通知系统对记忆体使用量进行修改。

[0017] 本实用新型利用电源关闭译码电路 50 在离峰时段断开省电模式重置信号所对应的内存模块 10 的回路,有效的降低内存模块 10 所造成的功率消耗,能省下可观的电力与电费。

[0018] 以上所述,仅为实用新型的具体实施方式,但实用新型的保护范围并不局限于此,任何熟悉本技术领域的技术人员在实用新型揭露的技术范围内,可轻易想到变化或替换,都应涵盖在实用新型的保护范围之内。因此,实用新型的保护范围应以权利要求的保护范围为准。

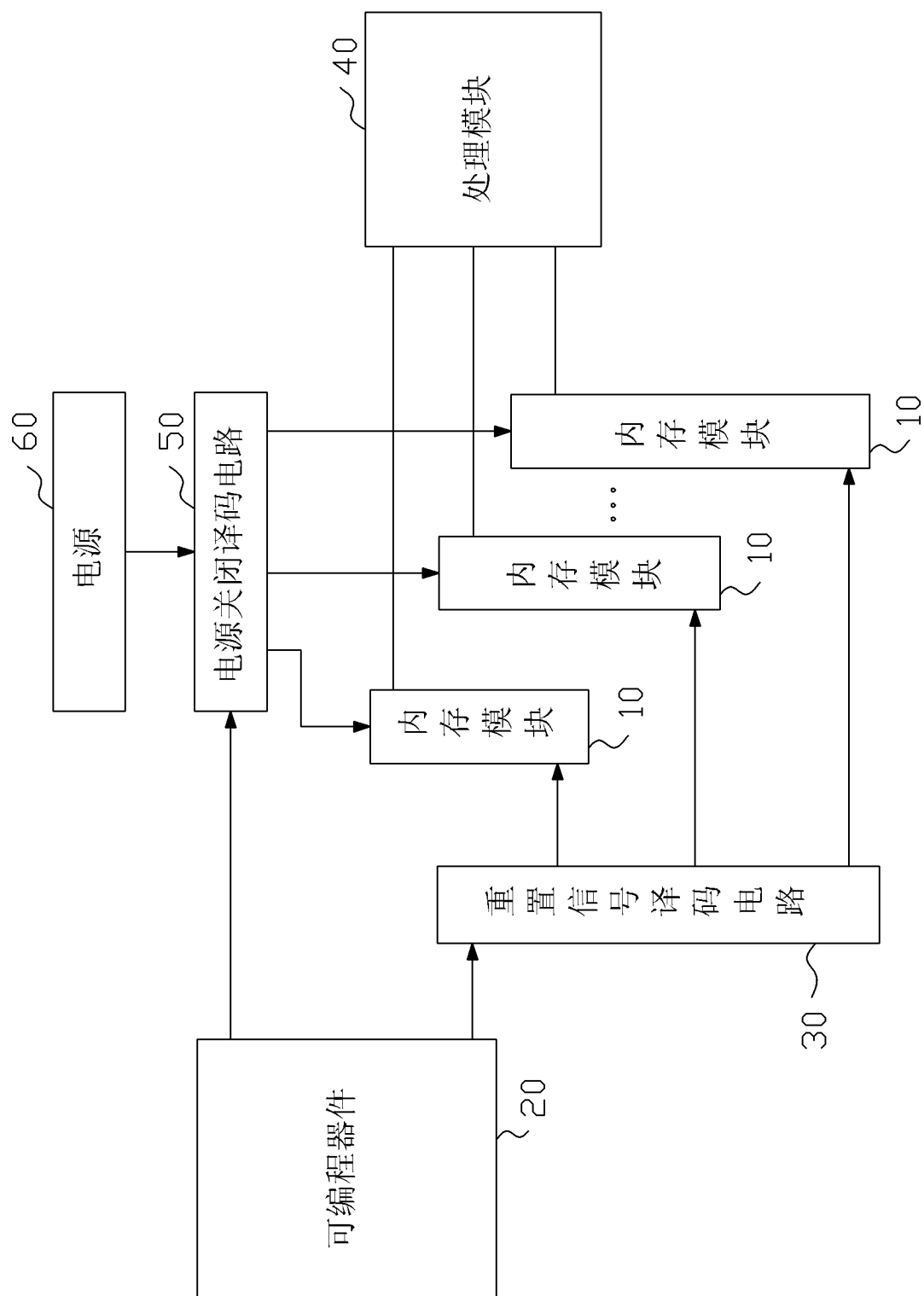


图 1