



⑫

EUROPÄISCHE PATENTSCHRIFT

④⑤ Veröffentlichungstag der Patentschrift :
02.11.94 Patentblatt 94/44

⑤① Int. Cl.⁵ : **H03M 5/14, G11B 20/14,
H04L 7/033**

②① Anmeldenummer : **90912796.1**

②② Anmeldetag : **22.08.90**

⑧⑥ Internationale Anmeldenummer :
PCT/EP90/01390

⑧⑦ Internationale Veröffentlichungsnummer :
WO 91/03879 21.03.91 Gazette 91/07

⑤④ **VERFAHREN ZUR ERKENNUNG EINES NUTZ SIGNALS UND SCHALTUNG ZUR DURCHFÜHRUNG
DES VERFAHRENS.**

③⑩ Priorität : **30.08.89 DE 3928676**

④③ Veröffentlichungstag der Anmeldung :
17.06.92 Patentblatt 92/25

④⑤ Bekanntmachung des Hinweises auf die
Patenterteilung :
02.11.94 Patentblatt 94/44

⑧④ Benannte Vertragsstaaten :
AT BE CH DE DK ES FR GB IT LI LU NL SE

⑦③ Patentinhaber : **DEUTSCHE
THOMSON-BRANDT GMBH**
Hermann-Schwer-Strasse 3
D-78048 Villingen-Schwenningen (DE)

⑦② Erfinder : **SCHOLZ, Werner**
Osterstr. 20
D-3007 Gehrden (DE)

EP 0 489 785 B1

Anmerkung : Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

Die Erfindung geht aus von einem Verfahren gemäß dem Oberbegriff des Anspruchs 1.

Bei der Übertragung digitaler Signale wird oft eine zuverlässige Information darüber benötigt, ob es sich bei einem binären Eingangssignal um ein Nutzsignal oder lediglich um verstärkte und begrenzte Störsignale handelt. Dabei ist angenommen, daß das Eingangssignal in binärer Form vorliegt, d.h. am Ausgang von Eingangsverstärker, Entzerrer und Pegeldetektor verfügbar ist.

Eine derartige Erkennungsschaltung für ein Nutzsignal ist z.B. vorteilhaft anwendbar bei einer PLL-Schaltung mit einem Zählphasendiskriminator gemäß der DE-OS 36 34 751. In dieser Schaltung muß sichergestellt werden, daß während der Zeiten ohne Nutzsignal die Einstellung eines Vor/Rück-Zählers nicht verändert wird, da dadurch eine Änderung der Mittenfrequenz des VCO-Oszillators der PLL und damit eine verlängerte Einlaufzeit der PLL bei Beginn der nächsten Nutzsignalzeit verursacht würde.

In einer PLL-Schaltung gemäß der älteren PCT-Anmeldung WO 90/13121 muß ebenfalls zwischen Nutzsignalzeiten und Totzeiten unterschieden werden. Hier erfolgt die Umschaltung mit Hilfe einer von der Kopfradumdrehung abgeleiteten Schaltspannung. Diese Lösung kann ebenso wie bei der eingangs genannten bekannten Schaltung zu unerwünschten Verstimmungen des VCO-Oszillators führen, und zwar dann, wenn in der Zeit des Band/Kopf-Kontaktes statt des Nutzsignals nur Störsignale geliefert werden. Der Fall kann z.B. eintreten, wenn ein unbespielter Bereich des Bandes abgetastet wird, wenn bei der Aufnahme oder bei der Wiedergabe einer der Köpfe vorübergehend verschmutzt war oder ist oder bei Spurführungsfehlern.

Der Erfindung liegt die Aufgabe zugrunde, ein einfaches, mit digitalen Bausteinen realisierbares Verfahren zur sicheren Erkennung eines Nutzsignals in einem binären Signal zu schaffen.

Diese Aufgabe wird durch die im Anspruch 1 angegebene Erfindung gelöst. Eine Schaltung zur Durchführung des Verfahrens ist im Anspruch 2 angegeben. Die im Anspruch 1 genannte Zahl unmittelbar aufeinanderfolgender gleichwertiger Bits wird im folgenden mit "Runlength" bezeichnet.

Die Erfindung beruht auf der Erkenntnis, daß bei einem aus Störsignalen erzeugten Binärsignal der Runlength-Bereich des Nutzsignals in verhältnismäßig kurzen Zeitabständen überschritten wird. Diese Tatsache wird erfindungsgemäß dazu ausgenutzt, um eine das Nutzsignal oder das Störsignal anzeigende Stellgröße zu erzeugen. Eine Schaltung nach dem erfindungsgemäßen Verfahren arbeitet besonders zuverlässig und schnell und ist als reine Digitalschaltung leicht integrierbar. Ein wesentlicher Vorteil der Nutzsignalerkennung direkt aus dem Eingangssignal besteht auch darin, daß die Zuleitung eines externen Nutzsignal-Markiersignals z.B. von der Kopfumschaltung, vom Kanaldecoder oder der Dropout-Erkennung entfällt.

Die Erfindung wird anhand der Zeichnung näher erläutert. Darin zeigen

Fig. 1 ein Ausführungsbeispiel einer Schaltung für das erfindungsgemäße Verfahren und

Fig. 2 die Anwendung der Schaltung nach Fig. 1 bei der eingangs beschriebenen bekannten Schaltung mit einem Zählphasendiskriminator.

Die in Fig. 1 dargestellte Schaltung ist besonders geeignet für Binärsignale in 8/10-Modulation mit einer maximalen Runlength von 6 bei Bitraten bis zu ca 50 Mbit/s. Der Zähler 24 überwacht die Runlength des ankommenden Binärsignals B'. Der Zähler 24 wird bei jedem Pegelübergang des Eingangssignals zurückgesetzt. Der Ausgang QD kann nur dann auf 1 gehen und damit den die zweite Stufe bildenden Zähler 26 zurücksetzen, wenn zwischen zwei Pegelübergängen des Eingangssignals B' mindestens 8 Taktimpulse C liegen. Dabei braucht der Takt nicht mit dem Eingangssignal synchronisiert zu sein.

Der Zähler 26 überwacht den Abstand zwischen den Runlength-Überschreitungen, die in dem Zähler 24 ermittelt werden. Der Zählbereich des Zählers 26 ist der maximalen Größe dieses Abstandes in den Totzeiten des Signals angepaßt. Der Ausgang des Zählers 26 geht hier jeweils nach 128 Impulsen vom Ausgang des NOR-Gatters 25 auf 1, wenn nicht in der Zwischenzeit infolge einer Runlength-Überschreitung eine Rücksetzung erfolgt. Diese Rücksetzungen erfolgen in genügend kurzen Abständen während der Totzeiten des Signals, so daß die am Ausgang 30 erzeugte, das Nutzsignal oder das Störsignal anzeigende Stellgröße G auf null bleibt. Die Stellgröße G kann, wie anhand der Fig. 2 noch erläutert, eine gewünschte Umschaltung zwischen Betrieb für ein Nutzsignal und Betrieb für ein reines Störsignal vornehmen. Die Zahl der Taktimpulse C, die zwischen zwei Runlength-Überschreitungen maximal liegen dürfen, beträgt hier ca $4 \times 128 = 512$, da der Zählimpuls für den Zähler 26 vom zweiten Flip-Flop des Zählers 24 abgenommen wird.

Bei einem weitestgehend störungsfreien Nutzsignal kann die Runlength nicht mehr den Wert 8 erreichen. Dann geht der Ausgang 30 des Zählers 26 auf 1 und sperrt das Gatter 25, so daß dieser Zustand bestehenbleibt und nur durch Rücksetzen des Zählers 26 infolge einer Runlength-Überschreitung beendet werden kann. Das Signal G=1 sorgt dafür, daß der Vor/Rückzähler 16 in Fig. 2 arbeitet und die Mittenfrequenz des Oszillators 1 ständig auf den Optimalwert eingestellt ist.

Jede Runlength-Überschreitung bedeutet, daß das momentane Signal nicht für die Nachregelung der Frequenz eines Oszillators geeignet ist. Daher wird die Nachregelung sofort durch Rücksetzen des Zählers 26

unterbrochen und erst nach Feststellung einwandfreier Signalverhältnisse wie beschrieben wieder fortgesetzt.

Fig. 2 zeigt eine Anwendung der in Fig. 1 dargestellten Schaltung 23 für eine bekannte PLL-Schaltung mit Zähl-Phasendiskriminator gemäß der DE-OS 36 34 751. Mit Hilfe des EXOR-Gatters 5 und des Verzögerungsgliedes 4 wird aus jedem Pegelübergang des binären Eingangssignals A ein schmaler Impuls B' erzeugt. Das Flip-Flop 15 erzeugt ebenfalls Impulse B' bestimmter Breite. Es dient lediglich als Laufzeitausgleich für das Flip-Flop 6, das zur Erzeugung einer Umschaltspannung Q dient. Die Umschaltspannung bewirkt, daß die Impulse B entweder dem Ausgang des Gatters 8 oder 9 zugeführt werden. Sie ist davon abhängig, ob der Impuls B vor oder hinter der abfallenden Flanke der Ausgangsspannung C des VCO-Oszillators 1 beginnt.

Die Ausgangsspannung E des Gatters 8 und die invertierte Ausgangsspannung F des Gatters 9 werden mit Hilfe der Widerstände 12 und 13 zwecks Erzeugung der Regelspannung UR addiert. Das Netzwerk 3 bewirkt eine Tiefpaßfilterung von UR. Über den Verstärker 14 wird UR dem Oszillator 1 als Regelspannung UR' zugeführt. Das Niveau der Regelspannung und damit die Mittenfrequenz des Oszillators 1 werden durch die Ausgangsspannung U_o des D/A-Wandlers 17 bestimmt. Das Eingangssignal für den D/A-Wandler 17 liefert der Vor/Rückzähler 16. Dieser erhält seine Zählimpulse über die Frequenzteiler 18 und 19, sofern die Gatter 21, 22 nicht gesperrt sind. Die Schaltung 23 zur Erkennung des Nutzsymbols bewirkt, daß die Gatter 21 und 22 nur dann geöffnet sind, wenn das binäre Eingangssignal A ein Nutzsymbols ist.

Bei einem binären Nutzsymbols A treten die Pegelübergänge gehäuft im Abstand von ganzzahligen Vielfachen der Bitdauer auf. Bei gleichen Frequenzteilern 18 und 19 verändert sich U_o solange, bis die Impulszahlen an den Ausgängen der Gatter 8 und 9 im Mittel übereinstimmen. Dieses bedeutet aber, daß die Pegelübergangshäufungen, die z.B. das Augendiagramm anschaulich zeigt, symmetrisch um jeweils einen Pegelübergang der Ausgangsspannung C des Oszillators 1 angeordnet sind.

Bei gleich langen Halbwellen der Spannung C muß dann der andere Pegelübergang in Augenmitte liegen und damit für die fehlerfreie Abtastung des binären Eingangssignals geeignet sein. Die Abtastung des Signals A erfolgt hier mit Hilfe der positiven Flanke von C im Flip-Flop 20.

Patentansprüche

- Verfahren zum Erzeugen einer ein Nutzsymbols anzeigenden Stellgröße (G) aus einer binären Signalfolge mit abwechselnden Nutzsymbols und Störsymbols, wobei die Stellgröße (G) mit einem ersten Wert (1) anzeigt, daß ein binäres Nutzsymbols vorliegt, und mit einem zweiten Wert (0) anzeigt, daß ein während eines Signalausfalls durch Verstärkung und Begrenzung erzeugtes binäres Störsymbols vorliegt, wobei beim Nutzsymbols die Anzahl der unmittelbar aufeinanderfolgenden gleichwertigen Bits innerhalb eines vorgegebenen Bereiches liegt, **dadurch gekennzeichnet**, daß die Anzahl der unmittelbar aufeinanderfolgenden gleichwertigen Bits der Signalfolge (A) gemessen wird und nach einer Überschreitung der oberen Grenze des vorgegebenen Bereiches die Stellgröße (G) mit dem zweiten Wert (0) erzeugt wird und daß die Stellgröße (G) auf den ersten Wert zurückgestellt wird, sobald der zeitliche Abstand zwischen zwei Überschreitungen des vorgegebenen Bereiches einen vorgegebenen Wert übersteigt.
- Schaltung zur Durchführung des Verfahrens nach Anspruch 1, **dadurch gekennzeichnet**, daß ein erster Zähler (24) für aufeinanderfolgende gleichwertige Bits des Signals und ein zweiter Zähler (26) für den zeitlichen Abstand der im ersten Zähler (24) ermittelten Überschreitungen vorgesehen sind, daß ein Ausgang (QB) des ersten Zählers (24) mit dem ersten Eingang eines NOR-Gatters (25), dessen Ausgang mit dem Eingang des zweiten Zählers (26) und dessen Ausgang (30) mit dem zweiten Eingang des NOR-Gatters (25) verbunden ist, und daß der erste Zähler (24) bei jedem Pegelübergang des binären Signals zurückgesetzt oder auf einen bestimmten Stand voreingestellt wird und der zweite Zähler (26) zurückgesetzt wird, sobald der erste Zähler (24) einen vorgegebenen Zählerstand erreicht.

Claims

- A method of generating a control quantity (G), which indicates a useful signal, from a binary signal sequence with alternating useful signals and disturbance signals, wherein the correcting variable (G) indicates with a first value (1) that a binary useful signal is present and indicates with a second value (0) that a binary disturbance signal, generated during a signal drop-out as a result of amplification and delimitation, is present, wherein in the case of the useful signal the number of directly consecutive equivalent bits falls within a given range, characterised in that the number of directly consecutive, equivalent bits of the signal sequence (A) is measured and following an overshooting of the upper limit of the given range

the control quantity (G) is generated with the second value (0), and that the control quantity (G) is reset to the first value as soon as the interval of time between two overshootings of the given range exceeds a predetermined value.

- 5 2. A circuit for the implementation of the method claimed in Claim 1, characterised in that a first counter (24) is provided for consecutive equivalent bits of the signal and a second counter (26) is provided for the interval of time between the overshootings determined in the first counter (24), that an output (QB) of the first counter (24) is connected to the first input of a NOR-gate (25), the output of which is connected to the input of the second counter (26) and the output (30) of which is connected to the second input of the NOR-gate (25), and that the first counter (24) is reset with each level transition of the binary signal or is preset at a specific state and the second counter (26) is reset as soon as the first counter (24) reaches a predetermined state.
- 10

15 Revendications

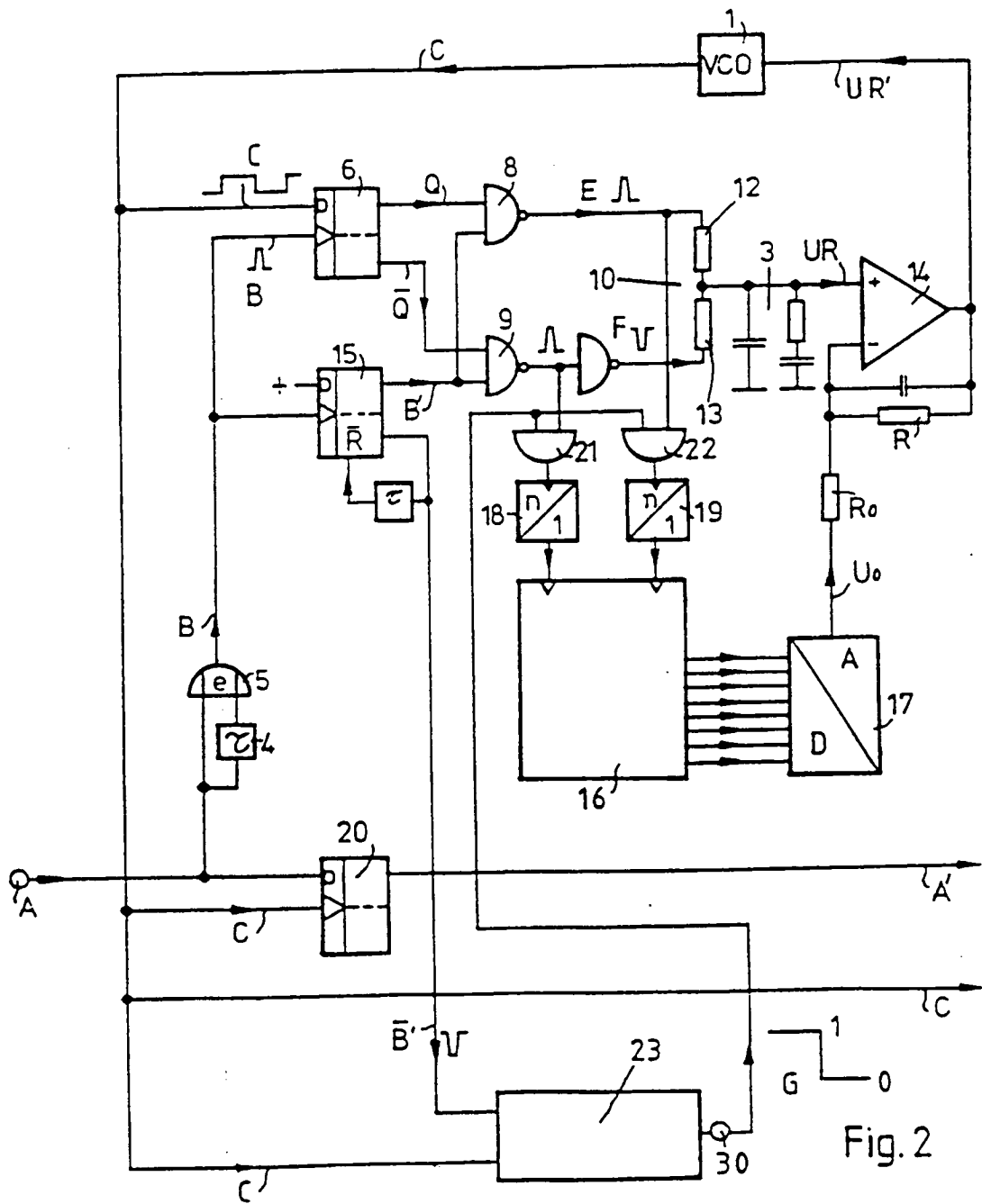
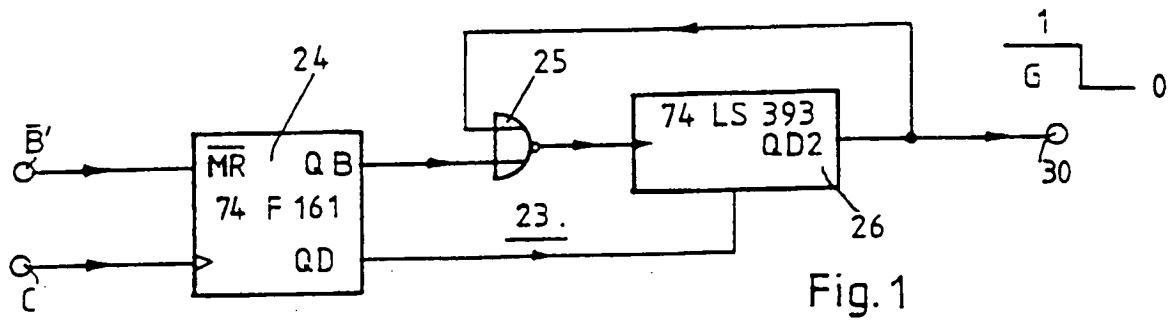
1. Procédé de génération d'une valeur réponse (G) indiquant un signal utile à partir d'une séquence de signaux binaires comprenant alternativement des signaux utiles et des signaux parasites, la valeur réponse (G) indiquant, avec une première valeur (1), qu'un signal binaire utile est présent et, avec une seconde valeur (0) qu'un signal parasite binaire produit par amplification et par limitation pendant un défaut de signal est présent, le nombre de bits équivalents se succédant immédiatement se trouvant dans un domaine donné pour le signal utile, caractérisé en ce que le nombre de bits équivalents se succédant immédiatement de la séquence de signaux (A) est mesuré, et qu'à la suite d'un dépassement de la limite supérieure du domaine donné, la valeur réponse (G) est générée au moyen de la deuxième valeur (0) et que la valeur réponse (G) est remise à la première valeur, dès que l'écart temporel entre deux dépassements de la gamme donnée dépasse une valeur donnée.
- 20
2. Circuit pour la mise en oeuvre du procédé selon revendication 1, caractérisé en ce qu'un premier compteur (24) est prévu pour des bits équivalents d'un signal qui se succèdent, et qu'un second compteur (26) est prévu pour les dépassements déterminés dans le premier compteur (24), qu'une sortie (QB) du premier compteur (24) est reliée à la première entrée d'une porte NOR (25) dont la sortie est reliée à l'entrée du second compteur (26) et dont la sortie (3Q) est reliée à la deuxième entrée de la porte NOR (25), et que le premier compteur (24) est remis à zéro ou préréglé à une valeur déterminée pour chaque passage de niveau du signal binaire, et que le second compteur (26) est remis à zéro dès que le premier compteur (24) atteint une position de compteur donnée.
- 25
- 30
- 35

40

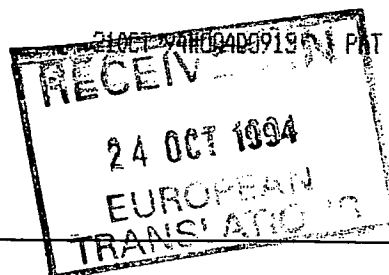
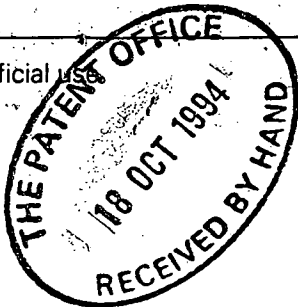
45

50

55



For official use



Your reference

JW/N2557

Notes

Please type, or write in dark ink using CAPITAL letters.

A prescribed fee is payable with this form. For details, please contact the Patent Office (telephone 071-438 4700).

Paragraph 1 of Schedule 4 to the Patents Rules 1990 governs the completion and filing of this form.

This form must be filed in duplicate and must be accompanied by a translation into English, in duplicate, of:

- the whole description
- those claims appropriate to the UK (in the language of the proceedings)

including all drawings, whether or not these contain any textual matter but excluding the front page which contains bibliographic information. The translation must be verified to the satisfaction of the Comptroller as corresponding to the original text.

**The
Patent
Office**

Filing of translation of European Patent (UK) under Section 77(6)(a)

Form 54/77

Patents Act 1977

① European Patent number

- 1 Please give the European Patent number:
0 489 785

② Proprietor's details

- 2 Please give the full name(s) and address(es) of the proprietor(s) of the European Patent (UK):

Name DEUTSCHE-THOMSON BRANDT GMBH

Address Hermann-Schwer-Strasse 3
D-78048 Villingen-Schwenningen
DE

Postcode

ADP number
(if known):

③ European Patent Bulletin date

- 3 Please give the date on which the mention of the grant of the European Patent (UK) was published in the European Patent Bulletin or, if it has not yet been published, the date on which it will be published:

Date

02.11.94
(day month year)

Please turn over

089/51

④ Agent's details

4 Please give name of agent (if any):

WILLIAMS, POWELL & ASSOCIATES

⑤ An address for service in the United Kingdom must be supplied.

⑥ Address for service

5 Please give a name and address in the United Kingdom to which all correspondence will be sent:

Name WILLIAMS, POWELL & ASSOCIATES

Address 34 Tavistock Street
London

Postcode WC2E 7PB

ADP number 5830310001
(if known)

Signature

Please sign here ➡

Signed *WP & A*

Date 18.10.94
(day month year)

Reminder

Have you attached:

- ☐ one duplicate copy of this form?
- ☐ two copies of the translation including any drawings (verified to the satisfaction of the Comptroller)?
- ☐ any continuation sheets (if appropriate)?

PATENTS ACT - 1977
AND PATENTS (AMENDMENT) RULES 1987

IN THE MATTER OF
European Patent (UK)
No. 0 489 785

I, Pauline Stone MITI, of 7 Hillbrow Road, Brighton,
East Sussex, BN1 5JP, Great Britain, fully conversant with the
German and English languages, hereby certify that to the best
of my knowledge and belief the following is a true translation
into the English language of the above-mentioned European
Patent.

Signed this 10th day of June 1994


.....
(Pauline Stone)

GREAT BRITAIN)
ENGLAND)
LONDON)

IN THE MATTER OF an Application
for a Hong Kong Registration
Patent

I, Derek Ernest LIGHT BA BDÜ,
do hereby certify:

THAT I am a Technical Translator to RWS Translations Ltd., of
Europa House, Marsham Way, Gerrards Cross, Buckinghamshire,
England and known as such to the undersigned Notary Public;
THAT I have a competent knowledge of the German and English
languages;

AND THAT, to the best of my knowledge and belief, the attached
document is a true and correct translation of the cover page of
the European Patent in the name of
DEUTSCHE THOMSON-BRANDT GMBH
granted under No. 0,489,785

Signed by DEREK ERNEST LIGHT)
For and on behalf of RWS Translations Ltd.)
This 30th day of November)
1995)

D. Light
DEREK ERNEST LIGHT

I hereby certify the authenticity of the above signature of
DEREK ERNEST LIGHT whose identity I attest.

London, the 30th day of November 1995

Richard R. Smith
NOTARY PUBLIC OF LONDON ENGLAND

19 European Patent Office
European Patent Office
European Patent Office

11 Publication No.: 0 489 785 B1

12 EUROPEAN PATENT SPECIFICATION

45 Date of publication of the
patent specification:
02.11.94 Bulletin 94/44

51 Int. Cl.⁵: H03M 5/14, G11B 20/14,
H04L 7/033

21 Application No.: 90912796.1

22 Filing date: 22.08.90

86 International application No.:
PCT/EP90/01390

87 International publication No.:
WO 91/03879 21.03.91 Gazette 91/07

54 METHOD FOR THE RECOGNITION OF THE WANTED SIGNAL AND CIRCUIT FOR CARRYING OUT THE METHOD.
[Title as printed]

30 Priority: 30.08.89 DE 3928676

73 Patent proprietor: DEUTSCHE
THOMSON-BRANDT GMBH
Hermann-Schwer-Strasse 3
D-78048 Villingen-Schwenningen (DE)

43 Date of publication of the
application:
17.06.92 Bulletin 92/25

45 Publication of the notice
of the patent grant:
02.11.94 Bulletin 94/44

72 Inventor: Werner SCHOLZ
Osterstr. 20
D-3007 Gehrden (DE)

84 Designated contracting States:
AT BE CH DE DK ES FR GB IT LI LU NL SE

EP 0 489 785 B1

Note: Within nine months from the publication of the notice of the grant of the European patent in the European Patent Bulletin, any person may lodge opposition to the granted European patent at the European Patent Office. The opposition shall be filed in writing and the grounds thereof shall be stated. It shall be deemed to have been filed only when the opposition fee has been paid (Art. 99(1) of the European Patent Convention).

Jouve, 18, rue Saint-Denis, 75001 PARIS

The invention is based on a method according to the preamble of Claim 1.

In the transmission of digital signals, reliable information as to whether a binary input signal is a useful signal or consists merely of amplified and limited interference signals is often required. Here it is assumed that the input signal occurs in binary form, i.e. is available in binary form at the output of input amplifier, equalizer and level detector.

Such a recognition circuit for a useful signal can be applied advantageously for example in a PLL circuit with a counting phase discriminator according to DE-OS 36 34 751. In this circuit it must be ensured that during the periods with no useful signal the setting of a forwards/backwards counter is not changed as this would give rise to a change in the centre frequency of the VCO oscillator of the PLL circuit and thus an extended running-in time of the PLL at the start of the next useful signal period.

In a PLL circuit according to the earlier PCT Application WO 90/13121 it is likewise necessary to differentiate between useful signal periods and dead periods. Here the switch-over takes place with the aid of a switching voltage derived from the head wheel rotation. As in the case of the known circuit referred to in the introduction, this solution can also lead to undesired detuning of the VCO oscillator, specifically when, at the time of the tape-head contact, instead of the useful signal only interference signals are supplied. This situation can occur, for example, when a non-prerecorded part of the tape is read, when during recording or playback there is temporarily dirt on one of the heads, or in the case of tracking faults.

The aim of the invention is to provide a simple method, which can be implemented using digital modules, for the reliable recognition of a useful signal in a binary signal.

This aim is fulfilled by the invention as described in Claim 1. A circuit for the implementation of the method is described in Claim 2. The number of directly consecutive, equivalent bits referred to in Claim 1 will be termed "run length" in the following.

The invention is based on the recognition that in the case of a binary signal generated from interference signals, the run length range of the useful signal is exceeded at relatively short intervals of time. This fact is exploited, in accordance with the invention, in order to generate a control quantity which indicates the useful signal or the interference signal. A circuit corresponding to the method according to the invention operates particularly reliably and rapidly and can easily be integrated as a pure digital circuit. A fundamental advantage of recognising the useful signal directly from the input signal also consists in that the supply line for an external useful signal marker signal, for example from the head switch-over device, the channel decoder or the drop-out recognition device, is not required.

The invention will be explained in detail making reference to the drawing. In the drawing:

Fig. 1 shows an exemplary embodiment of a circuit for the method according to the invention and

Fig. 2 shows the application of the circuit according to Fig. 1 in the known circuit described in the introduction with a counting phase discriminator.

The circuit illustrated in Fig. 1 is particularly suitable for binary signals in 8/10 modulation with a maximum run

length of 6 in the case of bit rates of up to approximately 50 mbit/s. The counter 24 monitors the run length of the incoming binary signal B'. The counter 24 is reset with every level transition of the input signal. A 1 can occur at the output QD, and thus the output QD can reset the counter 26 which forms the second stage, only when at least 8 clock pulses C occur between two level transitions of the input signal B'. Here the clock signal does not require to be synchronized with the input signal.

The counter 26 monitors the interval between the overshootings of the run length which are determined in the counter 24. The counting range of the counter 26 is adapted to the maximum value of this interval in the dead times of the signal. A 1 occurs at the output of the counter 26 in each case after 128 pulses from the output of the NOR gate 25 unless a resetting occurs in the meantime due to the overshooting of a run length. These resettings occur at sufficiently short intervals during the dead times of the signal so that the control quantity G, which is produced at the output 30 and indicates the useful signal or the interference signal, remains at zero. As also explained with reference to Fig. 2, the control quantity G can effect a desired switch-over between operation for a useful signal and operation for a pure interference signal. The maximum number of clock pulses C allowed between two run length overshootings here amounts to approximately $4 \times 128 = 512$ as the counting pulse for the counter 26 is obtained from the second flip-flop of the counter 24.

In the case of a useful signal which is substantially free of interference, the run length can no longer attain the value 8. Then a 1 occurs at the output 30 of the counter 26 and the gate 25 is disabled so that this state is maintained and can be ended only by the resetting of the counter 26 as a result of the overshooting of a run length. The signal

G=1 ensures that the forwards/backwards counter 16 in Fig. 2 operates and the centre frequency of the oscillator 1 is continuously set at the optimum value.

Each overshooting of the run length signifies that the instantaneous signal is unsuitable for adjusting the frequency of an oscillator. Therefore the adjustment is immediately interrupted by the resetting of the counter 26 and continued again only when satisfactory signal conditions have been established as described.

Fig. 2 illustrates an application of the circuit 23 illustrated in Fig. 1 for a known PLL circuit with counting phase discriminator in accordance with DE-OS 36 34 751. With the aid of the exclusive-OR gate 5 and the delay element 4 a narrow pulse B' is produced from each level transition of the binary input signal A. The flip-flop 15 likewise generates pulses B' of a specific breadth. It serves merely as delay time compensation for the flip-flop 6 which itself serves to generate a switch-over voltage Q. The switch-over voltage causes the pulses B to be fed either to the output of the gate 8 or 9. It is dependent upon whether the pulse B commences before or after the falling flank of the output voltage C of the VCO oscillator 1.

The output voltage E of the gate 8 and the inverted output voltage F of the gate 9 are added with the aid of the resistors 12 and 13 in order to produce the control voltage UR. The network 3 effects a low-pass filtering of UR. Via the amplifier 14, UR is fed to the oscillator 1 as control voltage UR'. The level of the control voltage, and thus the centre frequency of the oscillator 1, are determined by the output voltage U_o of the D/A converter 17. The input signal for the D/A converter 17 is supplied by the forwards/backwards counter 16. The latter obtains its counting pulses via the frequency dividers 18 and 19 unless

the gates 21, 22 are disabled. The circuit 23 for the recognition of the useful signal causes the gates 21 and 22 to be open only when the binary input signal A is a useful signal.

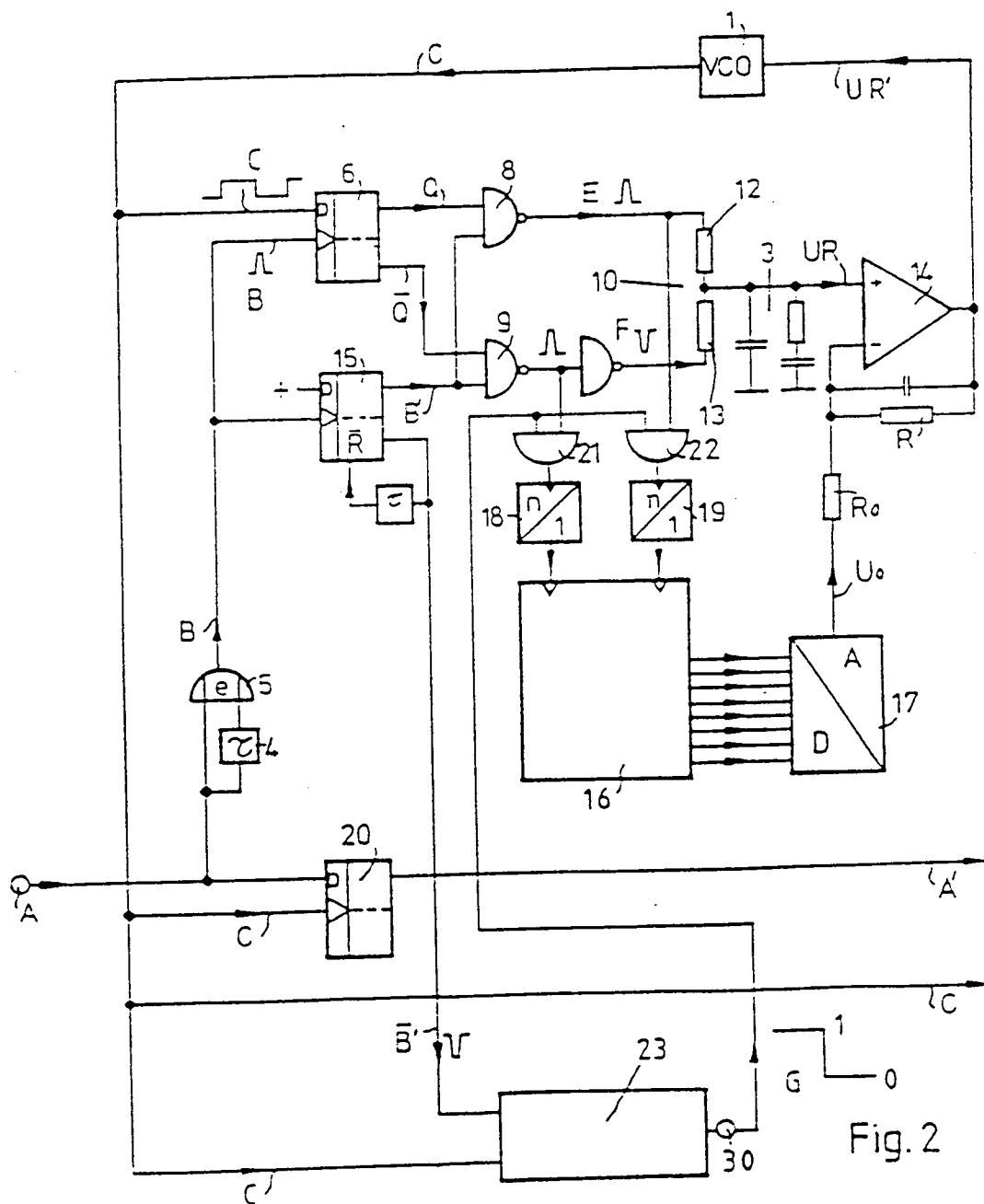
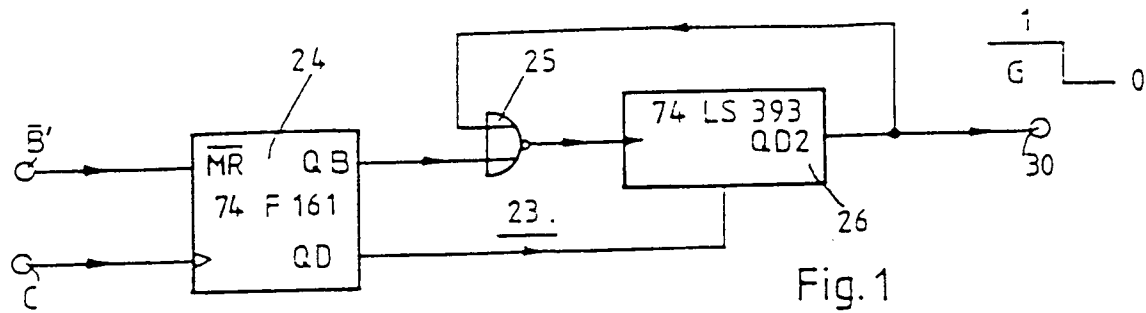
In the case of a binary useful signal A, the level transitions occur more frequently at intervals of whole-number multiples of the bit duration. When the frequency dividers 18 and 19 are identical, U_0 changes until the numbers of pulses at the outputs of the gates 8 and 9 are on average identical. This means, however, that the increases in level transitions, indicated for example by the eye pattern, are disposed symmetrically around a respective level transition of the output voltage C of the oscillator 1.

In the case of equal-length half-waves of the voltage C, the other level transition must then be located at the centre of the eye and thus be suitable for the fault-free reading of the binary input signal. The reading of the signal A here takes place with the aid of the positive flank of C in the flip-flop 20.

Claims

1. A method of generating a control quantity (G), which indicates a useful signal, from a binary signal sequence with alternating useful signals and disturbance signals, wherein the control quantity (G) indicates with a first value (1) that a binary useful signal is present and indicates with a second value (0) that a binary disturbance signal, generated during a signal drop-out as a result of amplification and delimitation, is present, wherein in the case of the useful signal the number of directly consecutive equivalent bits falls within a given range, characterised in that the number of directly consecutive, equivalent bits of the signal sequence (A) is measured and following an overshooting of the upper limit of the given range the control quantity (G) is generated with the second value (0), and that the control quantity (G) is reset to the first value as soon as the interval of time between two overshootings of the given range exceeds a predetermined value.

2. A circuit for the implementation of the method claimed in Claim 1, characterised in that a first counter (24) is provided for consecutive equivalent bits of the signal and a second counter (26) is provided for the interval of time between the overshootings determined in the first counter (24), that an output (QB) of the first counter (24) is connected to the first input of a NOR-gate (25), the output of which is connected to the input of the second counter (26) and the output (30) of which is connected to the second input of the NOR-gate (25), and that the first counter (24) is reset with each level transition of the binary signal or is preset at a specific state, and the second counter (26) is reset as soon as the first counter (24) reaches a predetermined state.



REGISTER ENTRY FOR EP0489785

European Application No EP90912796.1 filing date 22.08.1990

Application in German

Priority claimed:

30.08.1989 in Federal Republic of Germany - doc: 3928676

PCT EUROPEAN PHASE

PCT Application PCT/EP90/01390 Publication No WO91/03879 on 21.03.1991

Designated States BE CH DE DK ES FR GB IT LI LU NL SE AT

Title CIRCUIT FOR THE RECOGNITION OF THE WANTED SIGNAL IN A BINARY SIGNAL.

Applicant/Proprietor

DEUTSCHE THOMSON-BRANDT GMBH, Hermann-Schwer-Strasse 3, W-7730

Villingen-Schwenningen, Federal Republic of Germany [ADP No. 56852627002]

Inventor

WERNER SCHOLZ, Osterstr. 20, W-3007 Gehrden, Federal Republic of Germany

[ADP No. 59824839001]

Classified to

H03M G11B H04L

Address for Service

WILLIAMS, POWELL & ASSOCIATES, 34 Tavistock Street, LONDON, WC2E 7PB,

United Kingdom

[ADP No. 05830310001]

Publication No EP0489785 dated 17.06.1992 and granted by EPO 02.11.1994.

Publication in German

Examination requested 19.02.1992

Patent Granted with effect from 02.11.1994 (Section 25(1)) with title METHOD

FOR THE RECOGNITION OF THE WANTED SIGNAL AND CIRCUIT FOR CARRYING OUT THE
METHOD.. Translation filed 18.10.1994

30.09.1994 Notification from EPO of change of Applicant/Proprietor details
from

DEUTSCHE THOMSON-BRANDT GMBH, Hermann-Schwer-Strasse 3, W-7730

Villingen-Schwenningen, Federal Republic of Germany

[ADP No. 56852627002]

to

DEUTSCHE THOMSON-BRANDT GMBH, Hermann-Schwer-Strasse 3, D-78048

Villingen-Schwenningen, Federal Republic of Germany

[ADP No. 56852627002]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

30.09.1994 Notification from EPO of change of Inventor details from

WERNER SCHOLZ, Osterstr. 20, W-3007 Gehrden, Federal Republic of

Germany

[ADP No. 59824839001]

to

WERNER SCHOLZ, Osterstr. 20, D-3007 Gehrden, Federal Republic of

Germany

[ADP No. 53685954001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

REGISTER ENTRY FOR EP0489785 (Cont.)

TIMED: 16/11/95 13:04:06

PAGE: 2

**** END OF REGISTER ENTRY ****

OA80-01
EP

OPTICS - PATENTS

16/11/95

13:09:01

PAGE: 1

RENEWAL DETAILS

PUBLICATION NUMBER

EP0489785

PROPRIETOR(S)

DEUTSCHE THOMSON-BRANDT GMBH, Hermann-Schwer-Strasse 3, D-78048
Villingen-Schwenningen, Federal Republic of Germany

DATE FILED

22.08.1990

DATE GRANTED

02.11.1994

DATE NEXT RENEWAL DUE

22.08.1996

DATE NOT IN FORCE

DATE OF LAST RENEWAL

28.07.1995

YEAR OF LAST RENEWAL

06

STATUS

PATENT IN FORCE

**** END OF REPORT ****