

# 公告本

|      |            |
|------|------------|
| 申請日期 | 89.7.27    |
| 案 號  | 89115049   |
| 類 別  | H01L 27/56 |

A4  
C4

558837

(以上各欄由本局填註)

## 發明專利說明書

|            |               |                                                                        |
|------------|---------------|------------------------------------------------------------------------|
| 一、發明<br>名稱 | 中 文           | 製造頂閘極多晶矽型薄膜電晶體之方法                                                      |
|            | 英 文           | "METHOD OF FABRICATING TOP GATE TYPE POLYSILICON THIN FILM TRANSISTOR" |
| 二、發明<br>人  | 姓 名           | 柳春基                                                                    |
|            | 國 籍           | 南韓                                                                     |
|            | 住、居所          | 大韓民國京畿道龍仁市起興邑保羅里蔘精<br>SUNBI MAUL APT. 102棟405號                         |
| 三、申請人      | 姓 名<br>(名稱)   | 韓商三星電子股份有限公司                                                           |
|            | 國 籍           | 南韓                                                                     |
|            | 住、居所<br>(事務所) | 大韓民國京畿道水原市八達區梅灘洞416番地                                                  |
|            | 代 表 人<br>姓 名  | 尹鐘龍                                                                    |

裝

訂

線

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大 類：      |
| I P C 分類： |

A6  
B6

本案已向：

| 國（地區） | 申請專利，申請日期：  | 案號：      | ， <input type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權          |
|-------|-------------|----------|-----------------------------------------------------------------------|
| 韓國    | 1999年08月30日 | 99-36205 | <input type="checkbox"/> 有 <input checked="" type="checkbox"/> 無主張優先權 |
| 韓國    | 1999年08月30日 | 99-36209 | <input type="checkbox"/> 有 <input checked="" type="checkbox"/> 無主張優先權 |

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

有關微生物已寄存於：，寄存日期：，寄存號碼：

## 五、發明說明( 1 )

本發明係基於1999年8月30申請之韓國專利申請案編號99-36205及1999年8月30日申請之99-36209之優先權，其內容以提及之方式完全併入本發明。

### 發明領域

本發明係有關一種薄膜電晶體，尤其有關一種製造頂閘極多晶矽型薄膜電晶體之方法，其可防止光阻燃燒現象。

### 發明背景

薄膜電晶體液晶顯示器(下文稱為"薄膜電晶體-液晶顯示器")係為具有薄膜電晶體之液晶顯示器，該薄膜電晶體係用以控制形成於該液晶顯示器之所有像素中的像素電極的電位。該薄膜電晶體係使用半導體薄膜諸如矽形成於玻璃基材上。基於矽薄膜之材料結構，該薄膜電晶體通常分類成非晶矽型及多晶矽型。

該非晶矽型薄膜電晶體可使用化學蒸汽沉積(CVD)方法於400°C或較低溫度下形成，其有於液晶顯示器面板之玻璃基材的平坦度不具影響。因為電荷載流子之相對低移動性，該非晶矽型不適於驅動器電路中所使用之電晶體，其中有效影像及具有良好品質之液晶顯示器需要高操作速度。因此，於非晶矽型薄膜電晶體液晶顯示器中，用以驅動該液晶顯示器面板之像素的積體電路應與該液晶顯示器面板不相依地產製，而附加於該液晶顯示器面板之邊緣區域。此種情況導致製造液晶顯示器之成本及程序步驟增加。

另一方面，因為電荷載流子之相對高移動性，該液晶顯示器面板中用以驅動像素之驅動器電路所使用之多晶矽類

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 2 )

型可形成於玻璃基材之邊緣區域上，切換電晶體係位於該像素中。此導致製造該液晶顯示器之成本及程序步驟減少。

製造多晶矽型薄膜電晶體液晶顯示器之方法中，需要另一種方法，以於玻璃基材上形成多晶矽層。即，需要再結晶步驟(例如非晶矽層上之雷射光束掃描)。N-通道電晶體及P-通道電晶體係存在於積體電路中，用以驅動液晶顯示器，以增加積體電路之效率。爲了於相同多晶矽層上形成N-通道電晶體及P-通道電晶體，形成該電晶體之整體方法易變得複雜。當特定雜質型電晶體之區域藉蝕刻或離子植入進行處理時，其他雜質型電晶體之區域可覆以一保護層。可使用光阻圖型作爲保護層。植入應用於N-通道電晶體之N型雜質離子時，P-通道電晶體之區域可覆以光阻圖型。

若於光阻圖型之保護下將高能量離子植入該多晶矽層上，則所植入之離子的動能變成熱能，而整體基材之溫度升高。溫度之升高確實損壞該玻璃基材之平坦性。於離子植入步驟中，該光阻被燃燒(即改變特性)。此種現象稱爲"光阻燃燒"。光阻材料因光阻燃燒而改變，故不易剝除該光阻圖型。此種情況導致粒子問題，而使得液晶顯示器製造方法難以進行。

考慮由純加熱使光阻於剝除溶液中之溶解度改變異於使用光阻燃燒者之事實，高能量雜質離子直接撞擊光阻材料導致光阻燃燒現象。爲解決光阻燃燒現象，已研究並發展數種使用由其他材料以取代光阻離子掩模製造之離子掩模圖型的方法。然而，因爲此等方法具有本身之缺點，故需

## 五、發明說明 ( 3 )

要一種可防止光阻燃燒現象之方法。

### 發明概述

本發明之目的係提出一種製造多晶矽型薄膜電晶體之方法，其可防止光阻燃燒現象。

本發明另一目的係提出一種製造多晶矽型薄膜電晶體之方法，其可防止玻璃基材之平坦度於離子植入過程中受損。

本發明另一目的係提出一種製造多晶矽型薄膜電晶體之方法，其可減少多晶矽層中之結晶結構因高能量離子植入所遭致之破壞及對於用以使其破壞復原之退火方法的需求。

本發明另一目的係提出一種製造多晶矽型薄膜電晶體之方法，藉著節省微影程序而簡化整體過程。

根據本發明，提出一種製造頂閘極型多晶矽薄膜電晶體之方法，其特徵為植入低能量離子之步驟。根據該種方法，於基材上進行形成用以使閘極圖型化之光阻圖型三步驟，該基材係具有經差示化成各電晶體區之多晶矽有效圖型，及形成於該有效圖型上之閘極層。該基材通常係藉著於一玻璃基材上形成經差示化成各個電晶體區域之多晶矽有效圖型、於具有該多晶矽有效圖型之玻璃基材上形成閘極絕緣層、及於該閘極絕緣層上形成閘極層之連續步驟製得。

之後為蝕刻該閘極層及該閘極絕緣層之步驟。蝕刻該閘極層之步驟通常係藉著使用對應於閘極圖型之光阻圖型選擇性地蝕刻該閘極層而進行。蝕刻該閘極絕緣層之步驟係於保護該光阻圖型的情況下進行。之後，植入該低能量離子，以形成薄膜電晶體之源極/汲極區域。此情況下，低

## 五、發明說明 ( 4 )

能量係為相對定義。然而，該定義可侷限於由摻雜區域(即源極/汲極區域)之設計深度而限定於特定能階。因為電晶體之源極/汲極區域中沒有該閘極絕緣層，故可植入低能量離子。為形成該光阻圖型，使用低階(或色調)曝光以節省微影步驟。該曝光可藉著具有透明區域、半透明區域及不透明區域之光掩模完成。該半透明區域可由在整體區域上具有許多狹窄透明狹縫之不透明區域取代。

對應於該半透明區的光阻區域係曝照具有中間強度之光。該光僅改變位於該光阻層之上層部分的光阻之特性或分子結構，故該光阻區域對應於該光掩模之半透明區域的上層部分係於後續顯影過程中移除。該閘極層於該光阻閘極圖型保護下各向同性地蝕刻。於各向同性蝕刻中，裁初該閘極層位於該光阻圖型底層之邊緣區域，並移除。若作為蝕刻掩模之光阻圖型係於以下程序中使用相同蝕刻掩模進行各向異性蝕刻，則閘極絕緣圖型之寬度係大於該閘極圖型。若閘極絕緣圖型之較寬部分係作為用以植入低能量離子之掩模，則覆有該較寬部分之未經摻雜區域可作為經低度摻雜汲極(LDD)區域。

如前文所述，本發明最具特色之部分係為導致光阻燃燒之高能離子植入係由低能量離子植入所置換。位於該源極/汲極區域上之閘極絕緣層通常係被移除。本發明提出兼具有N-通道及P-通道電晶體之驅動器積體電路係形成於顯示區中具有切換電晶體之玻璃基材之邊緣區域上。因此，N型雜質離子植入及P型雜質離子植入可於另一種離

## 五、發明說明( 5 )

子植入掩模下進行。各種類型之電晶體區域中，可視情況所需而製造或不製造該LDD區域。形成兩不同類型電晶體之順序亦可改變，而無本發明中之嚴重問題。

可由以下描述參照附圖而明瞭本發明之其他目的、特色及優點。

### 圖式簡單說明

圖1-11係為顯示本發明之一具體實例方法中所包括之步驟的剖面圖；

圖12係為顯示藉圖1-11所示之方法形成之頂閘極多晶矽電晶體液晶顯示器的結構之平面圖；

圖13-15係為顯示本發明另一具體實例方法所包括之步驟的剖面圖，異於圖1-11所示之具體實例；且

圖16係為顯示藉圖13-15所示之方法及實際等於圖3-11所示之方法所形成之頂閘極多晶矽薄膜電晶體液晶顯示器的像素結構之上視平面圖或配置圖。

### 較佳具體實例描述

下文將參照附圖更詳細地描述本發明，其中相同參考編號係表示相同元件。

#### (具體實例1)

參照圖1，由厚度為2000埃之二氧化矽製得的阻擋層11係形成於玻璃基材10上。厚度800埃而摻雜有N型雜質之非晶矽層係形成於阻擋層11上，經圖型化以形成緩衝圖型12。於該緩衝圖型12上，形成厚度500埃至800埃之多晶矽層。該阻擋層11及緩衝圖型12可被省略，而無嚴重之損壞。

## 五、發明說明 ( 6 )

該多晶矽層 13 係藉非晶矽層之低溫沉積及之後之再結晶步驟諸如對於該非晶矽之雷射光束掃描而形成。

參照圖 2，多晶矽層 13 經圖型化以形成多晶矽圖型 23，其係為薄膜電晶體之有效區。移除作為蝕刻掩模之光阻圖型(未示)，而閘極絕緣層 15 及閘極層 17 係依序形成於該圖型 23 上。閘極層 17 通常係由厚度為 2000 埃至 3000 埃之鋁鉬合金 (AlNd) 所製得，而該閘極絕緣層係由厚度為 1000 埃之二氧化矽所製得。該閘極層 17 亦可由雙層形成，其係由含有鋁之金屬及含有鉬之金屬或含有鋁之金屬及鉻金屬所製得。此情況下，應選擇不因組合而產生其他問題之組合層。

參照圖 3，閘極層 17 (圖 2 所示) 係經圖型化，以於 N 通道電晶體區域內形成閘極圖型 27。此情況下，P 通道電晶體區域係被光阻圖型 21 所覆蓋並保護。微影方法中，光阻圖型 21 之側壁可形成以與垂直線傾斜。該閘極層 17 係經各向同性地蝕刻，以形成閘極圖型 27，使得該閘極圖型 27 之寬度較光阻圖型 21 之底部窄。因為該底層之寬度係小於頂層，故低層係稱為 "側向蝕刻"。該兩圖型 21 及 27 於一側間之寬度 (即側向蝕刻區之寬度) 差可為 0.5 ~ 1.5 微米。側向蝕刻區之寬度可於形成適當之 LDD 區的蝕刻步驟中經控制。例如，若雜質之設定摻雜濃度高，該側向蝕刻區之寬度大。若閘極及源極間之設定電位差低，其寬度小。後續步驟中，該閘極絕緣層 15 係使用相同之蝕刻掩模各向異性地蝕刻，得到具有與該光阻圖型 21 相同寬度之閘極絕緣圖型 25。於該蝕刻步驟中，應保持所顯露之多晶矽圖型 23。蝕刻

## 五、發明說明 ( 7 )

該閘極絕緣層15時，使用具有良好蝕刻選擇性之蝕刻劑，以防止該多晶矽圖型23被移除。例如，可使用混合Ar與 $\text{CHF}_3$ 之氣體。

參照圖4，低能量之N型雜質離子植入於具有閘極絕緣圖型25之基材10上。該光阻圖型21尚未移除。 $\text{PH}_3$ 經常作為N型雜質。該離子植入係於相對高劑量 $1.0\text{E}15$ 至 $5.0\text{E}15$ 原子/厘米<sup>2</sup>下進行。所植入離子之能階限於30仟電子伏特或較低，以20仟電子伏特為佳。考慮離子植入之一般能階係約90仟電子伏特，能階之降低明顯。可進行該低能量離子植入，因為需有大量穿透能量之閘極絕緣層15係自該源極/汲極區域移除。當能階降低時，該離子植入方法所生成之熱減少。此外，光阻材料之特性改變或化學反應降低以避免硬化現象，諸如光阻燃燒。所植入之離子的能階降低，以減輕撞擊及多晶矽中之結構破壞(結晶結構受損)。損壞之舒緩可省略或縮短退火過程。因為退火係為熱步驟，故退火之省略可防止該熱步驟所產生之缺點。

參照圖5，於高劑量之後，植入低能量離子，以移除光阻圖型。低劑量之後，植入高能量N型雜質離子。此情況下，該高能量雜質離子穿透側向蝕刻區之閘極絕緣層25。因為移除殘留之光阻圖型21，故不會有光阻燃燒之問題。最後，形成具有LDD區域34之源極/汲極結構。離子植入之劑量係為 $1.0\text{E}12$ 至 $8.0\text{E}12$ 原子/厘米<sup>2</sup>。劑量位準係對應於低能量離子植入之劑量位準的0.1百分比，該能階係約90仟電子伏特。因為離子植入之劑量低，故對於該源極/汲極區

## 五、發明說明( 8 )

域之附加效應可忽略。因為劑量位準低，故高能量離子植入離子所產生之熱量亦可忽略。

根據此具體實例，所有N通道電晶體皆具有LDD區域34，與顯示區域及驅動器電路區域無關。然而，LDD結構可僅針對該N通道電晶體而形成於驅動器區域中。當然，之後可能需要部分其他方法。該LDD結構亦可針對P通道電晶體而形成。

參照圖6，光阻圖型31係於高能量離子植入後形成於基材10上。此情況下，於一驅動器積體電路之P通道電晶體區域中，形成對應於閘極圖型之光阻圖型31。該驅動器積體電路及像素中，該光阻圖型31覆蓋整體部分。閘極層係經蝕刻以形成閘極圖型37，結果該閘極絕緣層經蝕刻以於P通道電晶體區域中形成閘極絕緣圖型35。之後，植入P型低能量離子。因為P通道電晶體中不需要LDD結構，故該閘極圖型31係經各向異性地蝕刻。P型離子植入之劑量及位準係相對於該N型低能量離子植入之劑量及能量位準而決定。 $B_2H_6$ 通常係作為P型雜質來源。前述具體實例可改變其形成N型電晶體及P型電晶體之順序。

參照圖7，整體光阻圖型係於植入P型低能量離子之後自基材移除。因為光阻燃燒不嚴重，故可毫無困難地剝除光阻。之後，通常進行供該多晶矽圖型23退火使用之雷射光束掃描。進行退火以補償該多晶矽圖型23中之結晶結構，並啟動所植入雜質之擴散。退火時間及強度可縮短，因為使用低能階進行離子植入。

## 五、發明說明 ( 9 )

參照圖 8，於退火之後形成中間層絕緣膜 41。多晶矽退火係於形成該中間層絕緣膜 41 之後進行，而非形成之前。該中間層絕緣膜 41 通常係由二氧化矽或氮化矽製得，厚度為 6000 埃至 8000 埃。之後，於多晶矽圖型之源極/汲極區域上形成接觸孔。

參照圖 9，金屬層係形成於具有中間層絕緣膜 41 及接觸孔之基材 10 上。之後，該金屬層經圖型化，以形成接觸孔 42 及導線 43。該金屬層係由選自鉬鎢 (MoW)、鋁鈦、鉻、鈦、鈦、及其組合物之金屬所製。形成該金屬層之前，絕緣材料 (例如氧化矽) 可存在於多晶矽圖型曝露部分之表面上。該絕緣材料增加接觸電阻並降低實際施加之電位，使電晶體之功能降低。是故，應移除該絕緣材料。用以移除該絕緣材料之清潔方法中，用以清潔有機絕緣材料及用以清潔氧化物材料之兩製備方法皆需要。例如，可進行使用 HF 或混合氧與  $CF_4$  之氣體的電漿清潔方法，以移除該像素材料。而且，移除該有機絕緣材料時，可進行使用氫氣之電漿清潔方法。

此外，多晶矽圖型之表面係於 350 至 450°C 之溫度進行熱處理，以於該金屬層形成之前改善該界面之電聯。

參照圖 10，鈍化層 51 係製造於具有接觸電極 42 及導線 43 之基材上，於該鈍化層 51 中製造接觸孔。有機及非有機材料皆可作為鈍化層 51。使用有機鈍化層時，感光性有機材料較佳，因為可僅藉著曝光及顯影而不使用蝕刻，以使接觸孔經圖型化。形成厚層之有機鈍化層，其可用於表面平

## 五、發明說明 ( 10 )

面化。若為反射型液晶顯示器，則厚層感光性有機層適於形成微光學透鏡，以改善反射效率。此情況下，該微光學透鏡係形成於具有部分突出及凹陷形狀之鈍化層表面上，導致該反射型液晶顯示器所反射之光產生干涉。該微光學透鏡可藉前述雙階曝光而進行。

參照圖 11，包括金屬或導電性透明層之反射層係製造於具有鈍化層 51 及接觸孔之基材 10 上。之後，進行用以形成像素電極 52 之圖型化步驟。因為像素電極材料具有良好透明性，故通常使用氧化銦錫 (ITO) 及氧化銦鋅 (IZO)。

參照圖 12，出示形成於液晶顯示器之像素中的薄膜電晶體配置。LDD 區域未出示於圖中。源極區域 28 係經由位在中間層絕緣膜中之接觸電極 76 連接於數據線 86。該汲極區 26 係連接於汲極接觸電極 91，最後係藉著連接板 93 及上層接觸電極 92 連接於像素電極 90。閘極絕緣圖型僅形成於包括閘極線 44 及電容器線路 46 之閘極圖型底層。

(具體實例 2)

圖 13-15 係顯示本發明另一具體實例方法中之原始步驟。部分差異未揭示於圖 1-11 所示之 "具體實例 1" 中。

參照圖 13，由二氧化矽製造之阻擋層 11 係形成於玻璃基材 10 上。多晶矽層 13、閘極絕緣層 15 及閘極層 17 係依序形成於阻擋層 11 上。該阻擋層 11 可省略。多晶矽層 13 係藉著將非晶矽層積於該基材 10 上，並藉著雷射光束掃描使該非晶矽再結晶而形成。

參照圖 14，進行圖型化操作。首先，光阻層係塗佈於具

## 五、發明說明 ( 11 )

有閘極層 17 之基材 10 上。於該光阻層上進行雙階 (或色調) 曝光，以於 N 通道電晶體之各區中形成光阻圖型 61。此情況下，該光阻圖型 61 於閘極圖型部分中係為厚層，而於其他有效區中係為薄層。P 通道電晶體區域中，整體部分係覆以厚層光阻圖型 61。介於該電晶體區域或像素間之其他區域中，該光阻層被完全移除，以將電晶體或像素區之各個有效區差異化。之後進行蝕刻步驟。未覆以光阻圖型 61 之區域中，移除閘極層 17、閘極絕緣層 15、及多晶層 13。"具體實例 1" 與 "具體實例 2" 間之重要差異在於該閘極線未形成由一導電層所製之線路，清楚顯示於以下圖 16 中。

如前文所述，雙色調曝光係藉著具有透明區、半透明區、及不透明區之光掩模進行。該半透明區可由在不透明區上具有許多狹窄透明狹縫之不透明區域所置換。正型光阻中，對應於光掩模之半透明部分的區域係曝照中強度之光。之後，於該區域之上層部分中進行光分解。該光阻層之分解部分係於顯影方法中被移除，之後形成該光阻圖型之薄層部分。

參照圖 15，形成具有厚層區域及薄層區域之光阻圖型 61 之後，光阻圖型 61 經各向異性之回蝕，直至蝕盡薄層部分之光阻。該回蝕方法可於灰化槽中進行。提供氧氣，而於灰化方法中產生氧電漿。結果，殘留於 N 通道電晶體區中之光阻圖型 62 變成供閘極圖型使用之蝕刻掩模，殘留於 P 通道電晶體區中之光阻圖型 62 變成供蝕刻用之保護層。若該閘極層係使用殘留光阻圖型 62 作為蝕刻掩模而進行蝕刻

## 五、發明說明 ( 12 )

，則結果需為"具體實例1"之圖3。其他方法可如同"具體實例1"般地進行。該"具體實例2"亦具有不使用緩衝層之特徵。

於包括形成緩衝層之方法中，藉由與"具體實例1"相同之方法，製造N通道及P通道電晶體，而形成中間層絕緣膜。於中間層絕緣膜中形成接觸孔。於形成接觸電極之前，多晶矽圖型之曝露表面係經清潔，以移除絕緣材料諸如氧化物或有機物。然而，於清潔方法中，部分多晶矽層受損。當該多晶矽層極薄時(例如，500埃至600埃)，對於該多晶矽層之損害可能為完全移除位於曝露點上之矽層。因此，該多晶矽及接觸電極間之電聯面積減少，而增加接觸電阻。該接觸電極可經由受損之多晶矽層連接於緩衝圖型。此情況下，位於該多晶矽層底層之緩衝圖型係補償該多晶矽層，而防止接觸電阻增加。結果，藉著緩衝圖型改善電晶體之可依度。

"具體實例2"中，可省略緩衝圖型。因為本發明中之閘極絕緣層通常係於源極/汲極區上移動，故原始植入之雜質可完全注射於該多晶矽層中。多晶矽之摻雜濃度增加，而接觸電阻降低，在不使用緩衝圖型的情況下得到電聯之可信度。跳過形成緩衝圖型之步驟，以簡化製造液晶顯示器之整體方法。

如圖16所示，閘極圖型係由單元像素分割。或藉著位於該閘極線底層之多晶矽層流出漏流。連接所分割之閘極圖型時，形成連接該閘極圖型之接觸孔，而於形成數據線之

## 五、發明說明 ( 13)

方法中形成連接板。電容器線路中，可進行相同之說明。圖 16 中，頂閘極層圖型係顯示該像素之儲存電容器 46，而底閘極層圖型係顯示 N 通道像素電晶體之閘極 44。於該閘極層圖型底層，應存有閘極絕緣層及多晶矽層。若該閘極線係由一層之線路製得，則施加於一像素之閘極信號係對於相鄰像素具有影響。故包括該閘極 44 及電容器 46 之閘極層圖型應由像素分割，而藉由形成數據線 86 步驟中所製得之接觸電極 75 及 77 和連接板 85 連接。

製造頂閘極多晶矽型薄膜電晶體方法中，可避免或舒緩光阻燃燒現象。此外，多晶矽圖型之損害及退火之必要性可降至最低。注入在植入低能量離子時投射於多晶矽之大部分離子，並保存於該多晶矽中。此種情況使其增高多晶矽之電導係數，而改善該多晶矽層與接觸電極間之接觸可信度。因此，可省略非晶矽圖型，並簡化製造薄膜電晶體之整體方法。

描述本發明，並詳述其操作。當熟習此技藝者閱讀前文說明時，可明瞭在本發明精神及意圖內之備擇物及同等物。是故，本發明範圍係受限於以下申請專利範圍。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

終

## 四、中文發明摘要（發明之名稱：製造頂閘極多晶矽型薄膜電晶體之方法）

本發明提出一種形成頂閘極多晶矽型薄膜電晶體之方法。於離子植入之前，先移除閘極區以外之閘極絕緣層，以降低離子植入使用之能階。當於單一基材上製造雙雜質型電晶體時，植入低能離子，以減少光阻燃燒現象。因此，可改善多晶矽之電導係數，並減輕對該多晶矽之損害。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

## 英文發明摘要（發明之名稱：“METHOD OF FABRICATING TOP GATE TYPE POLYSILICON THIN FILM TRANSISTOR”）

A method of forming a top gate polysilicon type thin film transistor is set forth. Prior to ion implantation, a gate insulating layer except a gate region is removed to lower an energy level for ion implantation. When two impurity types of a transistor are made on one substrate, low energy ions are implanted to diminish a photoresist burning phenomenon. Therefore, it is possible to improve conductivity of polysilicon and alleviate damage to the polysilicon.

## 六、申請專利範圍

1. 一種形成頂閘極多晶矽型薄膜電晶體之方法，包括下列步驟：

提供具有多晶矽層圖型之基材，對應於一有效區域，其上層依序形成一閘極絕緣層及一閘極層；

於該基材上形成一光阻圖型；

使用該光阻圖型蝕刻該閘極層，以形成閘極圖型；

蝕刻該閘極絕緣層，以形成閘極絕緣圖型；及

使用相對低能量將離子植入具有閘極絕緣圖型之基材上，以形成源極/汲極區域。

2. 如申請專利範圍第1項之方法，其中該相對低能量係低於或等於30仟電子伏特。
3. 如申請專利範圍第1項之方法，其中該閘極層係經各向同性地蝕刻，而該閘極絕緣層係經各向異性地蝕刻。
4. 如申請專利範圍第3項之方法，其另外於形成閘極絕緣圖型之步驟及植入該離子之步驟之間包括移除該光阻圖型之步驟。
5. 如申請專利範圍第3項之方法，其另外包括移除該光阻圖型及於形成閘極絕緣圖型之步驟後使用相對高能量植入離子之步驟。
6. 如申請專利範圍第1項之方法，其中該相對低能量係對應於滲透厚度為300埃至800埃之多晶矽所需之能量。
7. 一種形成頂閘極多晶矽型薄膜電晶體之方法，其包括下列步驟：

## 六、申請專利範圍

形成一多晶矽圖型，以於基材上形成一有效區域；

於該多晶矽圖型上形成一閘極絕緣矽層；

於該閘極絕緣矽層上形成一閘極層；

藉微影術於該閘極層上形成一光阻圖型；

使用光阻圖型蝕刻該閘極層，以形成一閘極圖型；

蝕刻該閘極絕緣層，以形成該閘極絕緣圖型；及

使用相對低能量將離子植入具有閘極絕緣圖型之基材上，以形成一源極/汲極區域。

8. 如申請專利範圍第7項之方法，其中形成光阻圖型之步驟至植入離子之步驟係進行兩次，一次係針對N通道，而另一次係針對P通道薄膜電晶體；且

單一通道型薄膜電晶體區域於形成其他型薄膜電晶體之步驟中係經光阻圖型保護。

9. 如申請專利範圍第7項之方法，其另外於形成多晶矽圖型之步驟之前包括形成由非晶矽所製得之緩衝圖型。

10. 如申請專利範圍第7項之方法，其中蝕刻劑對於位於該多晶矽層底層之閘極絕緣層的選擇性係為形成閘極絕緣圖型之步驟的10倍高。

11. 如申請專利範圍第10項之方法，其中該蝕刻劑係包括氫與 $\text{CHF}_3$ 混合之氣體。

12. 如申請專利範圍第7項之方法，其中該閘極層係經各向同性蝕刻，而該閘極絕緣層係經各向異性蝕刻。

13. 如申請專利範圍第12項之方法，其中該閘極圖型之寬

## 六、申請專利範圍

度係較位於邊緣部分上之閘極絕緣圖型小0.5至1.5微米。

14.如申請專利範圍第7項之方法，其另外於使用相對高能量及低劑量植入離子之步驟之後，包括移除光阻圖型及使用相對高能量植入離子之步驟。

15.如申請專利範圍第14項之方法，其另外於使用相對高能量及低劑量植入離子之步驟之後，包括使該多晶矽圖型退火之步驟。

16.如申請專利範圍第7項之方法，其中該相對低能量係低於或等於30仟電子伏特。

17.如申請專利範圍第7項之方法，其另外包括以下步驟：  
於源極/汲極區域上形成具有接觸孔之中間層絕緣層；  
清潔一多晶矽圖型表面，以移除整體接觸孔內之絕緣材料；  
層積一導電層並使之圖型化，以形成接觸電極及導線；  
形成一鈍化層，具有曝露該汲極區之接觸電極的接觸孔；及

層積該像素電極層並使之圖型化，以形成連接於該汲極區之接觸電極的一像素電極。

18.如申請專利範圍第17項之方法，其中該鈍化層係由感光性有機材料製得。

19.如申請專利範圍第18項之方法，其中該微光學透鏡係於形成具有接觸孔之鈍化層的步驟中，藉由雙階曝光而形成於該鈍化層之表面上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

20. 一種形成頂閘極多晶矽型薄膜電晶體的方法，包括下列步驟：

於一基材上依序形成一多晶矽層、一閘極絕緣層、及一閘極層；

藉雙階曝光之微影術形成一光阻圖型，其於N通道電晶體之一閘極區中及於P通道電晶體之所有區域中保持厚層，且於其他有效區域中保持薄層；

使用該光阻圖型依序蝕刻該閘極層、該閘極絕緣層、及該多晶矽層，以使每個電晶體區域差異化；

將該光阻圖型向下回蝕至光阻圖型之薄層部分，以形成N通道閘極蝕刻掩模；

使用該N通道閘極蝕刻掩模蝕刻該閘極層，以形成一閘極圖型；

蝕刻該閘極絕緣層，以形成一閘極絕緣圖型；

使用相對低能量植入離子，以於N通道電晶體中形成源極/汲極之結構。

21. 如申請專利範圍第20項之方法，其中該閘極層係經各向同性地蝕刻，而該閘極絕緣層係經各向異性地蝕刻。

22. 如申請專利範圍第21項之方法，其另外包括下列步驟：

移除該N通道閘極蝕刻掩模；

形成一P通道閘極蝕刻掩模，以覆蓋P通道電晶體之閘極區及該N通道電晶體之整體區域；

使用P通道閘極蝕刻掩模蝕刻該閘極層，以形成一閘

## 六、申請專利範圍

極圖型；及

使用相對低能量植入離子，以形成P通道電晶體之源極/汲極結構。

23.如申請專利範圍第22項之方法，其中使用相對高能量及低劑量植入離子以於該N通道電晶體中形成LDD結構之步驟之後，係為移除該N通道閘極蝕刻掩模之步驟。

24.如申請專利範圍第22項之方法，其另外包括下列步驟：

移除該P通道閘極蝕刻掩模；

於一基材之源極/汲極區域上形成中間層絕緣膜；

清潔該多晶矽圖型之一曝露表面，以移除整體接觸孔之絕緣材料；

層積導電層並使之圖型化，以形成接觸電極及導線；

形成鈍化層，具有曝露該汲極區之接觸電極的接觸孔；及

層積該像素電極層並使之圖型化，以形成一連接於該汲極區之接觸電極的像素電極。

25.如申請專利範圍第24項之方法，其中該鈍化層係由感光性有機材料製得。

26.如申請專利範圍第25項之方法，其中該微光學透鏡係於形成具有接觸孔之鈍化層的步驟中形成於該鈍化層表面上。

89115049

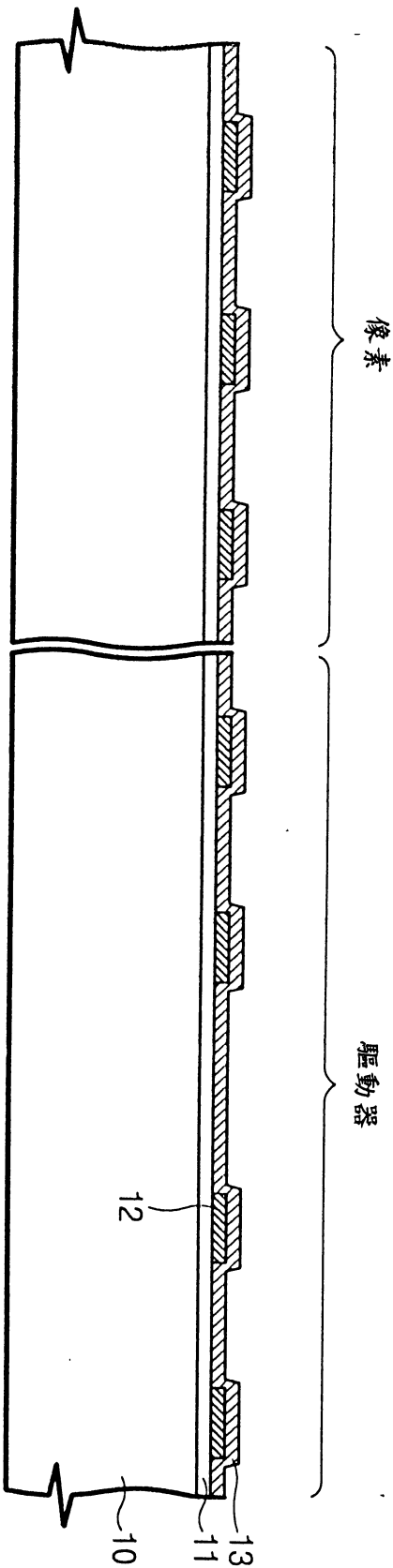


圖 1

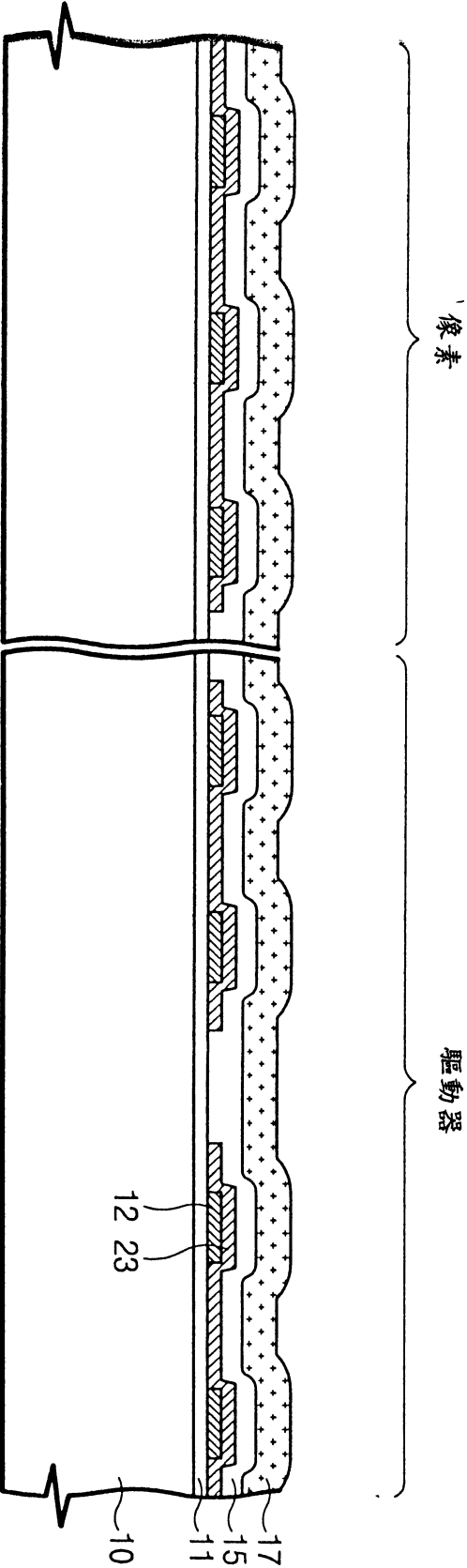
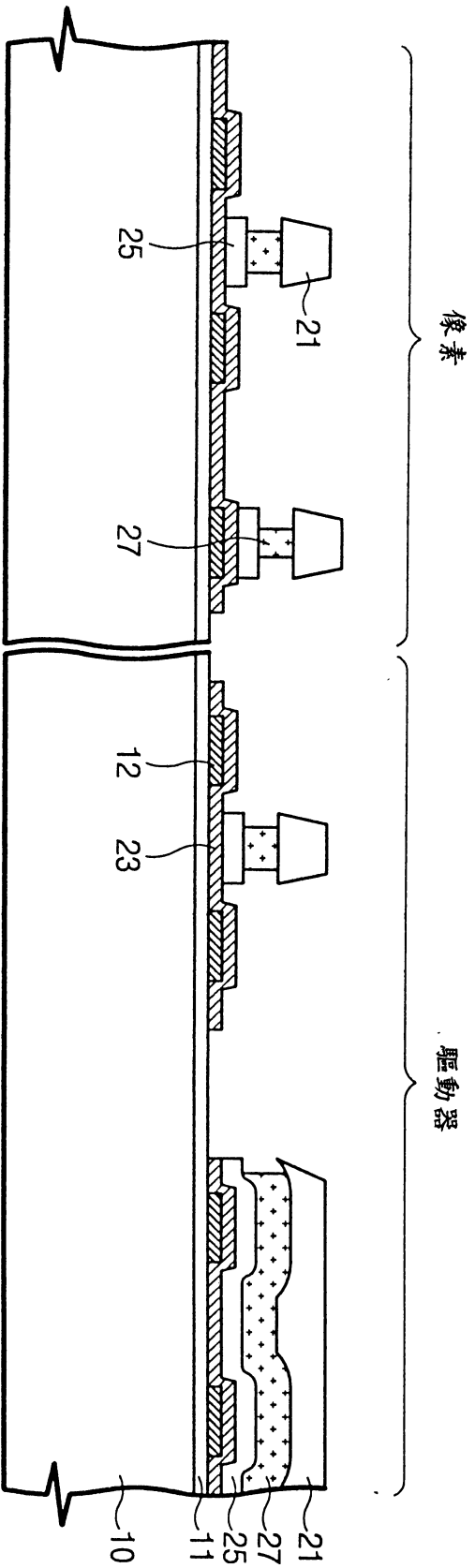


圖 2

圖 3



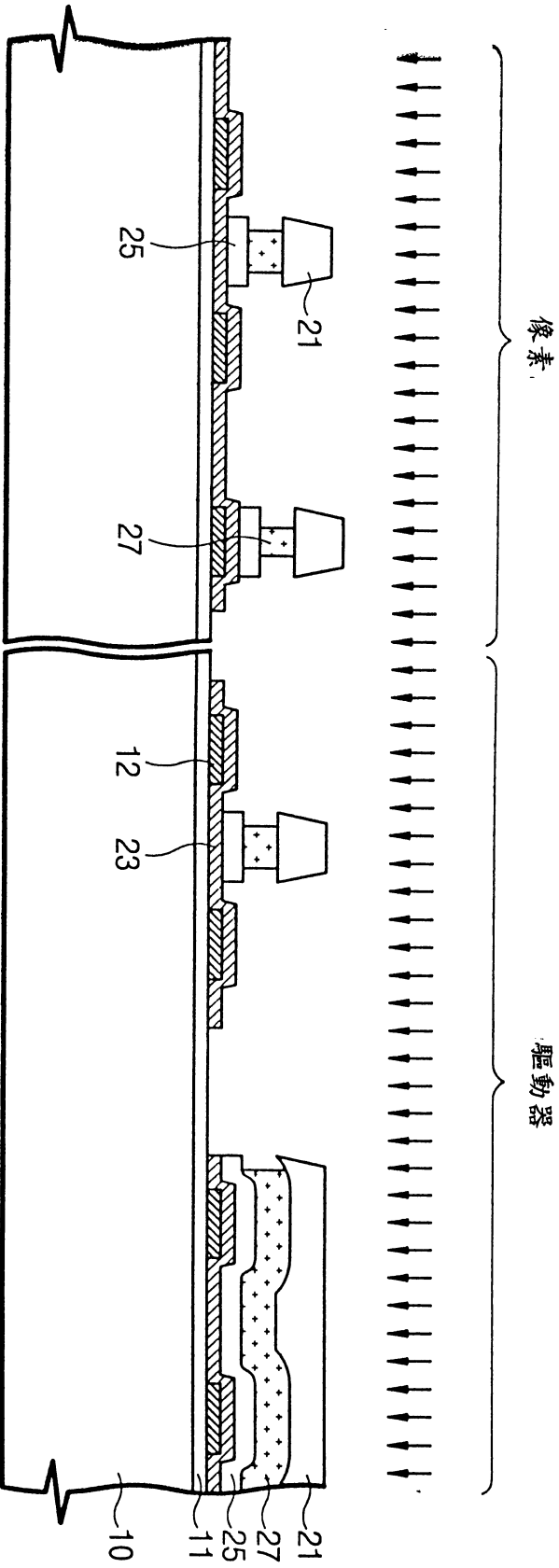


圖 4

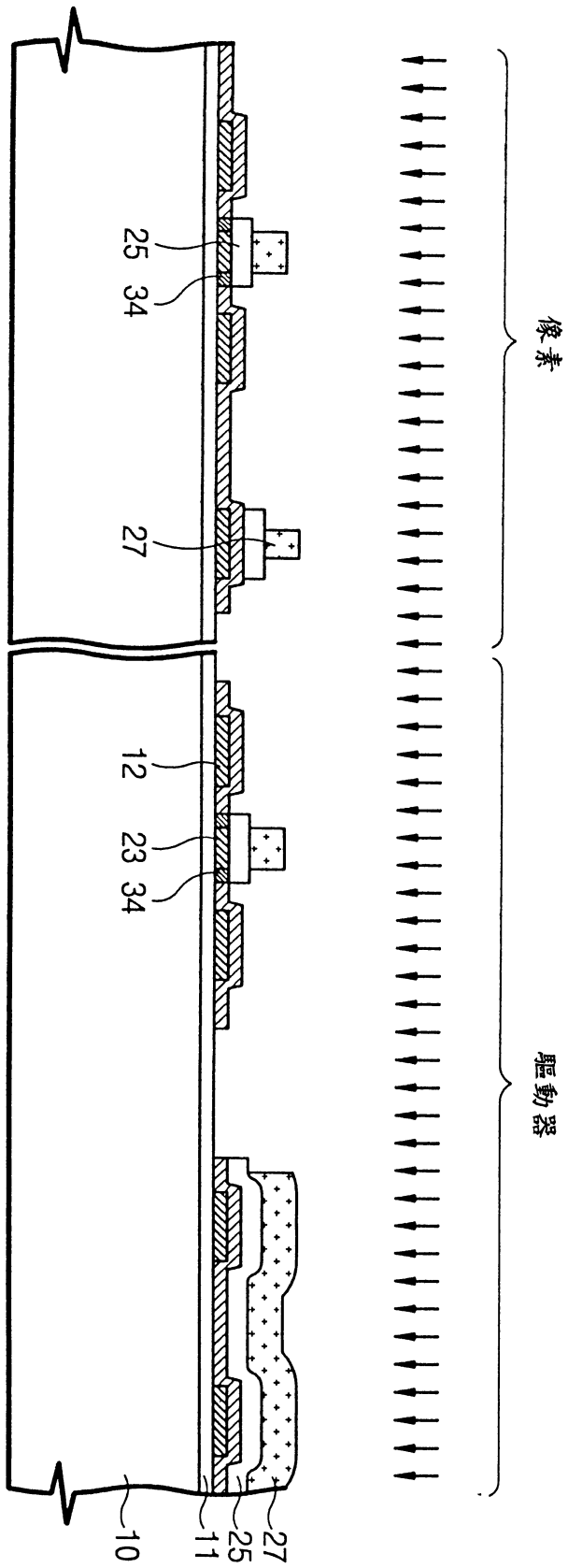


圖 5

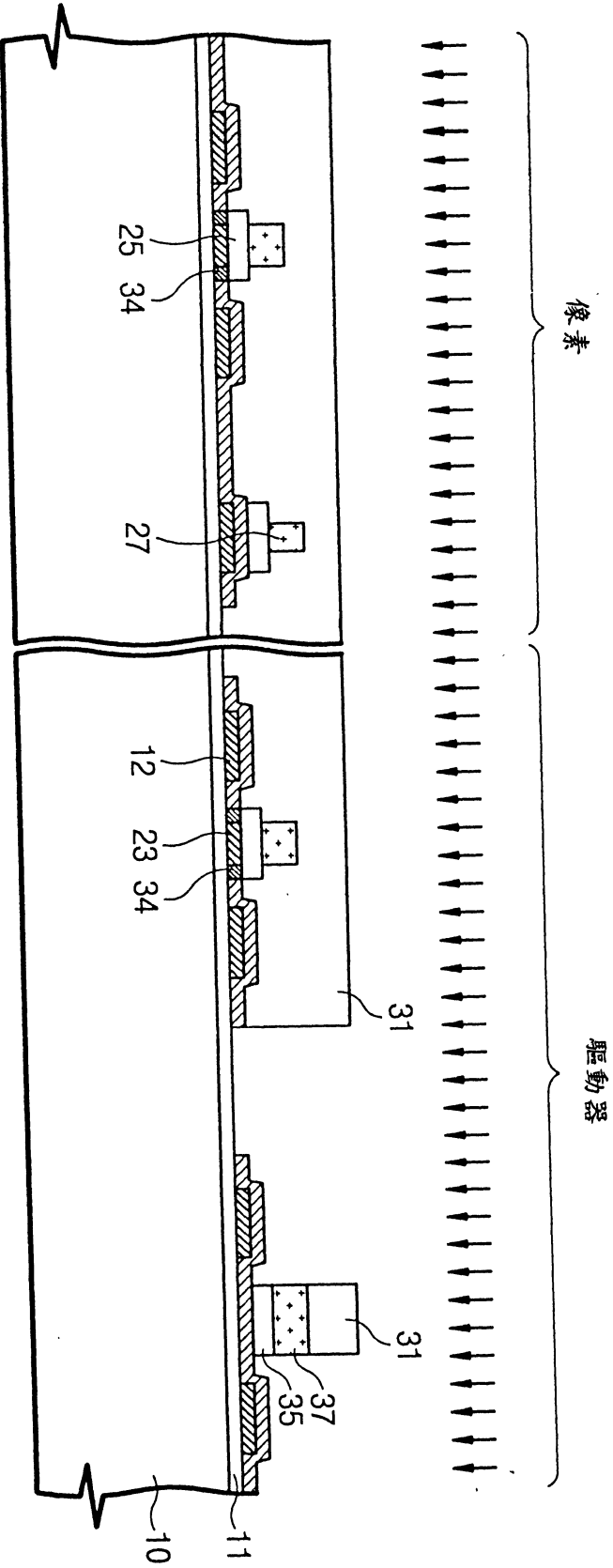


圖 6

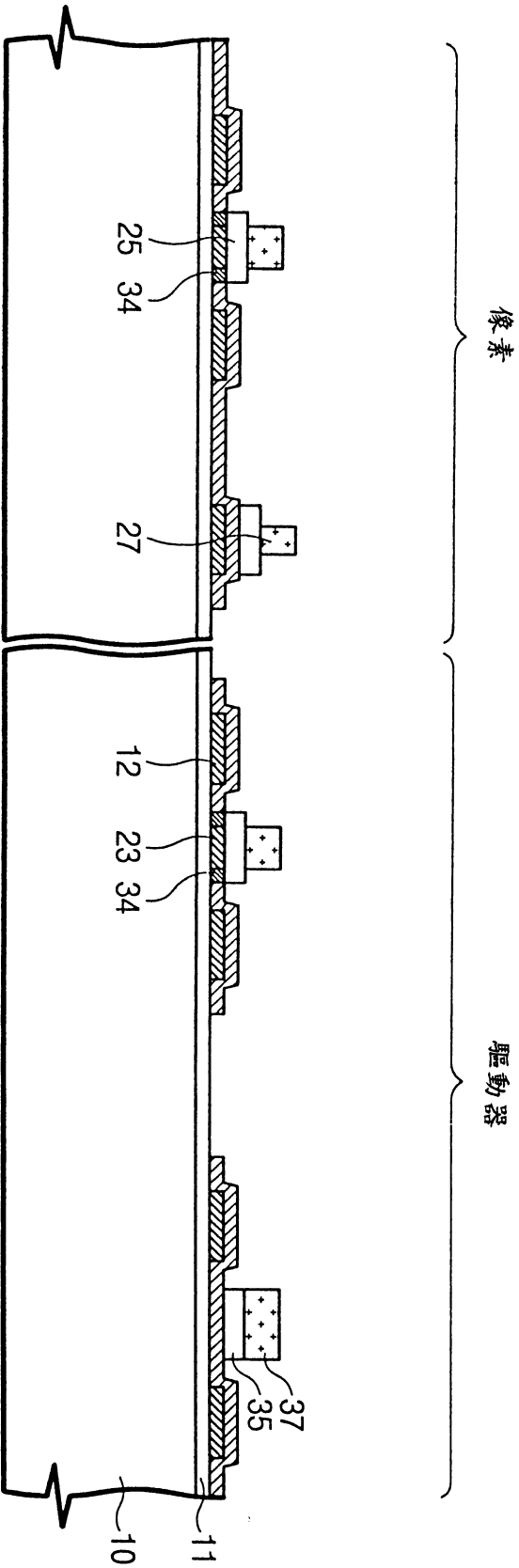


圖 7

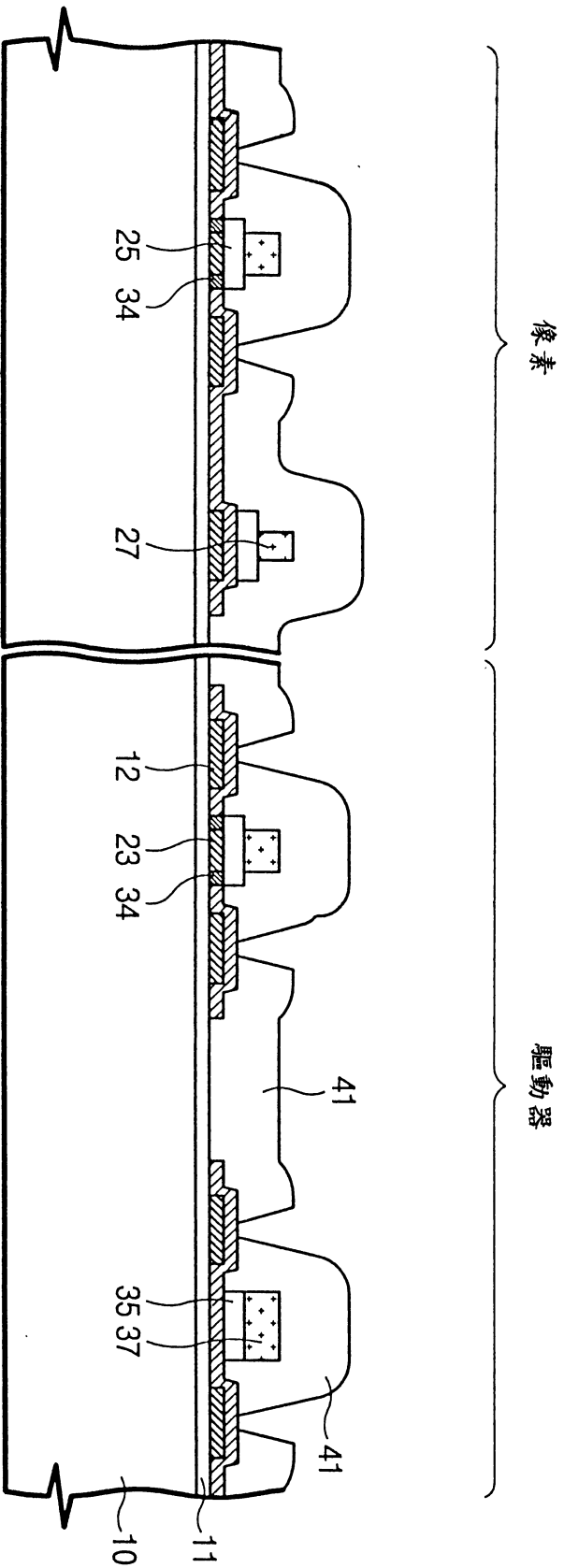


圖 8

圖 9

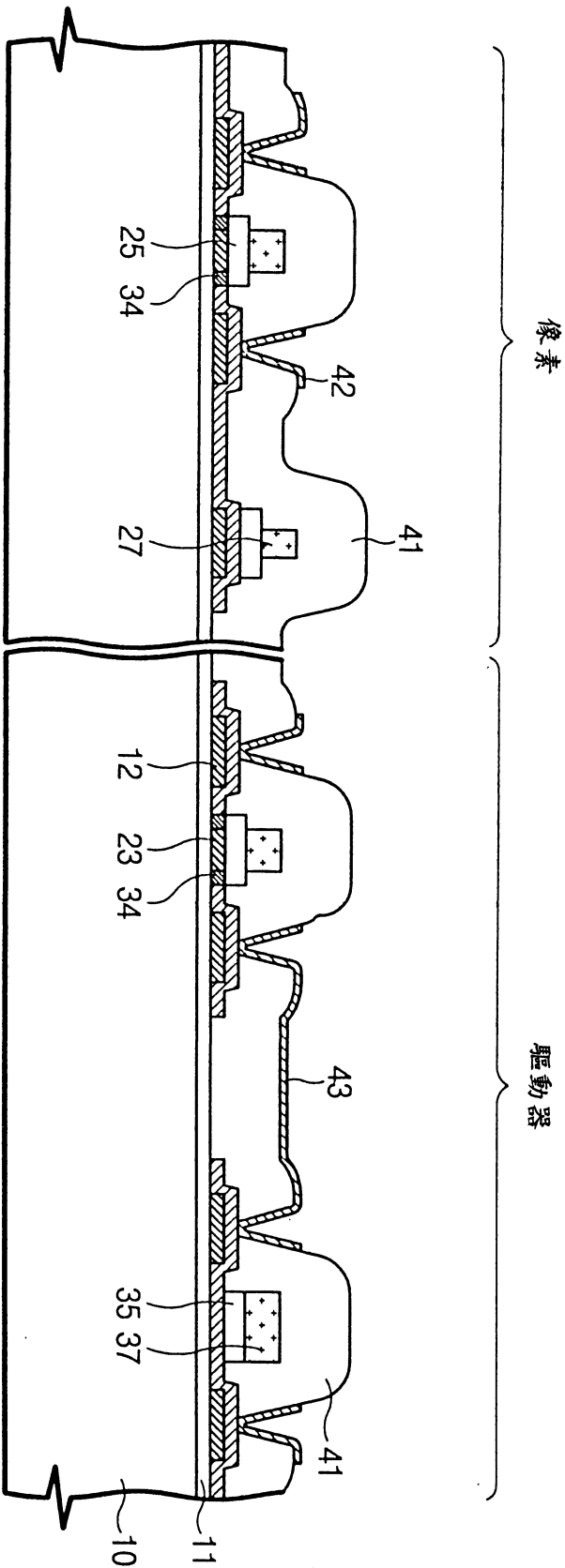


圖 10

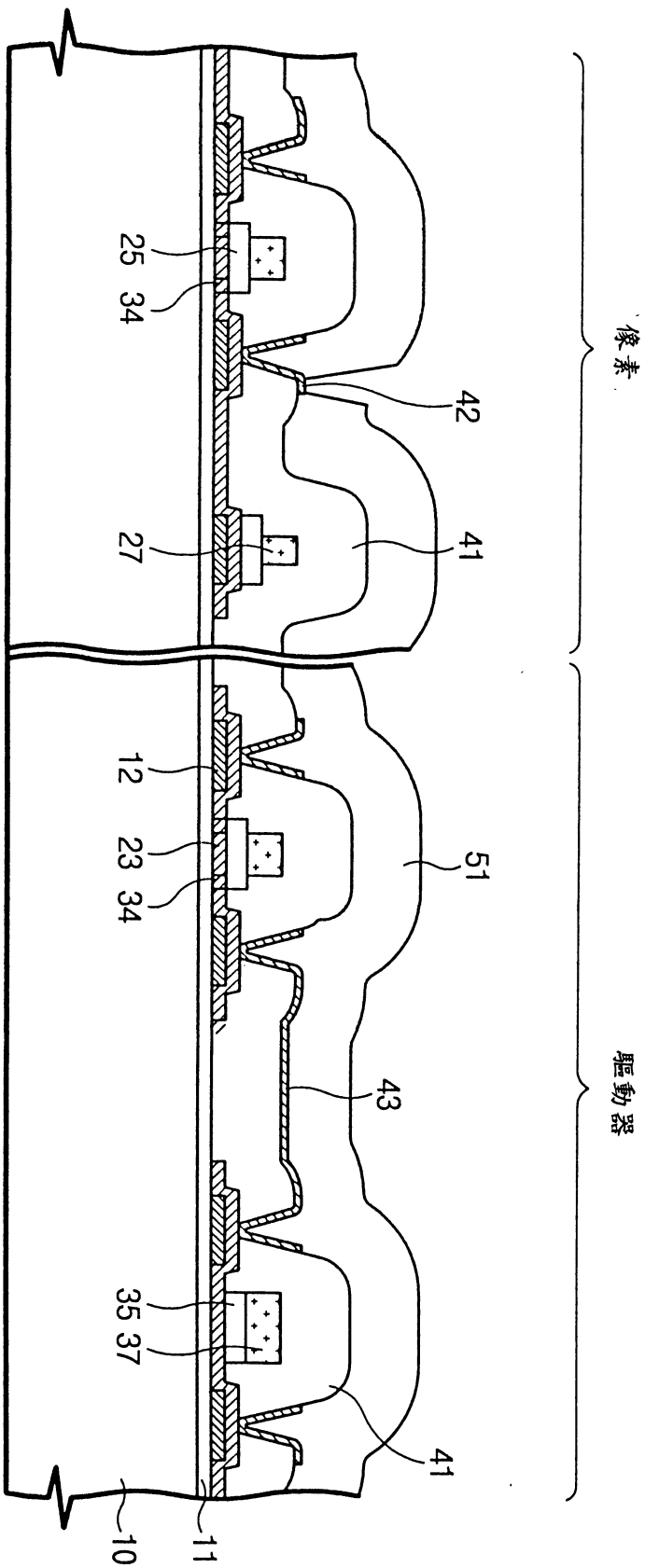
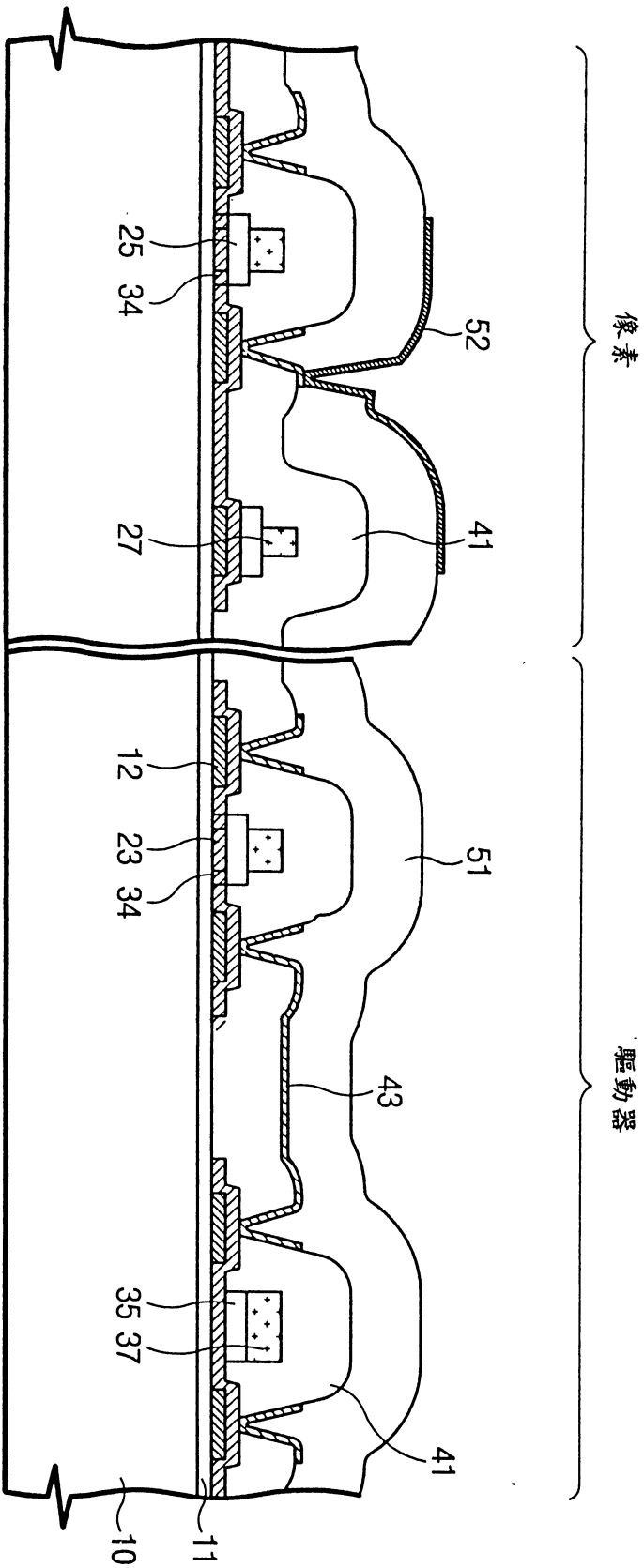


圖 11



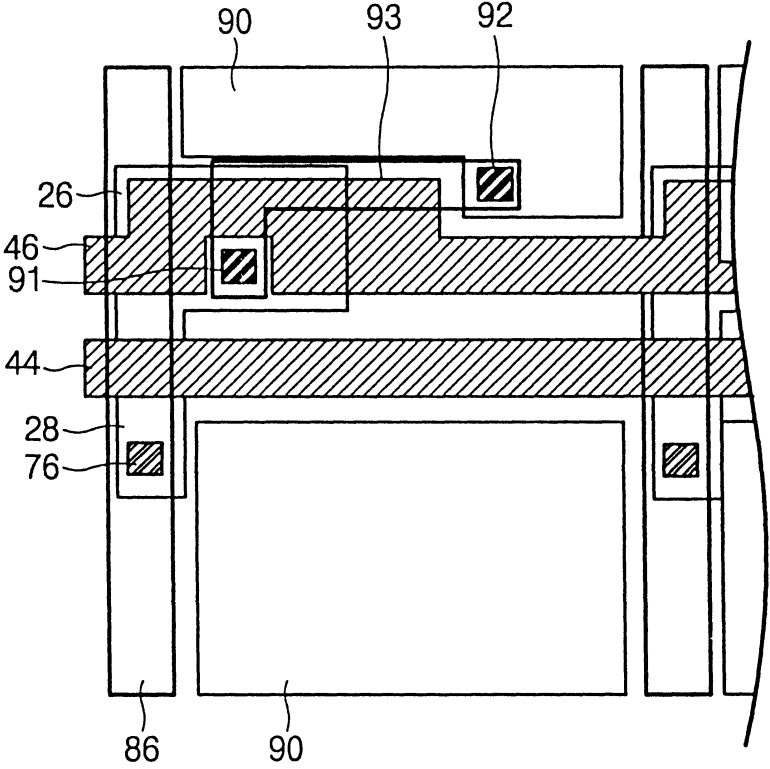
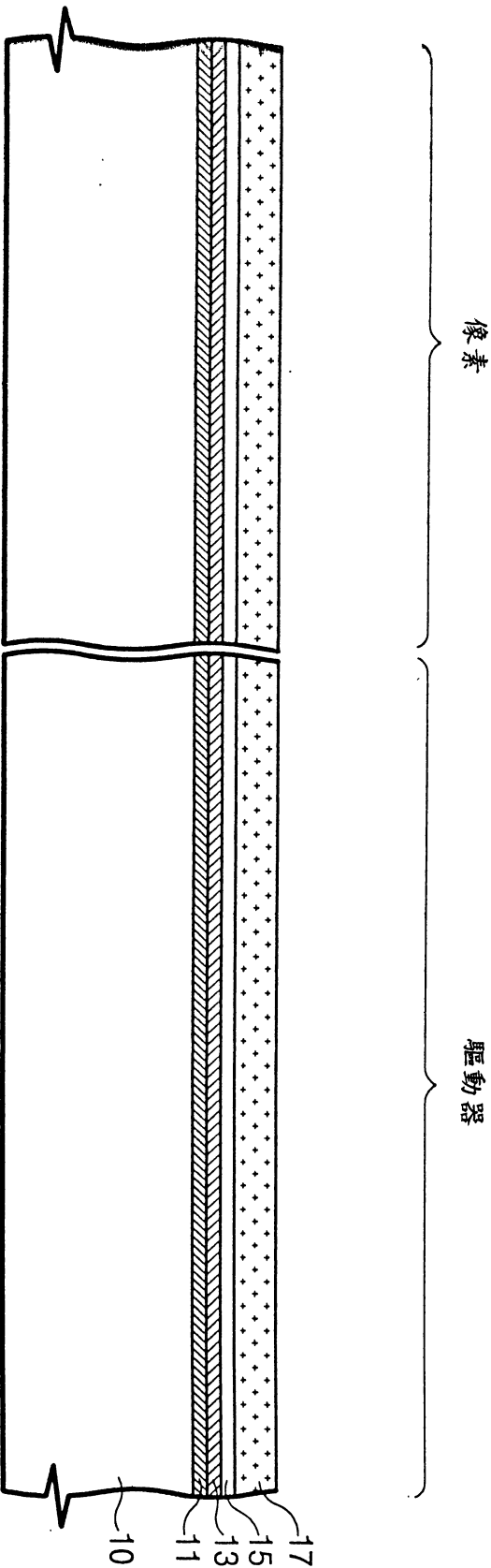


圖 12

圖 13



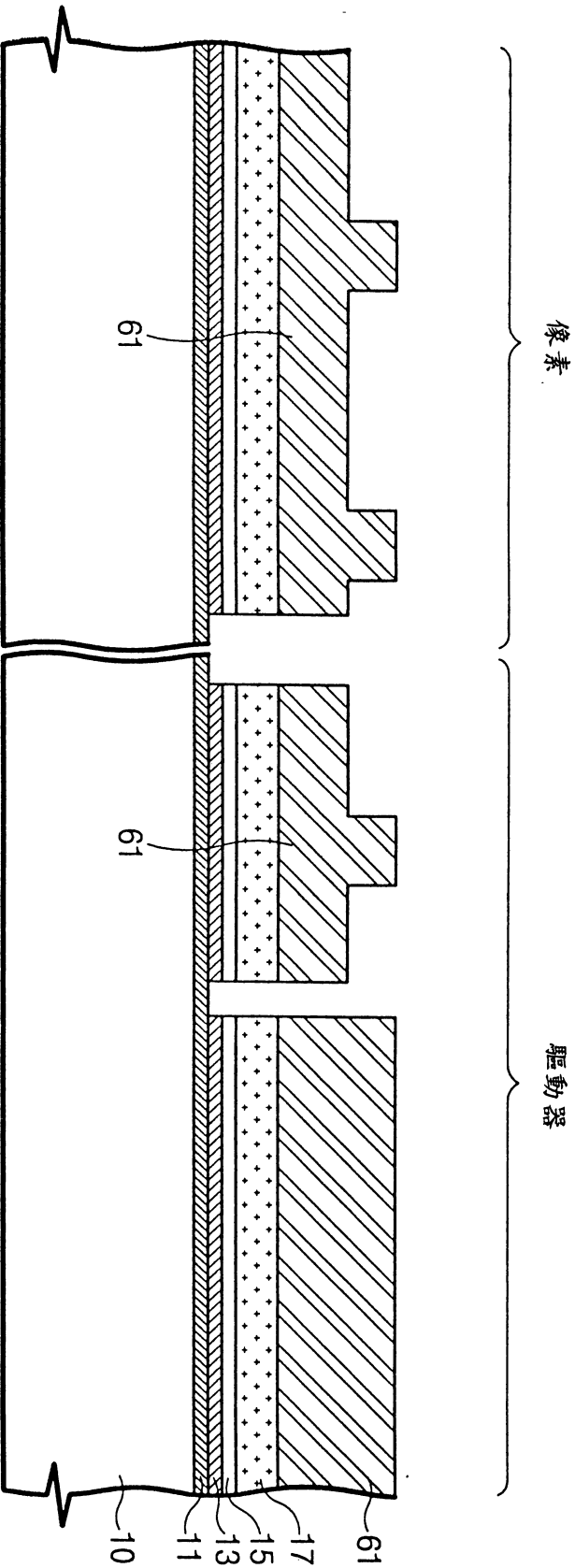


圖 14

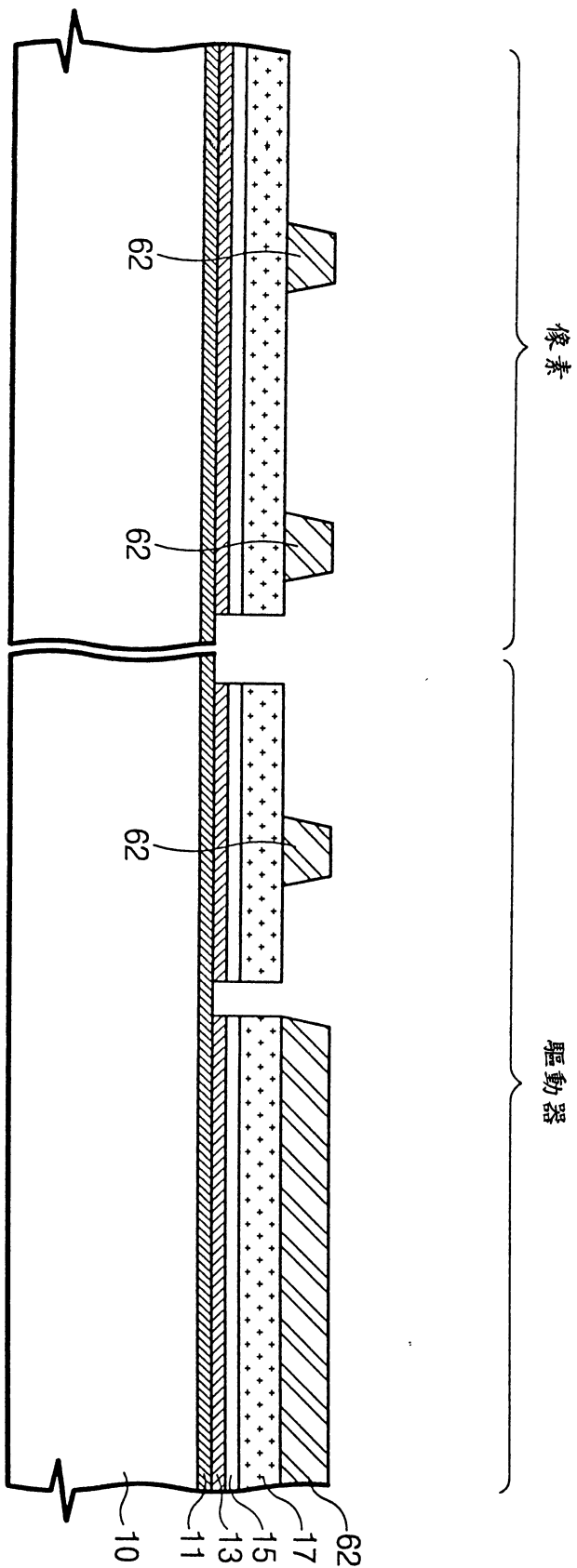


圖 15

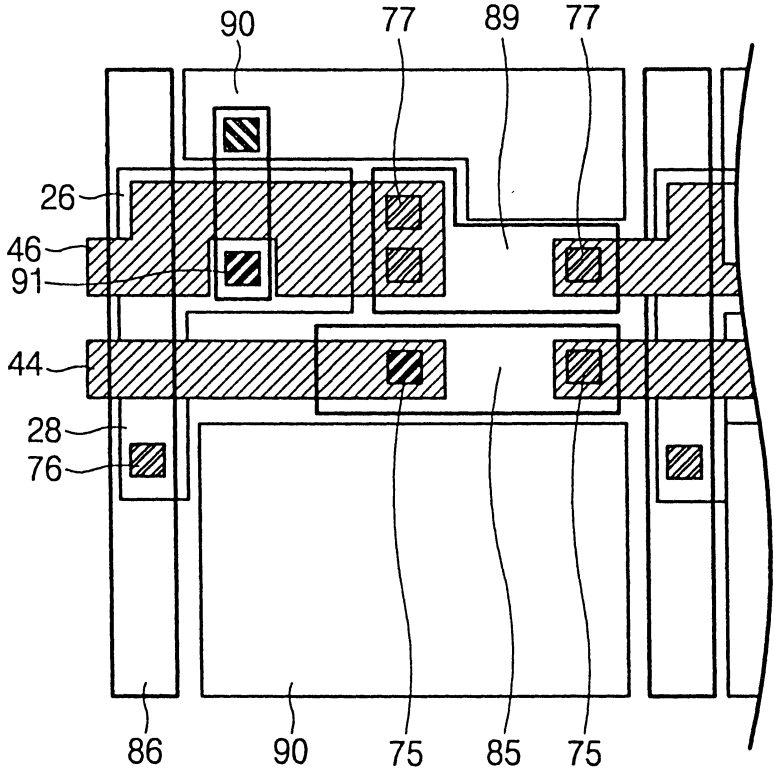


圖 16