

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 3 月 12 日(12.03.2015)



(10) 国際公開番号
WO 2015/033496 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) *H01L 51/50* (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2014/003071
- (22) 国際出願日: 2014 年 6 月 9 日(09.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-183312 2013 年 9 月 4 日(04.09.2013) JP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 〇 〇 6 番地 Osaka (JP).
- (72) 発明者: 柘植 仁志(TSUGE, Hitoshi). 戎野 浩平(EBISUNO, Kouhei). 法邑 茂夫(HOMURA, Shigeo).
- (74) 代理人: 新居 広守, 外 (NII, Hiromori et al.); 〒5320011 大阪府大阪市淀川区西中島 5 丁目 3 番 1 〇 号タナカ・イトーピア新大阪ビル 6 階新居国際特許事務所内 Osaka (JP).

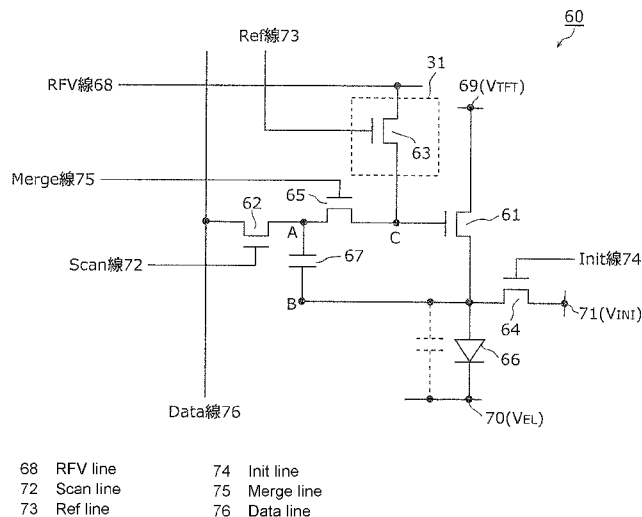
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE AND DRIVING METHOD

(54) 発明の名称: 表示装置および駆動方法



(57) Abstract: A display device having a plurality of pixel circuits (60) arranged in a matrix, each pixel circuit (60) comprising: an EL element (66); a capacitive element (67) for holding a voltage; a driving transistor (61) for causing the EL element (66) to emit light by supplying the EL element (66) with a current based on the voltage held by the capacitive element (67); and a voltage application unit (31) which applies a reference voltage greater than the threshold voltage of the driving transistor (61) to the driving transistor (61) during an initialization period, wherein the pixel circuit (60) is initialized, to forward-bias the junction between the gate electrode and the source electrode of the driving transistor (61), and which applies a reverse bias voltage to the driving transistor (61) during a prescribed period prior to the initialization period to reverse-bias the junction between the gate electrode and the source electrode of the driving transistor (61).

(57) 要約:

[続葉有]



WO 2015/033496 A1



マトリクス状に配置された複数の画素回路（６０）を有する表示装置であって、複数の画素回路（６０）の各々は、ＥＬ素子（６６）と、電圧を保持するための容量素子（６７）と、容量素子（６７）に保持された電圧に応じた電流をＥＬ素子（６６）に供給することによりＥＬ素子（６６）を発光させる駆動トランジスタ（６１）と、画素回路（６０）を初期化する初期化期間において、駆動トランジスタ（６１）に、駆動トランジスタ（６１）の閾値電圧よりも大きな電圧であって駆動トランジスタ（６１）のゲート電極およびソース電極間が順バイアスとなる参照電圧を印加し、初期化期間の前の所定期間において、駆動トランジスタ（６１）に、駆動トランジスタ（６１）のゲート電極およびソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加する電圧印加部（３１）と、を備える。

明 細 書

発明の名称：表示装置および駆動方法

技術分野

[0001] 本発明は、表示装置および駆動方法に関し、特に電流駆動型の発光素子を用いた表示装置の駆動方法に関する。

背景技術

[0002] 近年、液晶ディスプレイに代わる次世代のフラットパネルディスプレイの一つとして、有機EL (Electro Luminescence) を利用した有機ELディスプレイが注目されている。有機ELディスプレイ等のアクティブマトリクス方式の表示装置には、駆動トランジスタとして薄膜トランジスタ (TFT: Thin Film Transistor) が用いられる。

[0003] 薄膜トランジスタの半導体層 (チャネル層) としてはシリコンを用いることが多いが、近年、アモルファスIGZO (In-Ga-Zn-O) に代表される酸化物半導体を半導体層として用いた薄膜トランジスタも開発されている (例えば特許文献1)。

先行技術文献

特許文献

[0004] 特許文献1：特開2012-212077号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、酸化物半導体を半導体層 (チャネル層) に用いたTFTでは、通電などのストレスにより、TFTがオン状態となるゲートソース間電圧 (閾値電圧) が変動しやすい。そして、閾値電圧の経時的な変動は、表示装置の輝度制御に影響し、表示品質を悪化させてしまうという問題が生じる。

[0006] さらに、酸化物半導体を半導体層に用いたTFTでは、閾値電圧の変動を

抑制するために、閾値電圧補償動作を行うとしても、閾値電圧の信頼性シフトが大きく短時間しか閾値電圧補償動作を行うことができないという問題もある。つまり、閾値電圧補償動作が可能な電圧（限界電圧以下）を短時間しか維持できないという問題もある。

[0007] 本発明は、上述の問題に鑑みてなされたものであり、閾値電圧補償動作を行う期間を十分に確保できない場合でも、より長期間、駆動トランジスタの閾値電圧を動作補償範囲内に含めることができる表示装置およびその駆動方法を提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するために、本発明の一態様に係る表示装置は、マトリクス状に配置された複数の表示画素を有する表示装置であって、前記複数の表示画素の各々は、発光素子と、電圧を保持するための容量素子と、前記容量素子に保持された電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光させる駆動トランジスタと、前記表示画素を初期化する初期化期間において、前記駆動トランジスタに、前記駆動トランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およびソース電極間が順バイアスとなる参照電圧を印加し、前記初期化期間の前の前記発光素子を発光させない期間のうちの所定期間において、前記駆動トランジスタに、前記駆動トランジスタの前記ゲート電極およびソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加する電圧印加部と、を備える。

発明の効果

[0009] 本発明の表示装置等によれば、閾値電圧補償動作を行う期間を十分に確保できない場合でも、より長期間、駆動トランジスタの閾値電圧を動作補償範囲内に含めることができる。

図面の簡単な説明

[0010] [図1]図1は、実施の形態に係る表示装置の機能ブロック図の一例である。

[図2A]図2Aは、実施の形態に係る表示装置の有する表示画素の回路構成の

一例を示す図である。

[図2B]図2 Bは、実施の形態に係る表示装置の有する表示画素の回路構成の一例を示す図である。

[図3]図3は、実施の形態に係る表示装置の駆動時の動作の一例を説明するためのタイミングチャートである。

[図4A]図4 Aは、図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

[図4B]図4 Bは、図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

[図4C]図4 Cは、図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

[図4D]図4 Dは、図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

[図4E]図4 Eは、図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

[図4F]図4 Fは、図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

[図5]図5は、図3に示すタイミングチャートの変形例である。

[図6]図6は、図2 Bに示す回路構成の変形例を示す図である。

[図7]図7は、図2 Bに示す回路構成の変形例を示す図である。

[図8]図8は、図2 Bに示す回路構成の変形例を示す図である。

[図9]図9は、本開示の表示装置を内蔵した薄型フラットTVの外観図である。

発明を実施するための形態

[0011] 本発明に係る表示装置の一態様は、制御部とマトリクス状に配置された複数の表示画素とを有する表示装置であって、前記複数の表示画素の各々は、発光素子と、電圧を保持するための容量素子と、前記容量素子に保持された電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光

させる駆動トランジスタと、前記表示画素を初期化する初期化期間において、前記駆動トランジスタに、前記駆動トランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およびソース電極間が順バイアスとなる参照電圧を印加し、前記初期化期間の前の前記発光素子を発光させない期間のうちの所定期間において、前記駆動トランジスタに、前記駆動トランジスタの前記ゲート電極およびソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加する電圧印加部と、前記所定期間および前記初期化期間において、前記容量素子の第2電極と第1電源線とを導通させる第1スイッチと、データ信号電圧を供給するための信号線と前記容量素子の前記第1電極との導通および非導通を切り換える第2スイッチと、前記容量素子の前記第1電極と前記駆動トランジスタの前記ゲート電極の導通および非導通を切り換える第3スイッチとを備え、前記電圧印加部は、前記参照電圧を供給する第2電源線または前記逆バイアス電圧を供給する第3電源線に切り換えて前記参照電圧または前記逆バイアス電圧を供給する電源切換スイッチと、前記電源切換スイッチと前記駆動トランジスタの前記ゲート電極との導通および非導通を切り換える第4スイッチとを有し、前記駆動トランジスタのソース電極は、前記容量素子の第2電極および前記発光素子のアノードと導通されており、前記制御部は、前記所定期間において、前記第2スイッチを非導通にさせ、前記第3スイッチを導通にさせ、かつ、第1スイッチを導通させた状態において、前記第4スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第3電源線に切り換えて前記逆バイアス電圧を供給させ、前記初期化期間において、前記第2スイッチを非導通、かつ、前記第3スイッチを導通、かつ、第1スイッチを導通させた状態において、前記第4スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第2電源線に切り換えて前記参照電圧を供給させる。

[0012] ここで、例えば、前記第1スイッチ、前記第2スイッチ、前記第3スイッチ、前記第4スイッチおよび前記駆動トランジスタは、Nチャンネル薄膜トランジスタである。

- [0013] また、例えば、前記所定期間は、前記初期化期間の後の期間であって前記駆動トランジスタの閾値電圧を補償する閾値補償期間よりも長い。
- [0014] また、例えば、前記駆動トランジスタのチャネル層は、酸化物半導体からなる。
- [0015] また、本発明に係る駆動方法の一態様は、マトリクス状に配置された複数の表示画素を有する表示装置の駆動方法であって、前記複数の表示画素の各々は、発光素子と、電圧を保持するための容量素子と、前記容量素子に保持された電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光させる駆動トランジスタと、前記容量素子の第2電極と第1電源線とを導通させるための第1スイッチと、データ信号電圧を供給するための信号線と前記容量素子の前記第1電極との導通および非導通を切り換える第2スイッチと、前記容量素子の前記第1電極と前記駆動トランジスタの前記ゲート電極の導通および非導通を切り換える第3スイッチとを備え、前記駆動トランジスタのソース電極は、前記容量素子の第2電極および前記発光素子のアノードと導通されており、前記駆動方法は、前記表示画素を初期化する初期化期間において、前記駆動トランジスタに、前記駆動トランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およびソース電極間が順バイアスとなる参照電圧を印加するステップと、前記初期化期間の前の前記発光素子を発光させない期間のうちの所定期間において、前記駆動トランジスタに、前記駆動トランジスタの前記ゲート電極およびソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加するステップとを含み、前記逆バイアス電圧を印加するステップでは、前記第2スイッチを非導通、前記第3スイッチを導通、かつ、第1スイッチを導通にさせた状態において、前記参照電圧を供給する第2電源線または前記逆バイアス電圧を供給する第3電源線に切り換えて前記参照電圧または前記逆バイアス電圧を供給すると前記駆動トランジスタの前記ゲート電極との導通および非導通を切り換える前記第4スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第3電源線に切り換えて前記逆バイアス電圧を供給させ、前記

参照電圧を印加するステップでは、前記第2スイッチを非導通、かつ、前記第3スイッチを導通、かつ、第1スイッチを導通にさせた状態において、前記第4スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第2電源線に切り換えて前記参照電圧を供給させる。

[0016] 以下、本発明の一態様に係る表示装置およびその駆動方法について、図面を参照しながら具体的に説明する。

[0017] なお、以下で説明する実施の形態は、いずれも本発明の一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置および接続形態、ステップ、ステップの順序などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、以下の各図は、模式図であり、必ずしも厳密に図示したものではない。

[0018] (実施の形態)

本実施の形態において、本開示の一態様に係る表示装置の発光素子として有機EL素子を用いる場合について説明する。

[0019] 図1は、実施の形態に係る表示装置の機能ブロック図の一例である。

[0020] 図1に示す表示装置1は、表示パネル制御回路2と、走査線駆動回路3と、データ線駆動回路5と、表示パネル6とを備える。

[0021] 表示パネル6は、例えば有機ELパネルである。また、表示パネル6は、少なくとも、互いに平行に配置されたN（例えば $N=1080$ ）本の走査線と、N本の点灯制御線、直交して配置されたM本のソース信号線を有する（図示せず）。さらに、表示パネル6は、ソース信号線と走査線との各交点に、薄膜トランジスタおよびEL素子から構成される画素回路（図示せず）を有する。

[0022] 表示パネル制御回路2は、後述する所定期間および初期化期間における動作を制御する制御部の一例である。表示パネル制御回路2は、表示データ信号S1に基づいてデータ線駆動回路5を制御するための制御信号S2を生成

し、生成した制御信号 S 2 をデータ線駆動回路 5 へ出力する。また、表示パネル制御回路 2 は、入力される同期信号に基づいて走査線駆動回路 3 を制御するための制御信号 S 3 を生成する。そして、表示パネル制御回路 2 は、生成した制御信号 S 3 を走査線駆動回路 3 へ出力する。

[0023] ここで、表示データ信号 S 1 は、映像信号、垂直同期信号、および水平同期信号を含む表示データを示す信号である。映像信号は、フレームごとに階調情報である各画素値を指定する信号である。垂直同期信号は、画面に対する垂直方向の処理のタイミングについて同期を取るための信号であり、ここでは、フレームごとの処理タイミングの基準となる信号である。水平同期信号は、画面に対する水平方向の処理のタイミングについて同期を取るための信号である。

[0024] また、制御信号 S 2 は、映像信号および水平同期信号を含む。制御信号 S 3 は、垂直同期信号および水平同期信号をそれぞれ含む。

[0025] データ線駆動回路 5 は、表示パネル制御回路 2 で生成された制御信号 S 2 に基づいて、表示パネル 6 のソース信号線を駆動する。より具体的には、データ線駆動回路 5 は、映像信号および水平同期信号に基づいて、各画素回路にソース信号を出力する。

[0026] 走査線駆動回路 3 は、表示パネル制御回路 2 で生成された制御信号 S 3 に基づいて、表示パネル 6 の走査線を駆動する。より具体的には、走査線駆動回路 3 は、垂直同期信号および水平同期信号に基づいて、各画素回路に走査信号、R e f 信号、M e r g e 信号、i n i t 信号を出力する。

[0027] 以上のように、表示装置 1 は構成される。

[0028] なお、表示装置 1 は、例えば、図示しないが、CPU (C e n t r a l P r o c e s s i n g U n i t)、制御プログラムを格納したROM (R e a d O n l y M e m o r y) などの記憶媒体、RAM (R a n d o m A c c e s s M e m o r y) などの作業用メモリ、および通信回路を有するとしてもよい。表示データ信号 S 1 は、例えば、CPU が制御プログラムを実行することにより生成される。

[0029] 図2Aおよび図2Bは、実施の形態に係る表示装置の有する表示画素の回路構成の一例を示す図である。

[0030] 図2Aおよび図2Bに示す画素回路60は、表示パネル6が有する一画素であり、Data線76（データ線）を介して供給されたデータ信号（データ信号電圧）により発光する機能を有する。

[0031] 画素回路60は、表示画素（発光画素）の一例であり、行列状に配置されている。画素回路60は、例えば図2Aに示すように、駆動トランジスタ61と、スイッチ62と、スイッチ63を有する電圧印加部31と、スイッチ64と、スイッチ65と、EL素子66と、容量素子67と、を備えている。また、画素回路60には、Data線76（データ線）と、RFV線68（ V_{REF} または V_{REV} ）と、ELアノード電源線69（ V_{TFT} ）と、ELカソード電源線70（ V_{EL} ）と、初期化電源線71（ V_{INI} ）と、Merge線75（マージ線）とを備える。

[0032] ここで、Data線76は、データ信号電圧を供給するための信号線（ソース信号線）の一例である。

[0033] RFV線68は、例えば図2Aに示すように参照電圧 V_{REF} または逆バイアス電圧 V_{REV} を供給する。ELアノード電源線69（ V_{TFT} ）は、駆動トランジスタ61のドレイン電極の電位を決定するための高電圧側電源線であり、例えば20Vである。ELカソード電源線70（ V_{EL} ）は、EL素子66の第2電極（カソード）に接続された低電圧側電源線である。初期化電源線71（ V_{INI} ）は、駆動トランジスタ61のソースゲート間の電圧すなわち容量素子67の電圧を初期化するための電圧 V_{INI} （初期化電圧 V_{INI} とも称す）を供給する第1電源線の一例である。

[0034] ここで、RFV線68が供給する参照電圧 V_{REF} と初期化電源線71の電圧 V_{INI} との電位差は駆動トランジスタ61の閾値電圧（ V_{th} ）よりも大きな電圧、すなわち、閾値電圧 $V_{th} < (\text{参照電圧 } V_{REF} - \text{電圧 } V_{INI})$ に設定される。

[0035] また、RFV線68が供給する参照電圧 V_{REF} および初期化電源線71の電

圧 V_{INI} は、EL素子66に電流が流れないように、次のように設定されている。

[0036] 電圧 $V_{INI} < \text{電圧 } V_{EL} + (\text{EL素子66の順方向電流閾値電圧})$ 、参照電圧 $V_{REF} < \text{電圧 } V_{EL} + (\text{EL素子66の順方向電流閾値電圧}) + (\text{駆動トランジスタ61の閾値電圧 } V_{th})$

[0037] なお、RFV線68は、例えば図2Bに示すように、電源線68A (V_{REF})と電源線68B (V_{REV})とで構成され、電源切換スイッチ310で切り換えられて、参照電圧 V_{REF} または逆バイアス電圧 V_{REV} を供給するとしてもよい。

[0038] EL素子66は、駆動トランジスタ61により供給された電流に応じて発光する発光素子の一例であり、行列状に配置される。EL素子66は、例えば有機EL素子である。EL素子66は、カソード（第2電極）が、ELカソード電源線70に接続され、アノード（第1電極）が、駆動トランジスタ61のソース（ソース電極）に接続されている。ここで、ELカソード電源線70に供給されている電圧は V_{EL} であり、例えば0（v）である。

[0039] 駆動トランジスタ61は、EL素子66への電流の供給を制御する電圧駆動の駆動素子であり、容量素子67に保持された電圧に応じた電流をEL素子66に供給することでEL素子66を発光させる。

[0040] 例えば、発光期間（後述の期間T11）において、駆動トランジスタ61は、容量素子67に保持された電圧（データ信号電圧）に応じた電流をEL素子66に流すことにより、EL素子66を発光させる。より具体的には、駆動トランジスタ61は、ゲート電極に供給されたデータ信号電圧を、そのデータ信号電圧に対応した電流に変換し、変換された電流をEL素子66に供給することにより、EL素子66を発光させる。

[0041] また、例えば、発光期間に続く非発光期間（後述の期間T12）において、駆動トランジスタ61は電流をEL素子66に流さないことでEL素子66を発光させない。

[0042] また、例えば、初期化期間の前の所定期間（逆バイアス期間、後述の期間

T2)において、駆動トランジスタ61のゲート電極－ソース電極間に逆バイアスが印加される。それにより、閾値電圧 V_{th} の変動量を抑制することができる。そして、その後、初期化期間（後述の期間T5）において、駆動トランジスタ61の閾値電圧補償を行うためにドレイン電流を流すのに必要な電圧が駆動トランジスタ61のソース電極－ゲート電極間に印加され、閾値補償期間（後述の期間T6）において、駆動トランジスタ61の閾値電圧が補償される。なお、詳細については後述するためここでの説明は省略するが、このようにして、閾値電圧 V_{th} の変動を補正する閾値補償機能に加えて、閾値電圧 V_{th} の変動量を抑える逆バイアス印加機能を設けることで、より長期間、動作補償範囲に閾値電圧 V_{th} が含まれる駆動トランジスタ61（画素回路60）を実現することができる。

[0043] また、駆動トランジスタ61を構成する薄膜トランジスタ（TFT）はn型であってもp型であってもよい。また、薄膜トランジスタのチャネル層は、アモルファスシリコン、微結晶シリコン、ポリシリコン、酸化物半導体および有機半導体などのうちのいずれかで形成されていてもよい。例えば、酸化物半導体は、インジウム（In）、ガリウム（Ga）および亜鉛（Zn）のうち、少なくとも1種を含む酸化物半導体材料を用いることができる。酸化物半導体は、オフ電流が少なく、アモルファス状態でも高い電子移動度を持ち、低温プロセスで形成可能であり、例えば、アモルファス酸化インジウムガリウム亜鉛（InGaZnO）を用いて形成できる。

[0044] 容量素子67は、電圧を保持するための蓄積容量であり、駆動トランジスタ61の流す電流量を決める電圧を保持する。具体的には、容量素子67の第2電極（節点B側の電極）は、駆動トランジスタ61のソース電極（ELカソード電源線70側）とEL素子66のアノード（第1電極）との間に接続されている。容量素子67の第1電極（節点A側の電極）は、駆動トランジスタ61のゲート電極にスイッチ65を介して接続されている。また、容量素子67の第1電極は、参照電圧 V_{REF} または逆バイアス電圧 V_{REV} を供給するRFV線68とスイッチ63およびスイッチ65を介して接続されてい

る。

- [0045] スイッチ62は、データ信号電圧を供給するためのData線76（信号線）と容量素子67の第1電極との導通および非導通を切り換える第2スイッチの一例である。具体的には、スイッチ62は、ドレインおよびソースの一方の端子がData線76に接続され、ドレインおよびソースの他方の端子が容量素子67の第1電極に接続され、ゲートが走査線であるScan線72に接続されているスイッチングトランジスタである。換言すると、スイッチ62は、Data線76を介して供給された映像信号電圧（映像信号）に応じたデータ信号電圧（データ信号）を容量素子67に書き込むための機能を有する。
- [0046] 電圧印加部31は、駆動トランジスタ61を初期化する初期化期間（期間T5）において、駆動トランジスタ61に、駆動トランジスタ61の閾値電圧 V_{th} よりも大きな電圧であって駆動トランジスタ61のゲート電極ーソース電極間が順バイアスとなる参照電圧 V_{REF} を印加する。電圧印加部31は、初期化期間（期間T5）の前の所定期間（期間T2）において、駆動トランジスタ61に、駆動トランジスタ61のゲート電極ーソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加する。より具体的には、電圧印加部31は、上記所定期間（期間T2）において、駆動トランジスタ61のゲート電極に初期化電源線71（第1電源線）を基準に逆バイアス電圧を印加する。また、電圧印加部31は、上記初期化期間（期間T5）において駆動トランジスタ61のゲート電極に初期化電源線71（第1電源線）を基準に参照電圧 V_{REF} を印加する。
- [0047] ここで、例えば、電圧印加部31は、図2Aに示すように、スイッチ63を有している。
- [0048] スイッチ63は、参照電圧 V_{REF} または逆バイアス電圧 V_{REV} を供給するRFV線68と駆動トランジスタ61のゲート電極並びにスイッチ65のドレインおよびソースの一方の端子との導通および非導通を切り換える第4スイッチの一例である。具体的には、図2Aに示すように、スイッチ63は、ド

レインおよびソースの一方の端子がRFV線68に接続され、ドレインおよびソースの他方の端子が駆動トランジスタ61のゲート電極とスイッチ65のドレインおよびソースの一方の端子とに接続され、ゲートがRef線73に接続されているスイッチングトランジスタである。換言すると、スイッチ63は、駆動トランジスタ61のゲート電極に対して参照電圧(V_{REF})または逆バイアス電圧 V_{REV} を与える機能を有する。

[0049] なお、電圧印加部31は、図2Aに示す構成に限らない。図2Bに示すように、RFV線68が、電源線68A(V_{REF})と電源線68B(V_{REV})とで構成される場合、電圧印加部31Aは、スイッチ63Aと電源切換スイッチ310とを備えるとしてもよい。

[0050] ここで、電源切換スイッチ310は、図2Bに示すように、電圧印加部31Aは、参照電圧 V_{REF} を供給する電源線68A(第2電源線)または逆バイアス電圧 V_{REV} を供給する電源線68B(第3電源線)に切り換えて参照電圧 V_{REF} または逆バイアス電圧 V_{REV} を供給する。スイッチ63Aは、例えば第4スイッチの一例であり、電源切換スイッチ310と駆動トランジスタ61のゲート電極との導通及び非導通を切り換える。スイッチ63Aは、電源線68A(V_{REF})と電源線68B(V_{REV})との接続関係を除くと、スイッチ63と同様であるためその他の説明は省略する。

[0051] スイッチ64は、容量素子67の第2電極および駆動トランジスタ61のソース電極と初期化電源線71(第1電源線)との導通および非導通を切り換える第1スイッチの一例である。具体的には、スイッチ64は、ドレインおよびソースの一方の端子が初期化電源線71(V_{INI})に接続され、ドレインおよびソースの他方の端子が容量素子67の第2電極および駆動トランジスタ61のソース電極に接続され、ゲートがInit線74に接続されているスイッチングトランジスタである。換言すると、スイッチ64は、容量素子67の第2電極および駆動トランジスタ61のソース電極に対して初期化電圧 V_{INI} を与える機能を有する。

[0052] スイッチ65は、容量素子67の第1電極と駆動トランジスタ61のゲー

ト電極との導通および非導通を切り換える第3スイッチの一例である。具体的には、スイッチ65は、ドレインおよびソースの一方の端子がスイッチ63のドレインおよびソースの他方の端子と駆動トランジスタ61のゲート電極とに接続され、ドレインおよびソースの他方の端子が容量素子67の第1電極に接続され、ゲートがMerge線75に接続されているスイッチングトランジスタである。換言すると、スイッチ65は、駆動トランジスタ61のゲート電極に、容量素子67の第1電極の電位を与える機能を有する。

[0053] 以上のように画素回路60は構成されている。

[0054] なお、画素回路60を構成するスイッチ62～スイッチ65はn型TFETとして、以下では説明を行うが、それに限られない。スイッチ62～スイッチ65は、p型TFETであってもよく、両方の組み合わせでもよい。つまり、例えば、駆動トランジスタ61のみp型TFETであり、スイッチ62～スイッチ65はn型TFETであるともよいし、スイッチ63のみp型TFETであり、駆動トランジスタ61およびスイッチ62、64、65はn型TFETであるとしてもよい。

[0055] 次に、図2Aに示す画素回路の駆動方法について図3～図4Fを用いながら説明を行う。

[0056] 図3は、実施の形態に係る表示装置の駆動時の動作の一例を説明するためのタイミングチャートである。図4A～図4Fは、図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。図3において、横軸は時間を表している。また横軸方向には、表示パネル6を構成するn行の画素回路60のうち対応する行の画素回路60に対するScan線72、Ref線73、Init線74、Merge線75およびData線76に発生する電圧の波形図が示されている。なお、RFV線68は、電圧レベルがHIGHのときには参照電圧 V_{REF} を供給し、電圧レベルがLOWのときには逆バイアス電圧 V_{REV} を供給するとして以下説明する。

[0057] 本実施の形態における駆動方法（走査方法）は、図2Aに示す画素回路60の構成により、表示パネル制御回路2の制御に従って期間T1から期間T

12を実施することで実現できる。

[0058] 以下、画素回路60の動作を例に挙げて具体的に説明する。

[0059] (期間T1)

図3に示す時刻 t_1 ～時刻 t_2 の期間T1は、RFV線が供給する電圧を切り換えるための遷移期間である。

[0060] より具体的には、時刻 t_1 において、走査線駆動回路3は、Scan線72とInit線74との電圧レベルをLOW、かつ、Ref線73とMerge線75との電圧レベルをHIGHに維持しつつ、RFV線68が供給する電圧を参照電圧 V_{REF} から逆バイアス電圧 V_{REV} に切り換える。すなわち、時刻 t_1 において、スイッチ62およびスイッチ64を非導通状態（オフ状態）、かつ、スイッチ63およびスイッチ65を導通状態（オン状態）に維持しつつ、RFV線68に供給する電圧を参照電圧 V_{REF} から逆バイアス電圧 V_{REV} に切り換える。

[0061] このように、RFV線が供給する電圧を切り換えるための遷移期間である期間T1を設けることにより、ELアノード電源線69と初期化電源線71との間に貫通電流が流れてしまうのを防止することができる。

[0062] 表示装置1を構成する表示パネル6のサイズや1画素あたり（画素回路60）のサイズが大きい場合、ゲート信号線（Scan線72～Merge線75）の配線時定数が増加する。そのため、ゲート信号線の信号電圧の変化速度が表示パネル6の面内で大きく変動し、各ゲート信号線の時定数が異なる場合には、同一画素においても、信号変化タイミングが異なることがある。たとえば、RFV線68が“L”すなわちRFV線68が供給する電圧が逆バイアス電圧 V_{REV} になる前に、Init線74の電圧レベルがHIGHとなる可能性があり、駆動トランジスタ61に大きな V_{gs} がかかることで、ELアノード電源線69から初期化電源線71に貫通電流が流れることがある。貫通電流は表示パネル6の消費電力に影響し、消費電力が増加する欠点がある。

[0063] また、たとえば、初期化電源線71に電流が流れると、給電端から遠い初

期化電源線 7 1 は電圧が上昇し、初期化期間で印加される電圧が所定電圧よりも高くなり、閾値補償期間の開始時の V_{gs} 電圧が十分取れず、動作可能な V_{th} 範囲が狭くなってしまう問題がある。

[0064] そのため、スイッチ 6 4 を非導通のままで R F V 線 6 8 に供給する電圧を参照電圧 V_{REF} から逆バイアス電圧 V_{REV} に切り換える遷移期間である期間 T_1 を設けることにより、E L アノード電源線 6 9 と初期化電源線 7 1 との間に貫通電流が流れてしまうのを防止する。この方法の利点としては、さらに期間 T_2 を考えると、節点 C の電位が期間 T_1 で設定済みであるため、期間 T_2 では節点 B のみ充電を行えばよく、節点 B の電位を初期化電源線 7 1 の電圧 V_{INI} により短期間で設定（初期化電圧 V_{INI} を書き込み）することができる。

[0065] （期間 T_2 : 逆バイアス期間）

図 3 に示す時刻 $t_2 \sim$ 時刻 t_3 の期間 T_2 は、逆バイアス電圧 V_{REV} を駆動トランジスタ 6 1 に印加する逆バイアス期間である。ここで、逆バイアス電圧 V_{REV} とは、駆動トランジスタ 6 1 のソース電極に初期化電源線 7 1 の電圧 V_{INI} 印加されている場合に、駆動トランジスタ 6 1 のゲート電極ーソース電極間が逆バイアスとなる電圧である。ここで、上述したように、逆バイアス電圧 $V_{REV} - \text{初期化電圧 } V_{INI} < \text{閾値電圧 } V_{th}$ と設定され、駆動トランジスタ 6 1 の V_{gs} に閾値電圧 V_{th} 以下の電圧が印加される。

[0066] 具体的には、図 4 A の画素回路 6 0 の動作状態に示されるように、時刻 t_2 において、走査線駆動回路 3 は、S c a n 線 7 2 の電圧レベルを L O W に、R e f 線 7 3 と M e r g e 線 7 5 との電圧レベルを H I G H に、かつ、R F V 線 6 8 が供給する電圧を逆バイアス電圧 V_{REV} に維持しつつ、I n i t 線 7 4 の電圧レベルを L O W から H I G H に変化させる。すなわち、時刻 t_2 において、スイッチ 6 2 を非導通状態（オフ状態）、スイッチ 6 3 およびスイッチ 6 5 を導通状態（オン状態）、かつ、R F V 線 6 8 の供給する電圧を逆バイアス電圧 V_{REV} に維持しつつ、スイッチ 6 4 を導通状態（オン状態）にする。

[0067] このように、駆動トランジスタ 61 のゲート電極ーソース電極間が逆バイアスにされる逆バイアス期間である期間 T2 を設けることにより、駆動トランジスタ 61 の閾値電圧 V_{th} の変動量を抑制することができる。また、発光期間（期間 T11）においてシフトした閾値電圧を、逆方向にシフトさせ、1 フレームの前後では閾値電圧の変動が少なくなるといったことが可能になる。

[0068] なお、期間 T2 は、印加する逆バイアス電圧の大きさや、発光期間（期間 T11）での閾値電圧シフト量によって、1 フレームの前後で閾値電圧の変動が小さくなるように設定する。たとえば、順バイアス電圧が 4 V で 1 フレームの 70% 期間印加された場合に、逆バイアス電圧を -10 V で逆バイアス期間を 1 フレームの 20% 程度挿入する。

[0069] また、本実施の形態では、容量素子 67 が半導体容量で、駆動トランジスタ 61 と、容量素子 67 との劣化特性を合わせるために、期間 T2（逆バイアス期間）において、Merge 線 75 の電圧レベルを HIGH（スイッチ 65 をオン状態）に維持したものとして説明しているが、それに限らない。容量素子 67 が MIM 構成（Metal - Insulator - Metal Structure）の場合には、期間 T2（逆バイアス期間）において、Merge 線 75 の電圧レベルは LOW（スイッチ 65 をオフ状態）であってもよい。

[0070] （期間 T3）

図 3 に示す時刻 t_3 ~ 時刻 t_4 の期間 T3 は、RFV 線が供給する電圧を切り換えるためにスイッチ 63 を非導通にするための所定期間である。

[0071] 表示パネル制御回路 2 は、スイッチ 62 を非導通（オフ）、スイッチ 65 を導通（オン）、かつスイッチ 64 を導通（オン）にさせた状態で、スイッチ 63 を非導通（オフ）にさせ、かつ、RFV 線 68 に逆バイアス電圧 V_{REV} を駆動トランジスタ 61 のゲート電極に供給させることで期間 T3（所定期間）を実行する。

[0072] より具体的には、時刻 t_3 において、走査線駆動回路 3 は、Scan 線 7

2の電圧レベルをLOW、Init線74とMerge線75との電圧レベルをHIGH、かつ、RFV線68が供給する電圧を逆バイアス電圧 V_{REV} に維持しつつ、Ref線73の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻 t_3 において、スイッチ62を非導通状態（オフ状態）、スイッチ64およびスイッチ65を導通状態（オン状態）、かつ、RFV線68の供給する電圧を逆バイアス電圧 V_{REV} に維持しつつ、スイッチ63を非導通状態（オフ状態）にさせる。

[0073] このように、スイッチ63を非導通にするための期間である期間T3を設けることにより、RFV線が供給する電圧を切り換えた際に駆動トランジスタ61のゲート電極に参照電圧 V_{REF} が印加されELアノード電源線69と初期化電源線71との間に貫通電流が流れてしまうのを防止することができる。なお、この期間T3がないと、RFV線68の立ち上がりが早い画素では、早期から貫通電流がELアノード電源線69と初期化電源線71と間に流れる。一方で、初期化するためには、前画素が参照電圧 V_{REF} にまで立ち上がる必要があり、前画素が初期化期間（期間T5）に入るまでの期間T3および期間T4相当のところが長くなる。それにより、貫通電流が画素数と時間を考慮して発光電流に対して割合が大きくなり、発光とは無関係にパネルの消費電力が大きくなってしまう。

[0074] （期間T4）

図3に示す時刻 t_4 ～時刻 t_5 の期間T4は、RFV線が供給する電圧を切り換えるための遷移期間である。

[0075] より具体的には、時刻 t_4 において、走査線駆動回路3は、Scan線72とRef線73との電圧レベルをLOW、かつ、Init線74とMerge線75との電圧レベルをHIGHに維持しつつ、RFV線68が供給する電圧を逆バイアス電圧 V_{REV} から参照電圧 V_{REF} に切り換える。すなわち、時刻 t_4 において、スイッチ62およびスイッチ63を非導通状態（オフ状態）、かつ、スイッチ64およびスイッチ65を導通状態（オン状態）に維持しつつ、RFV線68に供給する電圧を逆バイアス電圧 V_{REV} から参照電圧

V_{REF} に切り換える。

[0076] ここで、RFV線68の供給する電圧の切り換えよりもRef線73の電圧レベルの変化（立ち上がり）の方が早いので、RFV線68の供給する電圧の切り換えとRef線73の電圧レベルの変化を同時に行わず、RFV線68の供給する電圧の切り換えを先に行う。

[0077] このように、RFV線が供給する電圧を先に切り換えるため遷移期間である期間T4を設けることにより、RFV線が供給する電圧を切り換えた際に駆動トランジスタ61のゲート電極に不定電圧が印加されてしまうのを防止することができる。

[0078] （期間T5：初期化期間）

図3に示す時刻t5～時刻t6の期間T5は、駆動トランジスタを初期化する初期化期間である。ここで、初期化期間とは、駆動トランジスタ61の閾値電圧補償を行うためにドレイン電流を流すのに必要な電圧を駆動トランジスタ61のソース電極－ゲート電極間に印加する期間である。本実施の形態では、初期化期間において、駆動トランジスタ61のゲート電極に、駆動トランジスタ61の閾値電圧 V_{th} よりも大きな電圧であって駆動トランジスタ61のゲート電極－ソース電極間が順バイアスとなる参照電圧 V_{REF} を印加する。

[0079] 表示パネル制御回路2は、スイッチ62を非導通（オフ）、スイッチ65を導通（オン）、かつスイッチ64を導通（オン）にさせた状態で、スイッチ63を導通（オン）させ、かつ、RFV線68に参照電圧 V_{REF} を駆動トランジスタ61のゲート電極に供給させることで期間T5（初期化期間）を実行する。

[0080] 具体的には、図4Bの画素回路60の動作状態に示されるように、時刻t5において、走査線駆動回路3は、Scan線72の電圧レベルをLOW、Init線74とMerge線75との電圧レベルをHIGH、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、Ref線73の電圧レベルをLOWからHIGHに変化させる。すなわち、時刻t5において、

スイッチ62を非導通状態（オフ状態）、スイッチ64およびスイッチ65を導通状態（オン状態）、かつ、RFV線68の供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ63を導通状態（オン状態）にする。

[0081] このように、Ref線73の電圧レベルをLOWからHIGHに変化させること（立ち上がり）により初期化期間を開始する。

[0082] これにより、節点A（節点C）の電位がRFV線68の供給する参照電圧 V_{REF} に設定される。また、スイッチ64が導通状態（オン状態）であるから、節点Bの電位は初期化電源線71の電圧 V_{INI} に設定される。すなわち、駆動トランジスタ61は、ゲート電極にRFV線68の供給する参照電圧 V_{REF} が印加され、ソース電極に初期化電源線71の電圧 V_{INI} が印加されることで、駆動トランジスタ61のゲート電極－ソース電極間に順バイアスの所定電圧が印加される初期化期間が行われる。

[0083] なお、期間T5は、節点A（節点C）および節点Bの電位が、所定電位になるまでの長さ（時間）に設定される。

[0084] また、駆動トランジスタ61のゲート電極－ソース電極間電圧（所定電圧）は、閾値電圧補償動作を行うのに必要なドレイン電流を確保できる電圧に設定されることが必要である。そのため、RFV線68の参照電圧 V_{REF} と初期化電源線71の電圧 V_{INI} の電位差は、上述したように、駆動トランジスタ61の閾値電圧 V_{th} よりも大きな電圧すなわち閾値電圧 $V_{th} <$ （参照電圧 V_{REF} －初期化電圧 V_{INI} ）に設定される。また、参照電圧 V_{REF} および初期化電圧 V_{INI} は、EL素子66に電流が流れないように、初期化電圧 $V_{INI} <$ 電圧 $V_{EL} +$ （EL素子66の順方向電流閾値電圧）、および、参照電圧 $V_{REF} <$ 電圧 $V_{EL} +$ （EL素子66の順方向電流閾値電圧）＋閾値電圧 V_{th} 、となるように設定される。

[0085] （期間T6：閾値補償期間）

次に、図3の時刻t6～時刻t7の期間T6は、駆動トランジスタ61の閾値電圧 V_{th} を補償する閾値補償期間である。

[0086] 具体的には、図4Cの画素回路60の動作状態に示されるように、時刻t

6において、走査線駆動回路3は、Scan線72の電圧レベルをLOW、Ref線73およびMerge線75の電圧レベルをHIGH、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、Init線74の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻 t_6 において、スイッチ62を非導通状態（オフ状態）、スイッチ63およびスイッチ65を導通状態（オン状態）、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ64が非導通状態（オフ状態）にされる。

[0087] ここで、駆動トランジスタ61のゲート電極－ソース電極間電圧（所定電圧）は、初期化期間（期間 T_5 ）において、上述したように設定されているので、EL素子66には電流が流れない。駆動トランジスタ61は、ELアノード電源線69の電圧 V_{TFT} によりドレイン電流が供給されるが、それとともに駆動トランジスタ61のソース電位が変化する。言い換えると、駆動トランジスタ61は、ELアノード電源線69の電圧 V_{TFT} により供給されるドレイン電流が0となる点まで駆動トランジスタ61のソース電位が変化する。

[0088] このように、駆動トランジスタ61のゲート電極にRFV線68が供給する参照電圧 V_{REF} を印加した状態で、Init線74の電圧レベルをHIGHからLOWに変化させる（スイッチ65を導通状態（オン状態）にする）と、駆動トランジスタ61の閾値補償動作を開始する。

[0089] そして、期間 T_6 の終了時（時刻 t_7 ）には、駆動トランジスタ61のゲート電極－ソース電極間電圧（節点A（節点C）と節点Bとの電位差）は駆動トランジスタ61の閾値電圧に相当する電位差となる。この電位差（電圧）は容量素子67に保持（記憶）される。

[0090] （期間 T_7 ）

図3に示す時刻 t_7 ～時刻 t_8 の期間 T_7 は、閾値補償動作を終了させるための期間である。

[0091] より具体的には、時刻 t_7 において、走査線駆動回路3は、Scan線72およびInit線74の電圧レベルをLOW、Ref線73の電圧レベル

をHIGH、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、Merge線75の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻 t_7 において、スイッチ62およびスイッチ64を非導通状態（オフ状態）、スイッチ63を導通状態（オン状態）、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ65を非導通状態（オフ状態）にする。

[0092] このようにして、Ref線73とMerge線75との電圧レベルを同時に変化させず、Merge線75の電圧レベルを先に変化させてスイッチ65を非導通とする期間 T_7 を設ける。それにより、スイッチ63およびスイッチ65の寄生容量を介してゲート信号線（Scan線72～Merge線75）の電圧の変化が節点Aの電位に影響する突き抜けを減らすことができ、突き抜け量のばらつきに起因する表示ムラを低減することが可能である。

[0093] なお、Ref線73とMerge線75との電圧レベルを同時もしくはRef線73の電圧レベルを先にLOWにする場合、まず、スイッチ63による突き抜けが節点Aに伝搬する。スイッチ65がオン状態になると、次にスイッチ65による突き抜けが節点Aに伝搬する。

[0094] 一方、期間 T_7 を設ける場合、スイッチ65による突き抜けは節点Aに伝搬するが、スイッチ63による突き抜けはすでにスイッチ65がオフ状態のため節点Aに伝搬しない。そして、この分が突き抜け量の低減効果となる。

[0095] （期間 T_8 ）

図3に示す時刻 t_8 ～時刻 t_9 の期間 T_8 は、スイッチ63を非導通状態（オフ状態）にすることで、Data線76を介して供給されたデータ信号電圧とRFV線68の参照電圧 V_{REF} とが同時に節点Aに印加されるのを防止する期間である。

[0096] 具体的には、時刻 t_8 において、走査線駆動回路3は、Scan線72とInit線74とMerge線75との電圧レベルをLOW、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、Ref線73の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻 t_8 において、ス

スイッチ62、スイッチ64およびスイッチ65を非導通状態（オフ状態）、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ63を非導通状態（オフ状態）にする。

[0097] このように、Ref線73の動作によりスイッチ63をさらに非導通状態（オフ状態）とし、スイッチ62およびスイッチ63が非導通状態（オフ状態）となる期間T8を設けることで、Data線76を介してスイッチ62から供給されるデータ信号電圧と、RFV線68の参照電圧 V_{REF} とが節点A（容量素子67の第1電極）に同時に印加されるのを防止することができる。

[0098] なお、スイッチ63とスイッチ65とを同時に非導通状態（オフ状態）にし、期間T7および期間T8は一つにまとめてもよい。

[0099] また、（映像信号電圧－参照電圧 V_{REF} ）の電位差を正確に反映させるには、期間T8はなるべく短い方がよい。

[0100] （期間T9：書込期間）

次に、図3の時刻 t_9 ～時刻 t_{10} の期間T9は、Data線76から表示階調に応じた映像信号電圧（データ信号電圧）を画素回路60にスイッチ62を介して取り込み、容量素子67に書き込む書込期間である。

[0101] 具体的には、図4Dの画素回路60の動作状態に示されるように、時刻 t_9 において、走査線駆動回路3は、Ref線73、Init線74およびMerge線75の電圧レベルをLOW、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、Scan線72の電圧レベルをLOWからHIGHに変化させる。すなわち、時刻 t_9 において、スイッチ63とスイッチ64とスイッチ65を非導通状態（オフ状態）かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ62を導通状態（オン状態）にする。

[0102] これにより、容量素子67には、閾値補償期間（期間T6）で記憶された駆動トランジスタ61の閾値電圧 V_{th} に加えて、映像信号電圧が、記憶（保持）される。

[0103] なお、大画面化（表示パネル6のサイズが大きくなる）、かつ、画素回路60の数が増加するのに伴い、画素回路60を駆動するためのフレーム周波数が高くなってきている。大画面化に伴いScan線72配線時定数も増加するものの、水平走査期間の短縮により、所定の階調電圧を画素回路60に書き込むことが難しくなる。そのため、本実施の形態では、Scan線72の波形なまりがあっても、所定の映像信号（データ信号電圧）がData線76に入力される前にScan線72が立ち上がりを完了させて、スイッチ62が導通状態（オン状態）となるようにしている。

[0104] これにより、Scan線72の負荷（配線時定数）が大きく、立ち上がりに時間がかかるような大画面、高画素数の表示パネル6であっても確実に書き込むことができる。

[0105] （期間T10）

図3に示す時刻t10～時刻t11の期間T10は、スイッチ62を確実に非導通状態（オフ状態）にさせるための期間である。

[0106] より具体的には、時刻t10において、走査線駆動回路3は、Ref線73、Init線74およびMerge線75の電圧レベルをLOW、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、Scan線72の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻t10において、スイッチ63とスイッチ64とスイッチ65を非導通状態（オフ状態）、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ62を非導通状態（オフ状態）にする。

[0107] これにより、続く期間T11（発光期間）においてスイッチ65を導通状態（オン状態）にさせるまえにスイッチ62を確実に非導通状態（オフ状態）にすることができる。

[0108] なお、期間T11を設けず、スイッチ65とスイッチ62とを同時に導通状態（オン状態）にさせる場合、駆動トランジスタ61のドレイン電流により、節点Bの電位が上昇する一方で、節点Aの電位はデータ信号電圧となることから、駆動トランジスタ61のソース電極－ゲート電極間電圧が小さく

になってしまう。この場合には、所望の輝度に比べて少ない輝度で発光してしまうので問題となる。これを防止するため、本実施の形態では、期間T10を設けてスイッチ62が非導通状態（オフ状態）であることを確保してから、続く期間T11においてスイッチ65を導通状態（オン状態）にする。

[0109] （期間T11：発光期間）

次に、図3に示す時刻t11～時刻t12の期間T11は、EL素子66を発光させる発光期間である。

[0110] 具体的には、図4Eの画素回路60の動作状態に示されるように、時刻t11において、走査線駆動回路3は、Scan線72、Ref線73およびInit線74の電圧レベルをLOW、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、Merge線75の電圧レベルをLOWからHIGHに変化させる。すなわち、時刻t11において、スイッチ62、スイッチ63およびスイッチ64を非導通状態（オフ状態）かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ65を導通状態（オン状態）にする。

[0111] このように、スイッチ65を導通状態（オン状態）にさせることで、容量素子67に蓄えられた電圧（データ信号電圧）に応じて駆動トランジスタ61にEL素子66に電流を供給させEL素子66を発光させることができる。

[0112] （期間T12）

図3に示す時刻t12～時刻t1の期間T12は、黒挿入期間であり、たとえば動画応答性を改善するもので、EL素子66を非発光状態にさせる期間である。

[0113] より具体的には、図4Fの画素回路60の動作状態に示されるように、時刻t12において、走査線駆動回路3は、Scan線72とInit線74の電圧レベルをLOW、Merge線75の電圧レベルをHIGH、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、Ref線73の電圧レベルをLOWからHIGHに変化させる。すなわち、時刻t12にお

いて、スイッチ62およびスイッチ64を非導通状態（オフ状態）、スイッチ65を導通状態（オン状態）、かつ、RFV線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ63を導通状態（オン状態）にする。

[0114] 以上のようなシーケンスにより、画素回路60は、階調表示を行う。

[0115] なお、表示パネル制御回路2は、表示パネル6を構成する他の画素回路60についても、同様の駆動方法を線順次に行う。

[0116] このように、表示パネル制御回路2は、画素回路60を初期化する期間T5（初期化期間）において、駆動トランジスタ61のゲート電極に、駆動トランジスタ61の閾値電圧 V_{th} よりも大きな電圧であって駆動トランジスタ61のゲート電極－ソース電極間が順バイアスとなる参照電圧 V_{REF} を印加するステップと、期間T5（初期化期間）の前の期間T2（所定期間）において、駆動トランジスタ61のゲート電極に、駆動トランジスタ61のゲート電極－ソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加するステップとを実行する。ここで、期間T2（所定期間）は、期間T11（発光期間）の後から期間T5（初期化期間）の前の期間に設けられる。

[0117] それにより、期間T6（閾値補償期間）において駆動トランジスタ61の閾値電圧 V_{th} の変動を補正することに加えて、期間T2（逆バイアス期間）において閾値電圧 V_{th} の変動量を抑えることができる。そのため、閾値補償動作を行う期間を十分に確保できない場合でも駆動トランジスタの閾値電圧の変動量を抑制することができる。その結果、より長期間、駆動トランジスタ61の動作補償範囲に閾値電圧 V_{th} を含めることができる画素回路60を実現できる。

[0118] なお、本実施の形態では、図3に示すように期間T3および期間T4を設ける場合について説明したがそれに限らない。例えば図5に示すように期間T3および期間T4を設けずに、RFV線68が供給する電圧を逆バイアス電圧 V_{REV} から参照電圧 V_{REF} に切り換えるとしてもよい。ここで、図5は、図3に示すタイミングチャートの変形例である。

[0119] また、図3を用いた説明では、図2Aの画素回路60に基づき説明したが

、図2Bに示す画素回路60Aでも同様である。具体的には、表示パネル制御回路2は、スイッチ62を非導通（オフ）、スイッチ65を導通（オン）、かつスイッチ64を導通（オン）にさせた状態で、スイッチ63Aを導通（オン）させ、かつ、電源切換スイッチ310を制御して逆バイアス電圧 V_{REV} を供給する電源線68B（第2電源線）に切り換えて逆バイアス電圧 V_{REV} を駆動トランジスタ61のゲート電極に供給させることで期間T3（所定期間）を実行する。また、表示パネル制御回路2は、スイッチ62を非導通（オフ）、スイッチ65を導通（オン）、かつスイッチ64を導通（オン）にさせた状態で、スイッチ63Aを導通（オン）させ、かつ、電源切換スイッチ310を制御して参照電圧 V_{REF} を供給する電源線68A（第3電源線）に切り換えて参照電圧 V_{REF} を駆動トランジスタ61のゲート電極に供給させることで期間T5（初期化期間）を実行する。その他の駆動方法については上述したとおりであるため説明は省略する。

[0120] 以上、実施の形態の表示装置およびその駆動方法によれば、たとえ酸化物半導体を半導体層として用いた薄膜トランジスタを有し閾値電圧補償動作を行う期間を十分に確保できない画素回路60で構成されていても、駆動トランジスタの閾値電圧の変動量を抑制することができる。もちろんシリコン半導体を半導体層として用いた薄膜トランジスタでは、閾値電圧補償動作を行う期間を十分に確保しなくても駆動トランジスタの閾値電圧の変動量を抑制するという効果を奏する。

[0121] 以上、本発明の一つまたは複数の態様に係る表示装置およびその駆動方法について、実施の形態に基づいて説明したが、本発明は、この実施の形態に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本発明の一つまたは複数の態様の範囲内に含まれてもよい。

[0122] 例えば、EL素子66は、典型的には有機発光素子であるが、電流に応じて発光強度が変化するデバイスであればどんな電流－光変換デバイスでもよ

い。

[0123] また、例えば、本発明の表示装置を構成する画素回路は、上述した画素回路60および画素回路60Aの場合に限られない。例えば、図6～図8に示す画素回路60B～画素回路60Dで実現されるとしてもよい。ここで、図6～図8は、図2Bに示す回路構成の変形例を示す図である。なお、図2Aおよび図2Bと同様の要素には同一の符号を付しており、詳細な説明は省略する。

[0124] 例えば、図6に示すように、図2Bの電圧印加部31と異なる場所に電圧印加部31Bを構成し、さらに、図2Bのスイッチ65に代えて駆動トランジスタ61のゲート電極－ソース電極間にEnable線78がゲートに接続されたスイッチ77を構成する画素回路60Bであってもよい。電圧印加部31Bが有するスイッチ63Aのドレインおよびソースの一方の端子がスイッチ62と節点Aとの間に接続されている。

[0125] また、例えば、図7に示すように、図2Bの電圧印加部31と異なる構成の電圧印加部31Cと、図2Bのスイッチ65に代えて駆動トランジスタ61のドレイン電極とELアノード電源線69の間にEnable線78Aがゲートに接続されたスイッチ77Aとを有する画素回路60Cであってもよい。この場合、電圧印加部31Cは、電源線68A(VREF)と駆動トランジスタ61のゲート電極との導通及び非導通を切り換えるスイッチBと、電源線68B(VREV)と駆動トランジスタ61のゲート電極との導通及び非導通を切り換えるスイッチCとを備える。スイッチ63Bおよびスイッチ63Cのドレインおよびソースの一方の端子がスイッチ62と節点Aとの間に接続されている。

[0126] さらに、例えば、図8に示すように、図6および図7に示す回路構成の組み合わせからなる画素回路60Dでもよい。すなわち、図8に示す画素回路60Dでは、図6のスイッチ77に代えて、図7に示すスイッチ77Aを有するとしてもよい。

[0127] また、本発明では、初期化期間の前の所定期間（逆バイアス期間、後述の

期間 T 2) において、駆動トランジスタ 61 のゲート電極－ソース電極間に逆バイアスが印加され、初期化期間で駆動トランジスタ 61 のゲート電極－ソース電極間に順バイアスが印加される。本実施の形態では、駆動トランジスタ 61 のゲート電極に印加される場合の例を挙げて説明しているがそれに限らない。逆バイアスが印加するのは駆動トランジスタのゲート電極でなくともよく、ソース電極でもよい。その場合、ゲート電極側から参照電圧 V_{REF} 、ソース電極側から初期化電圧 V_{INI} もしくは逆バイアス電圧 V_{REV} を供給する構成とすればよい。なお、本開示の例では、参照電圧 $V_{REF} < \text{逆バイアス電圧 } V_{REV}$ であるため、逆バイアス電圧 V_{REV} と V_{EL} 間の電位差が大きくなり、EL 素子が点灯する。そのため、さらに、 $(V_{EL} + \text{EL 順方向閾値電圧}) > (\text{逆バイアス電圧 } V_{REV})$ となるように、電圧 V_{EL} の調整を行っておく必要がある。

産業上の利用可能性

[0128] 本発明は、表示装置およびその駆動方法に利用でき、特に、例えば図 9 に示されるようなテレビなどの FPD 表示装置に利用することができる。

符号の説明

- [0129]
- 1 表示装置
 - 2 表示パネル制御回路
 - 3 走査線駆動回路
 - 5 データ線駆動回路
 - 6 表示パネル
 - 31、31A、31B、31C 電圧印加部
 - 60、60A、60B、60C、60D 画素回路
 - 61 駆動トランジスタ
 - 62、63、63A、63B、63C、64、65、77、77A スイッチ
 - 66 EL 素子
 - 67 容量素子

6 8 R F V 線
6 8 A、6 8 B 電源線
6 9 E L アノード電源線
7 0 E L カソード電源線
7 1 初期化電源線
7 2 S c a n 線
7 3 R e f 線
7 4 I n i t 線
7 5 M e r g e 線
7 6 D a t a 線
7 8、7 8 A E n a b l e 線
3 1 0 電源切換スイッチ

請求の範囲

- [請求項1] 制御部とマトリクス状に配置された複数の表示画素とを有する表示装置であって、
- 前記複数の表示画素の各々は、
- 発光素子と、
- 電圧を保持するための容量素子と、
- 前記容量素子に保持された電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光させる駆動トランジスタと、
- 前記表示画素を初期化する初期化期間において、前記駆動トランジスタに、前記駆動トランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およびソース電極間が順バイアスとなる参照電圧を印加し、前記初期化期間の前の前記発光素子を発光させない期間のうちの所定期間において、前記駆動トランジスタに、前記駆動トランジスタの前記ゲート電極およびソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加する電圧印加部と、
- 前記所定期間および前記初期化期間において、前記容量素子の第2電極と第1電源線とを導通させる第1スイッチと、
- データ信号電圧を供給するための信号線と前記容量素子の前記第1電極との導通および非導通を切り換える第2スイッチと、
- 前記容量素子の前記第1電極と前記駆動トランジスタの前記ゲート電極の導通および非導通を切り換える第3スイッチとを備え、
- 前記電圧印加部は、
- 前記参照電圧を供給する第2電源線または前記逆バイアス電圧を供給する第3電源線に切り換えて前記参照電圧または前記逆バイアス電圧を供給する電源切換スイッチと、
- 前記電源切換スイッチと前記駆動トランジスタの前記ゲート電極との導通および非導通を切り換える第4スイッチとを有し、
- 前記駆動トランジスタのソース電極は、前記容量素子の第2電極お

よび前記発光素子のアノードと導通されており、

前記制御部は、

前記所定期間において、

前記第2スイッチを非導通にさせ、前記第3スイッチを導通にさせ、かつ、第1スイッチを導通させた状態において、前記第4スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第3電源線に切り換えて前記逆バイアス電圧を供給させ、

前記初期化期間において、

前記第2スイッチを非導通、かつ、前記第3スイッチを導通、かつ、第1スイッチを導通させた状態において、前記第4スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第2電源線に切り換えて前記参照電圧を供給させる、

表示装置。

[請求項2] 前記第1スイッチ、前記第2スイッチ、前記第3スイッチ、前記第4スイッチおよび前記駆動トランジスタは、Nチャンネル薄膜トランジスタである、

請求項1に記載の表示装置。

[請求項3] 前記所定期間は、前記初期化期間の後の期間であって前記駆動トランジスタの閾値電圧を補償する閾値補償期間よりも長い、

請求項1または2に記載の表示装置。

[請求項4] 前記駆動トランジスタのチャネル層は、酸化物半導体からなる、
請求項1～3のいずれか1項に記載の表示装置。

[請求項5] マトリクス状に配置された複数の表示画素を有する表示装置の駆動方法であって、

前記複数の表示画素の各々は、

発光素子と、

電圧を保持するための容量素子と、

前記容量素子に保持された電圧に応じた電流を前記発光素子に供給

することにより前記発光素子を発光させる駆動トランジスタと、

前記容量素子の第2電極と第1電源線とを導通させるための第1スイッチと、

データ信号電圧を供給するための信号線と前記容量素子の前記第1電極との導通および非導通を切り換える第2スイッチと、

前記容量素子の前記第1電極と前記駆動トランジスタの前記ゲート電極の導通および非導通を切り換える第3スイッチとを備え、

前記駆動トランジスタのソース電極は、前記容量素子の第2電極および前記発光素子のアノードと導通されており、

前記駆動方法は、

前記表示画素を初期化する初期化期間において、前記駆動トランジスタに、前記駆動トランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およびソース電極間が順バイアスとなる参照電圧を印加するステップと、

前記初期化期間の前の前記発光素子を発光させない期間のうちの所定期間において、前記駆動トランジスタに、前記駆動トランジスタの前記ゲート電極およびソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加するステップとを含み、

前記逆バイアス電圧を印加するステップでは、

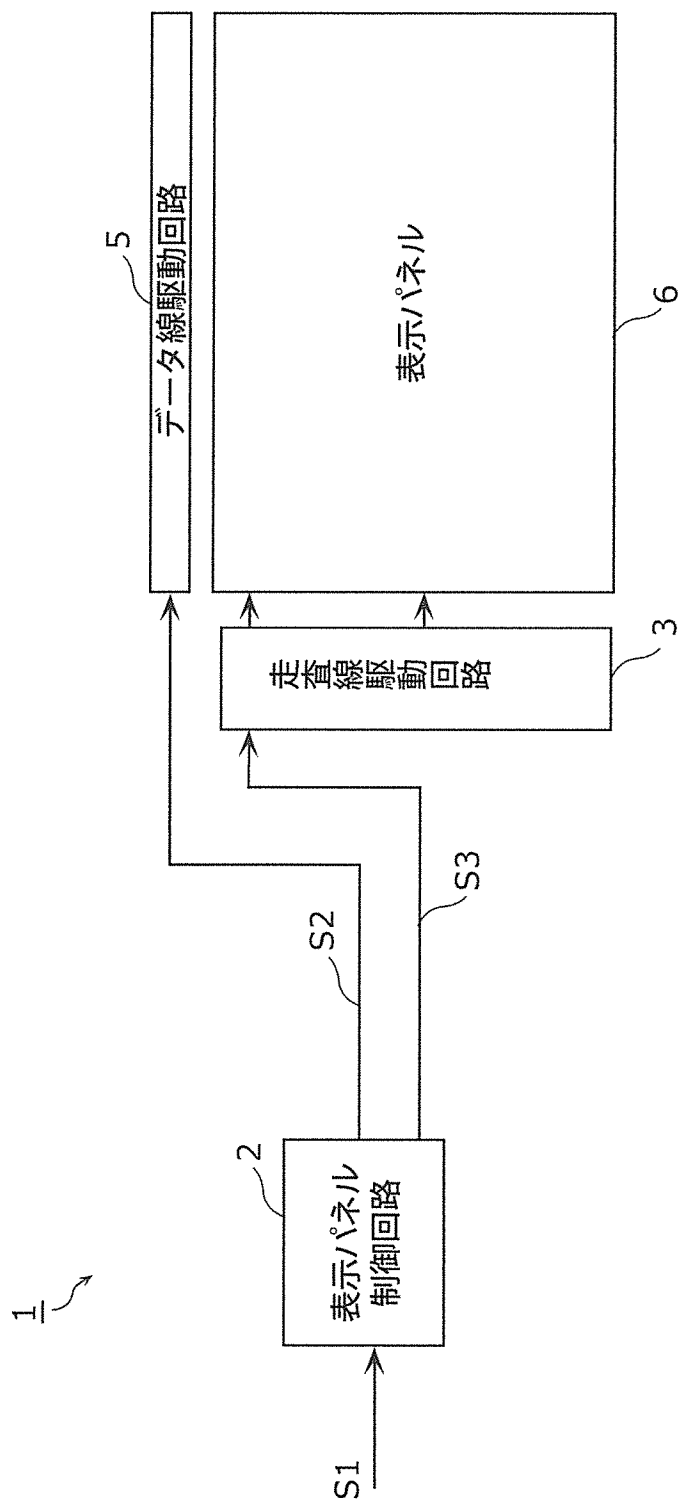
前記第2スイッチを非導通、前記第3スイッチを導通、かつ、第1スイッチを導通にさせた状態において、前記参照電圧を供給する第2電源線または前記逆バイアス電圧を供給する第3電源線に切り換えて前記参照電圧または前記逆バイアス電圧を供給すると前記駆動トランジスタの前記ゲート電極との導通および非導通を切り換える前記第4スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第3電源線に切り換えて前記逆バイアス電圧を供給させ、

前記参照電圧を印加するステップでは、

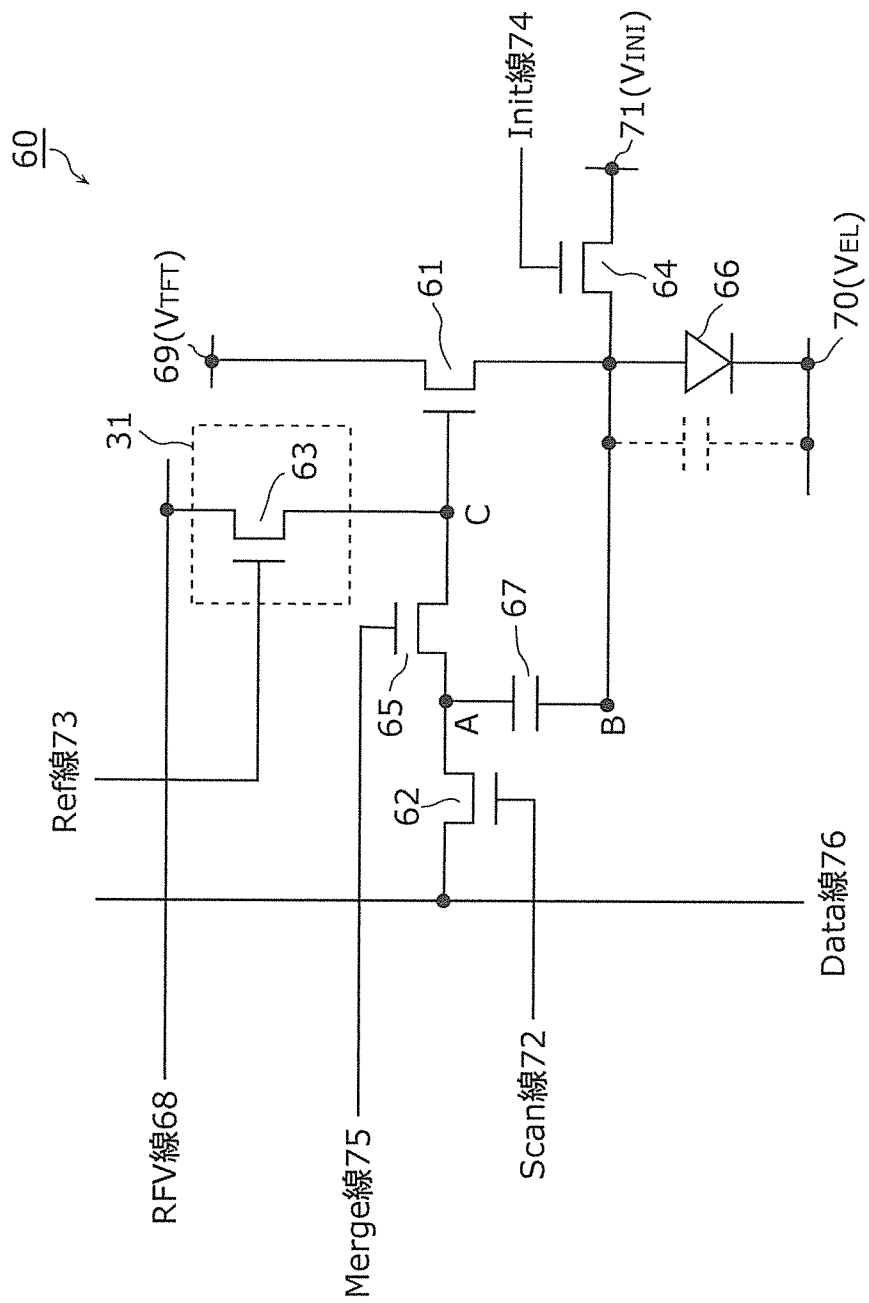
前記第2スイッチを非導通、かつ、前記第3スイッチを導通、かつ

、第1スイッチを導通にさせた状態において、前記第4スイッチを導通させ、かつ、前記電源切換スイッチを制御して前記第2電源線に切り換えて前記参照電圧を供給させる、
駆動方法。

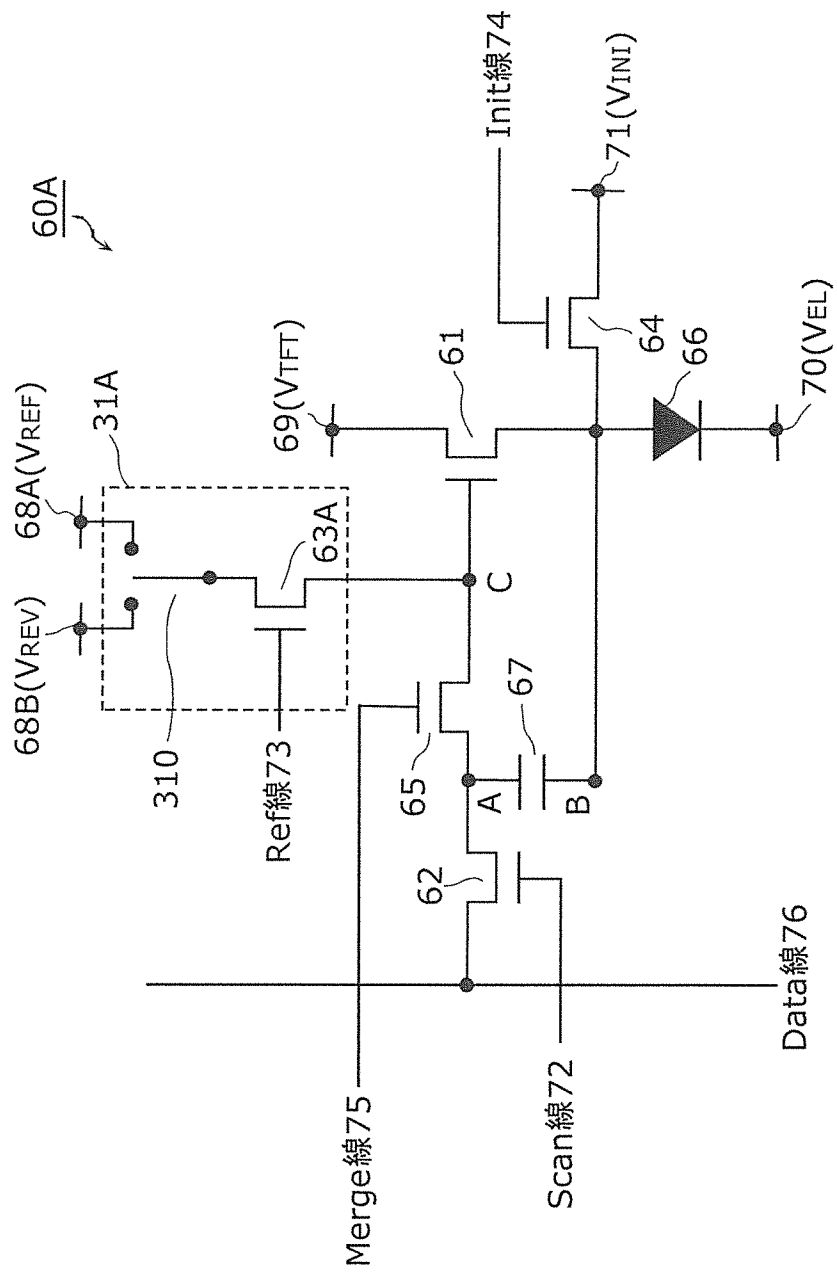
[図1]



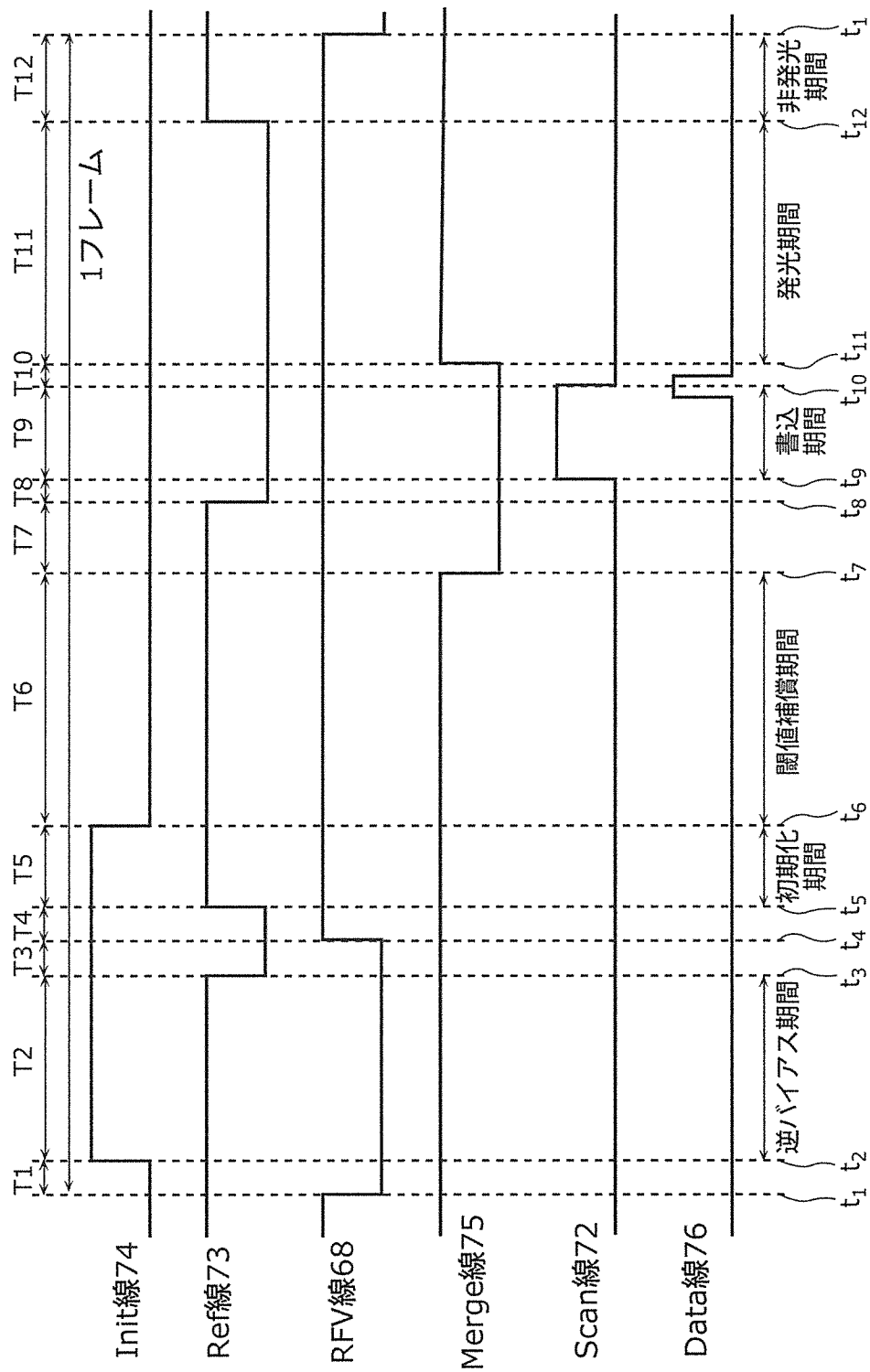
[図2A]



[図2B]

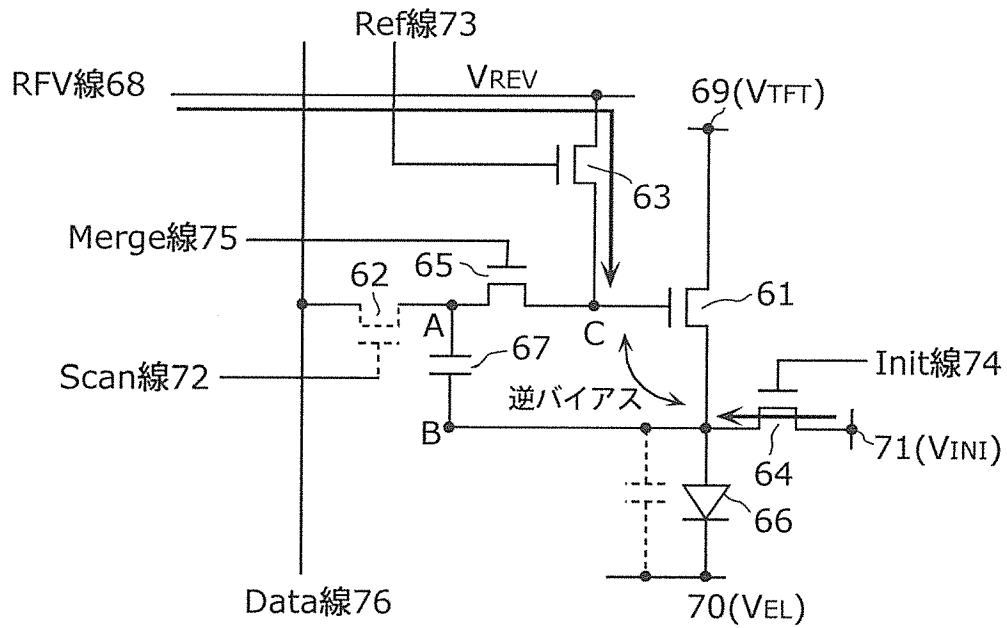


[図3]



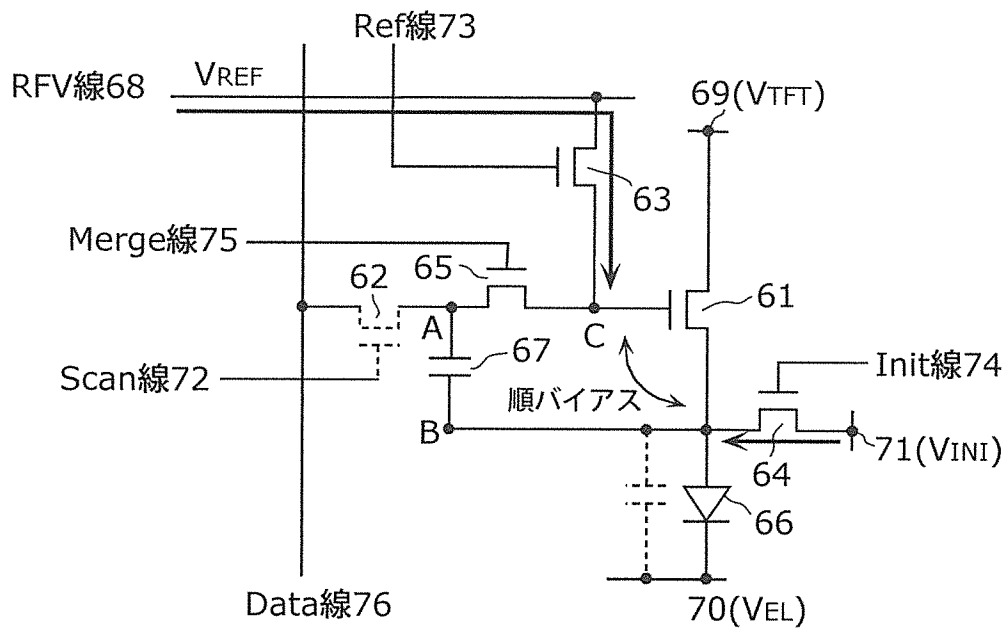
[図4A]

期間T2

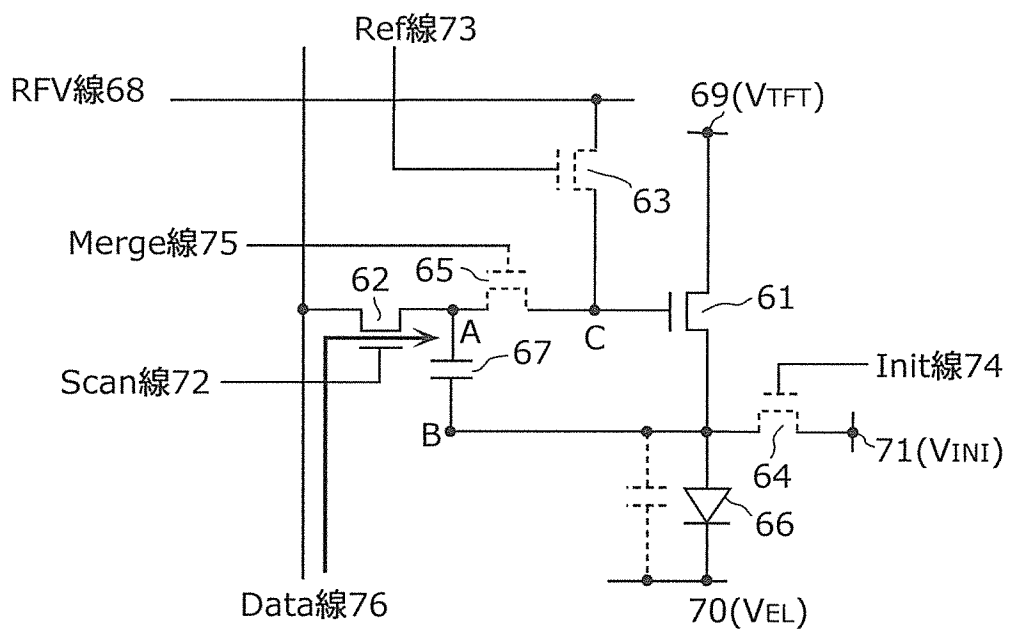


[図4B]

期間T5



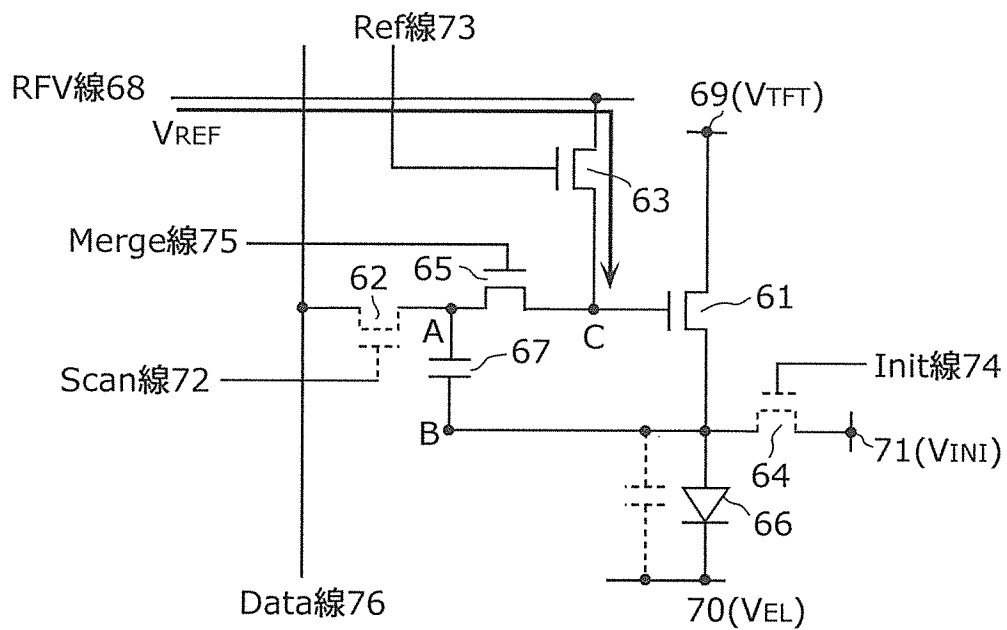
期間T6



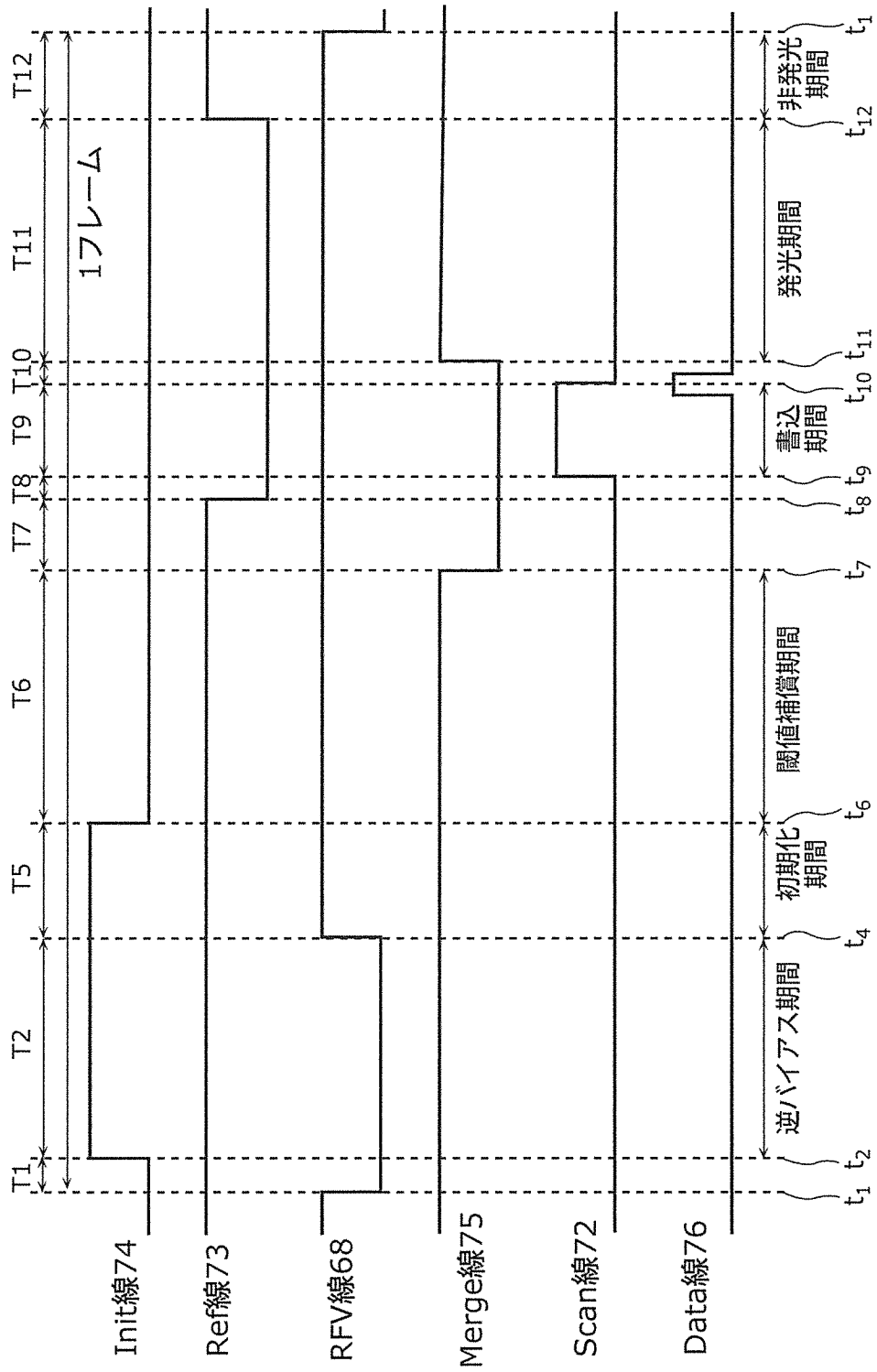
期間T11



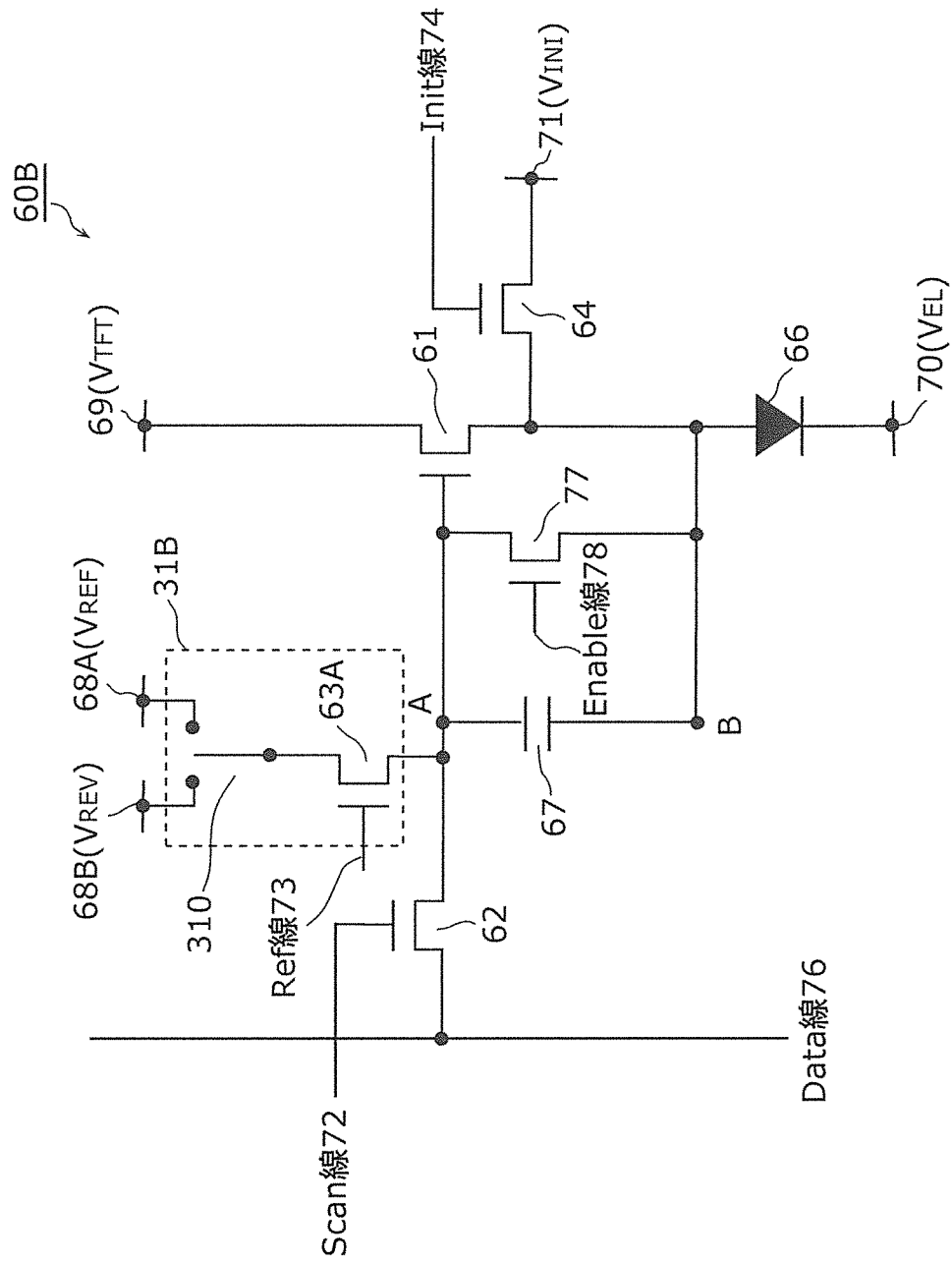
期間T12



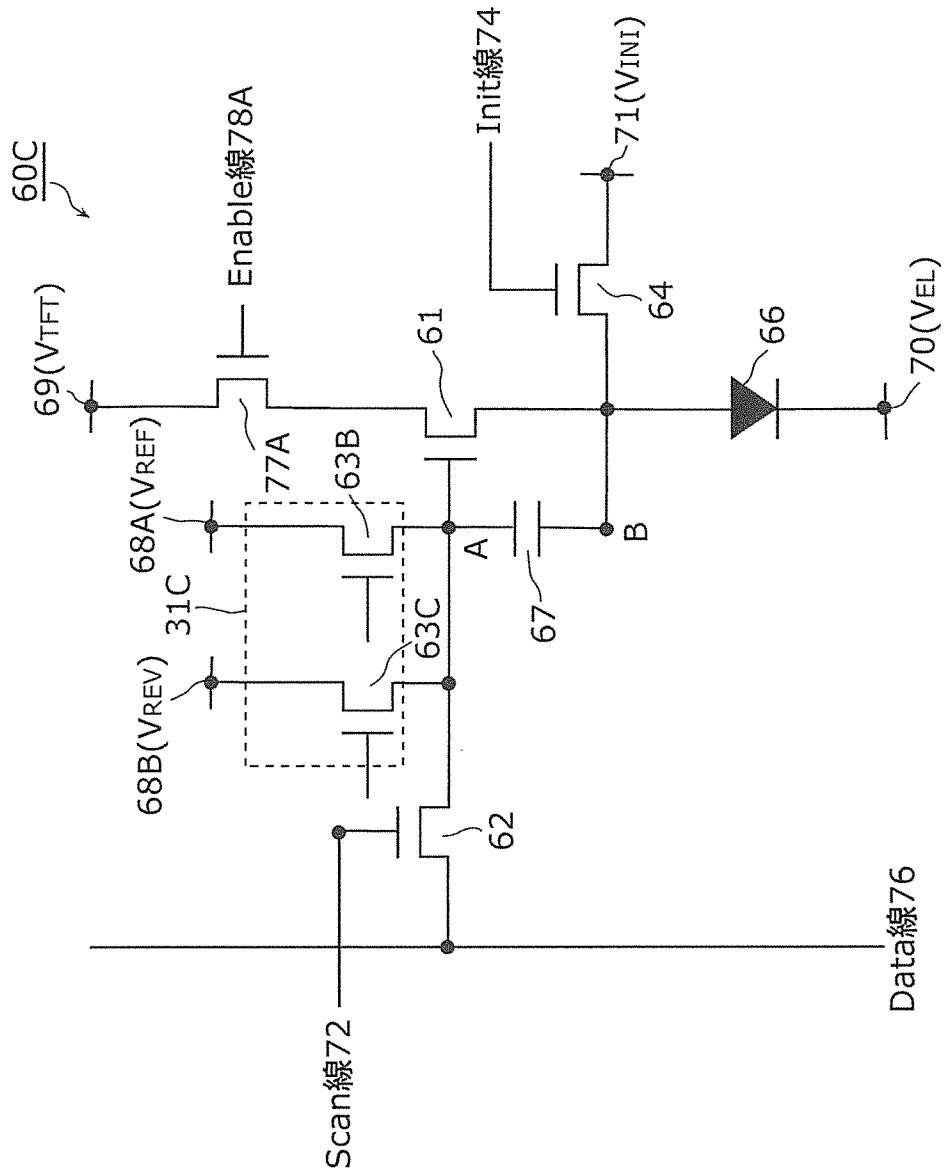
[図5]



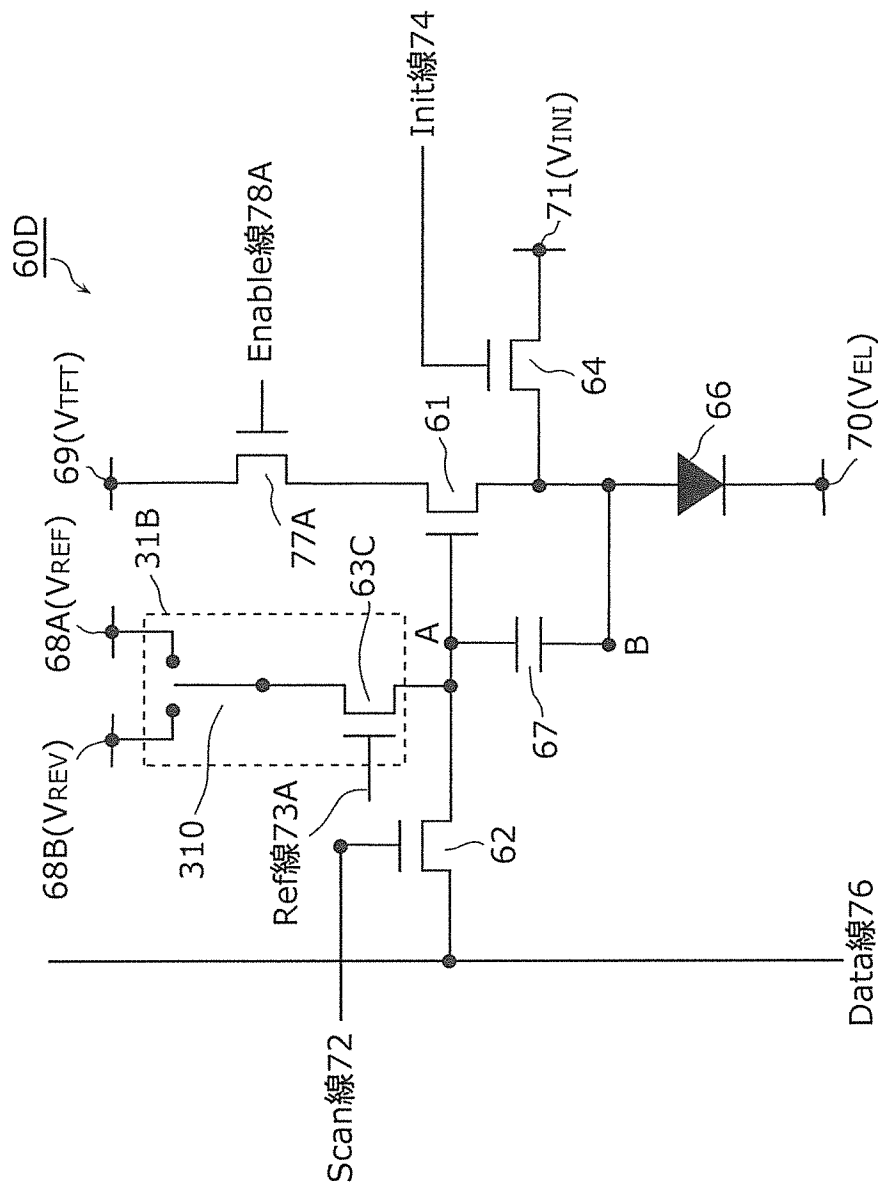
[図6]



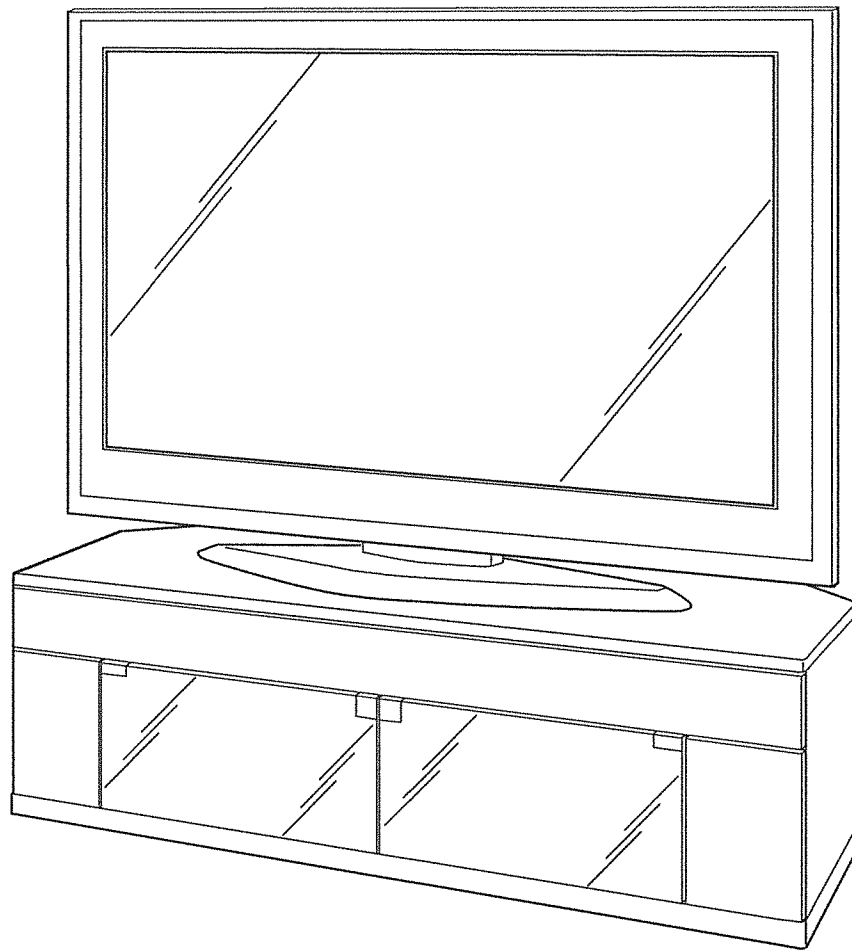
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/003071

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-137498 A (Semiconductor Energy Laboratory Co., Ltd.), 11 July 2013 (11.07.2013), paragraphs [0016] to [0061]; fig. 1 to 5 & US 2013/0021316 A1 & WO 2013/015091 A1 & TW 201313059 A	1-5
A	JP 2011-520139 A (Ignis Innovation Inc.), 14 July 2011 (14.07.2011), paragraphs [0140] to [0147]; fig. 26 to 27 & US 2010/0039458 A1 & EP 2277163 A & WO 2009/127065 A1 & CA 2660598 A & KR 10-2010-0134125 A & CN 102057418 A & TW 200949807 A & CA 2660598 A1	1-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 August, 2014 (18.08.14)

Date of mailing of the international search report
26 August, 2014 (26.08.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/003071

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-164894 A (Sony Corp.), 23 June 2005 (23.06.2005), paragraphs [0029] to [0034]; fig. 9 (Family: none)	1-5
A	JP 2005-275369 A (L.G. Philips LCD Co., Ltd.), 06 October 2005 (06.10.2005), paragraphs [0063] to [0079]; fig. 8 to 11 & US 2005/0212444 A1 & US 2010/0156880 A1 & KR 10-2005-0095148 A & TW 255668 B & CN 1674739 A	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/30, G09G3/20, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-137498 A（株式会社半導体エネルギー研究所）2013.07.11, 【0016】－【0061】, 図1－5 & US 2013/0021316 A1 & WO 2013/015091 A1 & TW 201313059 A	1－5
A	JP 2011-520139 A（イグニス・イノベーション・インコーポレイテッド）2011.07.14, 【0140】－【0147】, 図26－27 & US 2010/0039458 A1 & EP 2277163 A & WO 2009/127065 A1 & CA 2660598 A & KR 10-2010-0134125 A & CN 102057418 A & TW 200949807 A & CA 2660598 A1	1－5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

18.08.2014

国際調査報告の発送日

26.08.2014

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

橋本 直明

2G

9707

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-164894 A (ソニー株式会社) 2005.06.23, 【0029】－【0034】, 図9 (ファミリーなし)	1－5
A	JP 2005-275369 A (エルジー フィリップス エルシーデー カンパニー, リミテッド) 2005.10.06, 【0063】－【0079】, 図8－11 & US 2005/0212444 A1 & US 2010/0156880 A1 & KR 10-2005-0095148 A & TW 255668 B & CN 1674739 A	1－5