

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 3 区分  
 【発行日】平成 24 年 4 月 12 日 (2012.4.12)

【公開番号】特開 2011-4367 (P2011-4367A)  
 【公開日】平成 23 年 1 月 6 日 (2011.1.6)  
 【年通号数】公開・登録公報 2011-001  
 【出願番号】特願 2009-148047 (P2009-148047)  
 【国際特許分類】

H 0 3 K 19/0185 (2006.01)

H 0 3 K 5/04 (2006.01)

【F I】

H 0 3 K 19/00 1 0 1 D

H 0 3 K 5/04

【手続補正書】  
 【提出日】平成 24 年 2 月 24 日 (2012.2.24)  
 【手続補正 1】  
 【補正対象書類名】特許請求の範囲  
 【補正対象項目名】全文  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

低電圧系電源電圧と接地電位を振幅とする入力信号を受け、高電圧系電源電圧と接地電位の間の電圧振幅に変換した出力信号電圧を出力するレベルシフト電圧生成回路と、

前記レベルシフト電圧生成回路の素子と同一の素子構成を有し、低電圧系の閾値電圧と高電圧系の閾値電圧を監視し、入力電圧を低電圧系の論理閾値とし、出力電圧を高電圧系の論理閾値として、入力電圧が低電圧系の論理閾値を横切るとき、出力電圧が高電圧系の論理閾値を横切るように、同期した出力電圧を生成させるレプリカ回路と、

前記レベルシフト電圧生成回路の出力電圧と前記レプリカ回路の出力電圧の変動を調整するためのバイアスを生成し、前記レベルシフト電圧生成回路と前記レプリカ回路に供給するバイアス生成回路と、

を備えたことを特徴とするレベルシフト回路。

【手続補正 2】  
 【補正対象書類名】明細書  
 【補正対象項目名】0 0 7 6  
 【補正方法】変更  
 【補正の内容】  
 【0 0 7 6】

(C) 高周波信号入力時に温度変動が発生しても、入力信号のデューティ比を維持したまま、レベルシフト動作出来る。

上記した実施形態は以下のように付記される(ただし、以下に限定されない)。

(形態 1)

低電圧系電源電圧と接地電位を振幅とする入力信号を受け、高電圧系電源電圧と接地電位の間の電圧振幅に変換した出力信号電圧を出力するレベルシフト電圧生成回路と、

前記レベルシフト電圧生成回路の素子と同一の素子構成を有し、低電圧系の閾値電圧と高電圧系の閾値電圧を監視し、入力電圧を低電圧系の論理閾値とし、出力電圧を高電圧系の論理閾値として、入力電圧が低電圧系の論理閾値を横切るとき、出力電圧が高電圧系の論理閾値を横切るように、同期した出力電圧を生成させるレプリカ回路と、

前記レベルシフト電圧生成回路の出力電圧と前記レプリカ回路の出力電圧の変動を調整するためのバイアスを生成し、前記レベルシフト電圧生成回路と前記レプリカ回路に供給するバイアス生成回路と、

を備えたことを特徴とするレベルシフト回路。

(形態 2)

前記レプリカ回路が、前記低電圧系電源電圧と接地電位で振幅する全帰還接続された低電圧論理回路と、

前記高電圧系電源と接地電位で振幅する全帰還接続され高電圧論理回路と、

を備え、前記低電圧論理回路の低電圧系閾値電圧と前記高電圧論理回路の高電圧系閾値電圧が監視される、ことを特徴とする形態 1 記載のレベルシフト回路。

(形態 3)

前記バイアス生成回路は、前記レプリカ回路の高電圧系の出力と、前記高電圧系閾値電圧を比較する比較回路を備え、

前記比較結果に基づき、前記レベルシフト電圧生成回路と、前記レプリカ回路を調整する電圧を生成する、ことを特徴とする形態 1 又は 2 記載のレベルシフト回路。

(形態 4)

前記レプリカ回路が高電圧系電源電圧と接地電位に接続されたプッシュプル回路を備え、

前記高電圧系電源と前記バイアス生成回路の出力間に接続されたトランジスタと、前記レプリカ回路のプッシュプル回路の高電圧系電源側のトランジスタがカレントミラーを構成する、ことを特徴とする形態 1 記載のレベルシフト回路。

(形態 5)

前記レベルシフト電圧生成回路は、

前記低電圧系電源と前記接地電位間に接続され入力信号を入力する第 1 の論理回路と、

前記バイアス生成回路の出力と前記第 1 の論理回路の出力の間に直列に接続されている第 1 の抵抗素子と容量素子と、

前記高電圧系電源と前記接地電位間に接続された第 1、第 2 のトランジスタを含む第 1 のプッシュプル回路であって、前記第 1 のトランジスタの制御端子は、前記第 1 の抵抗素子と前記容量素子の接続ノードに接続され、前記第 2 のトランジスタの制御端子は、前記第 1 の論理回路の出力に接続された第 1 のプッシュプル回路と、

前記高電圧系電源と前記接地電位間に接続され、前記第 1 のプッシュプル回路の出力を入力し、前記高電圧系電源と前記接地電位間の振幅の出力信号を出力する第 2 の論理回路と、

を備えている、ことを特徴とする形態 1 記載のレベルシフト回路。

(形態 6)

前記レプリカ回路は、

前記低電圧系電源と前記接地電位間に接続され、出力が入力に全帰還され、出力が論理閾値電圧を与える第 3 の論理回路と、

前記高電圧系電源と前記接地電位間に接続された第 3、第 4 のトランジスタを含む第 2 のプッシュプル回路であって、前記第 3 のトランジスタの制御端子は、第 2 の抵抗素子を介して前記バイアス生成回路の出力に接続され、前記第 2 のトランジスタの制御端子は、前記第 3 の論理回路の出力に接続された第 2 のプッシュプル回路と、

前記高電圧系電源と前記接地電位間に接続され、出力が入力に全帰還され、出力が論理閾値電圧を与える第 4 の論理回路と、

を備え、

前記第 3 の論理回路は前記第 1 の論理回路と同一構成とされ、前記第 4 の論理回路は前記第 2 の論理回路と同一構成とされ、前記第 3 のトランジスタは前記第 1 のトランジスタと同一構成とされ、前記第 4 のトランジスタは前記第 2 のトランジスタと同一構成とされ、前記第 2 の抵抗素子は前記第 1 の抵抗素子と同一の抵抗値とされている、ことを特徴とする形態 5 記載のレベルシフト回路。

(形態 7)

前記バイアス生成回路は、

前記レプリカ回路の前記第 4 の論理回路の出力電圧と前記第 2 のプッシュプル回路の出力電圧を電圧比較する比較回路と、

前記高電圧系電源と前記バイアス回路の出力の間に接続され、ダイオード接続された第 5 のトランジスタと、前記バイアス回路の出力と前記接地電位の間に接続され、前記比較回路の出力電圧を制御端子に入力する第 6 のトランジスタと、

を備え、前記第 1 のトランジスタと前記第 5 のトランジスタは同一構成とされ、前記第 2 のトランジスタと前記第 6 のトランジスタは同一構成とされる、形態 5 又は 6 記載のレベルシフト回路。

(形態 8)

前記第 1、第 3、第 5 のトランジスタはカレントミラーを構成する、形態 7 記載のレベルシフト回路。

(形態 9)

レベルシフト電圧生成回路と、レプリカ回路と、バイアス生成回路と、を備え、

前記レベルシフト電圧生成回路は、

低電圧系電源と接地電位間に接続され入力信号を入力する第 1 の論理回路と、

バイアス生成回路の出力と前記第 1 の論理回路の出力の間に直列に接続されている第 1 の抵抗素子と容量素子と、

高電圧系電源と接地電位間に接続された第 1、第 2 のトランジスタを含む第 1 のプッシュプル回路であって、前記第 1 のトランジスタの制御端子は、前記第 1 の抵抗素子と前記容量素子の接続ノードに接続され、前記第 2 のトランジスタの制御端子は、前記第 1 の論理回路の出力に接続された第 1 のプッシュプル回路と、

前記高電圧系電源と前記接地電位間に接続され、前記第 1 のプッシュプル回路の出力を入力し、前記高電圧系電源と前記接地電位間の振幅の出力信号を出力する第 2 の論理回路と、

を備え、

前記レプリカ回路は、

前記低電圧系電源と前記接地電位間に接続され、出力が入力に全帰還され、出力が論理閾値電圧を与える第 3 の論理回路と、

前記高電圧系電源と前記接地電位間に接続された第 3、第 4 のトランジスタを含む第 2 のプッシュプル回路であって、前記第 3 のトランジスタの制御端子は、第 2 の抵抗素子を介して前記バイアス生成回路の出力に接続され、前記第 2 のトランジスタの制御端子は、前記第 3 の論理回路の出力に接続された第 2 のプッシュプル回路と、

前記高電圧系電源と前記接地電位間に接続され、出力が入力に全帰還され、出力が論理閾値電圧を与える第 4 の論理回路と、

を備え、

前記第 3 の論理回路は前記第 1 の論理回路と同一構成とされ、前記第 4 の論理回路は前記第 2 の論理回路と同一構成とされ、前記第 3 のトランジスタは前記第 1 のトランジスタと同一構成とされ、前記第 4 のトランジスタは前記第 2 のトランジスタと同一構成とされ、前記第 2 の抵抗素子は前記第 1 の抵抗素子と同一の抵抗値とされ、

前記バイアス生成回路は、

前記レプリカ回路の前記第 4 の論理回路の出力電圧と前記第 2 のプッシュプル回路の出力電圧を電圧比較する比較回路と、

前記高電圧系電源と前記バイアス回路の出力の間に接続され、ダイオード接続された第 5 のトランジスタと、前記バイアス回路の出力と前記接地電位の間に接続され、前記比較回路の出力電圧を制御端子に入力する第 6 のトランジスタと

を備えたレベルシフト回路。

(形態 10)

前記第 1、第 2、第 3、第 4 の論理回路がインバータ回路を含む形態 9 記載のレベルシ

フト回路。