



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 画素回路21において、有機EL素子 L_r 、 L_g 、 L_b のアノード端子に固定の電圧 ELV_{DD} を印加し、カソード端子をトランジスタ $T2_r$ 、 $T2_g$ 、 $T2_b$ のドレイン端子にそれぞれ接続する。トランジスタ $T2_r$ 、 $T2_g$ 、 $T2_b$ のソース端子に3種類の電圧をそれぞれ印加し、ゲート端子をトランジスタ $T1$ の一方の導通端子に接続する。第1サブフレーム期間では、電圧 ELV_{SS_R} をローレベル、電圧 ELV_{SS_G} 、 ELV_{SS_B} をハイレベルに制御して、有機EL素子 L_r だけを発光させる。サブフレーム期間の先頭で黒表示を行い、入力映像信号に対して有機EL素子の発光期間の長さの差に起因する輝度の差を補償するための補正処理を行う。

明 細 書

発明の名称：有機エレクトロルミネッセンス表示装置

技術分野

[0001] 本発明は、表示装置に関し、特に、有機エレクトロルミネッセンス表示装置に関する。

背景技術

[0002] 近年、有機エレクトロルミネッセンス（Electro Luminescence：以下、ELという）素子を含む画素回路を備えた有機EL表示装置が実用化されている。また、1フレーム期間を複数のサブフレーム期間に分割し、各サブフレーム期間において赤映像信号に基づく赤サブフレーム、緑映像信号に基づく緑サブフレーム、および、青映像信号に基づく青サブフレームなどを順に表示するフィールドシーケンシャル方式の表示装置が知られている。これらの技術を組み合わせることにより、フィールドシーケンシャル方式の有機EL表示装置を構成することができる。有機EL素子には、例えば、有機発光ダイオード（Organic Light Emitting Diode：OLED）が使用される。

[0003] フィールドシーケンシャル方式の有機EL表示装置については、従来から各種の画素回路が知られている。図17は、特許文献1に記載された有機EL表示装置の画素回路の回路図である。第1サブフレーム期間において走査線Siの電圧がローレベルになると、トランジスタT1がオンし、データ線Djの電圧（赤映像信号に応じた電圧）がトランジスタT2のゲート端子とソース端子の間に書き込まれる。トランジスタT1がオフした後、発光制御線ERiの電圧が約1サブフレーム期間に亘ってローレベルになる。このとき、トランジスタT3rがオンし、有機EL素子LrがトランジスタT2のゲートーソース間電圧に応じた輝度で赤色に発光する。これにより、第1サブフレーム期間では赤サブフレームが表示される。同様の方法で、第2サブフレーム期間では緑サブフレームが表示され、第3サブフレーム期間では青サブフレームが表示される。

[0004] 図18は、特許文献2に記載された有機EL表示装置の画素回路の回路図である。第1サブフレーム期間において走査線 S_i の電圧がローレベルになると、トランジスタ T_1 がオンし、データ線 D_j の電圧（赤映像信号に応じた電圧）がトランジスタ T_{2r} 、 T_{2g} 、 T_{2b} のゲート端子とソース端子の間に書き込まれる。トランジスタ T_1 がオフした後、約1サブフレーム期間に亘って電源電圧 $ELVDD_R_i$ がハイレベルになり、有機EL素子 L_r がトランジスタ T_{2r} のゲート-ソース間電圧に応じた輝度で赤色に発光する。このとき、電源電圧 $ELVDD_G_i$ 、 $ELVDD_B_i$ はローレベルである。これにより、第1サブフレーム期間では赤サブフレームが表示される。同様の方法で、第2サブフレーム期間では緑サブフレームが表示され、第3サブフレーム期間では青サブフレームが表示される。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開2005-148749号公報

特許文献2：日本国特開2005-148751号公報

発明の概要

発明が解決しようとする課題

[0006] 図17に示す画素回路を備えた有機EL表示装置では、各行の画素回路内のトランジスタ T_{3r} 、 T_{3g} 、 T_{3b} を異なるタイミングでオン状態に制御するために、画素回路の行ごとに設けられた発光制御線 ER_i 、 EG_i 、 EB_i の電圧を制御する発光制御回路が必要とされる。このため、図17に示す画素回路を備えた有機EL表示装置では、駆動回路の回路規模が大きくなる。また、図17に示す画素回路は5個のトランジスタを含むが、画素回路内のトランジスタはより少ないことが好ましい。

[0007] 図18に示す画素回路を備えた有機EL表示装置では、各行の画素回路に供給される電源電圧 $ELVDD_R_i$ 、 $ELVDD_G_i$ 、 $ELVDD_B_i$ を異なるタイミングでハイレベルに制御する必要がある。このため、図1

8に示す画素回路を備えた有機EL表示装置では、電源回路の回路規模が大きくなる。

[0008] それ故に、本発明は、回路規模が小さいフィールドシーケンシャル方式の有機EL表示装置を提供することを目的とする。

課題を解決するための手段

[0009] 本発明の第1の局面は、フィールドシーケンシャル方式の有機エレクトロルミネッセンス表示装置であって、

複数の走査線と、

複数のデータ線と、

前記走査線と前記データ線の交点に対応して配置された複数の画素回路と

、

前記走査線を駆動する走査線駆動回路と、

前記データ線を駆動するデータ線駆動回路と、

複数の色に対応する複数の電源電圧を制御する電源回路とを備え、

前記画素回路は、

前記複数の色に対応する複数の有機エレクトロルミネッセンス素子と、

それぞれが対応する有機エレクトロルミネッセンス素子に直列に接続された複数の駆動トランジスタと、

前記走査線に接続されたゲート端子と、前記データ線に接続された第1導通端子と、前記複数の駆動トランジスタのゲート端子に接続された第2導通端子とを有する書き込み制御トランジスタとを含み、

前記有機エレクトロルミネッセンス素子は、固定のハイレベル電源電圧が印加されたアノード端子と、対応する駆動トランジスタのドレイン端子に接続されたカソード端子とを有し、

前記駆動トランジスタのソース端子には、前記複数の電源電圧のうち、対応する有機エレクトロルミネッセンス素子の色に対応する電源電圧が印加され、

前記電源回路は、各サブフレーム期間において、サブフレーム期間の色に

対応する電源電圧を前記有機エレクトロルミネッセンス素子が発光し得る第 1 レベルに制御し、他の電源電圧を前記有機エレクトロルミネッセンス素子が発光しない第 2 レベルに制御することを特徴とする。

- [0010] 本発明の第 2 の局面は、本発明の第 1 の局面において、
サブフレーム期間ごとに表示オフ期間が設けられ、
前記走査線駆動回路は、表示オフ期間ではすべての前記走査線に対して、
前記書き込み制御トランジスタがオンするオン電圧を印加し、
前記データ線駆動回路は、表示オフ期間ではすべての前記データ線に対して、
前記有機エレクトロルミネッセンス素子の発光を停止させる表示オフ電圧を印加することを特徴とする。

- [0011] 本発明の第 3 の局面は、本発明の第 2 の局面において、
入力映像信号に対して、前記有機エレクトロルミネッセンス素子の発光期間の長さの差に起因する輝度の差を補償するための補正処理を行い、補正後の映像信号を前記データ線駆動回路に対して出力する補正部をさらに備える。

- [0012] 本発明の第 4 の局面は、本発明の第 3 の局面において、
前記有機エレクトロルミネッセンス素子の特性データを色ごとに記憶する特性データ記憶部をさらに備え、
前記補正部は、前記特性データ記憶部に記憶された特性データを用いて前記補正処理を行うことを特徴とする。

- [0013] 本発明の第 5 の局面は、本発明の第 1 の局面において、
前記ハイレベル電源電圧と前記第 1 レベルの電圧との差は前記有機エレクトロルミネッセンス素子の発光閾値電圧よりも大きく、
前記ハイレベル電源電圧と前記第 2 レベルの電圧との差は前記有機エレクトロルミネッセンス素子の発光閾値電圧よりも小さいことを特徴とする。

- [0014] 本発明の第 6 の局面は、本発明の第 5 の局面において、
前記第 2 レベルの電圧は、前記ハイレベル電源電圧であることを特徴とする。

- [0015] 本発明の第 7 の局面は、本発明の第 2 の局面において、
前記走査線駆動回路は、第 1 制御信号に従いすべての前記走査線に対して前記オン電圧を印加し、第 2 制御信号に従いすべての前記走査線に対して前記書き込み制御トランジスタがオフするオフ電圧を印加することを特徴とする。
- [0016] 本発明の第 8 の局面は、本発明の第 6 の局面において、
前記走査線駆動回路は、単位回路を多段接続した構成を有し、
前記単位回路は、
前記走査線に接続された出力端子と、
前記第 1 制御信号に従い前記出力端子に前記オン電圧を印加する第 1 トランジスタと、
前記第 2 制御信号に従い前記出力端子に前記オフ電圧を印加する第 2 トランジスタとを含むことを特徴とする。
- [0017] 本発明の第 9 の局面は、本発明の第 1 の局面において、
前記有機エレクトロルミネッセンス素子のアノード端子に前記ハイレベル電源電圧を印加するブランケット電極をさらに備える。
- [0018] 本発明の第 10 の局面は、本発明の第 1 の局面において、
前記電源回路は、第 1 ～第 3 電源電圧を制御し、
前記画素回路は、
前記ハイレベル電源電圧が印加されたアノード端子を有し、赤、緑、および、青にそれぞれ発光する第 1 ～第 3 有機エレクトロルミネッセンス素子と、
前記第 1 ～第 3 有機エレクトロルミネッセンス素子のカソード端子にそれぞれ接続されたドレイン端子と、前記第 1 ～第 3 電源電圧がそれぞれ印加されたソース端子と、前記書き込み制御トランジスタの他方の導通端子に接続されたゲート端子とを有する第 1 ～第 3 駆動トランジスタとを含むことを特徴とする。
- [0019] 本発明の第 11 の局面は、本発明の第 1 の局面において、

前記走査線駆動回路は、前記画素回路と同じパネル上に形成されていることを特徴とする。

[0020] 本発明の第１２の局面は、本発明の第１１の局面において、
前記駆動トランジスタは酸化物半導体を用いて構成され、
前記書き込み制御トランジスタ、および、前記走査線駆動回路に含まれるトランジスタは低温ポリシリコンを用いて構成されていることを特徴とする。

[0021] 本発明の第１３の局面は、本発明の第１の局面において、
複数の白用データ線をさらに備え、
前記画素回路は、
白色に対応する白色有機エレクトロルミネッセンス素子と、
前記白色有機エレクトロルミネッセンス素子に直列に接続された白用駆動トランジスタと、
前記走査線に接続されたゲート端子と、前記白用データ線に接続された第１導通端子と、前記白用駆動トランジスタのゲート端子に接続された第２導通端子とを有する白用書き込み制御トランジスタとを含み、
前記白色有機エレクトロルミネッセンス素子は、前記ハイレベル電源電圧が印加されたアノード端子と、前記白用駆動トランジスタのドレイン端子に接続されたカソード端子とを有し、
前記白用駆動トランジスタのソース端子には、白用電源電圧が印加されていることを特徴とする。

[0022] 本発明の第１４の局面は、本発明の第１３の局面において、
前記電源回路は、各サブフレーム期間において、前記白用電源電圧を前記白色有機エレクトロルミネッセンス素子が発光し得るレベルに制御することを特徴とする。

[0023] 本発明の第１５の局面は、本発明の第１３の局面において、
前記白用電源電圧は、固定のローレベル電源電圧であることを特徴とする。

- [0024] 本発明の第16の局面は、本発明の第13の局面において、
前記白色有機エレクトロルミネッセンス素子は、各サブフレーム期間において、前記複数の有機エレクトロルミネッセンス素子のいずれかが発光する期間に発光することを特徴とする。
- [0025] 本発明の第17の局面は、本発明の第16の局面において、
前記白色有機エレクトロルミネッセンス素子は、各サブフレーム期間において同じ輝度で発光する。
- [0026] 本発明の第18の局面は、本発明の第16の局面において、
前記白色有機エレクトロルミネッセンス素子は、各サブフレーム期間において、前記複数の有機エレクトロルミネッセンス素子と同じ輝度の比率で発光する。
- [0027] 本発明の第19の局面は、フィールドシーケンシャル方式の有機エレクトロルミネッセンス表示装置であって、
複数の走査線と、
複数のデータ線と、
前記走査線と前記データ線の交点に対応して配置された複数の画素回路と、
前記走査線を駆動する走査線駆動回路と、
前記データ線を駆動するデータ線駆動回路と、
複数の色に対応する複数の電源電圧を制御する電源回路とを備え、
前記画素回路は、
前記複数の色に対応する複数の有機エレクトロルミネッセンス素子と、
それぞれが対応する有機エレクトロルミネッセンス素子に直列に接続された複数の駆動トランジスタと、
前記走査線に接続されたゲート端子と、前記データ線に接続された第1導通端子と、前記複数の駆動トランジスタのゲート端子に接続された第2導通端子とを有する書き込み制御トランジスタとを含み、
前記有機エレクトロルミネッセンス素子は、固定のハイレベル電源電圧が

印加されたアノード端子と、対応する駆動トランジスタのドレイン端子に接続されたカソード端子とを有し、

前記駆動トランジスタのソース端子には、前記複数の電源電圧のうち、対応する有機エレクトロルミネッセンス素子の色に対応する電源電圧が印加され、

前記電源回路は、各サブフレーム期間において、サブフレーム期間の色に対応する電源電圧を第１レベルに制御し、他の電源電圧を第２レベルに制御し、

前記ハイレベル電源電圧と前記第１レベルの電圧との差は前記有機エレクトロルミネッセンス素子の発光閾値電圧よりも大きく、

前記ハイレベル電源電圧と前記第２レベルの電圧との差は前記有機エレクトロルミネッセンス素子の発光閾値電圧よりも小さいことを特徴とする。

発明の効果

[0028] 上記第１の局面によれば、複数の色に対応した複数の電源電圧を電源回路を用いて制御することにより有機ＥＬ素子の発光を制御できるので、画素回路内の発光制御トランジスタや駆動回路内の発光制御回路は不要となる。また、各行の画素回路に供給される電源電圧を制御する場合と比べて、電源回路の構成が簡単になる。したがって、回路規模が小さいフィールドシーケンシャル方式の有機ＥＬ表示装置を提供することができる。

[0029] 上記第２の局面によれば、表示オフ期間において有機ＥＬ素子の発光を停止させて黒挿入を行うことにより、色割れを低減し、表示品位を高くすることができる。

[0030] 上記第３の局面によれば、有機ＥＬ素子の発光期間の長さの差に起因する輝度の差を補償する補正処理を行うことにより、発光制御トランジスタと発光制御回路を用いることなく、画像を正しい輝度で表示することができる。

[0031] 上記第４の局面によれば、有機ＥＬ素子の特性が色ごとに異なる点を考慮して、入力映像信号に対して好適な補正処理を行うことができる。

[0032] 上記第５の局面によれば、第１および第２レベルを上記のように決定する

ことにより、発光制御トランジスタと発光制御回路を用いることなく、有機EL素子の発光を制御することができる。

[0033] 上記第6の局面によれば、第2レベルの電圧としてハイレベル電源電圧を用いることにより、電源電圧の種類を減らし、電源回路の構成を簡単に行うことができる。

[0034] 上記第7の局面によれば、第1および第2制御信号を用いて、すべての走査線に対してオン電圧およびオフ電圧を選択的に印加することができる。

[0035] 上記第8の局面によれば、第1および第2トランジスタを含む単位回路を多段接続することにより、すべての走査線に対してオン電圧およびオフ電圧を選択的に印加する走査線駆動回路を構成することができる。

[0036] 上記第9の局面によれば、ブランケット電極を用いて、画素回路に含まれる有機EL素子のアノード端子にハイレベル電源電圧を容易に印加することができる。

[0037] 上記第10の局面によれば、赤サブフレーム、緑サブフレーム、および、青サブフレームを表示する、回路規模が小さいフィールドシーケンシャル方式の有機EL表示装置を提供することができる。

[0038] 上記第11の局面によれば、画素回路と走査線駆動回路を同じパネル上に形成することにより、有機EL表示装置を小型化することができる。

[0039] 上記第12の局面によれば、駆動トランジスタ、書き込み制御トランジスタ、および、走査線駆動回路内のトランジスタをすべて酸化物半導体を用いて構成した場合や、これらのトランジスタをすべて低温ポリシリコンで構成した場合と比べて、トランジスタのレイアウト面積を削減することができる。

[0040] 上記第13の局面によれば、白色有機EL素子を設けることにより、各サブフレーム期間における有機EL素子の輝度を調整することができる。白色有機EL素子が発光する分だけ有機EL素子の輝度を低くできるので、有機EL素子の寿命を延ばすことができる。また、有機EL素子と白色有機EL素子を同じ期間で発光させることにより、表示画面に発生する色割れを抑制

することができる。白サブフレーム期間を設けないので、サブフレーム期間の長さを保ちながら、これらの効果を得ることができる。

[0041] 上記第14の局面によれば、有機EL素子と同じ発光制御を白色有機EL素子について行いながら、第13の局面の効果を得ることができる。

[0042] 上記第15の局面によれば、白用電源電圧をローレベル電源電圧に固定することにより、電源回路の構成を簡単にすることができる。

[0043] 上記第16の局面によれば、各サブフレーム期間において白色有機EL素子を他の有機EL素子と同じ期間だけ発光させながら、第13の局面の効果を得ることができる。

[0044] 上記第17の局面によれば、各サブフレーム期間における白色有機エレクトロルミネッセンス素子の輝度を容易に求めることができる。

[0045] 上記第18の局面によれば、白色有機エレクトロルミネッセンス素子は、各サブフレーム期間において複数の有機エレクトロルミネッセンス素子と同じ輝度の比率で発光するので、色割れをさらに低減することができる。

[0046] 上記第19の局面によれば、複数の色に対応した複数の電源電圧を電源回路を用いて制御することにより有機EL素子の発光を制御できるので、画素回路内の発光制御トランジスタや駆動回路内の発光制御回路は不要となる。また、各行の画素回路に供給される電源電圧を制御する場合と比べて、電源回路の構成が簡単になる。また、第1および第2レベルを上記のように決定することにより、発光制御トランジスタと発光制御回路を用いることなく、有機EL素子の発光を制御することができる。したがって、回路規模が小さいフィールドシーケンシャル方式の有機EL表示装置を提供することができる。

図面の簡単な説明

[0047] [図1]本発明の第1の実施形態に係る有機EL表示装置の構成を示すブロック図である。

[図2]図1に示す有機EL表示装置の画素回路の回路図である。

[図3]図1に示す有機EL表示装置のタイミングチャートである。

[図4]図 1 に示す有機 E L 表示装置の走査線駆動回路の構成を示すブロック図である。

[図5]図 4 に示す走査線駆動回路の単位回路の回路図である。

[図6]図 4 に示す走査線駆動回路のタイミングチャートである。

[図7]図 2 に示す画素回路の有機 E L 素子の電圧－輝度特性を示す図である。

[図8]図 2 に示す画素回路における電圧の分配を示す図である。

[図9]図 1 に示す有機 E L 表示装置の効果を説明するための図である。

[図10]図 2 に示す画素回路のレイアウトを模式的に示す図である。

[図11]比較例に係る画素回路のレイアウトを示す模式的に示す図である。

[図12]金属蒸着法で金属配線を形成する様子を示す図である。

[図13]本発明の第 3 の実施形態に係る有機 E L 表示装置の構成を示すブロック図である。

[図14]図 1 3 に示す有機 E L 表示装置の画素回路の回路図である。

[図15]図 1 3 に示す有機 E L 表示装置のタイミングチャートである。

[図16]図 1 3 に示す有機 E L 表示装置における白色有機 E L 素子の輝度を示す図である。

[図17]従来の有機 E L 表示装置の画素回路の回路図である。

[図18]従来の有機 E L 表示装置の画素回路の回路図である。

発明を実施するための形態

[0048] (第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る有機 E L 表示装置の構成を示すブロック図である。図 1 に示す有機 E L 表示装置 1 0 は、有機 E L パネル 1 1、表示制御回路 1 2、走査線駆動回路 1 3、データ線駆動回路 1 4、電源回路 1 5、補正部 1 6、および、特性データ記憶部 1 7 を備えたフィールドシーケンシャル方式の有機 E L 表示装置である。有機 E L 表示装置 1 0 では、1 フレーム期間は、第 1 ～第 3 サブフレーム期間に分割される。有機 E L 表示装置 1 0 は、第 1 サブフレーム期間では赤映像信号に基づき赤サブフレームを表示し、第 2 サブフレーム期間では緑映像信号に基づき緑サブフレーム

を表示し、第3サブフレーム期間では青映像信号に基づき青サブフレームを表示する。これにより、有機EL表示装置10は、カラー表示を行う。以下、 m および n は2以上の整数、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数であるとする。

[0049] 有機ELパネル11は、 n 本の走査線 $S_1 \sim S_n$ 、 m 本のデータ線 $D_1 \sim D_m$ 、 $(m \times n)$ 個の画素回路21、および、ブランケット電極22を含んでいる。走査線 $S_1 \sim S_n$ は、互いに平行に配置される。データ線 $D_1 \sim D_m$ は、走査線 $S_1 \sim S_n$ と直交するように互いに平行に配置される。走査線 $S_1 \sim S_n$ とデータ線 $D_1 \sim D_m$ は、 $(m \times n)$ 箇所では交差する。 $(m \times n)$ 個の画素回路21は、走査線 $S_1 \sim S_n$ とデータ線 $D_1 \sim D_m$ の交点に対応して配置される。画素回路21は、赤色に発光する有機EL素子、緑色に発光する有機EL素子、および、青色に発光する有機EL素子を含み、赤色、緑色、および、青色を時分割で表示する画素として機能する。ブランケット電極22は、画素回路21の配置領域の全体に対応して設けられる。

[0050] 表示制御回路12は、走査線駆動回路13、データ線駆動回路14、および、電源回路15に対して、それぞれ、制御信号 $C_1 \sim C_3$ を出力する。また、表示制御回路12は、有機EL表示装置10の外部から供給された映像信号 X_1 を補正部16に対して出力する。特性データ記憶部17は、補正部16における補正処理で必要とされる特性データを記憶している。補正部16は、特性データ記憶部17に記憶された特性データを用いて、表示制御回路12から出力された映像信号 X_1 に対して補正処理（詳細は後述）を行い、補正後の映像信号 X_2 をデータ線駆動回路14に対して出力する。

[0051] 走査線駆動回路13は、制御信号 C_1 に基づき走査線 $S_1 \sim S_n$ を駆動する。データ線駆動回路14は、制御信号 C_2 と補正後の映像信号 X_2 に基づきデータ線 $D_1 \sim D_m$ を駆動する。電源回路15は、ブランケット電極22に対して固定のハイレベル電源電圧 $ELVDD$ を出力すると共に、制御信号 C_3 に基づき、画素回路21に供給される3種類の電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ を制御する（詳細は後述）。電源電圧 E

ELVSS_R、ELVSS_G、ELVSS_Bがハイレベルのときのレベルは、ハイレベル電源電圧ELVDDのレベルに等しい。走査線駆動回路13は、画素回路21と同じ有機ELパネル11上に形成される（ゲートドライバモノリシック構成）。

[0052] 図2は、i行j列目の画素回路21の回路図である。画素回路21は、トランジスタT1、T2r、T2g、T2b、容量Cr、Cg、Cb、および、有機EL素子Lr、Lg、Lbを含んでいる。有機EL素子Lr、Lg、Lbは、それぞれ、赤、緑、および、青に発光する有機発光層によって実現される。トランジスタT1、T2r、T2g、T2bは、Nチャネル型の薄膜トランジスタ（Thin Film Transistor：TFT）である。トランジスタT1、T2r、T2g、T2bは、例えば、インジウムガリウム亜鉛酸化物（Indium Gallium Zinc Oxide：IGZO）などの酸化物半導体、アモルファスシリコン、微結晶シリコン、低温ポリシリコン、単結晶シリコンなどを用いて構成される。

[0053] 有機EL素子Lr、Lg、Lbのアノード端子は、ブランケット電極22に接続される。有機EL素子Lr、Lg、Lbのアノード端子には、固定のハイレベル電源電圧ELVDDが印加される。有機EL素子Lr、Lg、Lbのカソード端子は、それぞれ、トランジスタT2r、T2g、T2bのドレイン端子に接続される。トランジスタT2r、T2g、T2bのソース端子には、それぞれ、電源回路15から出力された可変の電源電圧ELVSS_R、ELVSS_G、ELVSS_Bが印加される。容量Cr、Cg、Cbは、それぞれ、トランジスタT2r、T2g、T2bのゲート端子とソース端子の間に設けられる。トランジスタT1のゲート端子は、走査線Siに接続される。トランジスタT1の一方の導通端子（図2では左側の端子）は、データ線Djに接続される。トランジスタT1の他方の導通端子は、トランジスタT2r、T2g、T2bのゲート端子に接続される。以下、トランジスタT2rなどのゲート端子が接続されたノードをNaという。

[0054] 走査線Siの電圧がハイレベルである間、トランジスタT1はオンし、ノ

ードN aにはデータ線D jの電圧が印加される。走査線S iの電圧がローレベルになると、トランジスタT 1はオフする。トランジスタT 1がオフした後、ノードN aはフローティング状態になり、容量C r、C g、C bにはそれぞれトランジスタT 2 r、T 2 g、T 2 bのゲートソース間電圧が保持される。トランジスタT 2 rと有機EL素子L rを流れる駆動電流は、トランジスタT 2 rのゲートソース間電圧に応じて変化する。有機EL素子L rは、駆動電流に応じた輝度で発光する。有機EL素子L g、L bについても、これと同様である。トランジスタT 1は書き込み制御トランジスタとして機能し、トランジスタT 2 r、T 2 g、T 2 bは駆動トランジスタとして機能する。

[0055] 図3は、有機EL表示装置10のタイミングチャートである。図3において、EMR 1～EMR nは、それぞれ、1～n行目の画素回路21内の有機EL素子L rの発光期間を示す。EMG 1～EMG nは、それぞれ、1～n行目の画素回路21内の有機EL素子L gの発光期間を示す。EMB 1～EMB nは、それぞれ、1～n行目の画素回路21内の有機EL素子L bの発光期間を示す。

[0056] 各サブフレーム期間の先頭には、黒表示期間が設けられる。黒表示期間は、表示オフ期間に該当する。黒表示期間では、走査線S 1～S nの電圧、および、電源電圧ELVSS_R、ELVSS_G、ELVSS_Bはハイレベルに制御され、データ線D 1～D mには黒表示のための電圧V Zが印加される。このため、すべての画素回路21において、トランジスタT 1がオンし、ノードN aにはトランジスタT 1を介して電圧V Zが印加される。このとき、駆動電流はトランジスタT 2 r、T 2 g、T 2 bを流れないので、有機EL素子L r、L g、L bは発光しない。したがって、黒表示期間では黒画面が表示される。i行目の画素回路21内の有機EL素子L r、L g、L bは、それぞれ、第1～第3サブフレーム期間の第iライン期間まで発光しない。

[0057] 第1サブフレーム期間では、電源回路15は、電源電圧ELVSS_Rを

ローレベルに制御し、電源電圧 $ELVSS_G$ 、 $ELVSS_B$ をハイレベルに制御する。第1サブフレーム期間では、電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ は、次式(1)～(3)を満たすように制御される。

$$ELVDD - ELVSS_R \gg V_{th_R} \quad \dots (1)$$

$$ELVDD - ELVSS_G \ll V_{th_G} \quad \dots (2)$$

$$ELVDD - ELVSS_B \ll V_{th_B} \quad \dots (3)$$

ただし、 V_{th_R} 、 V_{th_G} 、 V_{th_B} は、それぞれ、有機EL素子 L_r 、 L_g 、 L_b の発光閾値電圧であり、記号 $\gg$ は十分に大きいことを示し、記号 $\ll$ は十分に小さいことを示す。

[0058] 第1サブフレーム期間の第 i ライン期間では、 i 行目の画素回路21が選択され、 i 行目の画素回路21に対する書き込みが行われる。より詳細には、第 i ライン期間の開始時に走査線 S_i の電圧がハイレベルに変化すると、トランジスタ T_1 がオンし、ノード N_a にはトランジスタ T_1 を介してデータ線 D_j の電圧（赤映像信号に応じた電圧）が印加される。第 i ライン期間の終了時に走査線 S_i の電圧がローレベルに変化すると、トランジスタ T_1 はオフする。これ以降、容量 C_r 、 C_g 、 C_b には、それぞれ、トランジスタ T_{2r} 、 T_{2g} 、 T_{2b} のゲートソース間電圧が保持される。第1サブフレーム期間では式(1)～(3)が成立するので、トランジスタ T_{2r} と有機EL素子 L_r にはトランジスタ T_{2r} のゲートソース間電圧と閾値電圧に応じた駆動電流が流れる。有機EL素子 L_r は、書き込みが行われた後、第1サブフレーム期間の終了時に電源電圧 $ELVSS_R$ がハイレベルに変化するまで、駆動電流に応じた輝度で赤色に発光する（図3の $EMR_1 \sim EMR_n$ を参照）。有機EL素子 L_g 、 L_b は、第1サブフレーム期間では発光しない。

[0059] 第2サブフレーム期間では、電源回路15は、電源電圧 $ELVSS_G$ をローレベルに制御し、電源電圧 $ELVSS_R$ 、 $ELVSS_B$ をハイレベルに制御する。第2サブフレーム期間では、電源電圧 $ELVSS_R$ 、 EL

VSS_G 、 $ELVSS_B$ は、次式(4)～(6)を満たすように制御される。

$$ELVDD - ELVSS_R \ll V_{th_R} \quad \dots (4)$$

$$ELVDD - ELVSS_G \gg V_{th_G} \quad \dots (5)$$

$$ELVDD - ELVSS_B \ll V_{th_B} \quad \dots (6)$$

[0060] 第2サブフレーム期間の第*i*ライン期間では、*i*行目の画素回路21が選択され、*i*行目の画素回路21に対する書き込みが行われる。ただし、データ線D_jの電圧は、緑映像信号に応じた電圧である。第2サブフレーム期間では式(4)～(6)が成立するので、トランジスタT_{2g}と有機EL素子L_gにはトランジスタT_{2g}のゲートソース間電圧と閾値電圧に応じた駆動電流が流れる。有機EL素子L_gは、書き込みが行われた後、第2サブフレーム期間の終了時に電源電圧 $ELVSS_G$ がハイレベルに変化するまで、駆動電流に応じた輝度で緑色に発光する(図3のEMG₁～EMG_nを参照)。有機EL素子L_r、L_bは、第2サブフレーム期間では発光しない。

[0061] 第3サブフレーム期間では、電源回路15は、電源電圧 $ELVSS_B$ をローレベルに制御し、電源電圧 $ELVSS_R$ 、 $ELVSS_G$ をハイレベルに制御する。第3サブフレーム期間では、電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ は、次式(7)～(9)を満たすように制御される。

$$ELVDD - ELVSS_R \ll V_{th_R} \quad \dots (7)$$

$$ELVDD - ELVSS_G \ll V_{th_G} \quad \dots (8)$$

$$ELVDD - ELVSS_B \gg V_{th_B} \quad \dots (9)$$

[0062] 第3サブフレーム期間の第*i*ライン期間では、*i*行目の画素回路21が選択され、*i*行目の画素回路21に対する書き込みが行われる。ただし、データ線D_jの電圧は、青映像信号に応じた電圧である。第3サブフレーム期間では式(7)～(9)が成立するので、トランジスタT_{2b}と有機EL素子L_bにはトランジスタT_{2b}のゲートソース間電圧と閾値電圧に応じた駆動電流が流れる。有機EL素子L_bは、書き込みが行われた後、第3サブ

レーム期間の終了時に電源電圧 E_{LVSS_B} がハイレベルに変化するまで、駆動電流に応じた輝度で青色に発光する（図3の $EMB1 \sim EMBn$ を参照）。有機EL素子 L_r 、 L_g は、第3サブフレーム期間では発光しない。

[0063] 図4は、走査線駆動回路13の構成を示すブロック図である。走査線駆動回路13は、 n 個の単位回路31を多段接続した構成を有する。以下、 i 段目の単位回路31を SRi という。単位回路31は、クロック端子 CK 、全オン制御端子 AON 、クリア端子 CLR 、セット端子 S 、リセット端子 R 、および、出力端子 Q を有する。表示制御回路12から走査線駆動回路13に出力される制御信号 $C1$ には、2相のクロック信号 $CK1$ 、 $CK2$ 、全オン制御信号 ALL_ON 、クリア信号 $CLEAR$ 、ゲートスタートパルス GSP 、および、ゲートエンドパルス GEP が含まれる。走査線駆動回路13は、これらの信号に基づき、 n 個の出力信号 $Q1 \sim Qn$ を出力する。走査線駆動回路13の出力信号 $Q1 \sim Qn$ は、それぞれ、走査線 $S1 \sim Sn$ に印加される。

[0064] 全オン制御信号 ALL_ON とクリア信号 $CLEAR$ は、それぞれ、各段の単位回路31の全オン制御端子 AON とクリア端子 CLR に供給される。クロック信号 $CK1$ は、奇数段目の単位回路31のクロック端子 CK に供給される。クロック信号 $CK2$ は、偶数段目の単位回路31のクロック端子 CK に供給される。ゲートスタートパルス GSP は、1段目の単位回路 $SR1$ のセット端子 S に供給される。2～ n 段目の単位回路31のセット端子 S には、前段の単位回路31の出力信号が供給される。ゲートエンドパルス GEP は、 n 段目の単位回路 SRn のリセット端子 R に供給される。1～($n-1$)段目の単位回路31のリセット端子 R には、次段の単位回路31の出力信号が供給される。

[0065] 図5は、単位回路31の回路図である。単位回路31は、トランジスタ $T11 \sim T16$ を含んでいる。トランジスタ $T11 \sim T16$ は、Nチャネル型のTFTである。トランジスタ $T11 \sim T16$ は、画素回路21内のトランジスタと同様に、例えば、IGZOなどの酸化物半導体、アモルファスシリ

コン、微結晶シリコン、低温ポリシリコン、単結晶シリコンなどを用いて構成される。

[0066] トランジスタT11のドレイン端子とゲート端子は、セット端子Sに接続される。トランジスタT11のソース端子とトランジスタT15のドレイン端子は、トランジスタT12のゲート端子に接続される（以下、トランジスタT12のゲート端子が接続されたノードをNbという）。トランジスタT12のドレイン端子は、クロック端子CKに接続される。トランジスタT13のドレイン端子には、ハイレベル電源電圧DCが印加される。トランジスタT12、T13のソース端子、および、トランジスタT14、T16のドレイン端子は、出力端子Qに接続される。トランジスタT14～T16のソース端子には、ローレベル電源電圧VSSが印加される。トランジスタT13のゲート端子は、全オン制御端子AONに接続される。トランジスタT14、T15のゲート端子は、リセット端子Rに接続される。トランジスタT16のゲート端子は、クリア端子CLRに接続される。トランジスタT12のゲート端子とドレイン端子の間には寄生容量Cgdが存在し、トランジスタT12のゲート端子とソース端子の間には寄生容量Cgsが存在する。なお、走査線駆動回路13に供給されるハイレベル電源電圧DC、および、ローレベル電源電圧VSSは、有機ELパネル11に供給されるハイレベル電源電圧ELVDD、および、電源電圧ELVSS_R、ELVSS_G、ELVSS_Bとは一般的には異なる。

[0067] 図6は、走査線駆動回路13のタイミングチャートである。クロック信号CK1は、所定の時間ずつハイレベルとローレベルになる信号である。クロック信号CK2は、クロック信号CK1の反転信号である。全オン制御信号ALL_ONは、黒表示期間においてハイレベルになる。ゲートスタートパルスGSPとクリア信号CLEARは、黒表示期間の後にクロック信号CK1の半周期だけハイレベルになる。ゲートエンドパルスGEPは、黒表示期間の前にクロック信号CK1の半周期だけハイレベルになる。

[0068] 黒表示期間の開始時に、全オン制御信号ALL_ONがハイレベルに変化

する。これに伴い、すべての単位回路 31 においてトランジスタ T13 がオンし、出力信号 Q1 ~ Qn はハイレベルになる。黒表示期間の終了時に、全オン制御信号 ALL_ON はローレベルに変化し、クリア信号 CLEAR がハイレベルに変化する。これに伴い、すべての単位回路 31 においてトランジスタ T13 がオフし、トランジスタ T16 がオンし、出力信号 Q1 ~ Qn はローレベルになる。

[0069] また、黒表示期間の終了時に、ゲートスタートパルス GSP がハイレベルに変化する。これに伴い、1 段目の単位回路 SR1 では、トランジスタ T11 がオンし、ノード Nb の電圧がハイレベルに変化し、トランジスタ T12 がオンする。このとき、クロック信号 CK1 はローレベルであるので、出力信号 Q1 はローレベルである。

[0070] ゲートスタートパルス GSP は、第 1 ライン期間の開始時にローレベルに変化する。これに伴い、1 段目の単位回路 SR1 では、トランジスタ T11 はオフし、ノード Nb はフローティング状態になる。また、第 1 ライン期間の開始時に、クロック信号 CK1 がハイレベルに変化する。これに伴い、1 段目の単位回路 SR1 の出力信号 Q1 はハイレベルになる。このとき寄生容量 Cgd、Cgs の作用によって、ノード Nb の電圧は通常のハイレベルよりも高いハイレベルになる（図 6 の SR1_Nb を参照）。したがって、出力信号 Q1 のハイレベルは、トランジスタ T12 の閾値電圧分だけ低下することなく、クロック信号 CK1 のハイレベルと同じレベルになる。

[0071] クロック信号 CK1 は、第 1 ライン期間の終了時にローレベルに変化する。これに伴い、1 段目の単位回路 SR1 の出力信号 Q1 はローレベルになる。第 2 ライン期間では、2 段目の単位回路 SR2 の出力信号 Q2 がハイレベルになる。2 段目の単位回路 31 の出力信号 Q2 は、1 段目の単位回路 31 のリセット端子 R に入力される。このため、2 段目の単位回路 31 の出力信号 Q2 がハイレベルになると、1 段目の単位回路 31 では、トランジスタ T14、T15 がオンする。トランジスタ T15 がオンすることにより、ノード Nb の電圧はローレベルに変化する。トランジスタ T14 がオンすること

により、出力信号Q 1は速やかにローレベルに変化する。このように第1ライン期間では、1段目の単位回路S R 1の出力信号Q 1がハイレベルになる。同様に、第2～第nライン期間では、それぞれ、2～n段目の単位回路S R 1の出力信号Q 2～Q nがハイレベルになる。

[0072] 第nライン期間の終了時に、ゲートエンドパルスG E Pがハイレベルに変化する。これに伴い、n段目の単位回路S R nでは、トランジスタT 1 4、T 1 5がオンし、ノードN bの電圧はローレベルに変化し、出力信号Q nは速やかにローレベルに変化する。ゲートエンドパルスG E Pは、黒表示期間の開始時にローレベルに変化する。これに伴い、n段目の単位回路S R nでは、トランジスタT 1 4、T 1 5はオフする。

[0073] このように走査線駆動回路1 3に対して、図6に示すクロック信号C K 1、C K 2、全オン制御信号A L L _O N、クリア信号C L E A R、ゲートスタートパルスG S P、および、ゲートエンドパルスG E Pを供給することにより、走査線S 1～S nを図6に示すタイミングで駆動することができる。

[0074] 以下、補正部1 6について説明する。図3に示すように、有機E L表示装置1 0では、有機E L素子L r、L g、L bの発光期間の長さは、画素回路2 1の行ごとに異なる。有機E L素子L r、L g、L bの輝度は、発光期間の長さに比例する。このため、外部から供給された映像信号X 1を用いてデータ線D 1～D mを駆動した場合、表示画面の輝度は先に選択される走査線に対応する部分（図面では表示画面の上部）では明るくなり、後で選択される走査線に対応する部分では暗くなる。そこで、補正部1 6は、映像信号X 1に対して、有機E L素子L r、L g、L bの発光期間の長さの差に起因する輝度の差を補償するための補正処理を行うことにより、補正後の映像信号X 2を求める。

[0075] 補正処理を行う前に有機E L表示装置1 0の検査工程において、以下の方法で有機E L素子L r、L g、L bの電圧－輝度特性を求める。まず、有機E L素子L g、L bを非発光状態に制御した上で、有機E L素子L rに印加する電圧を最小値から最大値まで段階的に切り替えて、各電圧を印加したと

きの有機ELパネル11の輝度を測定する。輝度の測定結果に基づき、有機EL素子 L_r が1フレーム期間のうち1サブフレーム期間で連続的に発光したときの電圧－輝度特性を求める。これにより、有機EL素子 L_r について、例えば、図7に示す電圧－輝度特性が得られる。同様の方法で、有機EL素子 L_g 、 L_b が1フレーム期間のうち1サブフレーム期間で連続的に発光したときの電圧－輝度特性をそれぞれ求める。特性データ記憶部17は、得られた3種類の電圧－輝度特性を記憶する。

[0076] 映像信号 X_1 に含まれる i 行 j 列目の画素の階調データの赤色成分が X_r 、緑色成分が X_g 、青色成分が X_b であるとする。補正部16は、以下の方法で、赤色成分 X_r に基づき補正後の赤色成分 $X_{r'}$ を求める。まず、補正部16は、赤色成分 X_r に対応した電圧 V_r を求める。次に、補正部16は、特性データ記憶部17に記憶された有機EL素子 L_r の電圧－輝度特性を用いて、電圧 V_r に対応した輝度 Y_r を求める。次に、補正部16は、輝度 Y_r に対して次式(10)に示す係数 K_i を乗算することにより、補正後の輝度($K_i \times Y_r$)を求める。

$$K_i = L_{en_F} / L_{en_EMR_i} \quad \dots (10)$$

ただし、式(10)において、 L_{en_F} は1サブフレーム期間の長さ、 $L_{en_EMR_i}$ は i 行目の画素回路21内の有機EL素子 L_r の発光期間の長さを表す。

[0077] 次に、補正部16は、特性データ記憶部17に記憶された有機EL素子 L_r の電圧－輝度特性を用いて、補正後の輝度($K_i \times Y_r$)に対応した補正後の電圧 $V_{r'}$ を求める(図7を参照)。次に、補正部16は、補正後の電圧 $V_{r'}$ に対応した補正後の赤色成分 $X_{r'}$ を求める。

[0078] 補正部16は、同様の方法で、緑色成分 X_g に基づき補正後の緑色成分 $X_{g'}$ を求め、青色成分 X_b に基づき補正後の青色成分 $X_{b'}$ を求める。補正後の緑色成分 $X_{g'}$ を求めるときには、特性データ記憶部17に記憶された有機EL素子 L_g の電圧－輝度特性が用いられ、補正後の青色成分 $X_{b'}$ を求めるときには、特性データ記憶部17に記憶された有機EL素子 L_b の電

圧－輝度特性が用いられる。補正部 16 は、 i 行 j 列目の画素の階調データとして、補正後の赤色成分 X_r' 、補正後の緑色成分 X_g' 、および、補正後の青色成分 X_b' を含む補正後の映像信号 X_2 を出力する。

[0079] このように補正部 16 が有機 EL 素子 L_r 、 L_g 、 L_b の発光期間の長さの差に起因する輝度の差を補償する補正処理を行うことにより、発光制御トランジスタと発光制御回路を用いることなく、画像を正しい輝度で表示することができる。

[0080] 以下、図 8 を参照して、電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ の設定方法の詳細を説明する。以下の説明では、有機 EL 素子 L_c は有機 EL 素子 L_r 、 L_g 、 L_b のいずれかであり、トランジスタ $T2_c$ は有機 EL 素子 L_c のアノード端子に接続されたトランジスタ（トランジスタ $T2_r$ 、 $T2_g$ 、 $T2_b$ のいずれか）であり、電源電圧 $ELVSS_C$ はトランジスタ $T2_c$ のソース端子に印加される電源電圧（電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ のいずれか）であるとする。

[0081] 有機 EL 素子 L_c が発光するための条件は、次式 (11) で与えられる。

$$ELVDD - ELVSS_C \geq V_{th_C} + V_{DS} \quad \dots (11)$$

ただし、式 (11) において、 V_{th_C} は有機 EL 素子 L_c の発光閾値電圧、 V_{DS} はトランジスタ $T2_c$ が飽和領域で動作するときのドレイン－ソース間電圧を表す。式 (11) より、次式 (12) が導かれる。式 (12) は、有機 EL 素子 L_c が発光するときに電源電圧 $ELVSS_C$ が満たすべき条件を表す。

$$ELVSS_C \leq ELVDD - (V_{th_C} + V_{DS}) \quad \dots (12)$$

[0082] ハイレベル電源電圧 $ELVDD$ は、固定の電圧である。電圧 V_{DS} がトランジスタ $T2_c$ のデバイス特性で決まるパラメータであるとする、有機 EL 素子 L_c を発光しないときの電源電圧 $ELVSS_C$ は、式 (12) の右辺において $(V_{DS} + \Delta V)$ を用いて調整することができる。発光閾値電圧 V_{th_C} と電圧 V_{DS} は、有機 EL 素子 L_c とトランジスタ $T2_c$ の電流－電圧特性に基づき求めることができる。

[0083] 有機EL素子 L_r が発光しないときの電源電圧 $ELVSS_C$ を $ELVSS_off$ 、有機EL素子 L_r が発光するときの電源電圧 $ELVSS_C$ を $ELVSS_on$ とすると、次式(13)が成立する。

$$ELVSS_off \geq ELVSS_on + VDS + \Delta V \quad \dots (13)$$

1サブフレーム期間内で有機EL素子 L_c を選択的に非発光状態にするためには、電圧 $ELVSS_off$ を電圧 $ELVSS_on$ よりも($VDS + \Delta V$)以上高く設定する。ただし、電圧 ΔV の上限は閾値電圧 V_{th_C} である。電源回路15は、有機EL素子 L_c が発光するサブフレーム期間ではトランジスタ $T2_c$ のソース端子に電圧 $ELVSS_on$ を印加し、有機EL素子 L_c が発光しないサブフレーム期間ではトランジスタ $T2_c$ のソース端子に電圧 $ELVSS_off$ を印加する。これにより、有機EL素子 L_r 、 L_g 、 L_b を所望のタイミングで発光させることができる。

[0084] 以下、本実施形態に係る有機EL表示装置10の効果を説明する。以下の説明では、図17に示す画素回路を備えた有機EL表示装置を第1の従来の有機EL表示装置、図18に示す画素回路を備えた有機EL表示装置を第2の従来の有機EL表示装置という。

[0085] 有機EL表示装置10には、従来の有機EL表示装置よりも回路規模を削減できるという効果がある。上述したように、第1の従来の有機EL表示装置には、発光制御線 ER_i 、 EG_i 、 EB_i の電圧を制御する発光制御回路が必要とされる。例えば、1本の発光制御線を制御する発光制御回路の各段を6個のトランジスタで構成した場合、発光制御回路内のトランジスタの総数は $18n$ 個になる。有機EL表示装置10は、発光制御回路を必要としない。したがって、有機EL表示装置10によれば、発光制御回路の分だけ有機ELパネル11の額縁(画素回路21の配置領域の周辺部)を狭くすることができる。

[0086] また、図17に示す画素回路は5個のトランジスタを含むのに対して、有機EL表示装置10の画素回路21は4個のトランジスタしか含まない。したがって、有機EL表示装置10によれば、第1の従来の有機EL表示装置

よりも画素回路内のトランジスタの面積を20%削減することができる。また、トランジスタの個数が少ないので、トランジスタに接続される配線やコンタクトも少なくなる。したがって、有機EL表示装置10によれば、第1の従来の有機EL表示装置よりも配線やコンタクトの面積を削減することもできる。

[0087] 第2の従来の有機EL表示装置では、各行の画素回路に供給される電源電圧 $ELVDD_Ri$ 、 $ELVDD_Gi$ 、 $ELVDD_Bi$ を制御するために、複雑な構成の電源回路が必要とされる。有機EL表示装置10では、3種類の電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ を電源回路15を用いて制御することにより有機EL素子 L_r 、 L_g 、 L_b の発光を制御できるので、電源回路の構成が簡単になる。したがって、有機EL表示装置10によれば、第2の従来の有機EL表示装置よりも、電源回路の回路規模を削減することができる。

[0088] 有機EL表示装置10の画素回路21では、駆動トランジスタのソース端子にはローレベル電源電圧 $ELVSS$ が印加されている。このため有機EL表示装置10には、表示品位が高いという効果もある。Nチャネル型の駆動トランジスタ $T2c$ を用いた場合、図9(a)に示す構成を有する画素回路が考えられる。図9(a)に示す回路構成では、駆動トランジスタ $T2c$ のドレイン端子にハイレベル電源電圧 $ELVDD$ が印加され、駆動トランジスタ $T2c$ のソース端子は有機EL素子 Lc のアノード端子に接続され、有機EL素子 Lc のカソード端子にローレベル電源電圧 $ELVSS$ が印加されている。

[0089] トランジスタ $T2c$ と有機EL素子 Lc を流れる駆動電流 I_{ds} は、トランジスタ $T2c$ のゲートーソース間電圧 V_{gs} に応じて変化する（電圧 V_{gs} の2乗に概ね比例する）。図9(a)に示す回路構成では、トランジスタ $T2c$ のソース端子は有機EL素子 Lc のアノード端子に接続されている。このため、有機EL素子 Lc の特性にばらつきが発生すると、トランジスタ $T2c$ のソース電圧にもばらつきが発生する。これに伴い、トランジスタ T

2cのゲートソース間電圧 V_{gs} にも、有機EL素子 L_c を流れる駆動電流 I_{ds} にもばらつきが発生する。このため、図9(a)に示す構成を採用した有機EL表示装置では、表示画面に輝度のばらつきが発生することがある。

[0090] 有機EL表示装置10の画素回路21は、図9(b)に示す構成を有する。図9(b)に示す回路構成では、有機EL素子 L_c のアノード端子にハイレベル電源電圧 $ELVDD$ が印加され、有機EL素子 L_c のカソード端子は駆動トランジスタ $T2c$ のドレイン端子に接続され、駆動トランジスタ $T2c$ のソース端子にローレベル電源電圧 $ELVSS$ が印加されている。このため、有機EL素子 L_c の特性にばらつきが発生しても、トランジスタ $T2c$ のソース電圧にはばらつきは発生しない。トランジスタ $T2c$ のゲートソース間電圧 V_{gs} にも、有機EL素子 L_c を流れる駆動電流 I_{ds} にもばらつきが発生しない。したがって、図9(b)に示す構成を採用した有機EL表示装置10によれば、表示画面内の輝度のばらつきを抑制し、表示品位を高くすることができる。

[0091] 有機EL表示装置10には、電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ を供給する電源配線を容易に形成できるという効果もある。図10は、有機EL表示装置10の画素回路21のレイアウトを模式的に示す図である。図11は、比較例に係る画素回路のレイアウトを模式的に示す図である。比較例に係る画素回路は、図17に示す画素回路においてトランジスタ $T1$ 、 $T2$ をNチャネル型とし、トランジスタ $T3r$ 、 $T3g$ 、 $T3b$ を削除し、有機EL素子 L_r 、 L_g 、 L_b のカソード端子に、それぞれ、電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ を印加したものである。

[0092] 有機ELパネルの一般的な製造工程では、TF形成工程の後に有機層形成工程が設けられ、その後に金属層形成工程が設けられる。電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ を供給する電源配線は、金属層形成工程で形成される。金属層形成工程では金属蒸着法が行われるが、金属

蒸着法では微細加工を行うことができない。

[0093] 図 1 2 は、金属蒸着法を用いて金属配線を形成する様子を示す図である。金属蒸着法では、配線材料の金属を加熱して気化させる。気化した金属は、ノズル 4 1 から発射され、金属製のマスク 4 2 に形成された開口部 4 3 を通過してパネル基板 4 4 に衝突する。これにより、パネル基板 4 4 上に金属製の配線 4 5 が形成される。金属製のマスク 4 2 に形成できる開口部 4 3 のパターンの最小幅は、例えば、約 $10\ \mu\text{m}$ である。開口部 4 3 間にも同程度の幅を有するスペースが必要であるので、形成可能な配線 4 5 の最小間隔は $20\ \mu\text{m}$ となる。

[0094] 有機 EL 表示装置 1 0 の有機 EL パネル 1 1 の製造工程では、電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ を供給する電源配線は、TFT 形成工程で形成される。TFT 形成工程では、フォトリソグラフィとエッチングを用いて、 $2\sim 10\ \mu\text{m}$ 程度の間隔で配線を形成することができる。したがって、高精細の有機 EL パネル 1 1 を製造するときでも、電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ を供給する電源配線を容易に形成することができる。また、TFT 形成工程で形成された金属配線のシート抵抗は、金属層形成工程で形成された金属配線のシート抵抗よりも小さい。したがって、有機 EL 表示装置 1 0 によれば、電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ を供給する電源配線の抵抗を小さくすることができる。

[0095] 以上に示すように、本実施形態に係る有機 EL 表示装置 1 0 は、複数の走査線 $S_1\sim S_n$ と、複数のデータ線 $D_1\sim D_m$ と、複数の画素回路 2 1 と、走査線駆動回路 1 3 と、データ線駆動回路 1 4 と、複数の色（赤、緑、および、青）に対応する複数の電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ を制御する電源回路 1 5 とを備えている。画素回路 2 1 は、複数の色に対応する複数の有機 EL 素子 L_r 、 L_g 、 L_b と、それぞれが対応する有機 EL 素子に直列に接続された複数の駆動トランジスタ T_{2r} 、 T_{2g} 、 T_{2b} と、走査線 S_i に接続されたゲート端子と、データ線 D_j に接続さ

れた第1導通端子（図2では左側の導通端子）と、複数の駆動トランジスタ T_{2r} 、 T_{2g} 、 T_{2b} のゲート端子に接続された第2導通端子とを有する書き込み制御トランジスタ T_1 とを含んでいる。有機EL素子は、固定のハイレベル電源電圧 $ELVDD$ が印加されたアノード端子と、対応する駆動トランジスタのドレイン端子に接続されたカソード端子とを有し、駆動トランジスタのソース端子には、複数の電源電圧のうち、対応する有機EL素子の色に対応する電源電圧が印加される。電源回路15は、各サブフレーム期間において、サブフレーム期間の色に対応する電源電圧を有機EL素子が発光し得る第1レベル（式（1）、（5）または（9）を満たすレベル）に制御し、他の電源電圧を有機EL素子が発光しない第2レベル（式（2）～（4）、または、（6）～（8）を満たすレベル）に制御する。

[0096] 有機EL表示装置10では、複数の色に対応した複数の電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ を電源回路15を用いて制御することにより有機EL素子 L_r 、 L_g 、 L_b の発光を制御できるので、画素回路21内の発光制御トランジスタと駆動回路内の発光制御回路は不要となる。また、各行の画素回路に供給される電源電圧を制御する場合と比べて、電源回路15の構成が簡単になる。したがって、本実施形態に係る有機EL表示装置10によれば、回路規模が小さいフィールドシーケンシャル方式の有機EL表示装置を提供することができる。

[0097] また、有機EL表示装置10では、サブフレーム期間ごとに表示オフ期間（黒表示期間）が設けられる。走査線駆動回路13は、表示オフ期間ではすべての走査線 $S_1 \sim S_n$ に対して、書き込み制御トランジスタ T_1 がオンするオン電圧（ハイレベル電源電圧 DC ）を印加し、データ線駆動回路14は、表示オフ期間ではすべてのデータ線 $D_1 \sim D_m$ に対して、有機EL素子 L_r 、 L_g 、 L_b の発光を停止させる表示オフ電圧（黒表示のための電圧 VZ ）を印加する。このように表示オフ期間において有機EL素子 L_r 、 L_g 、 L_b の発光を停止させて黒挿入を行うことにより、色割れを低減し、表示品位を高くすることができる。

[0098] また、有機EL表示装置10は、入力映像信号（映像信号X1）に対して、有機EL素子Lr、Lg、Lbの発光期間の長さの差に起因する輝度の差を補償するための補正処理を行い、補正後の映像信号X2をデータ線駆動回路14に対して出力する補正部16を備えている。このような補正処理を行うことにより、画素回路21に発光制御トランジスタを設けることなく、画像を正しい輝度で表示することができる。また、有機EL表示装置10は、有機EL素子Lr、Lg、Lbの特性データを色ごとに記憶する特性データ記憶部17を備え、補正部16は、特性データ記憶部17に記憶された特性データを用いて補正処理を行う。したがって、有機EL素子Lr、Lg、Lbの特性が色ごとに異なる点を考慮して、入力映像信号に対して好適な補正処理を行うことができる。

[0099] また、ハイレベル電源電圧ELVDDと第1レベルの電圧との差は有機EL素子の発光閾値電圧よりも大きく、ハイレベル電源電圧ELVDDと第2レベルの電圧との差は有機EL素子の発光閾値電圧よりも小さい（式（1）～（9））。このように第1および第2レベルを決定することにより、発光制御トランジスタと発光制御回路を用いることなく、有機EL素子Lr、Lg、Lbの発光を制御することができる。また、第2レベルの電圧は、ハイレベル電源電圧である（ELVSS_RなどのハイレベルはELVDDに等しい）。これにより、電源電圧の種類を減らし、電源回路15の構成を簡単にするすることができる。

[0100] また、走査線駆動回路13は、第1制御信号（全オン制御信号AON）に従いすべての走査線S1～Snに対してオン電圧を印加し、第2制御信号（クリア信号CLR）に従いすべての走査線S1～Snに対して書き込み制御トランジスタT1がオフするオフ電圧（ローレベル電源電圧VSS）を印加する。したがって、第1および第2制御信号を用いて、すべての走査線S1～Snに対してオン電圧およびオフ電圧を選択的に印加することができる。また、走査線駆動回路13は、単位回路31を多段接続した構成を有し、単位回路31は、走査線Siに接続された出力端子Qと、第1制御信号に従い

出力端子Qにオン電圧を印加する第1トランジスタT13と、第2制御信号に従い出力端子Qにオフ電圧を印加する第2トランジスタT16とを含んでいる。第1および第2トランジスタT13、T16を含む単位回路31を多段接続することにより、すべての走査線S1～Snに対してオン電圧およびオフ電圧を選択的に印加する走査線駆動回路13を構成することができる。また、有機EL表示装置10は、有機EL素子Lr、Lg、Lbの第1端子にハイレベル電源電圧ELVDDを印加するブラケット電極22を備えている。したがって、ブラケット電極22を用いて、画素回路21に含まれる有機EL素子Lr、Lg、Lbのアノード端子にハイレベル電源電圧ELVDDを容易に印加することができる。

[0101] また、電源回路15は、第1～第3電源電圧ELVSS_R、ELVSS_G、ELVSS_Bを制御し、画素回路21は、ハイレベル電源電圧ELVDDが印加されたアノード端子を有し、赤、緑、および、青にそれぞれ発光する第1～第3有機EL素子Lr、Lg、Lbと、第1～第3有機EL素子Lr、Lg、Lbのカソード端子にそれぞれ接続されたドレイン端子と、第1～第3電源電圧ELVSS_R、ELVSS_G、ELVSS_Bがそれぞれ印加されたソース端子と、書き込み制御トランジスタT1の他方の導通端子に接続されたゲート端子を有する第1～第3駆動トランジスタT2r、T2g、T2bとを含んでいる。したがって、赤サブフレーム、緑サブフレーム、および、青サブフレームを表示する、回路規模が小さいフィールドシーケンシャル方式の有機EL表示装置を提供することができる。また、走査線駆動回路13は、画素回路21と同じパネル（有機ELパネル11）上に形成されている。したがって、有機EL表示装置10を小型化することができる。

[0102] （第2の実施形態）

本発明の第2の実施形態に係る有機EL表示装置は、第1の実施形態に係る有機EL表示装置10において、画素回路21内の駆動トランジスタを酸化物半導体を用いて構成し、画素回路21内の書き込み制御トランジスタと

走査線駆動回路 13 内のトランジスタとを低温ポリシリコンを用いて構成したものである。

[0103] 画素回路 21 内のトランジスタ T_{2r} 、 T_{2g} 、 T_{2b} （駆動トランジスタ）は、酸化物半導体トランジスタである。酸化物半導体トランジスタとしては、例えば、半導体層を IGZO を用いて形成した N チャネル型の IGZO トランジスタが使用される。IGZO の移動度は $5 \sim 20$ (a.u.) であり、N チャネル型の IGZO トランジスタは中程度の駆動能力を有する。

[0104] 画素回路 21 内のトランジスタ T_1 （入力トランジスタ）と走査線駆動回路 13 内のトランジスタ $T_{11} \sim T_{16}$ とは、低温ポリシリコントランジスタである。低温ポリシリコンは高い移動度を有し、低温ポリシリコントランジスタは高い駆動能力を有する。低温ポリシリコントランジスタは、P チャネル型でも N チャネル型でもよい。P チャネル型の低温ポリシリコンの移動度は約 50 (a.u.) であり、N チャネル型の低温ポリシリコンの移動度は約 100 (a.u.) である。

[0105] 以下、本実施形態に係る有機 EL 表示装置の効果を説明する。映像信号の階調に応じて有機 EL 素子 L_r 、 L_g 、 L_b の駆動電流を制御するために、画素回路 21 内の駆動トランジスタ T_{2r} 、 T_{2g} 、 T_{2b} のゲート電圧には好ましい範囲（例えば、 $2 \sim 5$ V の範囲）がある。しかし、低温ポリシリコンのように移動度が高い材料を用いて駆動トランジスタを構成した場合、好ましいゲート電圧の範囲が低く、かつ、狭くなる（例えば、 $0 \sim 1$ V の範囲になる）。データ線駆動回路の出力電圧の分解能には限界があるので、低く狭い範囲のゲート電圧を用いると、表示画像では階調潰れ（異なる階調に対応した輝度が同じになる現象）が発生する。

[0106] 階調潰れを防止する方法として、駆動トランジスタのゲート長を長くして、駆動トランジスタの駆動能力を低くする方法が考えられる。しかし、この方法を採用すると、駆動トランジスタのレイアウト面積が増加する。例えば、低温ポリシリコンの移動度が IGZO の移動度の 10 倍である場合に、低温ポリシリコンを用いた駆動トランジスタと IGZO を用いた駆動トランジ

スタの間でチャネル幅と好ましいゲート電圧の範囲とを同じにするためには、前者の駆動トランジスタのゲート長を後者の駆動トランジスタのゲート長の10倍にする必要がある。

[0107] 一方、書き込み制御トランジスタや走査線駆動回路13内のトランジスタは、常に高速で動作する必要がある。このため、これらのトランジスタを低温ポリシリコンを用いて構成することが好ましい。これらのトランジスタをIGZOを用いて構成すると、トランジスタのレイアウト面積が増加する。例えば、低温ポリシリコンの移動度がIGZOの移動度の10倍である場合に、低温ポリシリコンを用いたトランジスタとIGZOを用いたトランジスタの間でゲート長と駆動能力を同じにするためには、後者のトランジスタのチャネル幅を前者のトランジスタのチャネル幅の10倍にする必要がある。

[0108] 走査線駆動回路13と画素回路21内のトランジスタをすべて低温ポリシリコンを用いて構成した場合、駆動トランジスタのレイアウト面積が増加する。一方、これらのトランジスタをすべて低温ポリシリコンを用いて構成した場合、書き込み制御トランジスタと走査線駆動回路13内のトランジスタのレイアウト面積が増加する。本実施形態に係る有機EL表示装置では、トランジスタの駆動能力を考慮して、走査線駆動回路13と画素回路21を2種類のトランジスタで構成する。

[0109] 本実施形態に係る有機EL表示装置では、駆動トランジスタは酸化物半導体を用いて構成され、書き込み制御トランジスタ、および、走査線駆動回路13に含まれるトランジスタは低温ポリシリコンを用いて構成されている。したがって、これらのトランジスタをすべて酸化物半導体を用いて構成した場合や、これらのトランジスタをすべて低温ポリシリコンを用いて構成した場合と比べて、トランジスタのレイアウト面積を全体として削減することができる。

[0110] (第3の実施形態)

図13は、本発明の第3の実施形態に係る有機EL表示装置の構成を示すブロック図である。図13に示す有機EL表示装置50は、第1の実施形態

に係る有機ＥＬ表示装置１０において、有機ＥＬパネル１１、データ線駆動回路１４、電源回路１５、補正部１６、および、特性データ記憶部１７を、それぞれ、有機ＥＬパネル５１、データ線駆動回路５４、電源回路５５、補正部５６、および、特性データ記憶部５７に置換したものである。有機ＥＬ表示装置５０は、有機ＥＬ表示装置１０と同様に、第１～第３サブフレーム期間では赤サブフレーム、緑サブフレーム、および、青サブフレームをそれぞれ表示する。以下、本実施形態の構成要素のうち第１の実施形態の構成要素と同一のものには、同一の参照符号を付して説明を省略する。

[0111] 有機ＥＬパネル５１は、 n 本の走査線 $S_1 \sim S_n$ 、 m 本のデータ線 $D_1 \sim D_m$ 、 m 本の白用データ線 $DW_1 \sim DW_m$ 、 $(m \times n)$ 個の画素回路６１、および、ブランケット電極２２を含んでいる。白用データ線 $DW_1 \sim DW_m$ は、データ線 $D_1 \sim D_m$ と平行に配置される。 $(m \times n)$ 個の画素回路６１は、走査線 $S_1 \sim S_n$ とデータ線 $D_1 \sim D_m$ の交点に対応して配置される。画素回路６１は、有機ＥＬ素子 L_r 、 L_g 、 L_b に加えて、白色に発光する有機ＥＬ素子 L_w を含んでいる。

[0112] 特性データ記憶部５７は、補正部５６における補正処理で必要とされる特性データを記憶している。特性データ記憶部５７は、有機ＥＬ素子 L_r 、 L_g 、 L_b の電圧－輝度特性に加えて、有機ＥＬ素子 L_w の電圧－輝度特性を記憶する。補正部５６は、特性データ記憶部５７に記憶された特性データを用いて、表示制御回路１２から出力された映像信号 X_1 に対して補正処理を行い、補正後の映像信号 X_3 をデータ線駆動回路５４に対して出力する。補正後の映像信号 X_3 は、白用データ線 $DW_1 \sim DW_n$ の駆動に使用されるデータを含んでいる。

[0113] データ線駆動回路５４は、制御信号 C_2 と補正後の映像信号 X_3 に基づき、データ線 $D_1 \sim D_m$ と白用データ線 $DW_1 \sim DW_m$ を駆動する。電源回路５５は、ブランケット電極２２に対して固定のハイレベル電源電圧 $ELVDD$ を出力すると共に、制御信号 C_3 に基づき、画素回路６１に供給される４種類の電源電圧 $ELVSS_R$ 、 $ELVSS_G$ 、 $ELVSS_B$ 、 ELV

SS__Wを制御する。

[0114] 図14は、i行j列目の画素回路61の回路図である。画素回路61は、画素回路21に対してトランジスタT2w、T3、容量Cw、および、有機EL素子Lwを追加したものである。有機EL素子Lwは、白に発光する有機発光層によって実現される。トランジスタT2w、T3は、Nチャネル型のTFTである。

[0115] 有機EL素子Lwのアノード端子は、有機EL素子Lr、Lg、Lbのアノード端子と共に、ブランケット電極22に接続される。有機EL素子Lwのアノード端子には、固定のハイレベル電源電圧ELVDDが印加される。有機EL素子Lwのカソード端子は、トランジスタT2wのドレイン端子に接続される。トランジスタT2wのソース端子には、電源回路55から出力された可変の電源電圧ELVSS__Wが印加される。容量Cwは、トランジスタT2wのゲート端子とソース端子の間に設けられる。トランジスタT3のゲート端子は、トランジスタT1のゲート端子と共に走査線Siに接続される。トランジスタT3の一方の導通端子（図14では左側の端子）は、白用データ線DWjに接続される。トランジスタT3の他方の導通端子は、トランジスタT2wのゲート端子に接続される。以下、トランジスタT2wのゲート端子が接続されたノードをNcという。

[0116] トランジスタT1、T2r、T2g、T2b、容量Cr、Cg、Cb、および、有機EL素子Lr、Lg、Lbは、走査線Siの電圧の変化に応じて、第1の実施形態と同様に動作する。走査線Siの電圧がハイレベルである間、トランジスタT3はオンし、ノードNcには白用データ線DWjの電圧が印加される。走査線Siの電圧がローレベルになると、トランジスタT3はオフする。トランジスタT3がオフした後、ノードNcはフローティング状態になり、容量CwにはトランジスタT2wのゲートーソース間電圧が保持される。トランジスタT2wと有機EL素子Lwを流れる駆動電流は、トランジスタT2wのゲートーソース間電圧に応じて変化する。有機EL素子Lwは、駆動電流に応じた輝度で発光する。有機EL素子Lwは白色有機E

L素子として機能し、トランジスタT3は白用書き込み制御トランジスタとして機能する。

[0117] 図15は、有機EL表示装置50のタイミングチャートである。図15において、EMW1～EMWnは、それぞれ、1～n行目の画素回路61内の有機EL素子Lwの発光期間を示す。各サブフレーム期間の先頭には、黒表示期間が設けられる。トランジスタT1、T2r、T2g、T2b、および、有機EL素子Lr、Lg、Lbは、第1の実施形態と同様に駆動される。以下、トランジスタT2w、T3、および、有機EL素子Lwの動作について説明する。

[0118] 電源電圧ELVSS_Wは、電源電圧ELVSS_R、ELVSS_G、ELVSS_Bのいずれかがローレベルのときにはローレベルに制御され、それ以外のときにはハイレベルに制御される。このため、有機EL素子Lwは、第1～第3サブフレーム期間において有機EL素子Lr、Lg、Lbのいずれかが発光する期間に発光する。黒表示期間では、白用データ線DW1～DWmにも、黒表示のための電圧VZが印加される。このため、すべての画素回路61において、トランジスタT3がオンし、ノードNcにはトランジスタT3を介して電圧VZが印加される。このとき、駆動電流はトランジスタT2wを流れないので、有機EL素子Lwは発光しない。したがって、黒表示期間では黒画面が表示される。

[0119] 白用データ線DW1～DWmには、第1～第3サブフレーム期間内の第iライン期間では、それぞれ、電圧VW1i、VW2i、VW3iが印加される。第iライン期間では、i行目の画素回路61において、トランジスタT3がオンし、ノードNcにはトランジスタT3を介して電圧VW1i、VW2i、または、VW3iが印加される。これに伴い、トランジスタT2wのゲートソース間電圧は変化する。トランジスタT2wと有機EL素子Lwには、トランジスタT2wのゲートソース間電圧（変化後の電圧）と閾値電圧に応じた駆動電流が流れる。したがって、i行目の有機EL素子Lwは、第iライン期間の開始後は、第iライン期間で書き込まれた電圧VW1i

、 $VW2_i$ 、または、 $VW3_i$ に応じた輝度で白色に発光する。

[0120] 図16は、 i 行 j 列目の画素回路61内の有機EL素子 L_w の輝度を示す図である。図16において、 P_i は、第 i ライン期間の開始から電源電圧 $ELVSS_W$ がハイレベルに変化するまでの時間を表す。第1サブフレーム期間では、有機EL素子 L_w は、電圧 $VW1_i$ に応じた輝度 $BR1_i$ で時間 P_i だけ発光する。第2サブフレーム期間では、有機EL素子 L_w は、電圧 $VW2_i$ に応じた輝度 $BR2_i$ で時間 P_i だけ発光する。第3サブフレーム期間では、有機EL素子 L_w は、電圧 $VW3_i$ に応じた輝度 $BR3_i$ で時間 P_i だけ発光する。

[0121] 以下、補正部56について説明する。映像信号 X_1 に含まれる i 行 j 列目の画素の階調データの赤色成分が X_r 、緑色成分が X_g 、青色成分が X_b であるとする。補正部56は、まず、次式(14)～(17)に従い、3個の色成分 X_r 、 X_g 、 X_b を、白色成分 E_w を含む4個の色成分 E_r 、 E_g 、 E_b 、 E_w に変換する。

$$E_w = k \times \min(X_r, X_g, X_b) \quad \dots (14)$$

$$E_r = X_r - E_w \quad \dots (15)$$

$$E_g = X_g - E_w \quad \dots (16)$$

$$E_b = X_b - E_w \quad \dots (17)$$

ただし、式(14)において、 k は0以上1以下の定数である。補正部56は、3個の色成分 X_r 、 X_g 、 X_b を4個の色成分 E_r 、 E_g 、 E_b 、 E_w に変換するときに、例えば、特開2001-147666号公報や国際公開第2012/137753号に記載された方法を用いてもよい。

[0122] 次に、補正部56は、第1の実施形態と同様の方法で、変換後の赤色成分 E_r 、変換後の緑色成分 E_g 、および、変換後の青色成分 E_b に基づき、補正後の赤色成分 X_r' 、補正後の緑色成分 X_g' 、および、補正後の青色成分 X_b' をそれぞれ求める。次に、補正部56は、次式(18)を満たす白色成分 $E_{w1} \sim E_{w3}$ を求める。

$$E_w = E_{w1} + E_{w2} + E_{w3} \quad \dots (18)$$

[0123] 補正部56は、例えば以下の方法を用いて、白色成分 $E_w1 \sim E_w3$ を求める。補正部56は、式(19)に従い、白色成分 $E_w1 \sim E_w3$ を求めてもよい(第1の方法)。

$$E_w1 = E_w2 = E_w3 = E_w / 3 \quad \cdots (19)$$

あるいは、補正部56は、式(20)～(22)に従い、白色成分 $E_w1 \sim E_w3$ を求めてもよい(第2の方法)。

$$E_w1 = E_w \times E_r / (E_r + E_g + E_b) \quad \cdots (20)$$

$$E_w2 = E_w \times E_g / (E_r + E_g + E_b) \quad \cdots (21)$$

$$E_w3 = E_w \times E_b / (E_r + E_g + E_b) \quad \cdots (22)$$

第1の方法では、第1～第3サブフレーム期間における有機EL素子 L_w の輝度は、等しくなる。第1の方法によれば、白色成分 $E_w1 \sim E_w3$ を容易に求めることができる。第2の方法では、有機EL素子 L_w は、第1～第3サブフレーム期間において、有機EL素子 L_r 、 L_g 、 L_b と同じ輝度の比率で発光する。第2の方法によれば、色割れをさらに低減することができる。

[0124] 次に、補正部56は、第1の実施形態と同様の方法で、白色成分 $E_w1 \sim E_w3$ に基づき、補正後の白色成分 $X_w1' \sim X_w3'$ を求める。補正後の白色成分 $X_w1' \sim X_w3'$ を求めるときには、特性データ記憶部57に記憶された有機EL素子 L_w の電圧－輝度特性が用いられる。補正部56は、 i 行 j 列目の画素の階調データとして、補正後の赤色成分 X_r' 、補正後の緑色成分 X_g' 、補正後の青色成分 X_b' 、および、補正後の白色成分 $X_w1' \sim X_w3'$ を含む補正後の映像信号 $X3$ を出力する。

[0125] データ線駆動回路54は、第1サブフレーム期間では、データ線 D_j に対して補正後の赤色成分 X_r' に応じた電圧を印加し、白用データ線 DW_j に対して補正後の白色成分 X_w1' に応じた電圧を印加する。データ線駆動回路54は、第2サブフレーム期間では、データ線 D_j に対して補正後の緑色成分 X_g' に応じた電圧を印加し、白用データ線 DW_j に対して補正後の白色成分 X_w2' に応じた電圧を印加する。データ線駆動回路54は、第3サ

ブフレーム期間では、データ線 D_j に対して補正後の青色成分 $X_{b'}$ に応じた電圧を印加し、白用データ線 DW_j に対して補正後の白色成分 $X_{w3'}$ に応じた電圧を印加する。

[0126] このように補正部56が有機EL素子 L_r 、 L_g 、 L_b 、 L_w の発光期間の長さの差に起因する輝度の差を補償する補正処理を行うことにより、発光制御トランジスタと発光制御回路を用いることなく、画像を正しい輝度で表示することができる。

[0127] 以上に示すように、本実施形態に係る有機EL表示装置50は、 m 本の白用データ線 $DW_1 \sim DW_m$ を備えている。画素回路61は、白色に対応する白色有機EL素子 L_w と、白色有機EL素子 L_w に直列に接続された白用駆動トランジスタ（トランジスタ T_{2w} ）と、走査線 G_i に接続されたゲート端子と、白用データ線に接続された第1導通端子（図14では左側の端子）と、第2駆動トランジスタのゲート端子に接続された第2導通端子とを有する白用書き込み制御トランジスタ（トランジスタ T_3 ）とを含んでいる。白色有機EL素子は、ハイレベル電源電圧 $ELVDD$ が印加されたアノード端子と、白用駆動トランジスタのドレイン端子に接続されたカソード端子とを有し、駆動トランジスタのソース端子には、白用電源電圧 $ELVSS_W$ が印加されている。

[0128] 有機EL表示装置50によれば、白色有機EL素子 L_w を設けることにより、各サブフレーム期間における有機EL素子の輝度を調整することができる。白色有機EL素子 L_w が発光する分だけ有機EL素子 L_r 、 L_g 、 L_b の輝度を低くできるので、有機EL素子 L_r 、 L_g 、 L_b の寿命を延ばすことができる。また、有機EL素子 L_r 、 L_g 、 L_b と白色有機EL素子 L_w を同じ期間で発光させることにより、表示画面に発生する色割れを抑制することができる。白サブフレーム期間を設けないので、サブフレーム期間の長さを保ちながら、これらの効果を得ることができる。

[0129] また、電源回路55は、各サブフレーム期間において、白用電源電圧 $ELVSS_W$ を白色有機EL素子 L_w が発光し得るレベルに制御する。したが

って、有機EL素子 L_r 、 L_g 、 L_b と同じ発光制御を白色有機EL素子 L_w について行いながら、上記の効果を得ることができる。

[0130] また、有機EL素子 L_w は、各サブフレーム期間において複数の有機EL素子 L_r 、 L_g 、 L_b のいずれかが発光する期間に発光する。したがって、各サブフレーム期間においれ有機EL素子 L_w を他の有機EL素子 L_r 、 L_g 、 L_b と同じ期間だけ発光させながら、上記の効果を得ることができる。

[0131] 有機EL素子 L_w は、各サブフレーム期間において同じ輝度で発光してもよい（第1の方法）。第1の方法によれば、各サブフレーム期間における有機EL素子 L_w の輝度を容易に求めることができる。あるいは、有機EL素子 L_w は、各サブフレーム期間において、複数の有機EL素子 L_r 、 L_g 、 L_b と同じ輝度の比率で発光してもよい（第2の方法）。第2の方法によれば、色割れをさらに低減することができる。

[0132] 有機EL表示装置50では、白用電源電圧 $ELVSS_W$ は図15に示すように制御されることしたが、白用電源電圧 $ELVSS_W$ は固定のローレベル電源電圧であってもよい。このように白用電源電圧をローレベル電源電圧に固定することにより、電源回路55の構成を簡単にすることができる。

[0133] 本発明の実施形態に係る有機EL表示装置については、以下の変形例を構成することができる。例えば、変形例に係る有機EL表示装置は、第1～第3サブフレーム期間において、3枚のサブフレームを上記以外の順序で表示してもよい。例えば、変形例に係る有機EL表示装置は、第1～第3サブフレーム期間において3枚のサブフレームを赤サブフレーム、青サブフレーム、および、緑サブフレームの順に表示してもよい。

[0134] また、変形例に係る有機EL表示装置は、1フレーム期間を4個以上のサブフレーム期間に分割し、1フレーム期間に4枚以上のサブフレームを表示してもよい。この場合、変形例に係る有機EL表示装置は、画素回路21を備え、赤、緑、および、青以外の色のサブフレーム期間では有機EL素子 L_r 、 L_g 、 L_b のうち2個または3個の有機EL素子を発光させてもよい。あるいは、変形例に係る有機EL表示装置は、4個以上の有機EL素子と、

これと同数の駆動トランジスタと、書き込み制御トランジスタとを含む画素回路を備え、各サブフレーム期間では１個の有機ＥＬ素子を発光させてもよい。

産業上の利用可能性

[0135] 本発明の有機エレクトロルミネッセンス表示装置は、回路規模が小さいという特徴を有するので、単体の表示装置、あるいは、各種電子機器の表示部として利用することができる。

符号の説明

- [0136] １０、５０…有機ＥＬ表示装置
１１、５１…有機ＥＬパネル
１２…表示制御回路
１３…走査線駆動回路
１４、５４…データ線駆動回路
１５、５５…電源回路
１６、５６…補正部
１７、５７…特性データ記憶部
２１、６１…画素回路
２２…ブランケット電極
３１…単位回路

請求の範囲

- [請求項1] フィールドシーケンシャル方式の有機エレクトロルミネッセンス表示装置であって、
- 複数の走査線と、
- 複数のデータ線と、
- 前記走査線と前記データ線の交点に対応して配置された複数の画素回路と、
- 前記走査線を駆動する走査線駆動回路と、
- 前記データ線を駆動するデータ線駆動回路と、
- 複数の色に対応する複数の電源電圧を制御する電源回路とを備え、
- 前記画素回路は、
- 前記複数の色に対応する複数の有機エレクトロルミネッセンス素子と、
- それぞれが対応する有機エレクトロルミネッセンス素子に直列に接続された複数の駆動トランジスタと、
- 前記走査線に接続されたゲート端子と、前記データ線に接続された第1導通端子と、前記複数の駆動トランジスタのゲート端子に接続された第2導通端子とを有する書き込み制御トランジスタとを含み、
- 前記有機エレクトロルミネッセンス素子は、固定のハイレベル電源電圧が印加されたアノード端子と、対応する駆動トランジスタのドレイン端子に接続されたカソード端子とを有し、
- 前記駆動トランジスタのソース端子には、前記複数の電源電圧のうち、対応する有機エレクトロルミネッセンス素子の色に対応する電源電圧が印加され、
- 前記電源回路は、各サブフレーム期間において、サブフレーム期間の色に対応する電源電圧を前記有機エレクトロルミネッセンス素子が発光し得る第1レベルに制御し、他の電源電圧を前記有機エレクトロルミネッセンス素子が発光しない第2レベルに制御することを特徴と

する、有機エレクトロルミネッセンス表示装置。

[請求項2]

サブフレーム期間ごとに表示オフ期間が設けられ、

前記走査線駆動回路は、表示オフ期間ではすべての前記走査線に対して、前記書き込み制御トランジスタがオンするオン電圧を印加し、

前記データ線駆動回路は、表示オフ期間ではすべての前記データ線に対して、前記有機エレクトロルミネッセンス素子の発光を停止させる表示オフ電圧を印加することを特徴とする、請求項1に記載の有機エレクトロルミネッセンス表示装置。

[請求項3]

入力映像信号に対して、前記有機エレクトロルミネッセンス素子の発光期間の長さの差に起因する輝度の差を補償するための補正処理を行い、補正後の映像信号を前記データ線駆動回路に対して出力する補正部をさらに備えた、請求項2に記載の有機エレクトロルミネッセンス表示装置。

[請求項4]

前記有機エレクトロルミネッセンス素子の特性データを色ごとに記憶する特性データ記憶部をさらに備え、

前記補正部は、前記特性データ記憶部に記憶された特性データを用いて前記補正処理を行うことを特徴とする、請求項3に記載の有機エレクトロルミネッセンス表示装置。

[請求項5]

前記ハイレベル電源電圧と前記第1レベルの電圧との差は前記有機エレクトロルミネッセンス素子の発光閾値電圧よりも大きく、

前記ハイレベル電源電圧と前記第2レベルの電圧との差は前記有機エレクトロルミネッセンス素子の発光閾値電圧よりも小さいことを特徴とする、請求項1に記載の有機エレクトロルミネッセンス表示装置。

[請求項6]

前記第2レベルの電圧は、前記ハイレベル電源電圧であることを特徴とする、請求項5に記載の有機エレクトロルミネッセンス表示装置。

[請求項7]

前記走査線駆動回路は、第1制御信号に従いすべての前記走査線に

対して前記オン電圧を印加し、第2制御信号に従いすべての前記走査線に対して前記書き込み制御トランジスタがオフするオフ電圧を印加することを特徴とする、請求項2に記載の有機エレクトロルミネッセンス表示装置。

- [請求項8] 前記走査線駆動回路は、単位回路を多段接続した構成を有し、
前記単位回路は、
前記走査線に接続された出力端子と、
前記第1制御信号に従い前記出力端子に前記オン電圧を印加する第1トランジスタと、
前記第2制御信号に従い前記出力端子に前記オフ電圧を印加する第2トランジスタとを含むことを特徴とする、請求項6に記載の有機エレクトロルミネッセンス表示装置。

- [請求項9] 前記有機エレクトロルミネッセンス素子のアノード端子に前記ハイレベル電源電圧を印加するブランケット電極をさらに備えた、請求項1に記載の有機エレクトロルミネッセンス表示装置。

- [請求項10] 前記電源回路は、第1～第3電源電圧を制御し、
前記画素回路は、
前記ハイレベル電源電圧が印加されたアノード端子を有し、赤、緑、および、青にそれぞれ発光する第1～第3有機エレクトロルミネッセンス素子と、
前記第1～第3有機エレクトロルミネッセンス素子のカソード端子にそれぞれ接続されたドレイン端子と、前記第1～第3電源電圧がそれぞれ印加されたソース端子と、前記書き込み制御トランジスタの他方の導通端子に接続されたゲート端子とを有する第1～第3駆動トランジスタとを含むことを特徴とする、請求項1に記載の有機エレクトロルミネッセンス表示装置。

- [請求項11] 前記走査線駆動回路は、前記画素回路と同じパネル上に形成されていることを特徴とする、請求項1に記載の有機エレクトロルミネッセ

ンス表示装置。

[請求項12]

前記駆動トランジスタは酸化物半導体を用いて構成され、

前記書き込み制御トランジスタ、および、前記走査線駆動回路に含まれるトランジスタは低温ポリシリコンを用いて構成されていることを特徴とする、請求項11に記載の有機エレクトロルミネッセンス表示装置。

[請求項13]

複数の白用データ線をさらに備え、

前記画素回路は、

白色に対応する白色有機エレクトロルミネッセンス素子と、

前記白色有機エレクトロルミネッセンス素子に直列に接続された白用駆動トランジスタと、

前記走査線に接続されたゲート端子と、前記白用データ線に接続された第1導通端子と、前記白用駆動トランジスタのゲート端子に接続された第2導通端子とを有する白用書き込み制御トランジスタとを含み、

前記白色有機エレクトロルミネッセンス素子は、前記ハイレベル電源電圧が印加されたアノード端子と、前記白用駆動トランジスタのドレイン端子に接続されたカソード端子とを有し、

前記白用駆動トランジスタのソース端子には、白用電源電圧が印加されていることを特徴とする、請求項1に記載の有機エレクトロルミネッセンス表示装置。

[請求項14]

前記電源回路は、各サブフレーム期間において、前記白用電源電圧を前記白色有機エレクトロルミネッセンス素子が発光し得るレベルに制御することを特徴とする、請求項13に記載の有機エレクトロルミネッセンス表示装置。

[請求項15]

前記白用電源電圧は、固定のローレベル電源電圧であることを特徴とする、請求項13に記載の有機エレクトロルミネッセンス表示装置。

- [請求項16] 前記白色有機エレクトロルミネッセンス素子は、各サブフレーム期間において、前記複数の有機エレクトロルミネッセンス素子のいずれかが発光する期間に発光することを特徴とする、請求項13に記載の有機エレクトロルミネッセンス表示装置。
- [請求項17] 前記白色有機エレクトロルミネッセンス素子は、各サブフレーム期間において同じ輝度で発光することを特徴とする、請求項16に記載の有機エレクトロルミネッセンス表示装置。
- [請求項18] 前記白色有機エレクトロルミネッセンス素子は、各サブフレーム期間において、前記複数の有機エレクトロルミネッセンス素子と同じ輝度の比率で発光することを特徴とする、請求項16に記載の有機エレクトロルミネッセンス表示装置。
- [請求項19] フィールドシーケンシャル方式の有機エレクトロルミネッセンス表示装置であって、
複数の走査線と、
複数のデータ線と、
前記走査線と前記データ線の交点に対応して配置された複数の画素回路と、
前記走査線を駆動する走査線駆動回路と、
前記データ線を駆動するデータ線駆動回路と、
複数の色に対応する複数の電源電圧を制御する電源回路とを備え、
前記画素回路は、
前記複数の色に対応する複数の有機エレクトロルミネッセンス素子と、
それぞれが対応する有機エレクトロルミネッセンス素子に直列に接続された複数の駆動トランジスタと、
前記走査線に接続されたゲート端子と、前記データ線に接続された第1導通端子と、前記複数の駆動トランジスタのゲート端子に接続された第2導通端子とを有する書き込み制御トランジスタとを含み、

前記有機エレクトロルミネッセンス素子は、固定のハイレベル電源電圧が印加されたアノード端子と、対応する駆動トランジスタのドレイン端子に接続されたカソード端子とを有し、

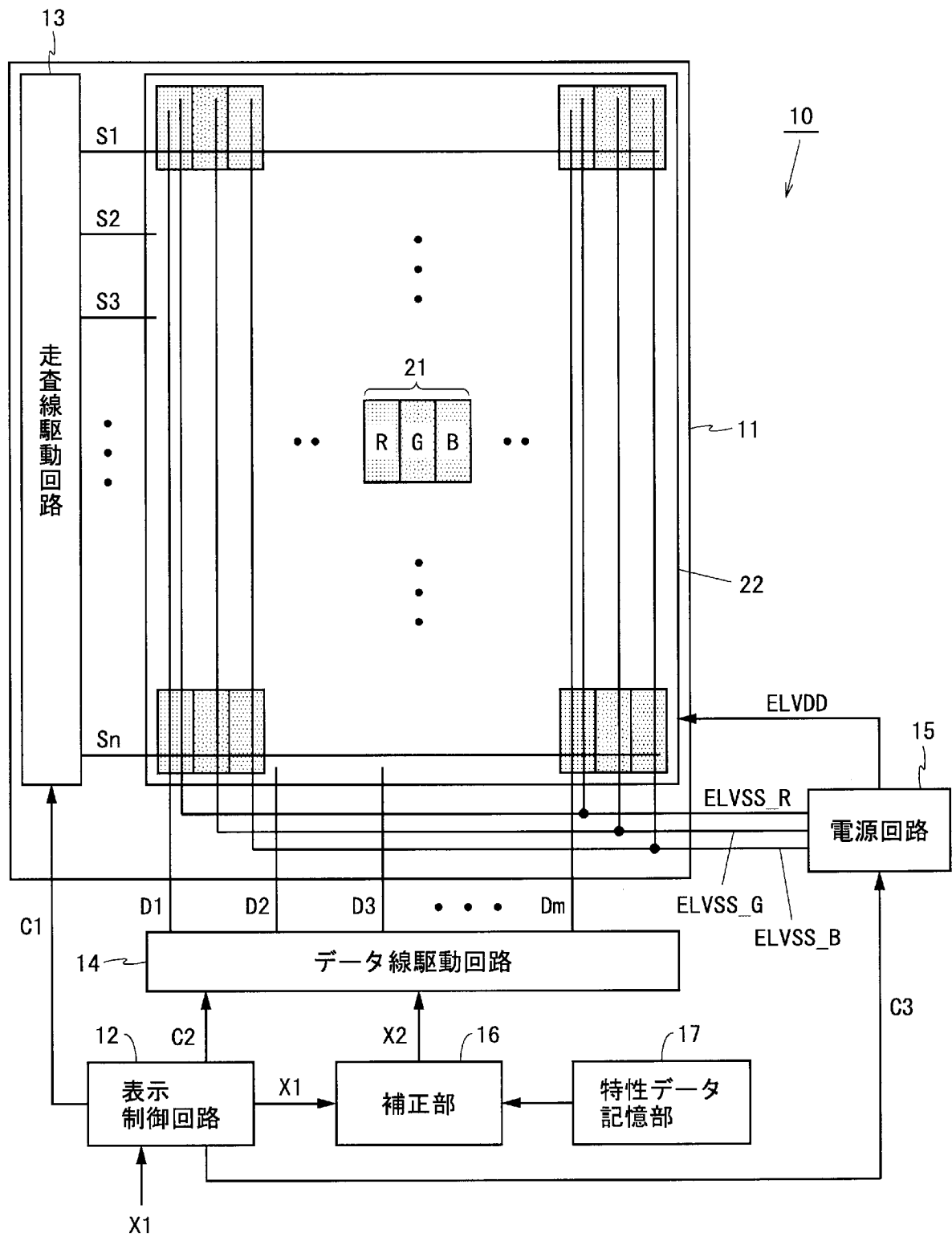
前記駆動トランジスタのソース端子には、前記複数の電源電圧のうち、対応する有機エレクトロルミネッセンス素子の色に対応する電源電圧が印加され、

前記電源回路は、各サブフレーム期間において、サブフレーム期間の色に対応する電源電圧を第1レベルに制御し、他の電源電圧を第2レベルに制御し、

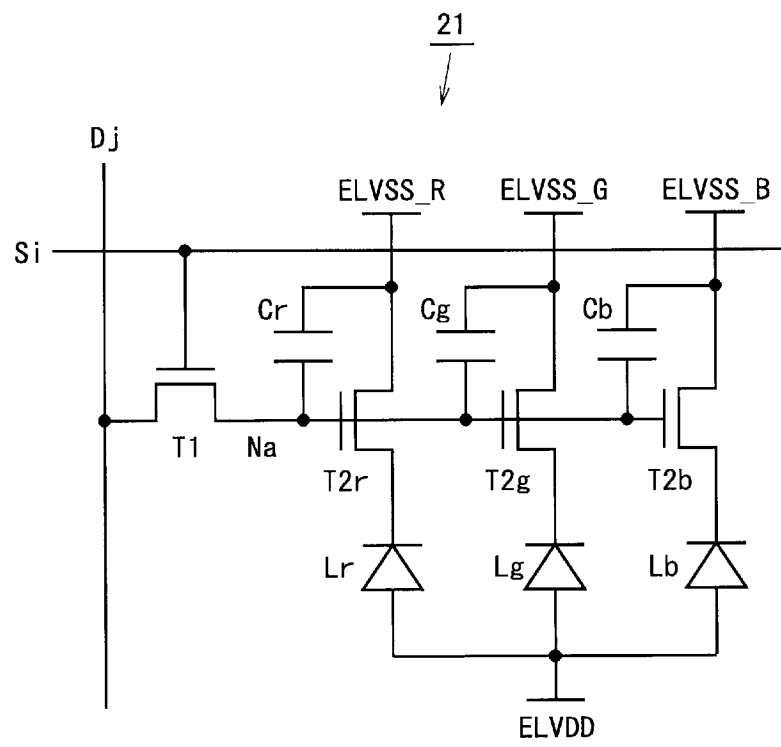
前記ハイレベル電源電圧と前記第1レベルの電圧との差は前記有機エレクトロルミネッセンス素子の発光閾値電圧よりも大きく、

前記ハイレベル電源電圧と前記第2レベルの電圧との差は前記有機エレクトロルミネッセンス素子の発光閾値電圧よりも小さいことを特徴とする、有機エレクトロルミネッセンス表示装置。

[図1]



[図2]



[図3]

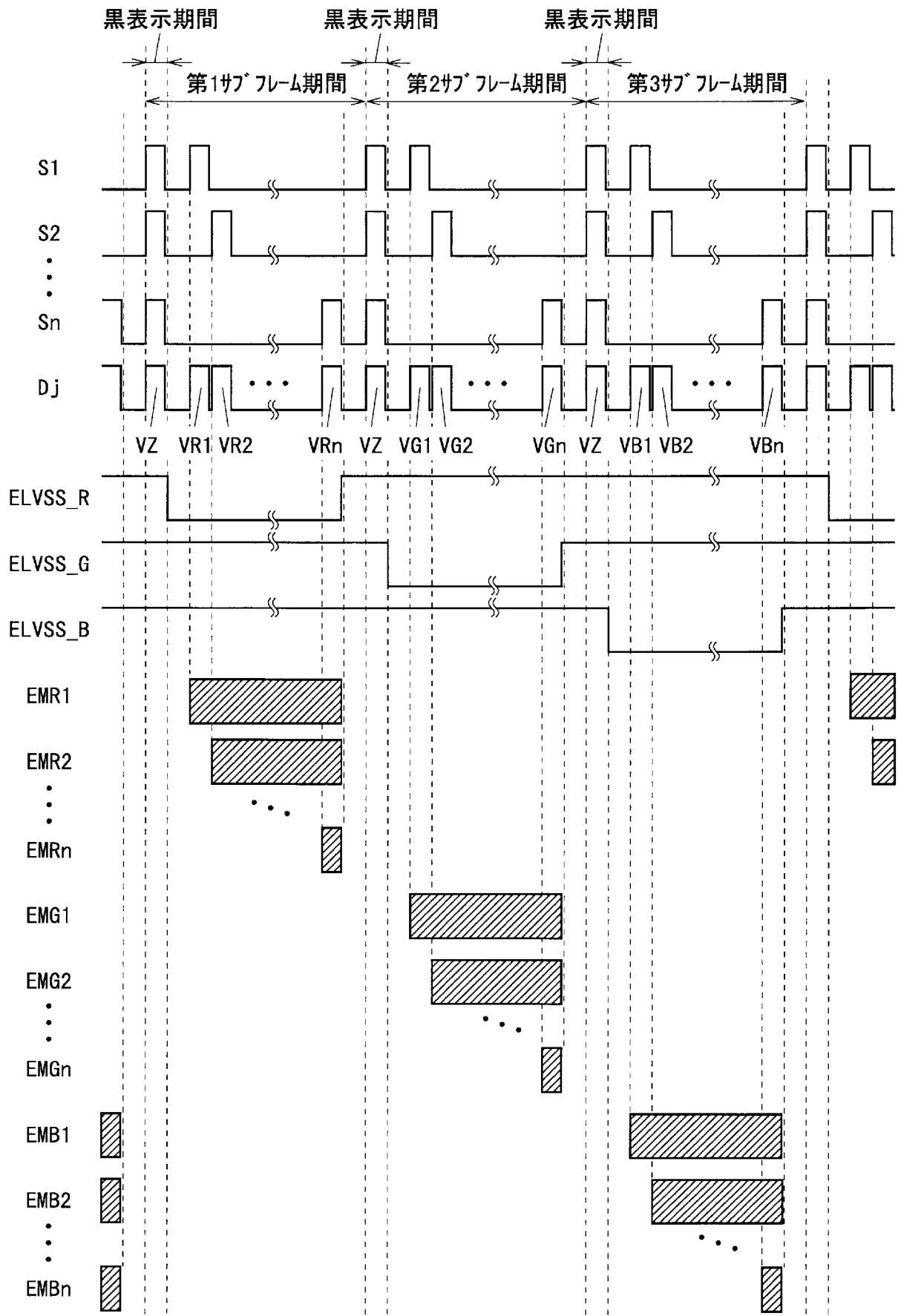
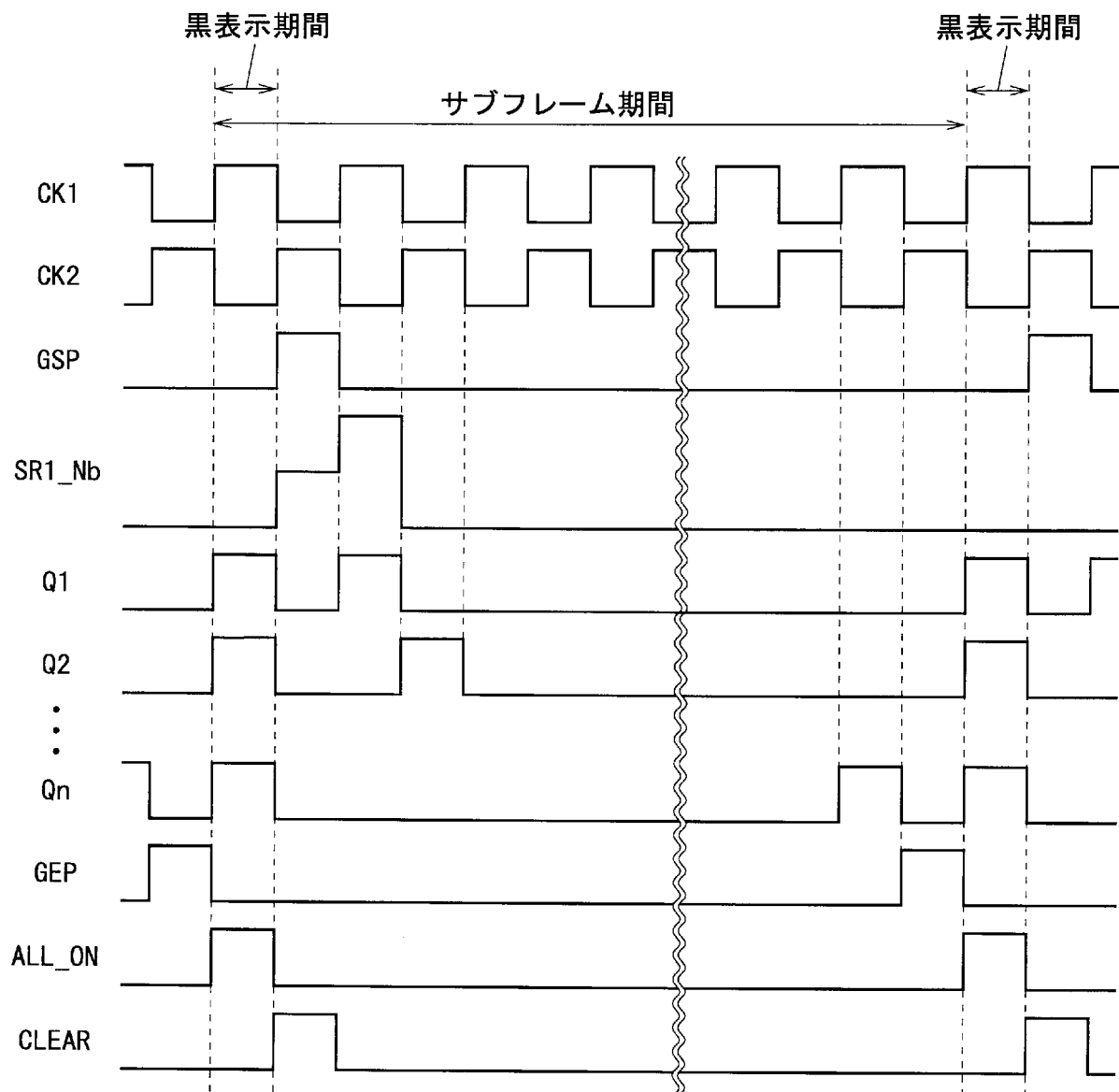
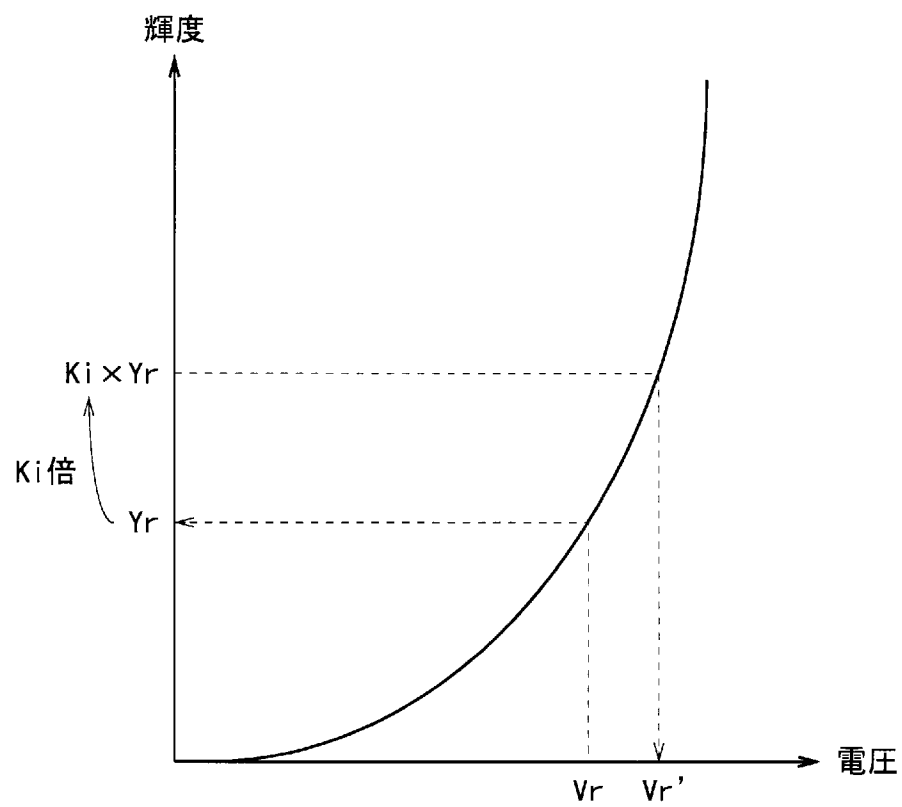


Figure 1 is a block diagram of a multi-bit shift register 13. The register is composed of a series of SR flip-flops, labeled SR1, SR2, ..., SRn-1, and SRn. Each flip-flop has four inputs: CK (clock), AON (asynchronous on), CLR (clear), and S (set). The outputs of the flip-flops are Q1, Q2, ..., Qn-1, and Qn. The register is controlled by four input signals: CLEAR, ALL_ON, CK2, and CK1. A GSP signal is connected to the S input of the first flip-flop, and a GEP signal is connected to the R input of the last flip-flop. A wavy line indicates that the register can have more than four stages.

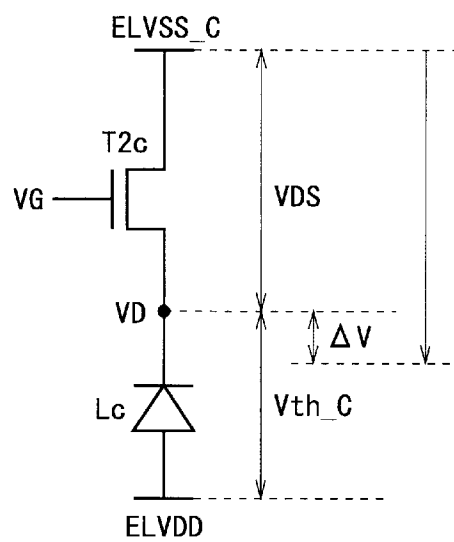
[図6]



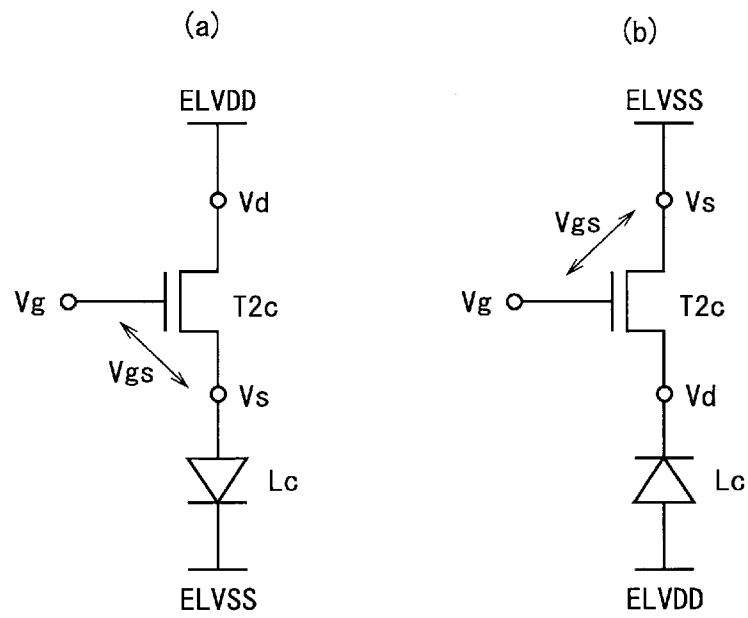
[図7]



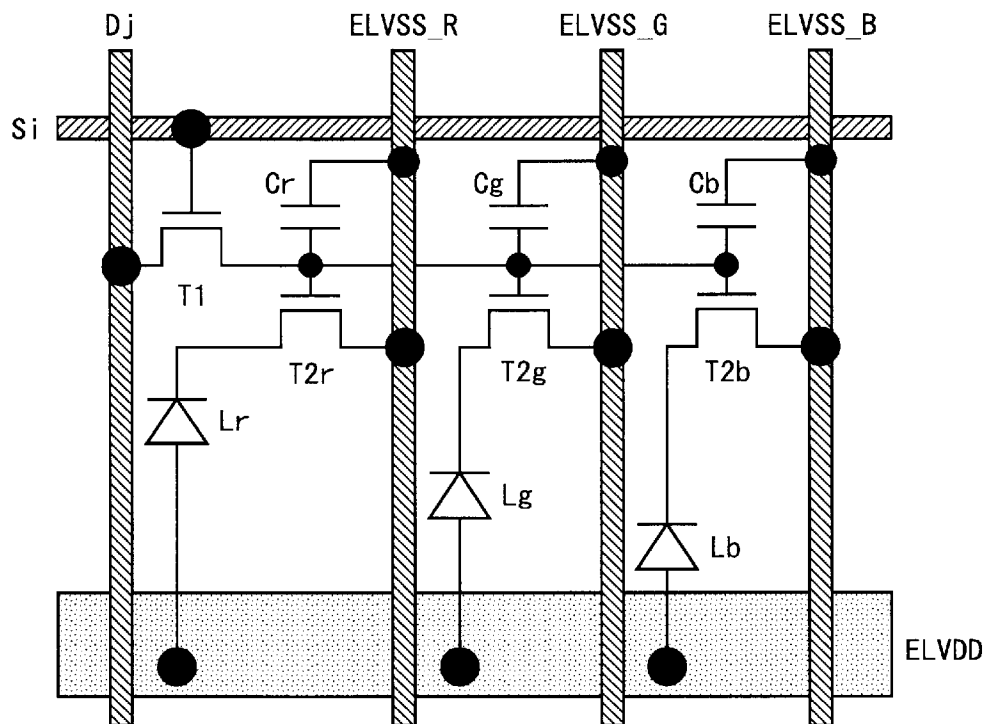
[図8]



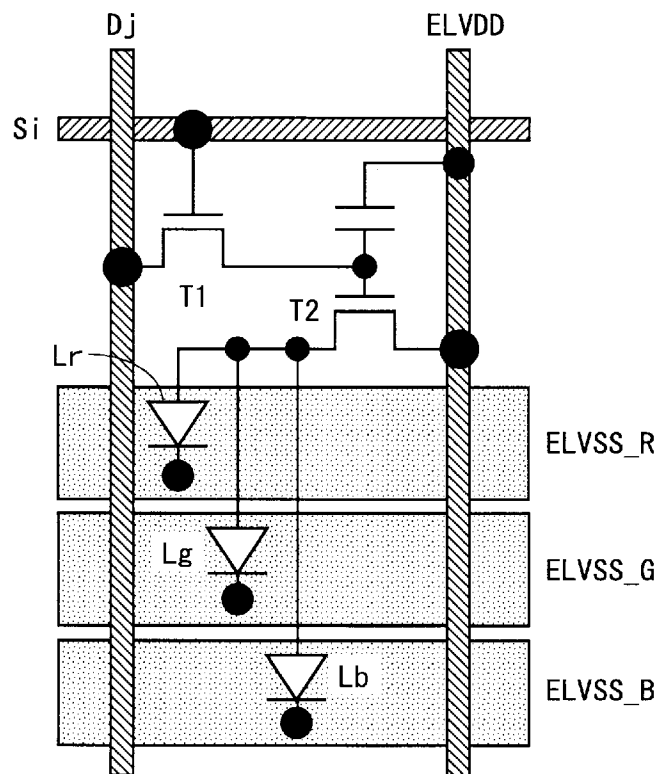
[図9]



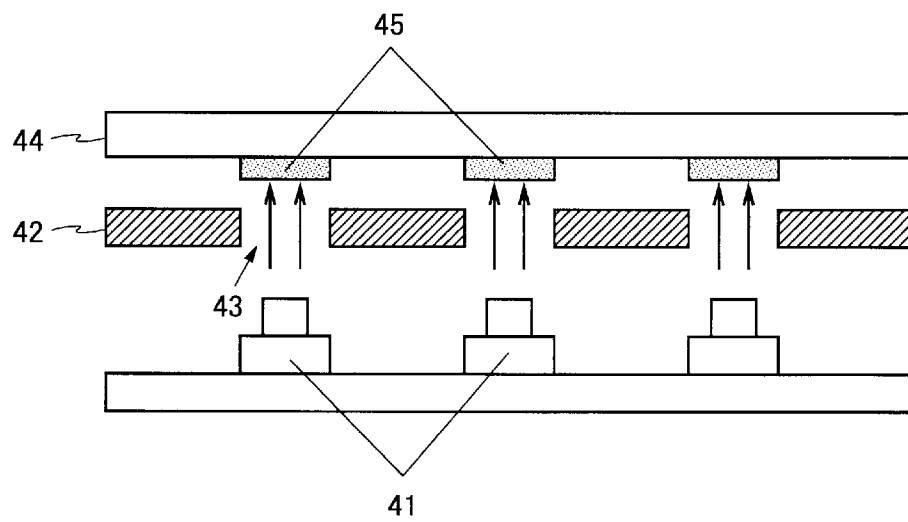
[図10]



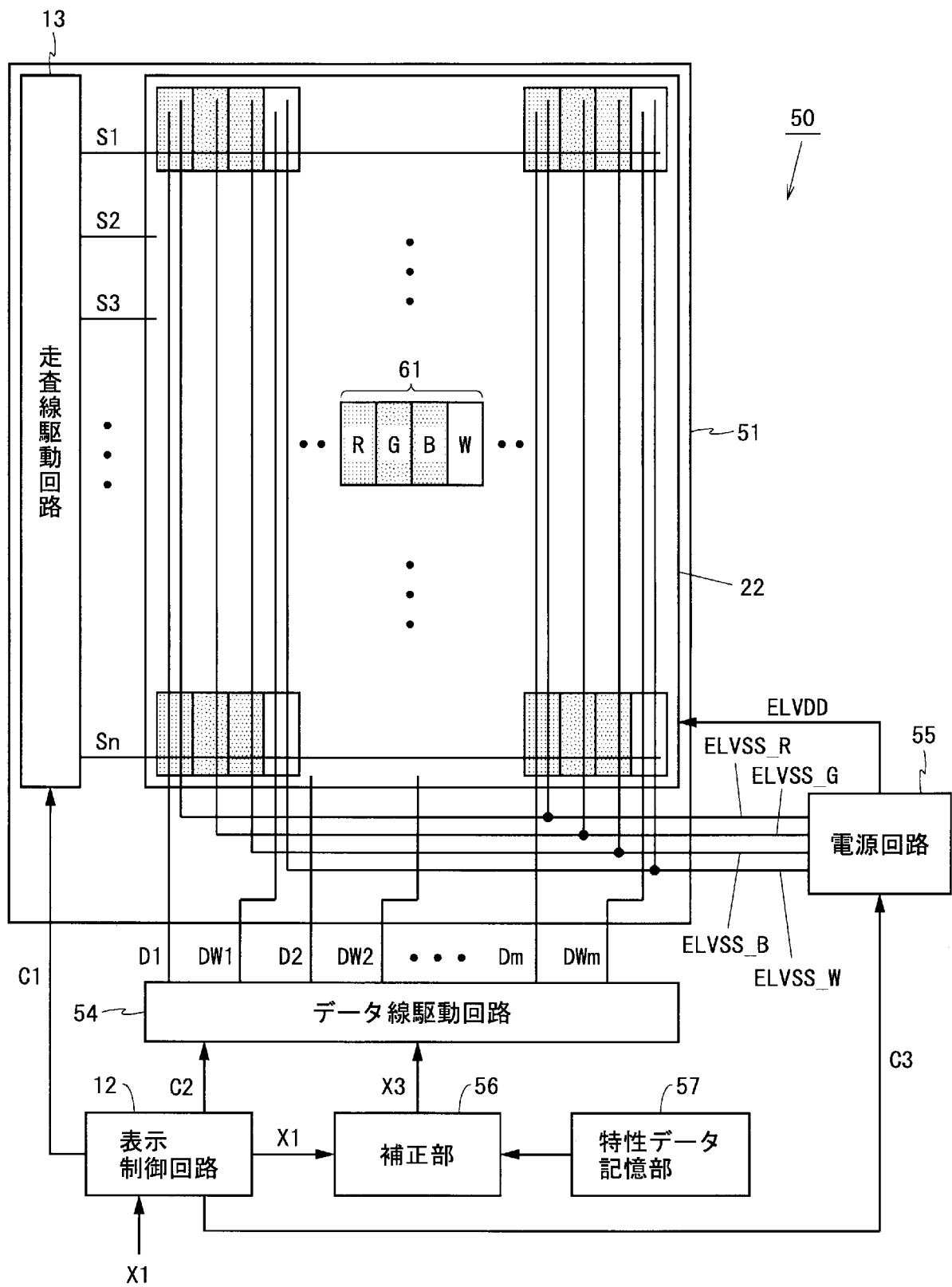
[図11]



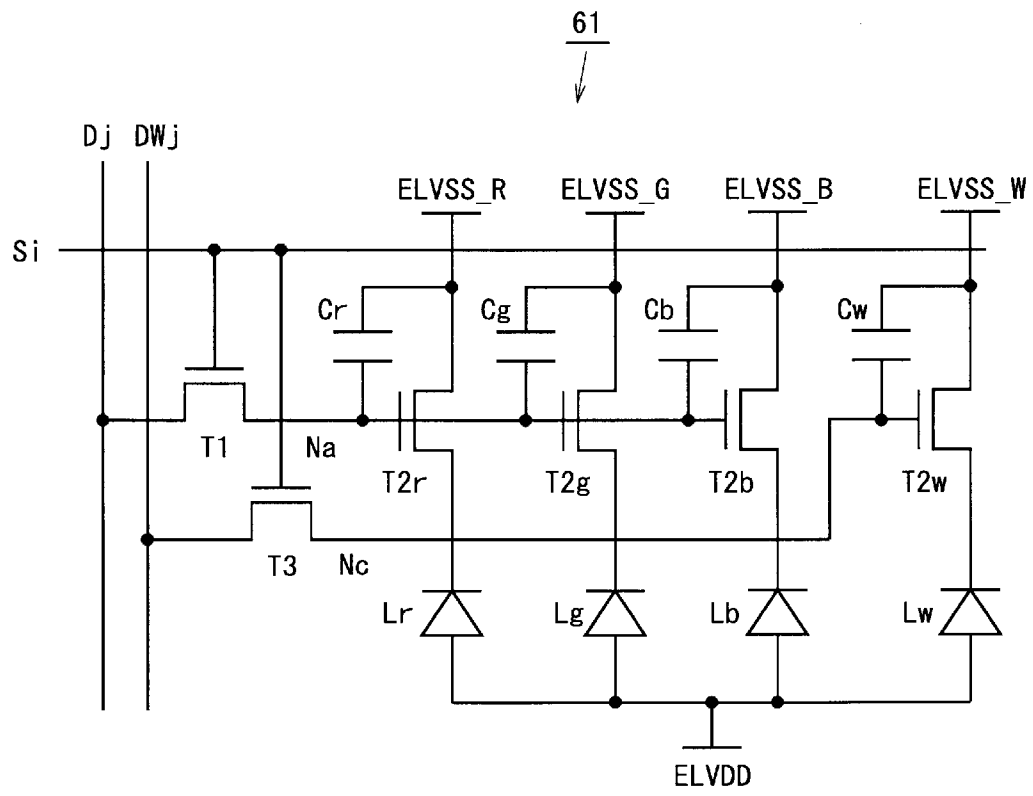
[図12]



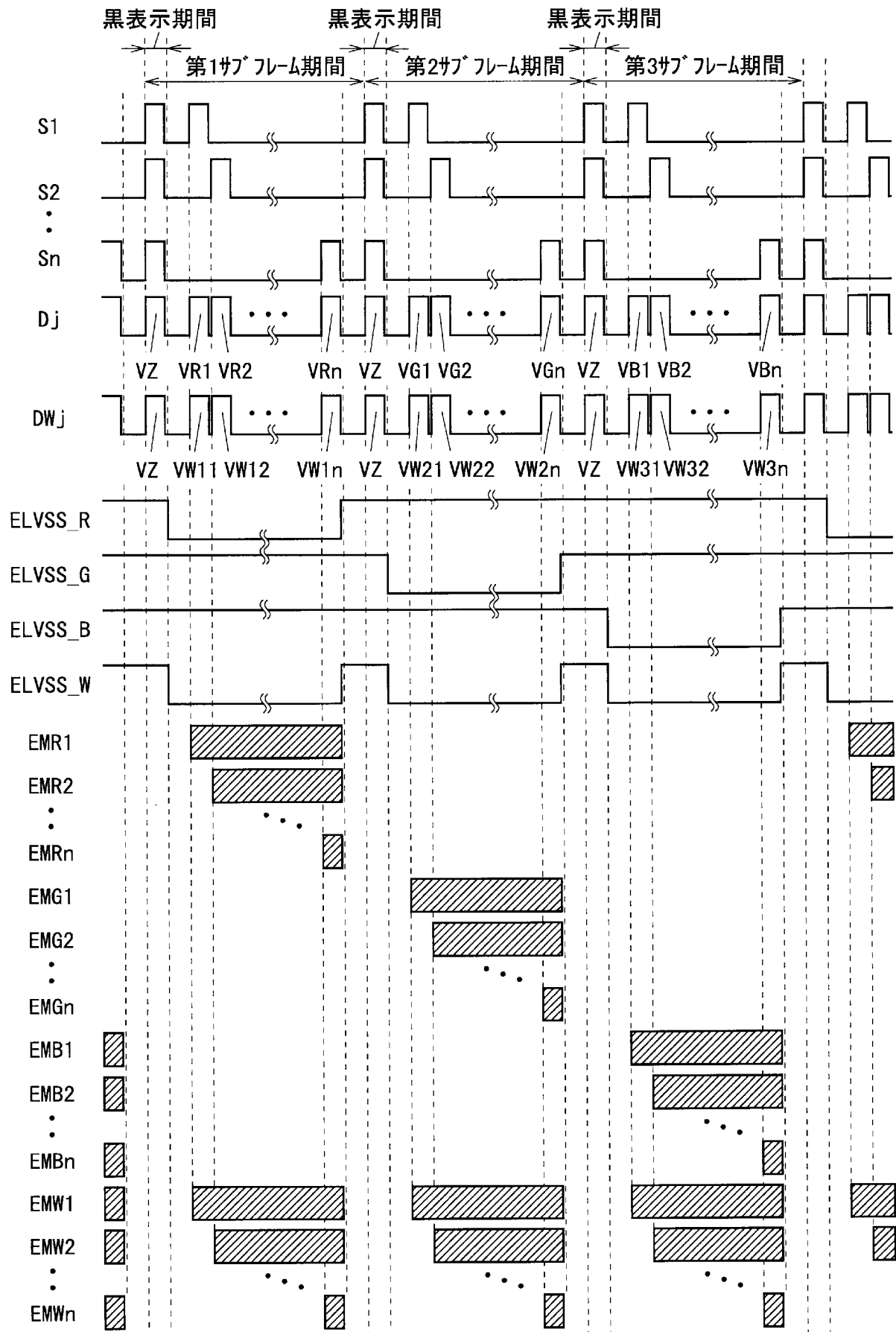
[図13]



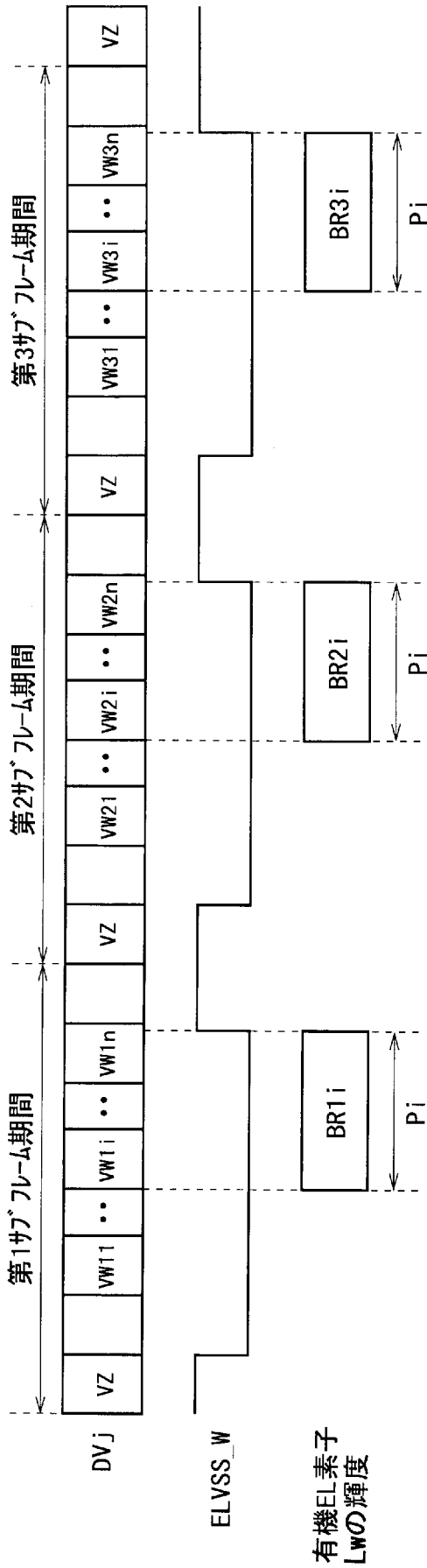
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/010116

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/3225(2016.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/3225, G09F9/30, G09G3/20, H01L51/50, H05B33/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4209833 B2 (Samsung SDI Co., Ltd.), 14 January 2009 (14.01.2009), paragraphs [0062] to [0171]; fig. 1 to 11D & US 2005/0104818 A1 paragraphs [0084] to [0158]; fig. 1 to 11D & US 2010/0328367 A1 & EP 1538594 A2 & JP 2005-148751 A & CN 1617208 A & KR 10-2005-0046462 A	1-19
Y	JP 10-319909 A (Casio Computer Co., Ltd.), 04 December 1998 (04.12.1998), paragraphs [0092] to [0093]; fig. 10 to 11 & US 5990629 A column 19, lines 44 to 65; fig. 10 to 11 & WO 98/033165 A1 & CN 1216135 A	1-19

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 May 2017 (12.05.17)

Date of mailing of the international search report
23 May 2017 (23.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/010116

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6157356 A (INTERNATIONAL BUSINESS MACHINES CO.), 05 December 2000 (05.12.2000), fig. 1A to 6 (Family: none)	1-19
Y	WO 2014/162792 A1 (Sharp Corp.), 09 October 2014 (09.10.2014), paragraphs [0058] to [0063], [0105] to [0109] & US 2016/0012774 A1 paragraphs [0165] to [0170], [0224] to [0228] & CN 105074808 A	2-4, 7-8
Y	JP 2003-177714 A (Semiconductor Energy Laboratory Co., Ltd.), 27 June 2003 (27.06.2003), paragraphs [0051] to [0052] & US 2003/0071804 A1 paragraphs [0073] to [0074] & US 2006/0103684 A1 & EP 1310938 A2 & CN 1409404 A & KR 10-2003-0027788 A	2-4, 7
Y	JP 2007-147867 A (Sony Corp.), 14 June 2007 (14.06.2007), paragraphs [0010] to [0011], [0016] (Family: none)	2-4, 7
A	JP 2002-91376 A (Hitachi, Ltd.), 27 March 2002 (27.03.2002), entire text; all drawings & US 2001/0055828 A1 & US 2004/0196219 A1 & US 2009/0153449 A1	1-19
A	JP 2008-158238 A (LG Display Co., Ltd.), 10 July 2008 (10.07.2008), entire text; all drawings & KR 10-2008-0059010 A	1-19
A	WO 2015/059966 A1 (Sharp Corp.), 30 April 2015 (30.04.2015), entire text; all drawings & US 2016/0210892 A1	1-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/3225(2016.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/3225, G09F9/30, G09G3/20, H01L51/50, H05B33/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 4209833 B2 (三星エスディアイ株式会社) 2009.01.14, [0062]-[0171], 図1-図11D & US 2005/0104818 A1 [0084]-[0158], 図1-図11D & US 2010/0328367 A1 & EP 1538594 A2 & JP 2005-148751 A & CN 1617208 A & KR 10-2005-0046462 A	1-19
Y	JP 10-319909 A (カシオ計算機株式会社) 1998.12.04, [0092]-[0093], 図10-図11 & US 5990629 A 第19欄44-65行, 図10-図11 & WO 98/033165 A1 & CN 1216135 A	1-19

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

12.05.2017

国際調査報告の発送日

23.05.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

越川 康弘

21

9605

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 6157356 A (INTERNATIONAL BUSINESS MACHINES COMPANY) 2000. 12. 05, 図 1A-図 6 (ファミリーなし)	1-19
Y	WO 2014/162792 A1 (シャープ株式会社) 2014. 10. 09, [0058]-[0063], [0105]-[0109] & US 2016/0012774 A1 [0165]-[0170], [0224]-[0228] & CN 105074808 A	2-4, 7-8
Y	JP 2003-177714 A (株式会社半導体エネルギー研究所) 2003. 06. 27, [0051]-[0052] & US 2003/0071804 A1 [0073]-[0074] & US 2006/0103684 A1 & EP 1310938 A2 & CN 1409404 A & KR 10-2003-0027788 A	2-4, 7
Y	JP 2007-147867 A (ソニー株式会社) 2007. 06. 14, [0010]-[0011], [0016] (フ ァミリーなし)	2-4, 7
A	JP 2002-91376 A (株式会社日立製作所) 2002. 03. 27, 全文全図 & US 2001/0055828 A1 & US 2004/0196219 A1 & US 2009/0153449 A1	1-19
A	JP 2008-158238 A (エルジー ディスプレイ カンパニー リミテッド) 2008. 07. 10, 全文全図 & KR 10-2008-0059010 A	1-19
A	WO 2015/059966 A1 (シャープ株式会社) 2015. 04. 30, 全文全図 & US 2016/0210892 A1	1-19