



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월18일
(11) 등록번호 10-0759839
(24) 등록일자 2007년09월12일

(51) Int. Cl.

H01L 29/78(2006.01)

(21) 출원번호 10-2006-0054898

(22) 출원일자 2006년06월19일

심사청구일자 2006년06월19일

(56) 선행기술조사문헌

JP09008295 A

(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

손영웅

경기 화성시 반월동 신영통현대3차아파트 309동 502호

윤재만

서울 관악구 봉천6동 우성아파트 102동 1602호

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 40 항

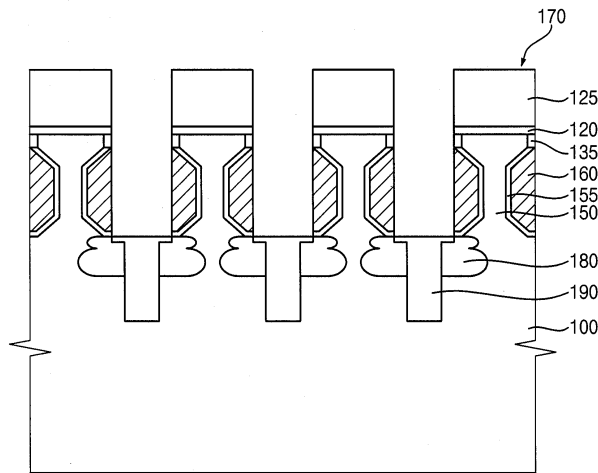
심사관 : 박근용

(54) 수직 채널 반도체 장치 및 그 제조 방법

(57) 요약

수직 채널 반도체 장치 및 그 제조 방법이 개시된다. 수직 채널 반도체 장치는, 측벽에 리세스를 갖는 채널 영역, 리세스를 채우며 채널 영역의 측벽 상에 형성된 게이트 전극 및 채널 영역과 게이트 전극 사이에 형성된 게이트 절연막을 구비하는 게이트 구조물을 포함한다. 채널 영역은 식각된 기판의 일부로 이루어지며, 게이트 구조물 아래의 상기 기판에는 LDD 구조의 하부 소스/드레인 영역이 형성된다. 수직 채널 영역을 갖는 게이트 구조물 아래의 기판에 LDD 구조의 하부 소스/드레인 영역을 형성하여 GIDL에 기인하는 누설 전류를 현저하게 감소시킬 수 있으며, 보호막 패턴을 마스크로 이용하여 채널 영역의 면적을 효과적으로 증가시킬 수 있다.

대표도 - 도2i



(72) 발명자

김봉수

경기 성남시 분당구 야탑동 탑마을선경아파트 114
동 704호

서형원

경기 용인시 기흥구 신갈동 새천년그린빌1단지 10
6동 202호

(56) 선행기술조사문헌

KR1020000023520 A

KR1020050086130 A

KR1020070009140 A

특허청구의 범위

청구항 1

기관 상에 형성되며, 식각된 기관의 일부로 이루어지며 측벽에 리세스를 갖는 채널 영역, 상기 리세스를 채우며 상기 채널 영역의 측벽 상에 형성된 게이트 전극 및 상기 채널 영역과 상기 게이트 전극 사이에 형성된 게이트 절연막을 구비하는 게이트 구조물; 및

상기 게이트 구조물 아래의 상기 기관에 형성된 LDD 구조의 소스/드레인 영역을 포함하는 수직 채널 반도체 장치.

청구항 2

제1항에 있어서, 상기 게이트 구조물은,

상기 채널 영역의 상부 측벽에 형성된 보호막 패턴;

상기 채널 영역 및 상기 보호막 패턴 상에 형성된 버퍼 산화막 패턴; 및

상기 버퍼 산화막 패턴 상에 형성된 마스크 패턴을 더 포함하는 것을 특징으로 하는 수직 채널 반도체 장치.

청구항 3

제2항에 있어서, 상기 게이트 구조물의 측벽 상에 형성된 스페이서를 더 포함하는 것을 특징으로 하는 수직 채널 반도체 장치.

청구항 4

제1항에 있어서, 상기 게이트 구조물은,

상기 채널 영역의 상부 측벽에 형성된 보호막 패턴;

상기 채널 영역 및 상기 보호막 패턴 상에 형성된 게이트 마스크를 더 포함하는 것을 특징으로 하는 수직 채널 반도체 장치.

청구항 5

제1항에 있어서, 상기 소스/드레인 영역은 제1 불순물 영역 및 상기 제1 불순물 영역 아래에 형성된 제2 불순물 영역을 포함하는 것을 특징으로 하는 수직 채널 반도체 장치.

청구항 6

제5항에 있어서, 상기 제1 불순물 영역은 N^- 형의 제1 불순물을 포함하며, 상기 제2 불순물 영역은 N^+ 형의 제2 불순물을 포함하는 것을 특징으로 하는 수직 채널 반도체 장치.

청구항 7

제6항에 있어서, 상기 제1 불순물은 인(P) 또는 붕소(B)를 포함하며, 상기 제2 불순물은 비소(As) 또는 불화 붕소(BF)를 포함하는 것을 특징으로 하는 수직 채널 반도체 장치.

청구항 8

제5항에 있어서, 상기 제1 불순물 영역은 P^- 형의 제1 불순물을 포함하며, 상기 제2 불순물 영역은 P^+ 형의 제2 불순물을 포함하는 것을 특징으로 하는 수직 채널 반도체 장치.

청구항 9

제8항에 있어서, 상기 제1 불순물은 게르마늄(Ge)을 포함하며, 상기 제2 불순물은 납(Pb)을 포함하는 것을 특징으로 하는 수직 채널 반도체 장치.

청구항 10

제1항에 있어서, 상기 소스/드레인 영역은 제1 불순물 영역 및 상기 제1 불순물 영역의 중앙에 형성된 제2 불순물 영역을 포함하는 것을 특징으로 하는 수직 채널 반도체 장치.

청구항 11

제10항에 있어서, 상기 제1 불순물 영역은 N⁻형 또는 P⁻형의 제1 불순물을 포함하며, 상기 제2 불순물 영역은 N⁺형 또는 P⁺형의 제2 불순물을 포함하는 것을 특징으로 하는 수직 채널 반도체 장치.

청구항 12

제10항에 있어서, 상기 제1 불순물은 상기 제2 불순물 보다 가벼운 것을 특징으로 하는 수직 채널 반도체 장치.

청구항 13

제12항에 있어서, 상기 제1 불순물은 인 또는 붕소를 포함하며, 상기 제2 불순물은 비소 또는 불화 붕소를 포함하는 것을 특징으로 하는 수직 채널 반도체 장치.

청구항 14

기관 상에, 식각된 기관의 일부로 이루어지며 측벽에 리세스를 갖는 채널 영역, 상기 리세스를 채우며 상기 채널 영역의 측벽 상에 형성된 게이트 전극 및 상기 채널 영역과 상기 게이트 전극 사이에 형성된 게이트 절연막을 구비하는 게이트 구조물을 형성하는 단계; 및

상기 게이트 구조물 아래의 상기 기관에 LDD 구조의 소스/드레인 영역을 형성하는 단계를 포함하는 수직 채널 반도체 장치의 제조 방법.

청구항 15

제14항에 있어서, 상기 소스/드레인 영역을 형성하는 단계는,

상기 게이트 구조물에 인접하는 상기 기관에 제1 불순물 영역을 형성하는 단계;

상기 제1 불순물 영역을 포함하는 상기 기관을 부분적으로 식각하여 트렌치를 형성하는 단계; 및

상기 제1 불순물 영역 아래의 상기 기관에 제2 불순물 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 16

제15항에 있어서, 상기 제1 불순물 영역을 형성하는 단계는 상기 기관에 N⁻형 또는 P⁻형의 제1 불순물을 주입하는 단계를 더 포함하며, 상기 제2 불순물 영역을 형성하는 단계는 상기 기관에 N⁺형 또는 P⁺형의 제2 불순물을 주입하는 단계를 더 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 17

제16항에 있어서, 상기 제1 불순물을 제1 에너지로 주입되며, 상기 제2 불순물은 상기 제1 에너지 보다 낮은 제2 에너지로 주입되는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 18

제17항에 있어서, 상기 제1 에너지는 $15 \times 10^{14} \sim 35 \times 10^{14}$ KeV이며, 상기 제2 에너지는 $10 \times 10^{14} \sim 30 \times 10^{14}$ KeV 인 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 19

제15항에 있어서, 상기 소스/드레인 영역을 형성하는 단계는,

상기 제1 불순물 영역을 제1 열처리 공정으로 처리하는 단계; 및

상기 제2 불순물 영역을 제2 열처리 공정으로 처리하는 단계를 더 포함하는 것을 특징으로 하는 수직 채널 반도체

체 장치의 제조 방법.

청구항 20

제19항에 있어서, 상기 제1 열처리 공정 및 상기 제2 열처리 공정은 각기 비활성 가스 분위기 하에서 10~30분 동안 750~850℃의 온도에서 수행되는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 21

제14항에 있어서, 상기 소스/드레인 영역을 형성하는 단계는,
 상기 게이트 구조물에 인접하는 상기 기판에 제1 불순물 영역을 형성하는 단계;
 상기 제1 불순물 영역 아래의 상기 기판에 제2 불순물 영역을 형성하는 단계; 및
 상기 제1 및 제2 불순물 영역을 포함하는 상기 기판을 부분적으로 식각하여 트렌치를 형성하는 단계를 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 22

제21항에 있어서, 상기 제1 불순물 영역은 상기 기판에 제1 불순물을 제1 에너지로 주입하여 형성되며, 상기 제2 불순물 영역은 상기 기판에 제2 불순물을 상기 제1 에너지보다 낮은 제2 에너지로 주입하여 형성되는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 23

제22항에 있어서, 상기 제1 에너지는 $15 \times 10^{14} \sim 35 \times 10^{14}$ KeV이며, 상기 제2 에너지는 $10 \times 10^{14} \sim 30 \times 10^{14}$ KeV 인 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 24

제21항에 있어서, 상기 소스/드레인 영역을 형성하는 단계는 상기 제1 및 제2 불순물 영역을 동시에 열처리하는 단계를 더 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 25

제14항에 있어서, 상기 소스/드레인 영역을 형성하는 단계는,
 상기 게이트 구조물의 측벽 상에 스페이서를 형성하는 단계;
 상기 게이트 구조물에 인접하는 상기 기판에 제1 불순물 영역을 형성하는 단계;
 상기 제1 불순물 영역 아래의 상기 기판에 제2 불순물 영역을 형성하는 단계;
 상기 제1 및 제2 불순물 영역을 포함하는 상기 기판을 부분적으로 식각하여 트렌치를 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 26

제25항에 있어서, 상기 제1 불순물 영역은 상기 기판에 제1 불순물을 제1 에너지로 주입하여 형성되며, 상기 제2 불순물 영역은 상기 기판에 제2 불순물을 상기 제1 에너지보다 높은 제2 에너지로 주입하여 형성되는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 27

제26항에 있어서, 상기 제1 에너지는 $15 \times 10^{14} \sim 35 \times 10^{14}$ KeV이며, 상기 제2 에너지는 $30 \times 10^{14} \sim 50 \times 10^{14}$ KeV 인 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 28

제14항에 있어서, 상기 소스/드레인 영역을 형성하는 단계는,

상기 게이트 구조물에 인접하는 상기 기판에 소정의 깊이로 제1 불순물을 주입하는 단계;

상기 제1 불순물과 동일한 이온 주입 투사 깊이로 상기 게이트 구조물에 인접하는 상기 기판에 제2 불순물을 주입하는 단계;

상기 제1 및 제2 불순물이 주입된 상기 기판을 부분적으로 식각하여 트렌치를 형성하는 단계를 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 29

제28항에 있어서, 상기 소스/드레인 영역을 형성하는 단계는 상기 제1 및 제2 불순물이 주입된 상기 기판을 열처리 공정으로 처리하는 단계를 더 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 30

제29항에 있어서, 상기 열처리 공정 동안 상기 제1 불순물의 확산 거리가 상기 제2 불순물의 확산 거리 보다 큰 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 31

기판 상에 버퍼 산화막 패턴 및 마스크 패턴을 형성하는 단계;

상기 마스크 패턴에 의해 노출되는 상기 기판의 제1 부분을 부분적으로 식각하여 제1 개구를 형성하는 단계;

상기 제1 개구의 측벽 상에 보호막 패턴을 형성하는 단계;

상기 마스크 패턴 아래의 상기 기판의 제2 부분을 식각하여 측벽에 리세스를 갖는 채널 영역을 형성하는 단계;

상기 채널 영역 및 상기 기판의 제1 부분 상에 게이트 절연막을 형성하는 단계;

상기 리세스를 채우면서 채널 영역을 감싸는 게이트 전극을 형성하는 단계;

상기 채널 영역 아래의 상기 기판에 LDD 구조의 소스/드레인 영역을 형성하는 단계를 포함하는 수직 채널 반도체 장치의 제조 방법.

청구항 32

제31항에 있어서, 상기 소스/드레인 영역을 형성하는 단계는,

상기 채널 영역에 인접하는 상기 기판에 제1 불순물 영역을 형성하는 단계;

상기 제1 불순물 영역을 포함하는 상기 기판을 부분적으로 식각하여 트렌치를 형성하는 단계; 및

상기 제1 불순물 영역 아래의 상기 기판에 제2 불순물 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 33

제32항에 있어서, 상기 소스/드레인 영역을 형성하는 단계는, 상기 제1 불순물 영역을 제1 열처리 공정으로 처리하는 단계 및 상기 제2 불순물 영역을 제2 열처리 공정으로 처리하는 단계를 더 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 34

제31항에 있어서, 상기 소스/드레인 영역을 형성하는 단계는,

상기 채널 영역에 인접하는 상기 기판에 제1 불순물 영역을 형성하는 단계;

상기 제1 불순물 영역 아래의 상기 기판에 제2 불순물 영역을 형성하는 단계; 및

상기 제1 및 제2 불순물 영역을 포함하는 상기 기판을 부분적으로 식각하여 트렌치를 형성하는 단계를 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 35

제34항에 있어서, 상기 소스/드레인 영역을 형성하는 단계는 상기 제1 및 제2 불순물 영역을 동시에 열처리하는 단계를 더 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 36

제31항에 있어서, 상기 소스/드레인 영역을 형성하는 단계는,
 상기 버퍼 산화막 패턴, 마스크 패턴, 보호막 패턴 및 게이트 전극의 측벽 상에 스페이서를 형성하는 단계;
 상기 게이트 전극에 인접하는 상기 기판에 제1 불순물 영역을 형성하는 단계;
 상기 제1 불순물 영역 아래의 상기 기판에 제2 불순물 영역을 형성하는 단계;
 상기 제1 및 제2 불순물 영역을 포함하는 상기 기판을 부분적으로 식각하여 트렌치를 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 37

제31항에 있어서, 상기 소스/드레인 영역을 형성하는 단계는,
 상기 채널 영역에 인접하는 상기 기판에 소정의 깊이로 제1 불순물을 주입하는 단계;
 상기 제1 불순물과 동일한 이온 주입 투사 깊이로 상기 게이트 전극에 인접하는 상기 기판에 제2 불순물을 주입하는 단계;
 상기 제1 및 제2 불순물이 주입된 상기 기판을 부분적으로 식각하여 트렌치를 형성하는 단계를 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 38

제37항에 있어서, 상기 소스/드레인 영역을 형성하는 단계는, 상기 제1 및 제2 불순물이 주입된 상기 기판을 열처리하는 단계를 더 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 39

제31항에 있어서, 상기 채널 영역을 형성하는 단계는,
 상기 기판의 제1 부분을 제1 방향으로 식각하여 제2 개구를 형성하는 단계;
 상기 기판의 제2 부분을 상기 제1 방향과 직교하는 제2 방향으로 식각하여 상기 리세스를 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

청구항 40

제39항에 있어서, 상기 제2 개구는 이방성 식각 공정으로 형성되며, 상기 리세스는 등방성 식각 공정으로 형성되는 것을 특징으로 하는 수직 채널 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<19> 본 발명은 수직 채널 반도체 장치 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 LDD(Lightly Doped Drain) 구조의 소스/드레인 영역들을 구비하는 수직 채널 반도체 장치 및 그 제조 방법에 관한 것이다.

<20> 종래의 반도체 메모리 장치에 있어서, 일반적으로 트랜지스터는 전자나 홀을 공급하는 소스 영역, 상기 소스 영역으로부터 공급된 전자나 홀을 받아서 고갈시키는 드레인 영역, 그리고 이러한 전자나 홀의 흐름을 제어하는 게이트 전극을 구비한다. 상기 게이트에서 전자나 홀의 흐름을 제어하는 방식이 게이트 전극에 인가된 전압에 의하여 형성되는 전계할 경우, 이러한 구조를 전계 효과 트랜지스터라 일컫는다. 또한, 소스 영역으로부터 유입

된 전자나 홀이 드레인 영역으로 지나가는 영역을 채널 영역이라 부르며, 대체로 채널 영역은 소스 영역과 드레인 영역 사이에 존재한다. 게이트 전극과 채널 영역을 전기적으로 절연시키기 위하여 이들 사이에 게이트 절연막이 형성된다.

- <21> 근래 들어 반도체 메모리 장치의 집적도가 크게 증가함에 따라 트랜지스터의 게이트 전극의 길이도 급격하게 감소하고 있다. 이와 같이 게이트 전극의 길이가 감소함에 따라 단채널(short channel) 효과와 같은 문제점이 발생하게 된다. 대체로 단채널 효과는 여러 가지 문제점들을 통칭하는 것으로 대표적으로는 트랜지스터의 누설 전류의 증가, 항복 전압의 감소 및 드레인 전압에 따른 전류의 지속적인 증가 등을 포함한다. 이러한 단채널 효과는 트랜지스터의 소스 영역과 드레인 영역 사이의 거리가 감소됨에 따라 유발되기 때문에, 소스 영역 및 드레인 영역 사이에 위치하는 채널 영역의 길이를 증가시키기 위하여 핀(fin)형 채널 영역의 양 측면을 게이트 전극이 감싸는 구조를 갖는 트랜지스터와 같은 새로운 구조의 수직 채널 반도체 장치가 개발되었다. 예를 들면, 상기 수직 채널 반도체 장치는 일본공개특허 제1998-65160호, 대한민국 특허공고 제1995-0001154호 및 미국등록특허 제5,929,477호 등에 개시되어 있다.
- <22> 도 1은 상기 일본공개특허에 개시된 수직 채널 반도체 장치의 단면도를 도시한 것이다.
- <23> 도 1을 참조하면, 종래의 수직 채널 반도체 장치는 요부(凹部)(5b) 및 철부(凸部)(5a)가 마련된 반도체 기판(1) 상에 형성된다. 여기서, 기판(1)의 요부(5b)가 채널 영역으로 기능하며, 기판(1)의 요부(5b) 상에는 드레인 영역(30)이 형성된다. 한편, 기판(1)의 철부(5a)에는 소스 영역(20)이 형성된다.
- <24> 드레인 영역(30)은 기판(1)의 요부(5b) 상에 순차적으로 형성된 N^- 형의 저농도 영역(25b) 및 N^+ 형의 고농도 영역(25a)을 구비한다. 소스 영역(20)은 기판(1)의 요부(5b)와 철부(5a)의 견경 부위에 형성된 매립층(10), 매립층(10)에 인접하여 기판(1)의 철부(5a)에 형성된 N^- 형 저농도 영역(15b), 그리고 저농도 영역(15b) 상에 형성된 N^+ 형의 고농도 영역(15a)을 포함한다.
- <25> 기판(1)의 철부(5a) 및 요부(5b)의 전면에는 게이트 절연막(35)이 형성되며, 게이트 절연막(35)을 개재하여 기판(1)의 요부(5b)의 측벽 상에는 게이트 전극(40)이 형성된다.
- <26> 전술한 구조물을 덮으면서 기판(1) 상에는 층간 절연막(45)이 형성되며, 층간 절연막(45)을 관통하여 드레인 영역(30)에 접촉되는 플러그(50)가 형성된다. 층간 절연막(40) 상에는 플러그(50)에 접촉되는 금속 배선(55)이 위치한다.
- <27> 그러나 전술한 종래의 수직 채널 반도체 장치에 있어서, 비록 종래의 단채널 효과로부터 야기되는 문제점들은 해결될 수 있으나, 항복 전압 이전에서 드레인 영역과 기판 사이에 누설 전류(leakage current)가 증가되는 GIDL(Gate Induced Drain leakage) 현상으로 인하여 반도체 장치의 전기적인 특성이 저하되는 또 다른 문제점이 발생된다. 즉, 게이트 전극과 드레인 영역 사이의 발생하는 전계에 의하여 드레인 영역에서 상대적으로 깊은 공핍이 형성됨에 따라 전자들은 드레인 영역으로 홀들은 기판으로 빠져 나가는 현상이 발생된다. 따라서 단채널 효과를 극복하면서 GIDL에 의한 누설 전류의 증가를 효과적으로 방지할 수 있는 새로운 구조의 수직 채널 반도체 장치가 여전히 요구된다.

발명이 이루고자 하는 기술적 과제

- <28> 본 발명의 일 목적은 단채널 효과를 방지하면서 누설 전류를 효과적으로 억제하여 향상된 개선된 전기적 특성을 가지는 수직 채널 반도체 장치를 제공하는 것이다.
- <29> 본 발명의 다른 목적은, 단채널 효과 및 누설 전류의 방지를 통하여 전기적 특성을 향상시킬 수 있는 수직 채널 반도체 장치의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

- <30> 전술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 바람직한 실시예들에 따른 수직 채널 반도체 장치는, 측벽에 리세스를 갖는 채널 영역, 상기 리세스를 채우며 상기 채널 영역의 측벽 상에 형성된 게이트 전극 및 상기 채널 영역과 상기 게이트 전극 사이에 형성된 게이트 절연막을 구비하는 게이트 구조물, 그리고 상기 게이트 구조물 아래의 상기 기판에 형성된 LDD 구조의 소스/드레인 영역을 포함한다. 상기 채널 영역은 식각된 기판의 일부로 이루어진다.
- <31> 본 발명의 일 실시예에 있어서, 상기 소스/드레인 영역은 제1 불순물 영역 및 상기 제1 불순물 영역 아래에 형

성된 제2 불순물 영역을 포함한다. 상기 제1 불순물 영역은 N⁻형 또는 P⁻형의 제1 불순물을 포함하며, 상기 제2 불순물 영역은 N⁺형 또는 P⁺형의 제2 불순물을 포함한다. 예를 들면, 상기 제1 불순물은 게르마늄(Ge), 인(P) 또는 붕소(B)를 포함하며, 상기 제2 불순물은 납(Pb), 비소(As) 또는 불화 붕소(BF)를 포함한다.

<32> 본 발명의 다른 실시예에 있어서, 상기 소스/드레인 영역은 제1 불순물 영역 및 상기 제1 불순물 영역의 중앙에 형성된 제2 불순물 영역을 포함한다. 여기서, 상기 제1 불순물은 상기 제2 불순물 보다 가벼운 무게를 가진다.

<33> 진술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 바람직한 실시예들에 따른 수직 채널 반도체 장치의 제조 방법에 있어서, 식각된 기판의 일부로 이루어지며 측벽에 리세스를 갖는 채널 영역, 상기 리세스를 채우며 상기 채널 영역의 측벽 상에 형성된 게이트 전극 및 상기 채널 영역과 상기 게이트 전극 사이에 형성된 게이트 절연막을 구비하는 게이트 구조물을 기판 상에 형성한다. 상기 게이트 구조물 아래의 상기 기판에 LDD 구조의 소스/드레인 영역을 형성한다.

<34> 본 발명의 일 실시예에 따르면, 상기 소스/드레인 영역을 형성하는 단계에 있어서, 상기 게이트 구조물에 인접하는 상기 기판에 제1 불순물 영역을 형성한 후, 상기 제1 불순물 영역을 포함하는 상기 기판을 부분적으로 식각하여 트렌치를 형성한다. 이어서, 상기 제1 불순물 영역 아래의 상기 기판에 제2 불순물 영역을 형성한다. 여기서, 상기 제1 불순물을 제1 에너지로 주입되며, 상기 제2 불순물은 상기 제1 에너지 보다 낮은 제2 에너지로 주입된다. 예를 들면, 상기 제1 에너지는 약 $15 \times 10^{14} \sim 35 \times 10^{14}$ KeV 정도이며, 상기 제2 에너지는 약 $10 \times 10^{14} \sim 30 \times 10^{14}$ KeV 정도가 된다. 또한, 상기 제1 불순물 영역은 제1 열처리 공정으로 처리되며, 상기 제2 불순물 영역은 제2 열처리 공정으로 처리된다. 예를 들면, 상기 제1 및 제2 열처리 공정은 각기 비활성 가스 분위기 하에서 10~30분 동안 750~850℃의 온도에서 수행된다.

<35> 본 발명의 다른 실시예에 따르면, 상기 소스/드레인 영역을 형성하는 단계에 있어서, 상기 게이트 구조물에 인접하는 상기 기판에 제1 불순물 영역을 형성한 다음, 상기 제1 불순물 영역 아래의 상기 기판에 제2 불순물 영역을 형성한다. 계속하여, 상기 제1 및 제2 불순물 영역을 포함하는 상기 기판을 부분적으로 식각하여 트렌치를 형성한다. 상기 제1 불순물 영역은 상기 기판에 제1 불순물을 제1 에너지로 주입하여 형성되며, 상기 제2 불순물 영역은 상기 기판에 제2 불순물을 상기 제1 에너지보다 낮은 제2 에너지로 주입하여 형성된다. 또한, 상기 제1 및 제2 불순물 영역을 동시에 열처리된다.

<36> 본 발명의 또 다른 실시예에 따르면, 상기 소스/드레인 영역을 형성하는 단계에 있어서, 상기 게이트 구조물의 측벽 상에 스페이서를 형성한 후, 상기 게이트 구조물에 인접하는 상기 기판에 제1 불순물 영역을 형성한다. 이어서, 상기 제1 불순물 영역 아래의 상기 기판에 제2 불순물 영역을 형성한 다음, 상기 제1 및 제2 불순물 영역을 포함하는 상기 기판을 부분적으로 식각하여 트렌치를 형성한다. 여기서, 상기 제1 불순물 영역은 상기 기판에 제1 불순물을 제1 에너지로 주입하여 형성되며, 상기 제2 불순물 영역은 상기 기판에 제2 불순물을 상기 제1 에너지보다 높은 제2 에너지로 주입하여 형성된다. 예를 들면, 상기 제1 에너지는 약 $15 \times 10^{14} \sim 35 \times 10^{14}$ KeV 정도이며, 상기 제2 에너지는 약 $30 \times 10^{14} \sim 50 \times 10^{14}$ KeV 정도가 된다.

<37> 본 발명의 또 다른 실시예에 따르면, 상기 소스/드레인 영역을 형성하는 단계에 있어서, 상기 게이트 구조물에 인접하는 상기 기판에 소정의 깊이로 제1 불순물을 주입한 다음, 상기 제1 불순물과 동일한 이온 주입 투사 깊이로 상기 게이트 구조물에 인접하는 상기 기판에 제2 불순물을 주입한다. 계속하여, 상기 제1 및 제2 불순물이 주입된 상기 기판을 부분적으로 식각하여 트렌치를 형성한다. 상기 제1 및 제2 불순물이 주입된 상기 기판을 열처리 공정으로 처리할 수 있으며, 이러한 열처리 공정 동안 상기 제1 불순물의 확산 거리가 상기 제2 불순물의 확산 거리에 비하여 길어진다.

<38> 진술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 바람직한 실시예들에 따른 수직 채널 반도체 장치의 제조 방법에 있어서, 기판 상에 버퍼 산화막 패턴 및 마스크 패턴을 형성한 후, 상기 마스크 패턴에 의해 노출되는 상기 기판의 제1 부분을 부분적으로 식각하여 제1 개구를 형성한다. 상기 제1 개구의 측벽 상에 보호막 패턴을 형성한 다음, 상기 마스크 패턴 아래의 상기 기판의 제2 부분을 식각하여 측벽에 리세스를 갖는 채널 영역을 형성한다. 상기 채널 영역 및 상기 기판의 제1 부분 상에 게이트 절연막을 형성하고, 상기 리세스를 채우면서 채널 영역을 감싸는 게이트 전극을 형성한 후, 상기 채널 영역 아래의 상기 기판에 LDD 구조의 소스/드레인 영역을 형성한다.

<39> 본 발명에 따르면, 수직 채널 영역을 갖는 게이트 구조물 아래의 기판에 LDD 구조의 하부 소스/드레인 영역을

형성함으로써, GIDL에 기인하는 누설 전류를 현저하게 감소시킬 수 있다. 또한, 보호막 패턴을 마스크로 이용하여 기판의 일부를 식각함으로써, 채널 영역의 면적을 효과적으로 증가시킬 수 있다. 이에 따라, 단채널 효과로부터 발생하는 문제점들을 해결할 수 있는 동시에 반도체 장치의 전기적인 특성을 크게 향상시킬 수 있다.

- <40> 이하, 본 발명에 따른 바람직한 실시예들에 따른 수직 채널 반도체 장치 및 그 제조 방법에 대하여 첨부된 도면을 참조하여 상세하게 설명하지만, 본 발명이 하기의 실시예들에 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다. 첨부된 도면에 있어서, 기판, 층(막), 영역, 개구, 전극, 패턴 또는 구조물의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 본 발명에 있어서, 각 층(막), 영역, 개구, 전극, 패턴 또는 구조물이 기판, 각 층(막), 영역, 전극, 개구 또는 패턴들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 전극, 개구, 패턴 또는 구조물이 직접 기판, 각 층(막), 영역, 개구 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 전극, 다른 패턴 또는 다른 구조물이 기판 상에 추가적으로 형성될 수 있다. 또한, 물질, 공정, 층(막), 영역, 개구, 전극, 패턴 또는 구조물들이 "제1", "제2", "예비", "하부" 및/또는 "상부"로 언급되는 경우, 이러한 부재들을 한정하기 위한 것이 아니라 단지 각 물질, 공정, 층(막), 영역, 개구, 전극, 패턴 또는 구조물들을 구분하기 위한 것이다. 따라서 "제1", "제2", "예비", "하부" 및/또는 "상부"는 각 물질, 공정, 층(막), 영역, 전극, 개구, 패턴 또는 구조물들에 대하여 각기 선택적으로 또는 교환적으로 사용될 수 있다.
- <41> 도 2a 내지 도 2i는 본 발명의 일 실시예에 따른 수직 채널 반도체 장치의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다.
- <42> 도 2a를 참조하면, 기판(100) 상에 버퍼 산화막(105)을 형성한다. 기판(100)은 실리콘 웨이퍼 또는 SOI(Silicon-On-Insulator) 기판 등과 같은 반도체 기판을 포함한다.
- <43> 버퍼 산화막(105)은 기판(100)의 상면을 기준으로 상대적으로 얇은 두께로 형성된다. 예를 들면, 버퍼 산화막(105)은 약 50~150Å 정도의 두께를 가진다. 본 발명의 일 실시예에 따르면, 버퍼 산화막(105)은 열 산화(thermal oxidation) 공정을 이용하여 기판(100)의 표면 부위를 산화시켜 형성된다. 본 발명의 다른 실시예에 있어서, 버퍼 산화막(105)은 화학 기상 증착(CVD), 플라즈마 증대 화학 기상 증착(PECVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정을 이용하여 기판(100) 상에 산화물을 증착함으로써 형성될 수 있다. 예를 들면, 버퍼 산화막(105)은 실리콘 산화물로 이루어진다.
- <44> 버퍼 산화막(105) 상에는 마스크층(110)이 형성된다. 마스크층(110)은 기판(100) 및 버퍼 산화막(105)에 대하여 식각 선택비를 가지는 물질을 사용하여 형성된다. 본 발명의 실시예들에 따르면, 마스크층(110)은 실리콘 질화물 등의 질화물이나 실리콘 산질화물 또는 티타늄 산질화물과 같은 산질화물을 사용하여 형성된다. 또한, 마스크층(110)은 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PECVD) 공정 또는 원자층 적층(ALD) 공정을 이용하여 형성된다.
- <45> 마스크층(110) 상에 포토레지스트막을 도포한 다음, 상기 포토레지스트막에 대해 노광 공정 및 현상 공정을 수행하여 마스크층(110) 상에 게이트 구조물들(170)(도 2g 참조)이 형성될 영역을 정의하는 포토레지스트 패턴(115)을 형성한다.
- <46> 도 2b를 참조하면, 포토레지스트 패턴(115)을 식각 마스크로 이용하여 마스크층(110)을 부분적으로 식각함으로써, 버퍼 산화막(105) 상에 마스크 패턴(125)을 형성한다. 포토레지스트 패턴(115)은 애싱(ashing) 공정 및/또는 스트리핑(stripping) 공정을 통하여 마스크 패턴(125)으로부터 제거된다.
- <47> 본 발명의 실시예들에 있어서, 마스크 패턴(125)은 게이트 구조물들(170)을 형성하기 위한 식각 마스크의 역할을 수행하는 동시에 후속되는 공정 동안 게이트 구조물들(170)을 보호하는 게이트 마스크의 기능도 수행한다. 또한, 마스크 패턴(125)은 LDD(lightly doped drain) 구조를 갖는 소스/드레인 영역(180)(도 2i 참조)을 형성하기 위한 이온 주입 공정들을 수행하는 동안 이온 주입 마스크의 역할도 하게 된다.
- <48> 다시 도 2b를 참조하면, 마스크 패턴(125)을 식각 마스크로 이용하는 제1 식각 공정을 통해 기판(100)에 대해 실질적으로 수직한 제1 방향을 따라 버퍼 산화막(105) 및 기판(100)의 제1 부분을 부분적으로 식각함으로써, 기판(100)과 마스크 패턴(125) 사이에 버퍼 산화막 패턴(120)을 형성하는 한편, 기판(100)의 제1 부분에 제1 개구(130)를 형성한다. 본 발명의 실시예들에 있어서, 상기 제1 식각 공정은 이방성 건식 식각 공정 또는 이방성 습식 식각 공정을 포함한다.
- <49> 제1 개구(130)는 기판(100)의 상면으로부터 제1 깊이로 형성된다. 예를 들면, 제1 개구(130)는 약 100~500Å

정도의 제1 깊이로 형성된다. 이러한 제1 개구(130)의 제1 깊이에 의해 후속하여 형성되는 보호막 패턴(135)(도 2c 참조)의 높이가 결정된다. 따라서 제1 개구(130)의 제1 깊이를 조절하여 요구되는 바에 따라 보호막 패턴(135)의 높이를 적절하게 변화시킬 수 있다. 마스크 패턴(125) 및 제1 개구(130)가 형성되면, 제1 개구(130)의 저면을 구성하는 기판(100)의 제1 부분이 노출되는 반면 게이트 구조물(170)의 채널 영역(150)(도 2e 참조)을 구성하는 기판(100)의 제2 부분은 노출되지 않는다. 이러한 기판(100)의 제2 부분은 후속하는 식각 공정을 통해 게이트 구조물(170)의 채널 영역(150)(도 2g 참조)으로 변화된다.

<50> 도 2c를 참조하면, 노출된 기판(100)의 제1 부분 및 마스크 패턴(125) 상에 보호막을 형성한 후, 상기 보호막을 부분적으로 식각하여 제1 개구(130)의 측벽 상에 보호막 패턴(135)을 형성한다. 예를 들면, 보호막 패턴(135)은 상기 보호막을 에치 백 공정을 통해 식각함으로써 형성된다. 즉, 이방성 식각 공정을 이용하여 상기 보호막 가운데 제1 개구(130)의 저면 상에 형성된 부분 및 마스크 패턴(125) 상에 형성된 부분을 제거함으로써, 제1 개구(130)의 측벽 상에만 보호막 패턴(135)을 형성한다. 이에 따라, 제1 개구(130)의 저면은 기판(100)의 제1 부분에 의해 정의되지만, 제1 개구(130)의 측벽은 보호막 패턴(135)에 의해 한정된다. 전술한 바와 같이, 보호막 패턴(135)이 제1 개구(130)의 측벽 상에만 형성되기 때문에 보호막 패턴(135)의 높이는 제1 개구(130)의 제1 깊이와 실질적으로 동일하게 된다. 보호막 패턴(135)을 형성함에 따라 기판(100)의 제2 부분을 식각하여 형성되는 채널 영역(150)의 면적을 확장시킬 수 있다. 즉, 보호막 패턴(135)이 채널 영역(150)의 상부 측벽에 형성되기 때문에 채널 영역(150)이 실질적으로 "I"에 가까운 단면 형상과 같이 확장된 면적을 가질 수 있다.

<51> 본 발명의 실시예들에 있어서, 상기 보호막은 산화물로 이루어진다. 이 경우, 상기 보호막은 열 산화 공정을 이용하여 제1 개구(130)의 측벽 및 저면을 구성하는 기판(100)의 일부를 산화시켜 형성할 수 있다. 또한, 상기 보호막은 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PECVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정을 이용하여 제1 개구(130)의 측벽 및 저면 상에 산화물을 증착하여 형성할 수 있다. 이와 같은 보호막을 이방성 식각 공정으로 식각할 경우, 제1 개구(130)의 측벽 상에만 보호막 패턴(135)이 형성된다. 제1 개구(130)의 측벽 상에 보호막 패턴(135)이 형성되면, 제1 개구(130)의 저면을 이루는 기판(100)의 제1 부분이 다시 노출된다.

<52> 도 2d를 참조하면, 마스크 패턴(125) 및 보호막 패턴(135)을 식각 마스크들로 이용하는 제2 식각 공정을 통하여 노출된 기판(100)의 제1 부분을 상기 제1 방향을 따라 식각함으로써, 기판(100)의 제1 부분에 제2 개구(140)를 형성한다. 상기 제2 식각 공정은 이방성 건식 식각 공정 또는 이방성 습식 식각 공정을 포함한다. 제2 개구(140)는 기판(100)의 상면으로부터 제2 깊이를 가진다. 예를 들면, 제2 개구(140)의 약 500~1500Å 정도의 제2 깊이를 가진다.

<53> 제2 개구(140)가 형성됨에 따라 식각되지 않은 기판(100)의 제2 부분을 포함하는 예비 필라 구조물(pillar structure)(148)이 형성된다. 즉, 전술한 제1 식각 공정 및 제2 식각 공정을 통하여 기판(100)의 제1 부분이 식각됨으로써, 기판(100) 상에는 기판(100)의 제2 부분을 포함하는 예비 필라 구조물(148)이 형성된다. 예비 필라 구조물(148)은 기판(100)의 제2 부분, 보호막 패턴(135), 버퍼 산화막 패턴(120) 및 마스크 패턴(125)을 포함한다. 여기서, 보호막 패턴(135)은 반도체 장치의 채널 영역(150)으로 변화되는 기판(100)의 제2 부분의 상부 측벽 상에 형성된다.

<54> 도 2e를 참조하면, 마스크 패턴(125) 및 보호막 패턴(135)을 다시 식각 마스크들로 이용하는 제3 식각 공정을 통해 기판(100)의 제2 부분을 기판(100)에 실질적으로 수평한 제2 방향을 따라 식각함으로써, 기판(100)의 제2 부분의 측벽에 리세스(145)를 형성한다. 예를 들면, 리세스(145)는 기판(100)의 제2 부분의 측면으로부터 약 150~250Å 정도의 깊이로 형성된다. 기판(100)의 제2 부분에 리세스(145)가 형성됨에 따라, 기판(100)의 제2 부분이 채널 영역(150)으로 변화되며, 예비 필라 구조물(148)은 채널 영역(150)을 포함하는 필라 구조물(153)로 변화된다. 필라 구조물(150)은 측벽에 리세스(145)가 형성된 채널 영역(150), 보호막 패턴(135), 버퍼 산화막 패턴(120) 및 마스크 패턴(125)을 포함한다. 전술한 바와 같이, 보호막 패턴(135)으로 인하여 채널 영역(150)은 "I"자에 가깝게 상부 및 하부가 확장된 단면 구조를 가진다.

<55> 본 발명의 실시예들에 있어서, 상기 제3 식각 공정은 등방성 습식 식각 공정 또는 등방성 건식 식각 공정을 포함한다. 따라서 기판(100)의 제2 부분은 상기 제3 식각 공정을 통해 실질적으로 수평하게 식각되어 채널 영역(150)이 형성되는 반면, 기판(100)의 제1 부분은 상기 제1 및 제2 식각 공정을 통하여 실질적으로 수직하게 식각되어 제1 개구(130) 및 제2 개구(140)가 형성된다.

<56> 도 2f를 참조하면, 리세스(145)의 측벽과 저면 및 기판(100) 상에 게이트 절연막(155)을 형성한다. 구체적으로는, 게이트 절연막(155)은 리세스(145)의 측벽과 저면을 구성하는 채널 영역(150) 및 제2 개구(140)의 저면 상

에 연속적으로 형성된다. 즉, 게이트 절연막(155)은 리세스(145)가 형성된 채널 영역(150)을 감싸는 구조로 형성된다.

- <57> 본 발명의 일 실시예에 따르면, 게이트 절연막(155)은 산화물 또는 금속 산화물을 리세스(145)의 측벽과 저면 및 기판(100) 상에 증착하여 형성된다. 예를 들면, 게이트 절연막(145)은 실리콘 산화물, 하프늄 산화물, 지르코늄 산화물, 탄탈륨 산화물 등을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PECVD) 공정, 원자층 적층(ALD) 공정, 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정, 스퍼터링 공정, 전자 빔 증착 공정 또는 펄스 레이저 증착(PLD) 공정으로 증착하여 형성된다.
- <58> 본 발명의 다른 실시예에 따르면, 게이트 절연막(155)은 리세스(145)의 측벽과 저면을 구성하는 채널 영역(150) 및 제2 개구(140)의 저면을 구성하는 기판(100)의 제1 부분을 산화시켜 형성할 수 있다. 예를 들면, 게이트 절연막(155)은 열 산화 공정을 통하여 형성될 수 있다.
- <59> 도 2g를 참조하면, 필라 구조물(153)을 덮으면서 게이트 절연막(155) 상에 도전막을 형성한 후, 상기 도전막을 부분적으로 식각하여 리세스(145)에 매립되는 게이트 전극(160)을 형성한다. 따라서 게이트 전극(160)도 게이트 절연막(155)을 개재하여 채널 영역(150)을 감싸는 구조로 형성된다. 게이트 전극(160)은 상기 도전막을 이방성 식각 공정으로 식각하여 형성된다. 예를 들면, 상기 도전막은 에치 백 공정을 이용하여 부분적으로 식각된다. 상기 도전막은 불순물이 도핑된 폴리실리콘 또는 실리콘 게르마늄을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PECVD) 공정, 원자층 적층(ALD) 공정, 스퍼터링 공정, 전자 빔 증착 공정 또는 펄스 레이저 증착(PLD) 공정으로 증착하여 형성된다.
- <60> 리세스(145)를 채우는 게이트 전극(160)이 형성됨에 따라 기판(100) 상에는 게이트 구조물(170)이 형성된다. 게이트 구조물(170)은 채널 영역(150), 게이트 절연막(155), 게이트 전극(160), 보호막 패턴(135), 버퍼 산화막 패턴(120) 및 마스크 패턴(125)을 포함한다. 본 발명의 다른 실시예에 따르면, 버퍼 산화막 패턴(120) 및 마스크 패턴(125)을 보호막 패턴(135) 및 채널 영역(150)으로부터 제거할 수 있다. 이 경우, 게이트 구조물(170)은 채널 영역(150), 게이트 절연막(155) 및 게이트 전극(160)을 포함하게 된다. 본 발명의 또 다른 실시예에 있어서, 보호막 패턴(120) 및 채널 영역(150) 상에 게이트 마스크를 추가적으로 형성하여, 채널 영역(150), 게이트 절연막(155), 게이트 전극(160) 및 상기 게이트 마스크를 포함하는 게이트 구조물(170)을 형성할 수 있다.
- <61> 게이트 구조물들(170)을 마스크로 이용하여 게이트 구조물들(170) 사이의 기판(100)에 제1 이온 주입 공정으로 제1 불순물을 주입한다. 상기 제1 불순물은 인(P) 또는 붕소(B)와 같은 N^- 형 불순물 또는 게르마늄(Ge)과 같은 P^- 형 불순물을 포함한다. 예를 들면, 상기 제1 불순물은 약 $15 \times 10^{14} \text{KeV}$ 내지 약 $35 \times 10^{14} \text{KeV}$ 정도의 제1 에너지로 게이트 구조물(170)에 인접하는 기판(100)에 주입된다.
- <62> 기판(100)에 대해 제1 열처리 공정을 수행하여 상기 제1 불순물을 확산시킴으로써, 게이트 구조물(170)에 인접하는 제1 불순물 영역(175)을 형성한다. 예를 들면, 상기 제1 열처리 공정은 질소(N_2) 가스, 아르곤(Ar) 가스 또는 헬륨(He) gas와 같은 비활성 가스 분위기 하에서 수행된다. 또한, 제1 불순물 영역(175)은 약 750~850℃ 정도의 온도에서 약 10~30분 동안 기판(100)을 1차적으로 열처리하여 형성된다.
- <63> 도 2h를 참조하면, 게이트 구조물들(170) 사이의 게이트 절연막(155)과 제1 불순물 영역(175)을 포함하는 기판(100)을 부분적으로 식각하여 트렌치(185)를 형성한다. 트렌치(185)는 게이트 구조물(170)을 식각 마스크로 이용하는 이방성 식각 공정을 통하여 형성된다. 예를 들면, 트렌치(185)는 기판(100)의 상면으로부터 약 200~800 Å 정도의 깊이로 형성된다. 기판(100)에 트렌치(185)가 형성되면 인접하는 게이트 구조물들(170) 사이의 제1 불순물 영역(175)이 트렌치(185)에 의하여 분리된다.
- <64> 제1 불순물 영역(175) 아래의 기판(100)에 제2 이온 주입 공정으로 제2 불순물을 주입하여 제2 불순물 영역을 형성한 다음, 제2 열처리 공정을 수행하여 게이트 구조물(170) 아래의 기판(100)에 LDD 구조를 가지는 소스/드레인 영역(180)을 형성한다. 여기서, 상기 제2 불순물은 비소(As) 또는 불화 붕소(BF)와 같은 N^+ 형 불순물 또는 납(Pb)과 같은 P^+ 형 불순물을 포함한다. 예를 들면, 상기 제2 불순물은 상기 제1 에너지 보다 낮은 약 $10 \times 10^{14} \text{KeV}$ 내지 약 $30 \times 10^{14} \text{KeV}$ 정도의 제2 에너지로 제1 불순물 영역(175) 아래의 기판(100)에 주입된다. 상기 제2 열처리 공정은 질소 가스, 아르곤 가스 또는 헬륨 gas와 같은 비활성 가스 분위기 하에서 수행된다. 또한, 소스/드레인 영역(180)은 약 750~850℃ 정도의 온도에서 약 10~30분 동안 기판(100)을 2차적으로 열처리하여 형성된다.

- <65> 도 2i를 참조하면, 트렌치(185)를 채우면서 게이트 구조물들(170) 사이의 기판(100) 상에 소자 분리막(190)을 형성하여 수직 채널을 구비하는 반도체 장치를 완성한다. 소자 분리막(190)은 산화물로 이루어지며, 열 산화 공정 또는 화학 기상 증착 공정을 이용하여 형성된다.
- <66> 도 6은 종래의 수직 채널 반도체 장치와 본 발명에 따른 수직 채널 반도체 장치의 GIDL에 기인하는 누설 전류를 측정된 결과를 나타내는 그래프이다. 도 6에 있어서, "I"는 종래의 수직 채널 반도체 장치의 누설 전류를 나타내며, "II"는 본 발명에 따른 수직 채널 반도체 장치의 누설 전류를 나타낸다.
- <67> 도 6에 도시한 바와 같이, 종래의 수직 채널 반도체 장치의 누설 전류가 약 1×10^{-13} 정도인 반면, 본 발명에 따라 LDD 구조의 하부 소스/드레인 영역을 포함하는 수직 채널 반도체 장치의 누설 전류는 약 1.0×10^{-15} 정도이다. 따라서 본 발명에 따른 수직 채널 반도체 장치는 현저하게 개선된 전기적 특성을 가짐을 확인할 수 있다.
- <68> 도 3a 및 도 3b는 본 발명의 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다. 도 3a 및 도 3b에 있어서, 기판(100) 상에 채널 영역(150), 게이트 절연막(155), 보호막 패턴(135), 버퍼 산화막 패턴(125) 및 마스크 패턴(125)을 포함하는 게이트 구조물들(170)을 형성하기까지의 공정들은 도 2a 내지 도 2h를 참조하여 전술한 공정들과 실질적으로 동일하므로 이에 대한 설명은 생략한다.
- <69> 도 3a를 참조하면, 게이트 구조물들(170)을 마스크로 이용하여 게이트 구조물들(170) 사이의 기판(100)에 제1 이온 주입 공정으로 제1 불순물을 주입한 후, 상기 제1 불순물이 주입된 부분 아래의 기판(100)에 제2 이온 주입 공정으로 제2 불순물을 주입한다. 상기 제1 불순물은 인 또는 붕소와 같은 N⁻형 불순물 또는 게르마늄과 같은 P⁻형 불순물을 포함하며, 상기 제2 불순물은 비소 또는 불화 붕소와 같은 N⁺형 불순물 또는 납과 같은 P⁺형 불순물을 포함한다. 예를 들면, 상기 제1 불순물은 약 $15 \times 10^{14} \sim 35 \times 10^{14}$ KeV 정도의 제1 에너지로 주입되며, 상기 제2 불순물은 상기 제1 에너지보다 낮은 약 $10 \times 10^{14} \sim 30 \times 10^{14}$ KeV 정도의 제2 에너지로 주입된다.
- <70> 상기 제1 및 제2 불순물들이 주입된 기판(100)에 대해 열처리 공정을 수행하여 상기 제1 및 제2 불순물을 확산 시킴으로써, 게이트 구조물(170)에 인접하는 기판(100)에 제1 불순물 영역(200) 및 제2 불순물 영역(205)을 형성한다. 예를 들면, 상기 열처리 공정은 질소 가스, 아르곤 가스 또는 헬륨 gas와 같은 비활성 가스 분위기 하에서 수행된다. 제1 및 제2 불순물 영역(200, 205)은 약 750~850°C 정도의 온도에서 약 10~30분 동안 기판(100)을 열처리하여 형성된다.
- <71> 도 3b를 참조하면, 게이트 구조물들(170) 사이의 게이트 절연막(155)과 제1 및 제2 불순물 영역(200, 205)을 포함하는 기판(100)을 부분적으로 식각하여 트렌치(210)를 형성한다. 여기서, 트렌치(210)는 게이트 구조물(170)을 식각 마스크로 이용하는 이방성 식각 공정을 통하여 형성된다. 예를 들면, 트렌치(210)는 기판(100)의 상면으로부터 약 200~800Å 정도의 깊이로 형성된다. 트렌치(210)가 형성되면 인접하는 게이트 구조물들(170) 사이의 제1 및 제2 불순물 영역(200, 205)이 트렌치(210)에 의하여 분리됨으로써, 게이트 구조물(170) 아래의 기판(100)에 LDD 구조의 하부 소스/드레인 영역(215)이 형성된다.
- <72> 도 2i를 참조하여 설명한 공정과 실질적으로 동일한 공정을 통해 트렌치(210)를 채우는 소자 분리막(도시되지 않음)을 형성함으로써 기판(100) 상에 수직 채널을 갖는 반도체 장치를 형성한다.
- <73> 도 4a 및 도 4b는 본 발명의 또 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다. 도 4a 및 도 4b에 있어서, 기판(100) 상에 채널 영역(150), 게이트 절연막(155), 보호막 패턴(135), 버퍼 산화막 패턴(125) 및 마스크 패턴(125)을 포함하는 게이트 구조물들(170)을 형성하기까지의 공정들은 도 2a 내지 도 2h를 참조하여 전술한 공정들과 실질적으로 동일하므로 이에 대한 설명은 생략한다.
- <74> 도 4a를 참조하면, 게이트 구조물(170)을 마스크로 이용하는 제1 이온 주입 공정을 통해 게이트 구조물(170)에 인접하는 기판(100)에 제1 불순물을 주입하여 게이트 구조물(170)에 인접하는 제1 불순물 영역(260)을 형성한다. 상기 제1 불순물은 붕소 또는 인과 같은 N⁻형 불순물 또는 게르마늄과 같은 P⁻형 불순물을 포함하며, 약 $150 \times 10^{14} \sim 35 \times 10^{14}$ KeV 정도의 제1 에너지로 주입된다.
- <75> 기판(100) 상에 게이트 구조물(170)을 덮으면서 절연막을 형성한 다음, 상기 절연막을 이방성 식각 공정을 통해 부분적으로 식각함으로써, 게이트 구조물(170)의 측벽 상에 스페이서(250)를 형성한다. 스페이서(250)는 질화물 또는 산질화물과 같이 기판(100)에 대해 식각 선택비를 갖는 물질을 사용하여 형성된다. 예를 들면, 스페이서(250)는 실리콘 질화물, 실리콘 산질화물 또는 티타늄 산질화물을 사용하여 형성된다. 또한, 스페이서(250)는

화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PECVD) 공정, 원자층 적층(ALD) 공정 등을 이용하여 형성된다.

- <76> 스페이서(250)가 형성된 게이트 구조물(170)을 마스크로 이용하는 제2 이온 주입 공정을 통해 제1 불순물 영역(260) 아래의 기판(100)에 제2 불순물을 주입하여 제2 불순물 영역을 형성한다. 상기 제2 불순물은 상기 제2 불순물은 비소 또는 불화 붕소와 같은 N⁺형 불순물 또는 납과 같은 P⁺형 불순물을 포함하며, 상기 제1 에너지 보다 높은 약 $30 \times 10^{14} \sim 50 \times 10^{14}$ KeV 정도의 제3 에너지로 주입된다.
- <77> 제1 불순물 영역(260) 및 제2 불순물 영역이 형성된 기판(100)에 대해 열처리 공정을 수행함으로써 게이트 구조물들(170) 사이의 기판(100)에 예비 소스/드레인 영역(도시되지 않음)을 형성한다.
- <78> 스페이서(250)를 갖는 게이트 구조물(170)을 식각 마스크로 이용하여 게이트 구조물들(170) 사이의 게이트 절연막(155)과 예비 소스/드레인 영역을 포함하는 기판(100)을 부분적으로 식각하여 트렌치(270)를 형성한다. 이러한 트렌치(270)의 형성에 따라 각 게이트 구조물(170) 아래의 기판(100)에 LDD 구조의 소스/드레인 영역(280)이 형성된다.
- <79> 전술한 바와 같이, 트렌치(210)를 채우는 소자 분리막(도시되지 않음)을 형성함으로써 기판(100) 상에 수직 채널을 갖는 반도체 장치를 형성한다.
- <80> 도 5a 및 도 5b는 본 발명의 또 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다. 도 5a 및 도 5b에 있어서, 기판(100) 상에 채널 영역(150), 게이트 절연막(155), 보호막 패턴(135), 버퍼 산화막 패턴(125) 및 마스크 패턴(125)을 포함하는 게이트 구조물들(170)을 형성하기까지의 공정들은 도 2a 내지 도 2h를 참조하여 전술한 공정들과 실질적으로 동일하므로 이에 대한 설명은 생략한다.
- <81> 도 5a를 참조하면, 게이트 구조물(170)에 인접하는 기판(100)에 예비 소스/드레인 영역(300)을 형성한다. 구체적으로는, 제1 이온 주입 공정을 통하여 기판(100)에 소정의 깊이로 제1 불순물을 주입한 다음, 제2 이온 주입 공정을 이용하여 제1 불순물의 경우와 동일한 이온 주입 투사 깊이(R_p)로 제2 불순물을 주입하여 예비 소스/드레인 영역(300)을 형성한다. 상기 제1 불순물은 N⁻형 불순물 또는 P⁻형 불순물을 포함하며, 상기 제2 불순물은 N⁺형 불순물 또는 P⁺형 불순물을 포함한다. 또한, 상기 제1 불순물은 후속하는 열처리 공정 동안 확산이 이루어지기 쉬운 상대적으로 가벼운 불순물을 포함하는 반면, 상기 제2 불순물은 상기 열처리 공정 동안 상기 제1 불순물 보다 확산 거리가 짧은 상대적으로 무거운 불순물을 포함한다. 예를 들면, 상기 제1 불순물은 인, 붕소 또는 게르마늄을 포함하며, 상기 제2 불순물은 비소, 불화 붕소 또는 납을 포함한다. 상기 제1 불순물은 약 $15 \times 10^{14} \sim 35 \times 10^{14}$ KeV 정도의 제1 에너지로 기판(100)에 주입되며, 상기 제2 불순물은 상기 제1 에너지 보다 높은 약 $30 \times 10^{14} \sim 50 \times 10^{14}$ KeV 정도의 제2 에너지로 기판(100)에 주입된다.
- <82> 도 5b를 참조하면, 예비 소스/드레인 영역(300)이 형성된 기판(100)에 대하여 열처리 공정을 수행한 후, 게이트 구조물들(170) 사이의 열처리된 예비 소스/드레인 영역(300)을 포함하는 기판(100)을 부분적으로 식각하여 트렌치(320)를 형성함으로써, 게이트 구조물(170) 아래의 기판(100)에 LDD 구조를 갖는 소스/드레인 영역(310)을 형성한다. 상기 열처리 공정 동안, 상기 제1 불순물의 확산 거리가 상기 제2 불순물의 확산 거리보다 짧기 때문에, 상기 제1 불순물이 넓게 확산되어 상기 소스/드레인 영역(320)은 상대적으로 넓은 제1 불순물 영역 및 상기 제1 불순물 영역의 중앙에 위치하는 제2 불순물 영역을 포함하게 된다.
- <83> 상술한 바와 마찬가지로, 트렌치(320)를 채우는 소자 분리막(도시되지 않음)을 형성하여 기판(100) 상에 수직 채널을 갖는 LDD 구조의 하부 소스/드레인 영역(310)을 구비하는 반도체 장치를 형성한다.

발명의 효과

- <84> 상술한 바와 같이 본 발명에 따르면, 수직 채널 영역을 갖는 게이트 구조물 아래의 기판에 LDD 구조의 하부 소스/드레인 영역을 형성함으로써, GIDL에 기인하는 누설 전류를 현저하게 감소시킬 수 있다. 또한, 보호막 패턴을 마스크로 이용하여 기판의 일부를 식각함으로써, 채널 영역의 면적을 효과적으로 증가시킬 수 있다. 이에 따라, 단채널 효과로부터 발생하는 문제점들을 해결할 수 있는 동시에 누설 전류의 감소와 같이 반도체 장치의 전기적인 특성을 크게 향상시킬 수 있다.
- <85> 상기에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자

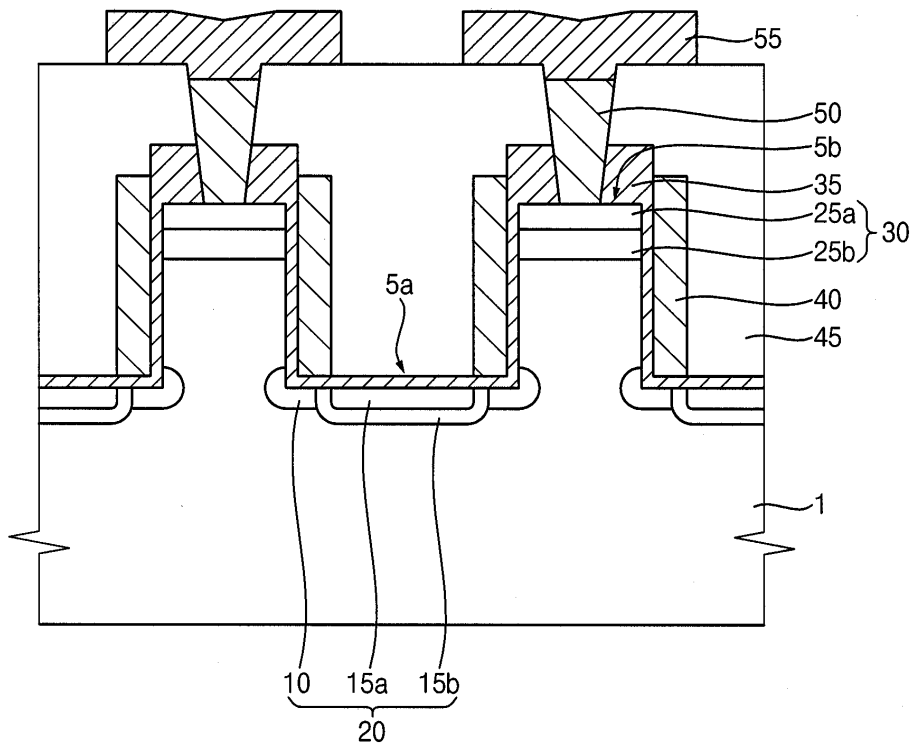
라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

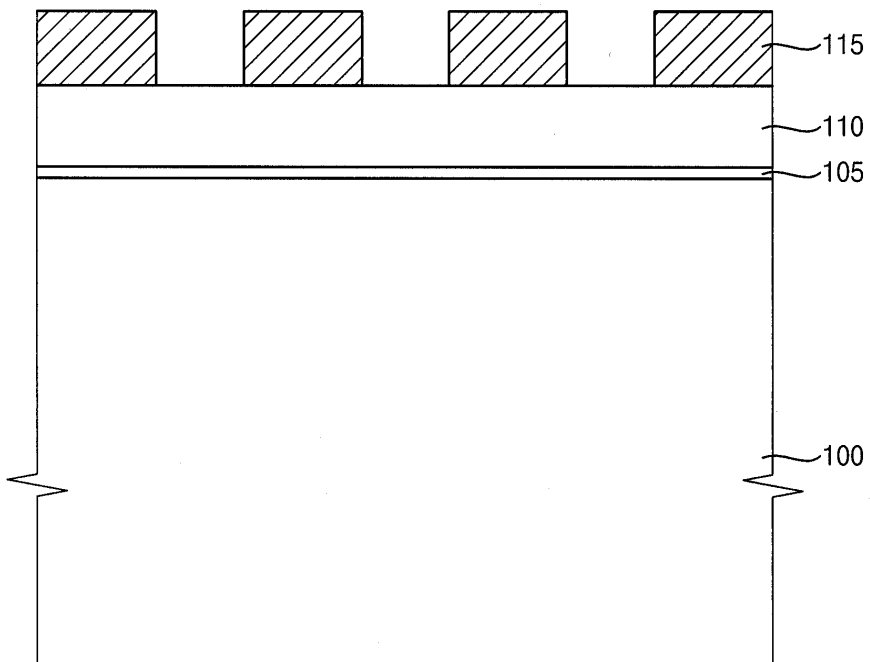
- <1> 도 1은 종래의 수직 채널 반도체 장치의 단면도이다.
- <2> 도 2a 내지 도 2i는 본 발명의 일 실시예에 따른 수직 채널 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.
- <3> 도 3a 및 도 3b는 본 발명의 다른 실시예에 따른 수직 채널 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.
- <4> 도 4a 및 도 4b는 본 발명의 또 다른 실시예에 따른 수직 채널 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.
- <5> 도 5a 및 도 5b는 본 발명의 또 다른 실시예에 따른 수직 채널 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.
- <6> 도 6은 종래의 수직 채널 반도체 장치와 본 발명에 따른 수직 채널 반도체 장치의 GIDL을 비교한 그래프이다.
- <7> <도면의 주요부분에 대한 부호의 설명>
- <8> 100 : 기판 105 : 버퍼 산화막
- <9> 110 : 마스크층 120 : 버퍼 산화막 패턴
- <10> 125 : 마스크 패턴 130 : 제1 개구
- <11> 135 : 보호막 패턴 140 : 제2 개구
- <12> 145 : 리세스 148 : 예비 필라 구조물
- <13> 150 : 채널 영역 153 : 필라 구조물
- <14> 155 : 게이트 절연막 160 : 게이트 전극
- <15> 170 : 게이트 구조물 175, 200 : 제1 불순물 영역
- <16> 180, 215, 280, 310 : 소스/드레인 영역
- <17> 185, 210, 270, 320 : 트렌치 205 : 제2 불순물 영역
- <18> 250 : 스페이서 300 : 예비 소스/드레인 영역

도면

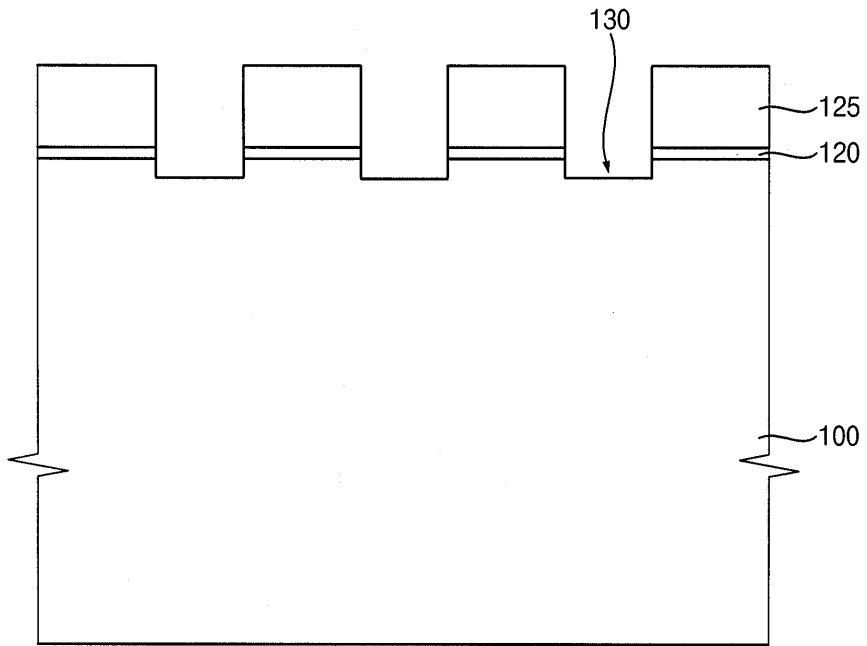
도면1



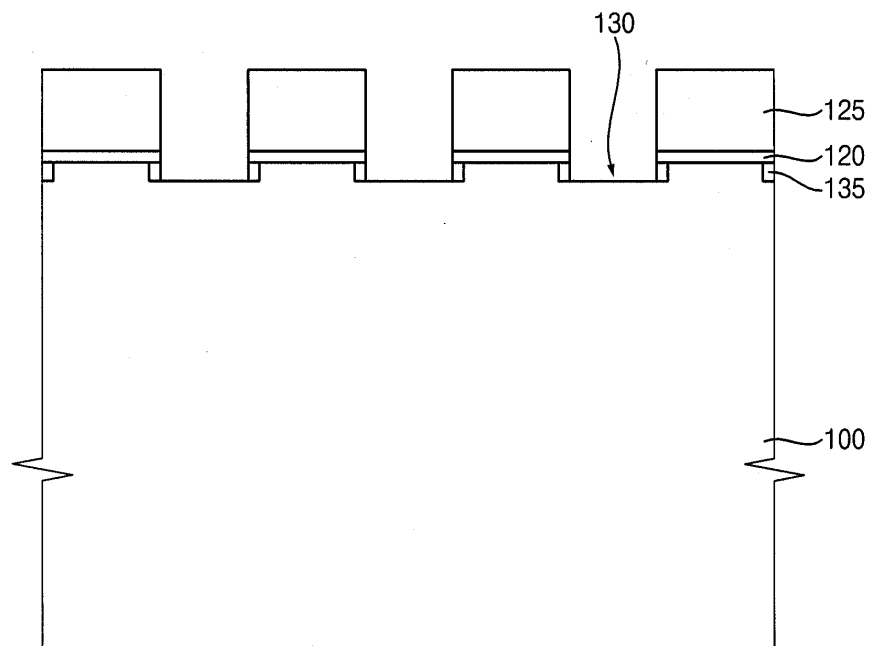
도면2a



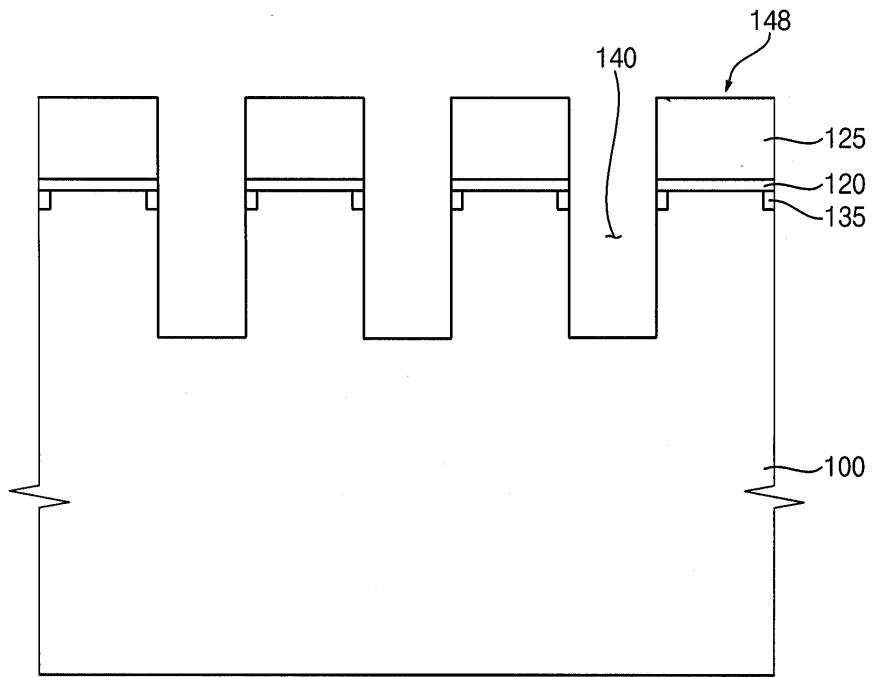
도면2b



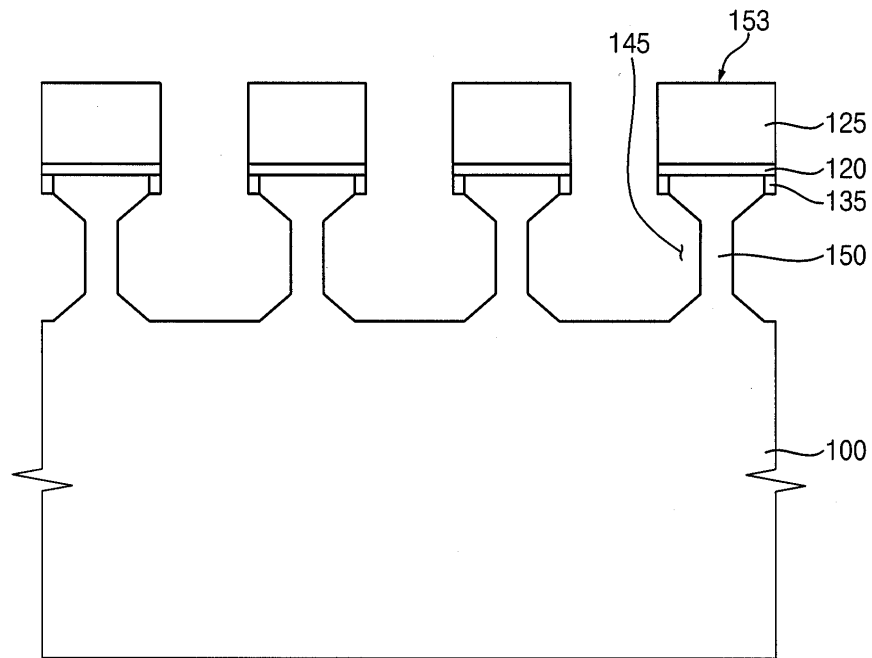
도면2c



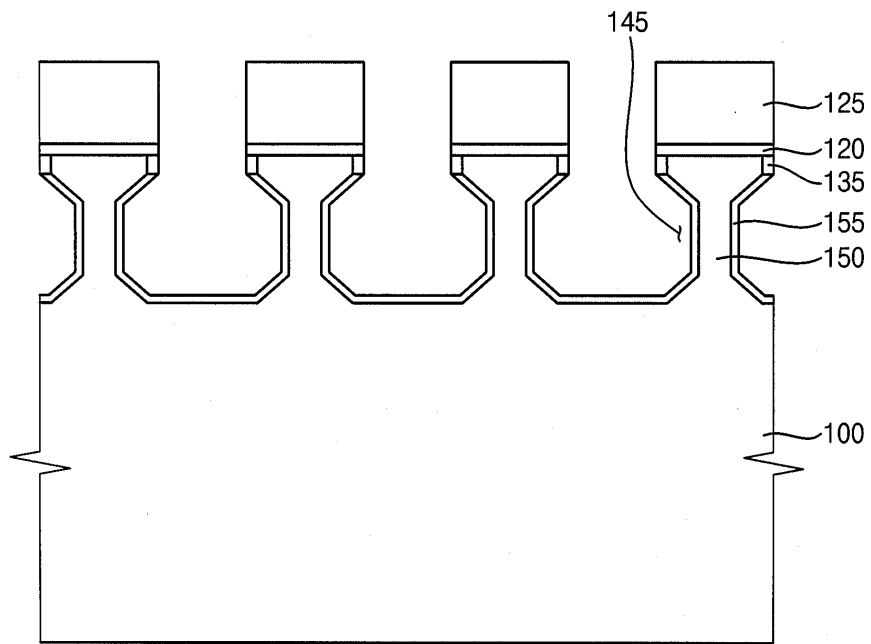
도면2d



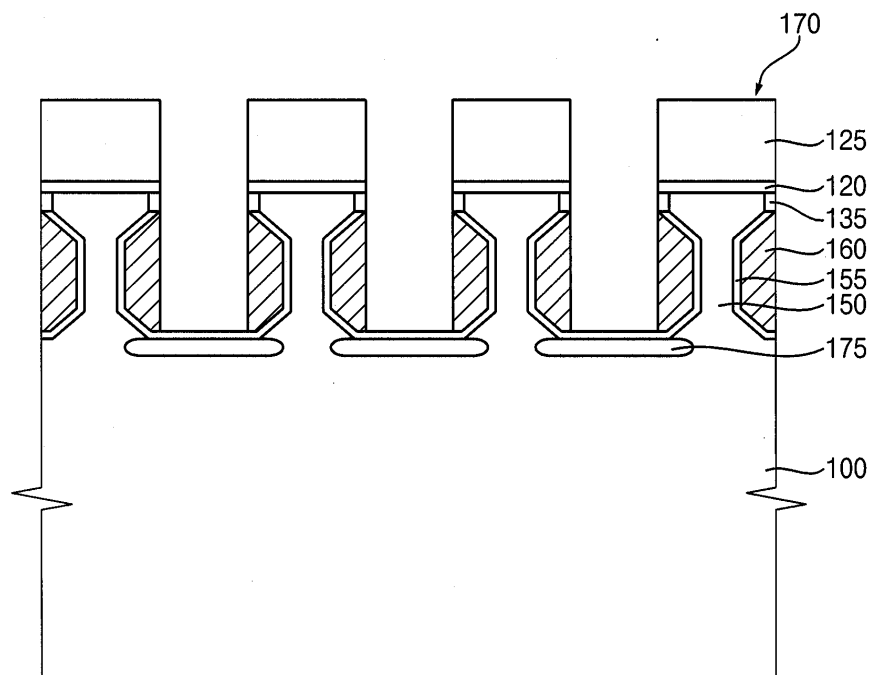
도면2e



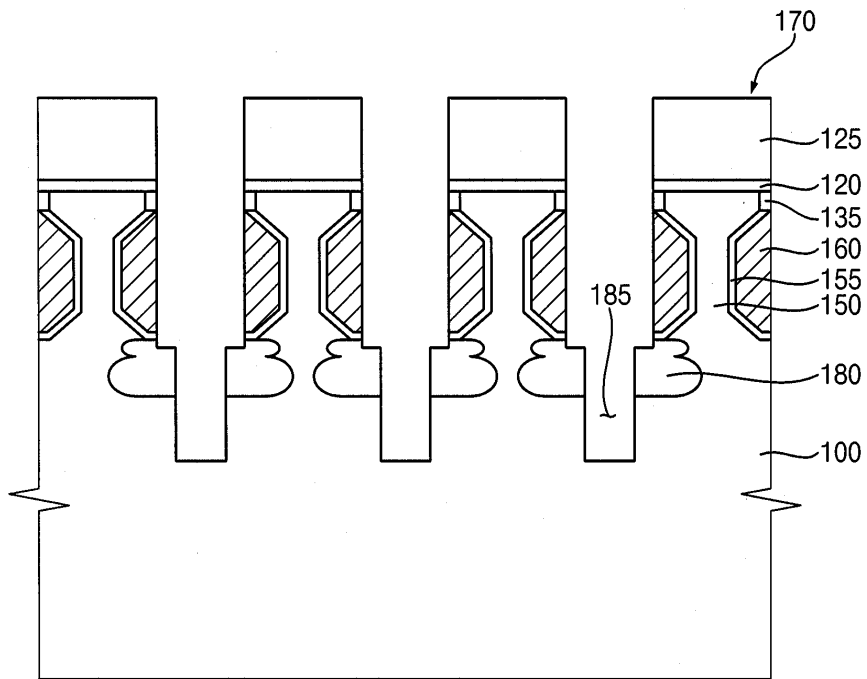
도면2f



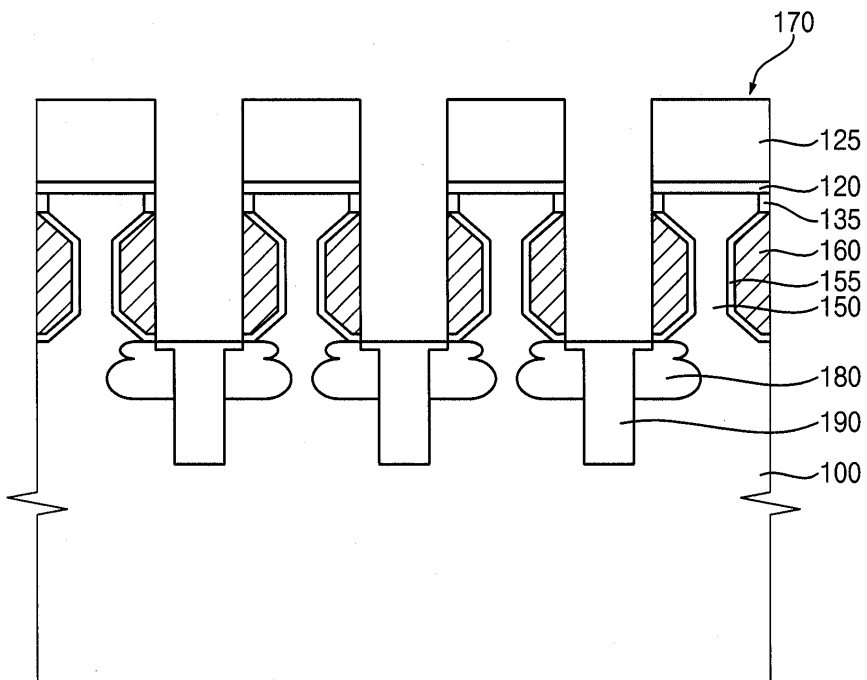
도면2g



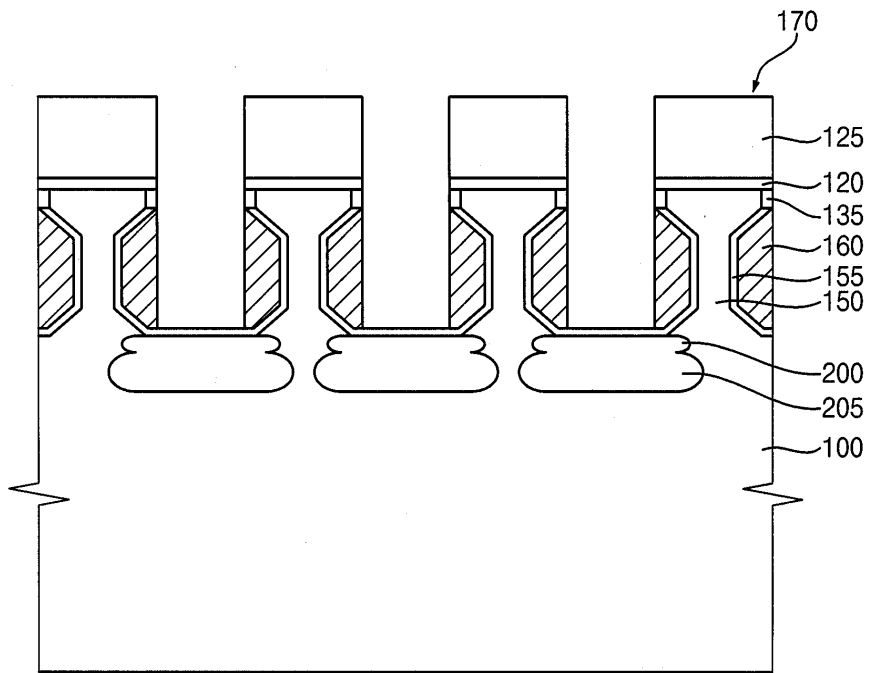
도면2h



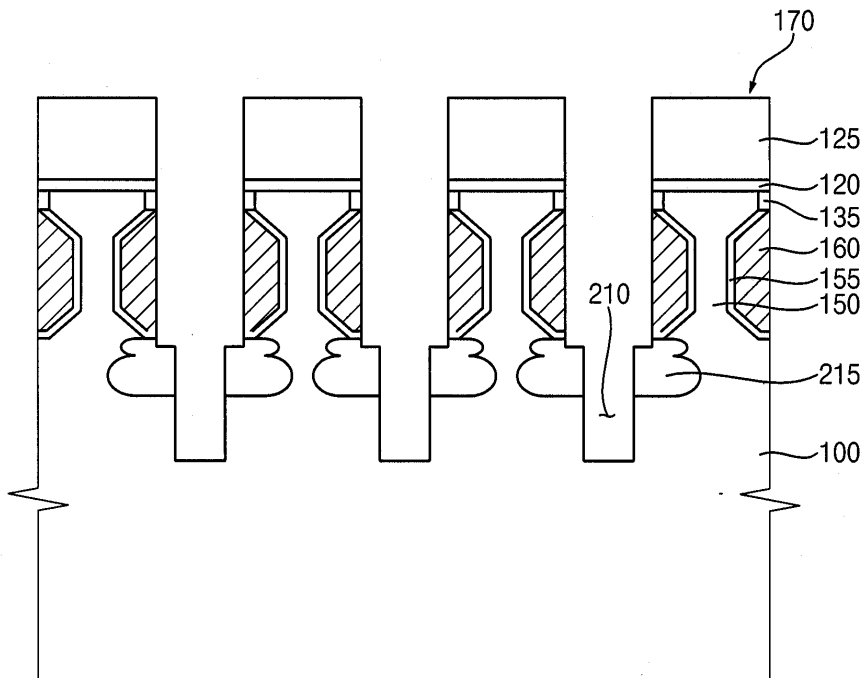
도면2i



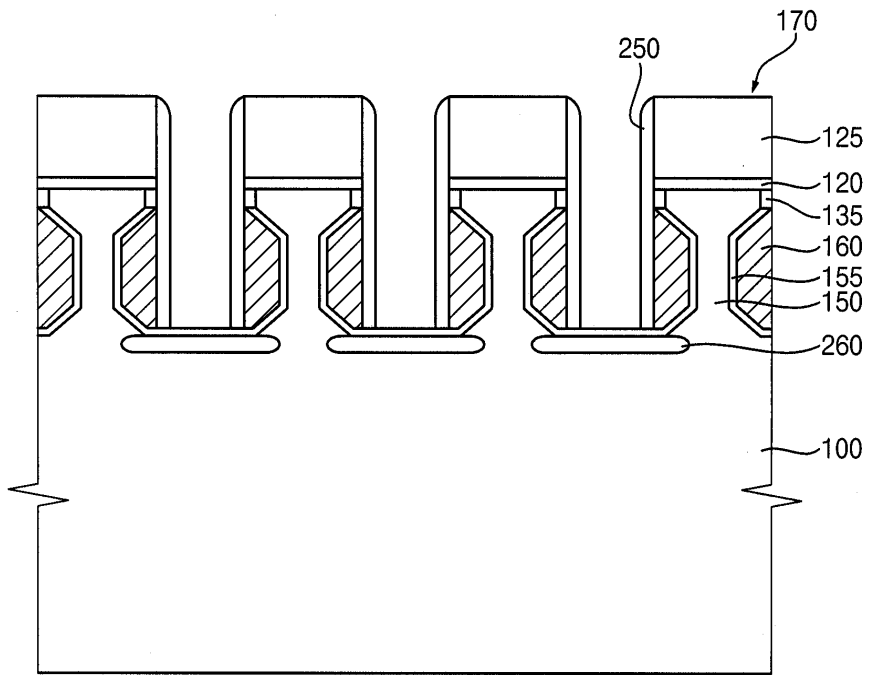
도면3a



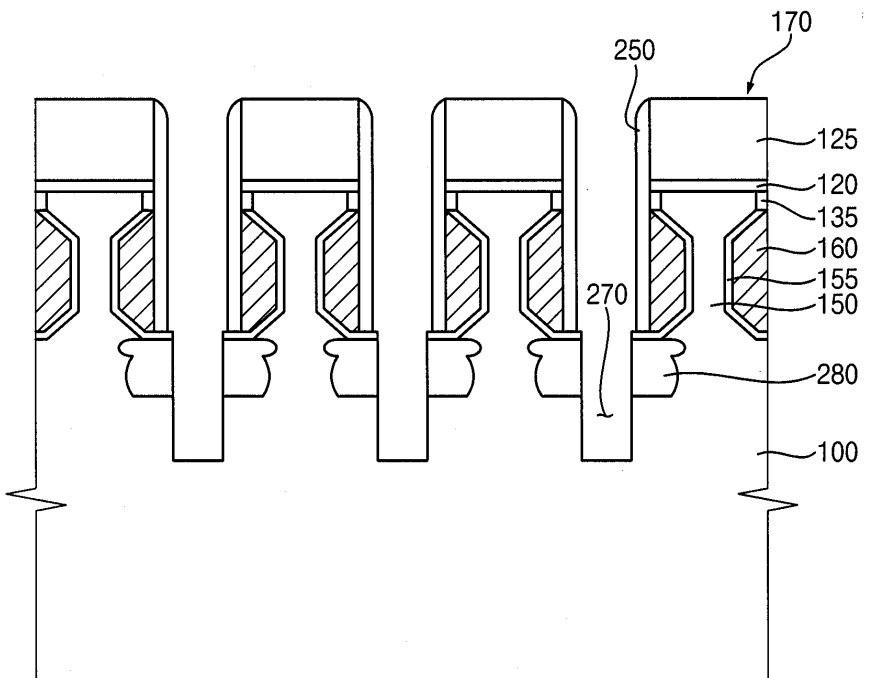
도면3b



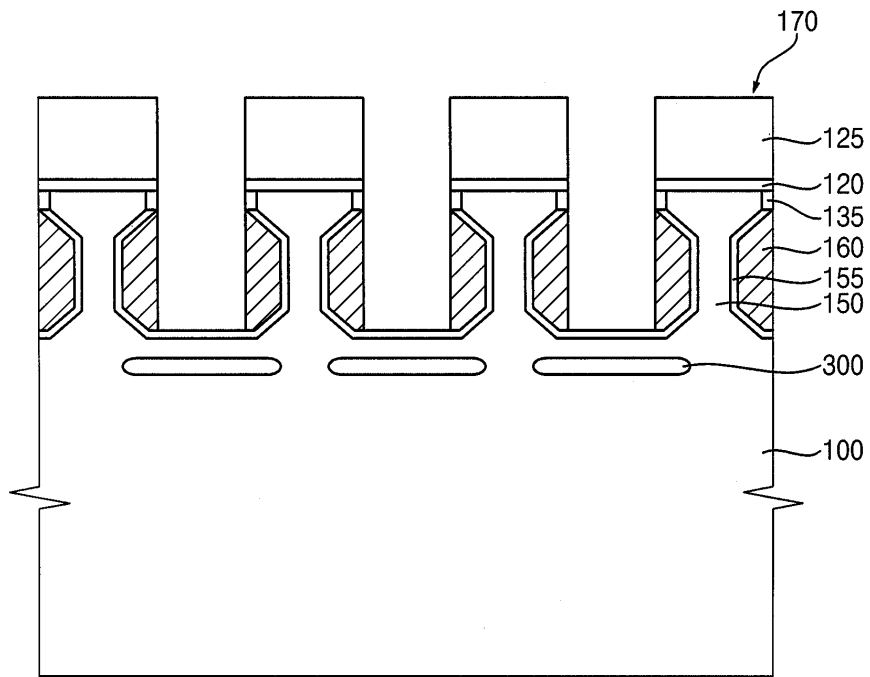
도면4a



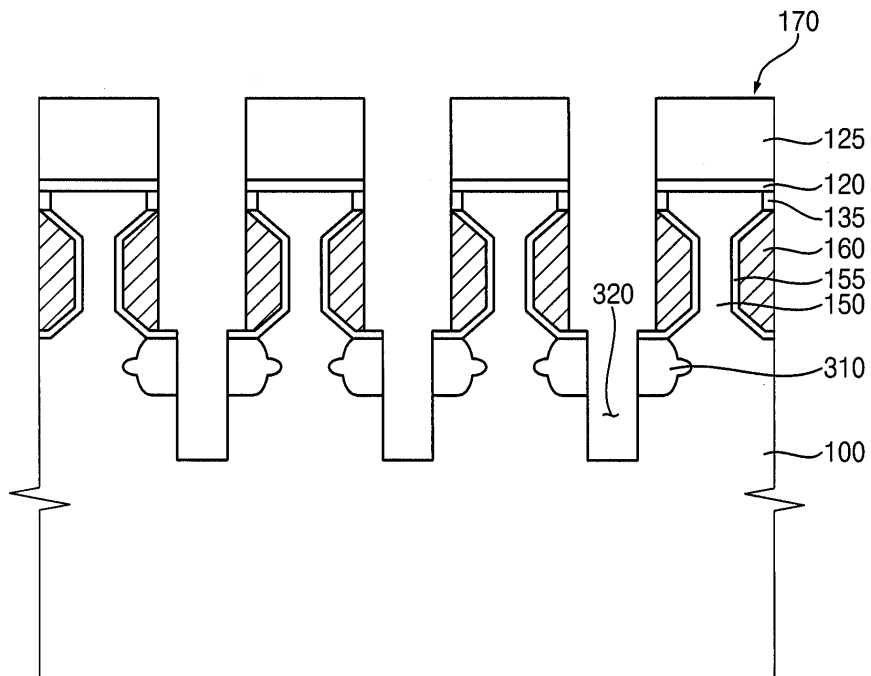
도면4b



도면5a



도면5b



도면6

