(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2007 年1 月25 日 (25.01.2007)

PCT

(10) 国際公開番号
WO 2007/010746 A1

(51) 国際特許分類:
H01L 27/10 (2006.01) *H01L 49/00* (2006.01)
H01L 45/00 (2006.01)

(21) 国際出願番号: PCT/JP2006/313397

(22) 国際出願日: 2006 年7 月5 日 (05.07.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2005-209697 2005 年7 月20 日 (20.07.2005) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 山崎 信夫 (YAMAZAKI, Shinobu) [JP/—]. 小田部 拓也 (OTABE, Takuya) [JP/—].

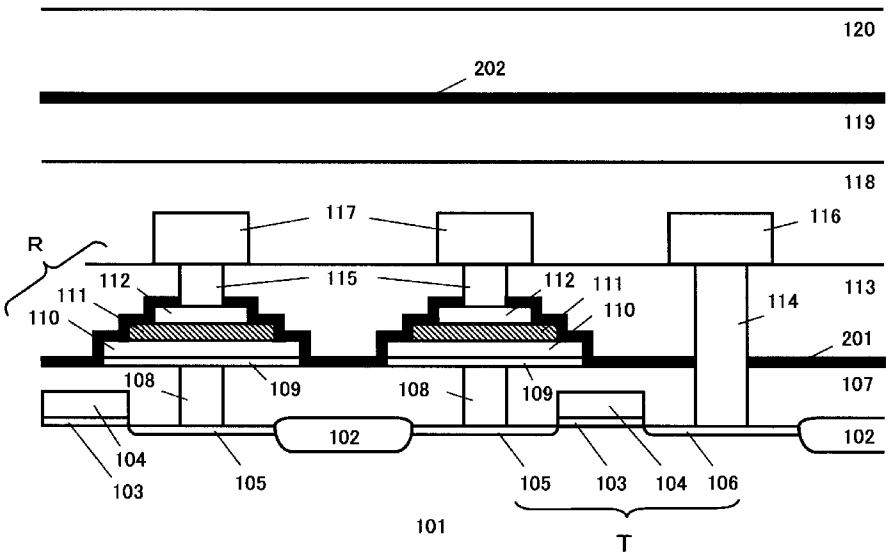
(74) 代理人: 政木 良文 (MASAKI, Yoshifumi); 〒5410042 大阪府大阪市中央区今橋４丁目３番６号 淀屋橋ＮＡＯビル７Ｆ Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY,

[続葉有]

(54) **Title:** SEMICONDUCTOR STORAGE COMPRISING VARIABLE RESISTOR ELEMENT

(54) **発明の名称:** 可変抵抗素子を備えた半導体記憶装置



(57) **Abstract:** Disclosed is a semiconductor storage comprising a variable resistor element obtained by arranging a variable resistive body between a first electrode and a second electrode. The electrical resistance of the variable resistor element is varied by applying a voltage pulse between the electrodes. This semiconductor storage has a structure including at least one layer of a reaction blocking film which is composed of a material having a function to block transmission of a reduction species for accelerating reduction reaction of the variable resistive body and a oxidation species for accelerating oxidation reaction of the variable resistive body. By having such a structure, resistance fluctuation of the variable resistor element caused by a reduction or oxidation reaction due to hydrogen or oxygen present in the manufacturing process can be suppressed, thereby stably manufacturing a semiconductor storage having less resistance variation and good controllability with good reproducibility.

(57) 要約: 第１電極と第２電極の間に可変抵抗体を設けてなり、両電極間に電圧パルスを印加することにより電気抵抗が変化する可変抵抗素子を備えた半導体記憶装置において、可変抵抗体の還元反応を促進する還元種、及び酸化反応を促進する酸化種の透過をブロックする

[続葉有]

WO 2007/010746 A1

TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

作用を有する材料から構成される反応阻止膜を少なくとも１層有する構造とする。これにより、製造工程途中で存在する水素若しくは酸素の影響による可変抵抗体の還元反応若しくは酸化反応で、可変抵抗素子の抵抗値が変動するのを抑制でき、抵抗値のばらつきの少ない且つ制御性の良好な半導体記憶装置を再現性良く安定に製造可能となる。

明 細 書

可変抵抗素子を備えた半導体記憶装置

技術分野

[0001] 本発明は、第1電極と第2電極の間に可変抵抗体を設けてなり、両電極間に電圧パルスを印加することにより電気抵抗が変化する可変抵抗素子を備えた半導体記憶装置に関する。

背景技術

[0002] 近年、フラッシュメモリに代わる高速動作可能な次世代不揮発性ランダムアクセスメモリ(NVRAM:Nonvolatile Random Access Memory)として、FeRAM(Ferroelectric RAM)、MRAM(Magnetic RAM)、OUM(Ovonic Unified Memory)等の様々なデバイス構造が提案され、高性能化、高信頼性化、低コスト化、及び、プロセス整合性という観点から、激しい開発競争が行われている。しかしながら、現状のこれらメモリデバイスには各々一長一短があり、SRAM、DRAM、フラッシュメモリの各利点を併せ持つ「ユニバーサルメモリ」の理想実現には未だ遠い。

[0003] これら既存技術に対し、米国ヒューストン大のShangquing LiuやAlex Ignatiev等によって、超巨大磁気抵抗効果で知られるペロブスカイト材料に電圧パルスを印加することにより可逆的に電気抵抗を変化させる方法が下記特許文献1及び非特許文献1に開示されている。これは超巨大磁気抵抗効果で知られるペロブスカイト材料を用いながらも、磁場の印加なしに室温においても数桁にわたる抵抗変化が現れるという極めて画期的なものである。この現象を利用した可変抵抗素子を用いた抵抗性不揮発性メモリ:RRAM(Resistance Random Access Memory)(登録商標)はMRAMと異なり磁場を一切必要としないため消費電力が極めて低く、微細化、高集積化も容易であり、抵抗変化のダイナミックレンジがMRAMに比べ格段に広いため多値記憶が可能であるという優れた特徴を有する。

[0004] 実際の可変抵抗素子の基本構造は極めて単純で、基板垂直方向に下部電極材料、可変抵抗体、上部電極材料の順に積層された構造となっている。尚、特許文献1に例示する素子構造では、ランタン・アルミニウム酸化物$LaAlO_3$(LAO)の単結晶基板

上に堆積された下部電極材料はイットリウム・バリウム・銅酸化物$YBa_2Cu_3O_7$（YBCO）膜であり、可変抵抗体はペロブスカイト型酸化物である結晶性プラセオジウム・カルシウム・マンガン酸化物$Pr_{1-X}Ca_XMnO_3$（PCMO）膜であり、上部電極材料はスパッタリングで堆積されたAg膜で、夫々形成されている。この可変抵抗素子の動作として、上部及び下部電極間に印加する電圧パルスを51ボルトとして正、負に印加することにより、抵抗を可逆的に変化させることができることが報告された。この可逆的な抵抗変化動作における抵抗値を読み出すことによって、新規な抵抗性記憶装置が実現できるとしている。

[0005] また、可変抵抗体の材料としては、上記ペロブスカイト材料以外にZnSe－Geヘテロ構造、或いは、Ti, Nb, Hf, Zr, Ta, Ni, V, Zn, Sn, In, Th, Alなどの金属の酸化物についても、印加電圧パルス条件によって小さいながらも抵抗値が可変であることが知られている。

[0006] この可変抵抗素子を備えた従来の一例としての抵抗性半導体記憶装置の概略断面構造図を図17に示す。

[0007] この半導体記憶装置は、半導体基板101上に形成された選択トランジスタTと可変抵抗素子Rとからひとつのメモリセルを構成している。選択トランジスタTは、ゲート電極104とゲート絶縁膜103、及び拡散層であるドレイン領域105とソース領域106から成り、素子分離領域102を以って隣接のメモリセルと電気的に分離されている。また、可変抵抗素子Rは上述したように、上部電極である第1電極112と可変抵抗体111と下部電極である第2電極110の積層構造で構成されている。

[0008] 可変抵抗素子Rは、選択トランジスタT上に形成した第1の層間絶縁膜107を貫通したコンタクトホール108を介して、選択トランジスタTのドレイン領域105と電気的に接続している。なお、第2電極110と第1の層間絶縁膜107間にあるバリア膜109は、可変抵抗素子Rとコンタクトホール108に埋め込まれた導電性コンタクトプラグとの間の安定な接続抵抗を確保するのを目的としている。

[0009] 可変抵抗素子Rと選択トランジスタTに電気信号を印加するための第1のメタル配線116及び117が、第2の層間絶縁膜113及び第1の層間絶縁膜107を貫通したコンタクトホール114と、第2の層間絶縁膜113内を貫通したコンタクトホール115で、夫

々、選択トランジスタTのソース領域106と可変抵抗素子Rの第1電極112に電気的に接続されている。

[0010] また、高速化・高集積化のための多層配線プロセスとして、第2のメタル配線119が第3の層間絶縁膜118上に形成され、さらにその上面に、表面保護膜としてのパッシベーション膜120が形成されている。

特許文献1:米国特許第6204139号明細書

非特許文献1:Liu, S. Q. ほか、"Electric－pulse－induced reversible Resistance change effect in magnetoresistive films", Applied Physics Letter, Vol. 76, pp. 2749－2751, 2000年

発明の開示

発明が解決しようとする課題

[0011] 上述した可変抵抗素子Rを備えた抵抗性半導体記憶装置では、表面保護膜であるパッシベーション膜120としては、外部水分に対する耐湿性及び外部汚染に対するブロック作用のあるプラズマCVD法(プラズマ化学的気相成長法:Plasma activated Chemical Vapor Deposition)により成膜したSiNx膜或いはSiOxNy膜等が一般的に用いられている。プラズマCVD法では、成膜時にラジカルな水素原子を発生させるので、パッシベーション膜120の膜中には多量の水素原子が含まれている。

[0012] また、コンタクトホール114、115に埋め込まれる導電性コンタクトプラグの材料としては埋め込み被覆性に優れたW膜が一般的に用いられている。W膜は通常、WF_6とSiH_4の熱反応による熱CVD法により成膜されており、該成膜時の熱反応では水素が生成される。

[0013] ここで、可変抵抗体の形成後に還元反応或いは酸化反応が生じる状態となると、その還元反応或いは酸化反応の影響を可変抵抗体が受けることを発明者らのグループが見出した。例えば、上記のように水素が発生すると還元反応により可変抵抗体の抵抗値が変化するという現象が起きる。一方、可変抵抗体に対する酸化反応でも可変抵抗素子の抵抗値が変化する現象は同様に発生する。なお、還元反応或いは酸化反応によって抵抗値が上昇するか減少するかは、可変抵抗体に用いられている材

料によって異なる。

[0014] 上記した従来の半導体記憶装置では、可変抵抗体が還元反応されると抵抗値が上昇し、酸化反応されると抵抗値が減少する。例えば、上述したようにプラズマCVD法による成膜及びW膜等の成膜工程中に水素が発生した場合は、還元反応により可変抵抗体の抵抗値が上昇してしまうという現象が生じる。また、可変抵抗体が第2の層間絶縁膜113及び第3の層間絶縁膜118として一般的に用いられているシリコン酸化膜の成膜時には、成膜反応によらない酸素が微量に存在しており、該酸素により促進される酸化反応により、可変抵抗体の抵抗値が減少してしまうという現象が生じる。

[0015] さらに、半導体基板上での水素や酸素の発生量は、成膜される膜厚に概ね比例するので、半導体基板面内、半導体基板間、及び処理間の成膜膜厚のばらつきに応じて、可変抵抗素子の抵抗値のばらつきが大きくなってしまうという問題が生じる。

[0016] 半導体記憶装置としての安定な動作を保証するためには、可変抵抗素子の抵抗値を正確に制御する必要がある。しかしながら、可変抵抗体を半導体記憶装置に適用すると、上述したようにその製造工程中で存在する還元反応を促進する還元種である水素、或いは酸化反応を促進する酸化種である酸素により可変抵抗素子の抵抗値が変動したりするため、ばらつきが大きくなってしまい、抵抗値が同じ可変抵抗素子を備えた半導体記憶装置を再現性良く安定に作成することは困難であった。

[0017] また、成膜膜厚などの製造プロセス条件の僅かな変更が可変抵抗素子の抵抗値の変動をもたらすので、その変更に制約を与えることになり、限定的な製造プロセスでしか製造できなくなってしまうという問題もあった。

[0018] そこで本発明では上記問題に鑑み、製造工程途中でのプロセスによる可変抵抗素子の抵抗変化を防ぎ、安定な可変抵抗素子を備えた抵抗性半導体記憶装置を提供することを目的としている。

課題を解決するための手段

[0019] 上記目的を達成させるために、本発明の半導体記憶装置では、第1電極と第2電極の間に可変抵抗体を設けてなり、第1電極と第2電極間に電圧パルスを印加することにより、第1電極と第2電極間の電気抵抗が変化する可変抵抗素子を備えた半導

体記憶装置において、少なくとも1層の反応阻止膜を有することを特徴としている。

[0020] また、本発明の半導体記憶装置では、反応阻止膜が還元種の拡散を阻止し、可変抵抗体の還元反応を抑制することを特徴としている。

[0021] また、本発明の半導体記憶装置では、反応阻止膜が酸化種の拡散を阻止し、可変抵抗体の酸化反応を抑制することを特徴としている。

[0022] また、本発明の半導体記憶装置では、反応阻止膜が、可変抵抗素子に密接して配設されていることを特徴としている。

[0023] また、本発明の半導体記憶装置では、前記反応阻止膜が、前記可変抵抗素子と表面保護膜との間に配設されていることを特徴としている。

[0024] また、本発明の半導体記憶装置では、前記第1電極上若しくは前記第2電極上に形成されたコンタクトホール内に埋め込まれる導電性材料が、還元種と酸化種の少なくとも何れか一方の拡散を抑制する機能を有する材料を含んで成ることを特徴としている。

[0025] また、本発明の半導体記憶装置では、前記コンタクトホール内に埋め込まれる導電性材料が、Si, Al, Ti, Ta, Hf, Wの内から選択された少なくとも1種の元素を含んで構成される導電性窒化物、若しくはIr, Ruの内から選択された少なくとも1種の元素を含んで構成される導電性酸化物、若しくはTi, Ta, Ir, Ruの中から選択された金属単体、若しくはTi, Ta, Ir, Ru, Wの中から選択された少なくとも1種の元素を含んで構成される合金であることを特徴としている。

[0026] また、本発明の半導体記憶装置では、反応阻止膜が、Al, Ti, Ta, Hf, Pb, La, Zr, Sr, Bi, Pr, Ca, Mn, Si, Mg, Ceの内から選択された少なくとも1種の元素を含んで構成される酸化物、若しくは、Si, Al, Ti, Ta, Hf, Wの内から選択された少なくとも1種の元素を含んで構成される窒化物、若しくはTi, Ta, Ir, Ruの中から選択された金属単体、若しくはTi, Ta, Ir, Ru, Wの中から選択された少なくとも1種の元素を含んで構成される合金であることを特徴としている。

[0027] また、本発明の半導体記憶装置では、可変抵抗体が、Pr, Ca, La, Sr, Gd, Nd, Bi, Ba, Y, Ce, Pb, Sm, Dyの内から選択された少なくとも1種の元素と、Ta, Ti, Cu, Mn, Cr, Co, Fe, Ni, Gaの内から選択された少なくとも1種の元素を含んで構

成されるペロブスカイト構造の酸化物であること特徴としている。

[0028] また、本発明の半導体記憶装置では、可変抵抗体が、$Pr_{1-X}Ca_X[Mn_{1-Z}M_Z]O_3$系（但し、MはTa, Ti, Cu, Cr, Co, Fe, Ni, Gaの中から選択される何れかの元素）、$La_{1-X}AE_XMnO_3$系（但し、AEはCa, Sr, Pb, Baの中から選択される何れかの2価のアルカリ土類金属）、$RE_{1-X}Sr_XMnO_3$系（但し、REはSm, La, Pr, Nd, Gd, Dyの中から選択される何れかの3価の希土類元素）、$La_{1-X}Co_X[Mn_{1-Z}Co_Z]O_3$系、$Gd_{1-X}Ca_XMnO_3$系、及び、$Nd_{1-X}Gd_XMnO_3$系、の内の何れか1つの一般式（$0 \leqq X \leqq 1$, $0 \leqq Z < 1$）で表される系のペロブスカイト構造の酸化物であることを特徴としている。

[0029] また、本発明の半導体記憶装置では、可変抵抗体が、ZnSe－Geヘテロ構造、若しくは、Ti, Nb, Hf, Zr, Ta, Ni, V, Zn, Sn, In, Th, Alの内から選択された少なくとも1種の元素を含んで構成される金属酸化物であることを特徴としている。

[0030] また、本発明の半導体記憶装置では、第1電極と第2電極の間に可変抵抗体を設けてなり、第1電極と第2電極間に電圧パルスを印加することにより、第1電極と第2電極間の電気抵抗が変化する可変抵抗素子を備えた半導体記憶装置において、第1電極上若しくは第2電極上に形成されたコンタクトホール内に埋め込まれる導電性材料が、還元種若しくは酸化種の拡散を抑制する機能を有する材料を含んで成ることを特徴としている。

[0031] コンタクトホール内に埋め込まれる導電性材料が、Si, Al, Ti, Ta, Hf, Wの内から選択された少なくとも1種の元素を含んで構成される導電性窒化物、若しくはIr, Ruの内から選択された少なくとも1種の元素を含んで構成される導電性酸化物、若しくはTi, Ta, Ir, Ruの中から選択された金属単体、若しくはTi, Ta, Ir, Ru, Wの中から選択された少なくとも1種の元素を含んで構成される合金であることを特徴としている。

発明の効果

[0032] 本発明の可変抵抗素子を備えた半導体記憶装置では、少なくとも1層の反応阻止膜を有する構造とした。この反応阻止膜は、可変抵抗体の還元反応を促進する還元種、及び可変抵抗体の酸化反応を促進する酸化種の透過をブロックする作用を有す

る材料から構成されているので、可変抵抗体の還元反応による抵抗値の増加変動、若しくは可変抵抗体の酸化反応による抵抗値の低下変動が抑制される。また、特に該反応阻止膜を可変抵抗素子とパッシベーションとの間に配設することで、可変抵抗体成膜以降の製造工程途中でのプロセスの影響を回避することが可能となる。

[0033] 従って、本発明の可変抵抗素子を備えた半導体記憶装置によれば、抵抗値のばらつきの少ないかつ制御性の良好な半導体記憶装置を再現性良く実現させることができる。

図面の簡単な説明

[0034] [図1]本発明の実施形態による可変抵抗素子を備えた半導体記憶装置の概略断面図である。

[図2]本発明の実施形態の半導体記憶装置の製造方法を工程順に記載した概略断面図である。

[図3]本発明の実施形態の半導体記憶装置の製造方法を工程順に記載した概略断面図である。

[図4]本発明の実施形態の半導体記憶装置の製造方法を工程順に記載した概略断面図である。

[図5]本発明の実施形態の半導体記憶装置の製造方法を工程順に記載した概略断面図である。

[図6]本発明の実施形態の半導体記憶装置の製造方法を工程順に記載した概略断面図である。

[図7]本発明の実施形態の半導体記憶装置の製造方法を工程順に記載した概略断面図である。

[図8]本発明の実施形態の半導体記憶装置の製造方法を工程順に記載した概略断面図である。

[図9]従来の半導体記憶装置における可変抵抗素子の抵抗測定結果を示す図である。

[図10]本発明の実施形態の半導体記憶装置における可変抵抗素子の抵抗測定結果を示す図である。

[図11]本発明の実施形態による可変抵抗素子を備えた半導体記憶装置の変形例1を示す概略断面図である。

[図12]本発明の実施形態による可変抵抗素子を備えた半導体記憶装置の変形例2を示す概略断面図である。

[図13]本発明の実施形態による可変抵抗素子を備えた半導体記憶装置の変形例3を示す概略断面図である。

[図14]本発明の実施形態による可変抵抗素子を備えた半導体記憶装置の変形例4を示す概略断面図である。

[図15]本発明の実施形態による可変抵抗素子を備えた半導体記憶装置の変形例5を示す概略断面図である。

[図16]本発明の実施形態による可変抵抗素子を備えた半導体記憶装置の変形例6を示す概略断面図である。

[図17]従来の可変抵抗素子を備えた半導体記憶装置の概略断面図である。

符号の説明

[0035] T 選択トランジスタ

R 可変抵抗素子

101 半導体基板

102 素子分離領域

103 ゲート絶縁膜

104 ゲート電極

105 ドレイン領域

106 ソース領域

107 第1の層間絶縁膜

108, 114, 115 コンタクトホール

109 バリア層

110 下部電極

111 可変抵抗体

112 上部電極

113　第2の層間絶縁膜

116, 117　第1の配線層

118　第3の層間絶縁膜

119　第2の配線層

120　パッシベーション膜

201, 202, 203, 204, 205, 206, 207　反応阻止膜

発明を実施するための最良の形態

[0036] 以下、本発明に係る半導体記憶装置の実施の形態を、図面に基づいて説明する。本発明の可変抵抗素子を備えた抵抗性半導体記憶装置の概略断面構造図を図1に示す。本発明の実施の形態である半導体記憶装置は、図17に示した従来の抵抗性半導体記憶装置に対して、反応阻止膜201及び202を追加したものである。即ち、可変抵抗素子R上に反応阻止膜201を、パッシベーション膜120の直下に反応阻止膜202を配設したものである。反応阻止膜201は可変抵抗素子Rへの還元種である水素若しくは酸化種である酸素の侵入を阻止するものであり、反応阻止膜202は、パッシベーション膜120からの還元種である水素の拡散を抑制する働きを有する。なお、図17に示した抵抗性半導体記憶装置と同一の構成については同一の符号を付し説明を省略している。

[0037] 図2から図8は、本実施例の半導体記憶装置の製造工程を工程フロー順に示した概略断面構造図である。本実施形態の構造の半導体記憶装置は、以下、図面に従って詳細に説明する工程を経て形成することができる。

[0038] まず、図2に示すように、公知の手順に従って、半導体基板101上に選択トランジスタTを形成する。即ち、素子分離領域102を形成した半導体基板101上にゲート絶縁膜103、ゲート電極104、及び拡散層であるドレイン領域105及びソース領域106から構成される選択トランジスタTを形成する。その後、その上に第1の層間絶縁膜107を形成する。本実施例では、膜厚1200nmの厚みでBPSG(borophosphosilicate glass)膜を堆積させた後、さらにその表面を所謂CMP法(化学的機械的研磨法:Chemical Mechanical Polishing Method)にて、ゲート電極104上のBPSG膜の厚みが400nmとなるまで研磨することにより表面を平坦化した。

[0039] 次に、公知のフォトリソグラフィの手法によってパターニングしたレジストをマスクとして第1の層間絶縁膜107をエッチングすることにより、選択トランジスタTのドレイン領域105に到達するコンタクトホール108を開口する。そして、導電性ポリシリコン膜を堆積した後CMP法により研磨することで、第1の層間絶縁膜107上の導電性ポリシリコン膜を完全に除去してコンタクトホール108内のみに導電性ポリシリコン膜を残存させる。当該工程により、コンタクトホール108内のみに導電性ポリシリコンで埋め込んだコンタクトプラグを形成する。

[0040] 次に、図3に示すように、コンタクトホール108内に埋め込まれた導電性コンタクトプラグと下部電極110との電気的接続を確保するためのバリアメタル層109と、下部電極の材料となる膜110と、可変抵抗体の材料となる膜111と、上部電極の材料となる膜112を順次成膜する。

[0041] 本実施例では、バリアメタル層109として、厚さ20nmのTi膜と厚さ50nmのTiN膜とを、夫々スパッタリング法にて順次堆積した積層構造(TiN／Ti膜)とした。

[0042] また本実施例では、下部電極である第2電極の一例としてのPt膜110を膜厚100～200nmの厚みで堆積した。

[0043] また本実施例では、可変抵抗体の一例としてのPCMO膜111をスパッタリング法により膜厚100nmで形成した。PCMO膜111の成膜は300～500℃に基板を加熱し、成膜圧力5～20mTorr. において、PCMO焼結体のターゲットをArイオンでスパッタリングし、反応性ガスとして導入した酸素と反応させて基板上に成膜する。本実施例では、PCMO膜を$Pr_{0.7}Ca_{0.3}MnO_3$の組成比で成膜した。

[0044] また本実施例では、スパッタリング法にて上部電極である第1電極の一例としてのPt膜112を膜厚100nmで堆積した。

[0045] 次に、図4に示すように、可変抵抗素子Rを形成する。即ち、フォトリソグラフィの手法によってパターニングしたレジストをマスクとして第1電極の材料であるPt膜112をドライエッチングすることにより上部電極112を形成し、さらに、同様な手順により、抵抗体膜111、下部電極110及びバリアメタル膜109を順次エッチングした。

[0046] 次に、1%の水素ガスを含んだ窒素雰囲気中で、急速加熱法(RTA:Rapid Thermal Annealing)により、基板加熱温度400℃で、15min間熱処理を施した。当該

工程の目的は、可変抵抗素子の抵抗値を上昇させて所定の値に制御することを目的としたものである。

[0047] 次に、反応阻止膜201を可変抵抗素子R上に成膜する。本実施例では、AlOx膜をスパッタリング法を用いて50nmの厚みで成膜した。そして、図5に示すように、該反応阻止膜201上に第2の層間絶縁膜113として厚さ1000nmのシリコン酸化膜をCVD法にてさらに成膜した後、平坦化のために表面をCMP法にて、上部電極112上のシリコン酸化膜の厚みが400nmとなるまで研磨した。

[0048] 次に、フォトリソグラフィの手法によってパターニングしたレジストをマスクとして第2の層間絶縁膜113をエッチングすることにより、上部電極112に到達するコンタクトホール115を開口する。また、同じくフォトリソグラフィの手法によってパターニングしたレジストをマスクとして第2の層間絶縁膜113、反応阻止膜201、及び第1の層間絶縁膜107を順次エッチングすることにより、選択トランジスタTのソース領域106に到達するコンタクトホール114を開口する。引き続き、W／TiN／Ti膜を堆積した後CMP法により研磨することで、第2の層間絶縁膜107上のW／TiN／Ti膜を完全に除去してコンタクトホール114及び115内のみにW／TiN／Ti膜を残存させる。当該工程により、コンタクトホール114及び115内のみに導電性材料からなる導電性コンタクトプラグを形成する。なお本実施例では、厚さ50nm／20nmのTiN／Ti膜をスパッタリング法にて成膜した上に、厚さ600nmのW膜をCVD法により成膜した。

[0049] 次に、第1のメタル配線116、117の材料膜を堆積する。本実施例では、厚さ50nmのTiN膜と厚さ400nmのAl－Si膜と厚さ50nmのTiN膜とを、夫々スパッタリング法にて順次堆積した積層構造（TiN／Al－Si／TiN膜）とした。そして、フォトリソグラフィの手法によってパターニングしたレジストをマスクとして当該メタル配線材料をエッチングすることにより、図6に示すように、第1のメタル配線116及び117を形成する。

[0050] 次に、第1のメタル配線116及び117上に第3の層間絶縁膜118を成膜する。本実施例では、厚さ1300nmのシリコン酸化膜をプラズマCVD法により堆積した後、平坦化のために表面をさらにCMP法にて、第1のメタル配線116及び117上のシリコン酸化膜の厚みが500nmとなるまで研磨した。そして、第1のメタル配線に到達するコンタクトホール（図示せず）を形成した後、図7に示すように、第2のメタル配線の材料膜

119を堆積し、その加工（図示せず）を行う。

[0051] 次に、反応阻止膜202を第2のメタル配線119上に成膜する。本実施例では、AlOx膜をスパッタリング法を用いて50nmの厚みで成膜した。そして、図8に示すように、表面保護膜としてのパッシベーション膜120を堆積する。本実施例では、厚さ1500nmのSiNx膜をプラズマCVD法により堆積した。

[0052] なお、以上の説明では、フォトレジストを塗布、露光、及び現像する工程や、エッチング後にフォトレジストを除去する工程や、エッチング及びレジスト除去後の洗浄工程などの一般的な工程については省略して記述している。

[0053] 以上説明した本発明の実施の形態である半導体記憶装置では、反応阻止膜201として成膜したAlOx膜は、水素及び酸素の透過をブロックする作用を有しているので、可変抵抗体素子R、特に可変抵抗体111への還元反応を促進する還元種である水素、及び酸化反応を促進する酸化種である酸素の侵入を阻止する働きがある。

[0054] また、反応阻止膜202として成膜したAlOx膜は、水素及び酸素の透過をブロックする作用を有しているので、パッシベーション膜120の成膜時に発生する水素の可変抵抗体Rへの拡散を抑制する働きがある。

[0055] 従って、反応阻止膜201及び202により、製造工程中で発生する酸素及び水素の可変抵抗体素子Rへの侵入を抑制することができるので、可変抵抗体111の還元反応若しくは酸化反応を回避することができる。

[0056] ここで、反応阻止膜201と可変抵抗体Rとの間にシリコン酸化膜等の層間絶縁膜が存在すると、該膜中の酸素若しくは水素の影響を受けるので、反応阻止膜201は可変抵抗素子Rに密接して配設するのがより望ましい。

[0057] 次に、本発明の半導体記憶装置の優位性を電気特性データにより以下に説明する。図9は反応阻止膜201、202を形成していない半導体記憶装置による100万個の可変抵抗素子の低抵抗状態の抵抗値の分布であり、同じく、図10は本発明の半導体記憶装置によるものである。横軸は可変抵抗素子の抵抗値を、縦軸は可変抵抗素子の累積度数を正規分布スケールで示している。図9に示すように、従来の半導体記憶装置では、1桁以上の抵抗値ばらつきがあったが、本発明の半導体記憶装置では、図10に示すように、抵抗値のばらつきが約3分の1程度に抑制されている。本ば

らつきの改善は、反応阻止膜201及び202を構造的に付加した効果であり、該反応阻止膜201及び202が製造工程中で発生する酸素及び水素の可変抵抗体に対する拡散を阻止して、可変抵抗体の還元反応による抵抗値の増加変動、及び可変抵抗体の酸化反応による抵抗値の減少変動が抑制されたためである。その結果、一つの可変抵抗体に異なる抵抗値を設定して多値情報を記憶させる記憶装置においては、記憶情報のレベル判定が容易になり、信頼性の高い記憶装置を構成することができる。

[0058] 本発明の半導体記憶装置は、以上説明した実施例の構造に限定されるものではない。図11から図16に示した変形例1から変形例6のように、本発明の特徴である反応阻止膜の適用を適宜変更することが可能である。以下、本図面に基づいてその変形例について詳細に説明する。

[0059] 図1に示した実施例では2層の反応阻止膜201及び202を有する構造としたが、反応阻止膜の層数はこれに限定されるものではない。例えば、図11で示した本実施形態の変形例1に示すように、反応阻止膜を3層としても良い。即ち、図1で示した実施例に対して、第3の層間絶縁膜118中に反応阻止膜203をさらに配置しても良い。この場合、特にパッシベーション膜120の成膜時には3層の反応阻止膜201、202及び203が保護膜となるので、図1の実施例(2層の場合)に対して1層当たりの膜厚を薄く設定することが可能となるので、反応阻止膜が関与する加工(例えば、コンタクトホール114及び115のエッチング)がし易くなるという利点がある。また、各層の阻止能力をある程度弱い材料とすることもできるので、反応阻止膜の材料の選択度が増すという利点がある。

[0060] また、これとは反対に可変抵抗素子Rとパッシベーション膜の間であれば、反応阻止膜を1層のみとしても構わない。この場合、図1若しくは図11における反応阻止膜201のように、可変抵抗体の還元及び酸化反応を抑制するためには、可変抵抗素子Rに密接して配設するのがより望ましい。ただしこの場合、図1の実施例(2層の場合)と同等の効果を出すために必要な膜厚、材料等が反応阻止膜201には要求される。

[0061] 反応阻止膜201を可変抵抗体Rに密接して配設する場合、第1電極112、可変抵抗体111及び第2電極110の加工による段差が存在するので、可変抵抗体Rの側面

での成膜厚が極端に薄くならないように、反応阻止膜201の成膜には良好な被覆性が要求される。これに対して、図12に示した本実施形態の変形例2では、第2の層間絶縁膜113中に可変抵抗素子膜204を配置しており、可変抵抗体Rの段差が緩和された表面に反応阻止膜204を成膜するので、被覆性の劣る膜でも適用することが可能となる。この場合、反応阻止膜204と可変抵抗素子Rの間にある層間絶縁膜113の一部の部分によって、可変抵抗素子Rは僅かながらも影響を受けてしまう。しかし、この影響と上記被覆性の問題による反応阻止能力の低下とを斟酌して、本構造の方を選択することも可能である。

[0062] また、図1に示した実施例では、コンタクトホール115を埋め込む導電性コンタクトプラグとして、W／TiN／Ti膜を材料とした。ここで、TiN膜も酸素及び水素の透過をブロックする作用を有するので、反応阻止膜201上に開口部分115があっても、結果的にコンタクトプラグが酸素及び水素を遮断する役目を果たしていた。そこで、図13に示した本実施形態の変形例3のように、例えばTiNから成る反応素子膜205をコンタクトホール115内に配設しても良い。この場合、コンタクトホール115内に埋め込まれる材料の選択に制限を与えることがなくなる。ただし、反応阻止膜205は導電性材料でなければならない。

[0063] また、図14に示した本実施形態の変形例4のように、コンタクトホール115内の側面のみに反応阻止膜206を配設しても良い。この場合、反応阻止膜206は必ずしも導電性材料である必要は無く、AlOx等の絶縁材料でも構わない。

[0064] 以上説明した図1から図8及び図11から図14の実施例及び変形例では、導電性コンタクトプラグを介して下部電極である第2電極110と選択トランジスタTのドレイン領域105とを接続する構造としたがこれに限定されるものではない。例えば、図15に示した本実施形態の変形例5のように、上部電極である第1電極112と選択トランジスタTのドレイン領域105をメタル配線122で吊り上げて接続する構成のメモリセルに対して、反応阻止膜201，202を同様に適用しても構わない。

[0065] 図15の変形例5では、図1の実施例と同様に第2電極の一例としてPt膜が使用される。ここで、Pt膜は酸素及び水素の透過を阻止できない。そこで、図16に示した本実施形態の変形例6のように、下部電極である第2電極の下に反応阻止膜207を配

しても良い。反応阻止膜207の材料としては、AlOx等の絶縁材料でも構わないし、TiN膜等を含む導電性材料でも構わない。また、図13の変形例3と同様に、反応阻止膜205をコンタクトホール115内に配することで、可変抵抗素子Rを反応阻止膜(この場合、201、205、及び207)で完全に包含するようにしても良い。

[0066] 以上説明した図1から図8及び図11から図16の実施例及び変形例では、可変抵抗素子Rを第1電極、可変抵抗体及び第2電極を順次加工する構造としたがこれに限定されるものではなく、反応阻止膜が可変抵抗素子を保護する目的で配設されるものであれば、可変抵抗素子の形状はいかなる構造であっても本発明の発明要件の構成を損なわない。また同様に、メモリセル構成についても、選択トランジスタTを有するメモリセル構成としたがこれに限定されるものではない。例えば、第1電極と第2電極を直接選択して、その交点(クロスポイント)にある可変抵抗体のデータを直接読み出すメモリセル構成、所謂クロスポイント構成のメモリセルに対して、反応阻止膜を同様に適用しても構わない。

[0067] 以上説明した実施例及び変形例1から6では、反応阻止膜201から207として、酸化アルミニウム膜(AlOx膜)或いは窒化チタン膜(TiN膜)を用いたがこれに限定されるものではない。例えば、反応阻止膜201から205及び207に適用できうる、酸素若しくは水素の透過をブロックする作用を有する絶縁性材料としては、酸化チタン、酸化タンタル、酸化ジルコニウム、酸化ストロンチウム、酸化マグネシウム、酸化セレン、酸化ランタン、酸化チタンアルミニウム、酸化タンタルアルミニウム、珪化酸化チタン、珪化酸化タンタル、及び酸窒化チタンなどの酸化物及び酸窒化物が知られている。また、タンタル酸ストロンチウムビスマス(SBT)、チタン酸バリウムストロンチウム(BST)、ジルコンチタン酸鉛(PZT)、チタン酸鉛(PTO)、チタン酸ストロンチウム(STO)、チタン酸ビスマス(BIT)などのペロブスカイト型酸化物も同様の機能を有している。また、シリコン窒化膜(SiNx膜)及びシリコン酸窒化膜(SiOxNy膜)も優れた酸素及び水素のブロック性を有しており、プラズマCVD法よりも水素の発生しにくいLPCVD法(減圧気相成長法:Low Pressure Chemical Vapor Deposition)で成膜することにより反応阻止膜として適用することができる。ただし、成膜温度が700℃前後と高温であるため、メタル配線116、117の形成以前に成膜する反応阻止膜201、

204、206及び207でなければならない。

[0068] また、反応阻止膜205から207に適用できうる、酸素若しくは水素の透過をブロックする作用を有する導電性材料としては、チタン、タンタル、イリジウム、ルテニウムなどの金属。或いは、チタンアルミニウム、タンタルアルミニウム、ルテニウムシリサイド、タングステンボライド、チタンボライド、タングステンカーバイド、チタンカーバイドなどの合金。或いは、窒化チタン、窒化タンタル、窒化アルミニウム、窒化タングステン、窒化チタンアルミニウム、窒化タンタルアルミニウム、珪化窒化チタン、珪化窒化タンタル、珪化窒化タングステン、珪化窒化イリジウム、珪化窒化白金などの導電性窒化物。或いは、酸化イリジウム、酸化ルテニウム、ルテニウム酸ストロンチウム(SRO)などの導電性酸化物が知られている。

[0069] また、可変抵抗体111としては、化学式では「ABO_3」で表示され、チタン酸鉛($PbTiO_3$)、チタン酸バリウム($BaTiO_3$)等で代表されるペロブスカイト型酸化物がある。例えば、Pr, Mn系ペロブスカイト型酸化物も上記「ABO_3」の化学式で、「A」の位置にPrが一部または全部置換され、「B」の位置にMnが一部または全部置換された場合となり、例えば、$Pr_{1-X}A_XMnO_3$系($0 \leqq X \leqq 1$)のような簡単な形態となることもでき、また、$(Pr_{1-X}A_X)(Mn_{1-Z}B_Z)O_3$系($0 \leqq X \leqq 1$, $0 \leqq Z < 1$)等のようなAまたはBに置換される原子の数が増加する形態となることもできる。Aは、Ca, La, Sr, Gd, Nd, Bi, Ceの内から選択した少なくとも1種の元素、BはTa, Ti, Cu, Cr, Co, Fe, Ni, Gaの内から選択した少なくとも1種の元素を用いることができる。

[0070] 可変抵抗体111となるペロブスカイト型構造の酸化物として、代表的には、(Pr, Ca)MnO_3, $SrTiO_3$, (Ba, Sr)TiO_3, $LaMnO_3$, $LaTiO_3$, (Nd, Sr)MnO_3, (La, Sr)MnO_3等が挙げられる。

[0071] この種の材料は、電圧パルスの印加により電気抵抗が変化する現象を呈するが、その中でも$Pr_{1-X}Ca_XMnO_3$系の材料(PCMO膜)がより大きな電圧パルスによる抵抗値変化を示し、更に、X＝0．3付近の組成が、本発明の可変抵抗体111として好ましい。

[0072] また、電気抵抗変化がペロブスカイト型構造に比べ小さいが、ZnSe－Geヘテロ構造、或いは、Ti, Nb, Hf, Zr, Ta, Ni, V, Zn, Sn, In, Th, Alなどの金属の酸化

物を可変抵抗体111として用いることもできる。なお、可変抵抗体として適用できるどの材料を用いた場合でも、可変抵抗体の抵抗値が酸化反応又は還元反応によって変化する場合は、本発明を適用することが可能である。

請求の範囲

[1] 第1電極と第2電極の間に可変抵抗体を設けてなり、前記第1電極と前記第2電極間に電圧パルスを印加することにより、前記第1電極と前記第2電極間の電気抵抗が変化する可変抵抗素子を備えた半導体記憶装置において、

少なくとも1層の反応阻止膜を有することを特徴とする半導体記憶装置。

[2] 前記反応阻止膜が、還元種の拡散を阻止し、前記可変抵抗体の還元反応を抑制することを特徴とする請求項1に記載の半導体記憶装置。

[3] 前記反応阻止膜が、酸化種の拡散を阻止し、前記可変抵抗体の酸化反応を抑制することを特徴とする請求項1に記載の半導体記憶装置。

[4] 前記反応阻止膜が、前記可変抵抗素子に密接して配設されていることを特徴とする請求項1から請求項3の何れか1項に記載の半導体記憶装置。

[5] 前記反応阻止膜が、前記可変抵抗素子と表面保護膜との間に配設されていることを特徴とする請求項1から請求項3の何れか1項に記載の半導体記憶装置。

[6] 前記第1電極上若しくは前記第2電極上に形成されたコンタクトホール内に埋め込まれる導電性材料が、還元種と酸化種の少なくとも何れか一方の拡散を抑制する機能を有する材料を含んで成ることを特徴とする請求項1から請求項3の何れか1項に記載の半導体記憶装置。

[7] 前記コンタクトホール内に埋め込まれる導電性材料が、Si, Al, Ti, Ta, Hf, Wの内から選択された少なくとも1種の元素を含んで構成される導電性窒化物、若しくはIr, Ruの内から選択された少なくとも1種の元素を含んで構成される導電性酸化物、若しくはTi, Ta, Ir, Ruの中から選択された金属単体、若しくはTi, Ta, Ir, Ru, Wの中から選択された少なくとも1種の元素を含んで構成される合金であることを特徴とする請求項6に記載の半導体記憶装置。

[8] 前記反応阻止膜が、Al, Ti, Ta, Hf, Pb, La, Zr, Sr, Bi, Pr, Ca, Mn, Si, Mg, Ceの内から選択された少なくとも1種の元素を含んで構成される酸化物、若しくは、Si, Al, Ti, Ta, Hf, Wの内から選択された少なくとも1種の元素を含んで構成される窒化物、若しくはTi, Ta, Ir, Ruの中から選択された金属単体、若しくはTi, Ta, Ir, Ru, Wの中から選択された少なくとも1種の元素を含んで構成される合金であること

を特徴とする請求項1から請求項3の何れか1項に記載の半導体記憶装置。

[9] 前記可変抵抗体が、Pr, Ca, La, Sr, Gd, Nd, Bi, Ba, Y, Ce, Pb, Sm, Dyの内から選択された少なくとも1種の元素と、Ta, Ti, Cu, Mn, Cr, Co, Fe, Ni, Gaの内から選択された少なくとも1種の元素を含んで構成されるペロブスカイト構造の酸化物であること特徴とする請求項1から請求項3の何れか1項に記載の半導体記憶装置。

[10] 前記可変抵抗体が、$Pr_{1-X}Ca_X[Mn_{1-Z}M_Z]O_3$系（但し、MはTa, Ti, Cu, Cr, Co, Fe, Ni, Gaの中から選択される何れかの元素）、$La_{1-X}AE_XMnO_3$系（但し、AEはCa, Sr, Pb, Baの中から選択される何れかの2価のアルカリ土類金属）、$RE_{1-X}Sr_XMnO_3$系（但し、REはSm, La, Pr, Nd, Gd, Dyの中から選択される何れかの3価の希土類元素）、$La_{1-X}Co_X[Mn_{1-Z}Co_Z]O_3$系、$Gd_{1-X}Ca_XMnO_3$系、及び、$Nd_{1-X}Gd_XMnO_3$系、の内の何れか1つの一般式（$0 \leqq X \leqq 1$, $0 \leqq Z < 1$）で表される系のペロブスカイト構造の酸化物であることを特徴とする請求項1から請求項3の何れか1項に記載の半導体記憶装置。

[11] 前記可変抵抗体が、ZnSe－Geヘテロ構造、若しくは、Ti, Nb, Hf, Zr, Ta, Ni, V, Zn, Sn, In, Th, Alの内から選択された少なくとも1種の元素を含んで構成される金属酸化物であることを特徴とする請求項1から請求項3の何れか1項に記載の半導体記憶装置。

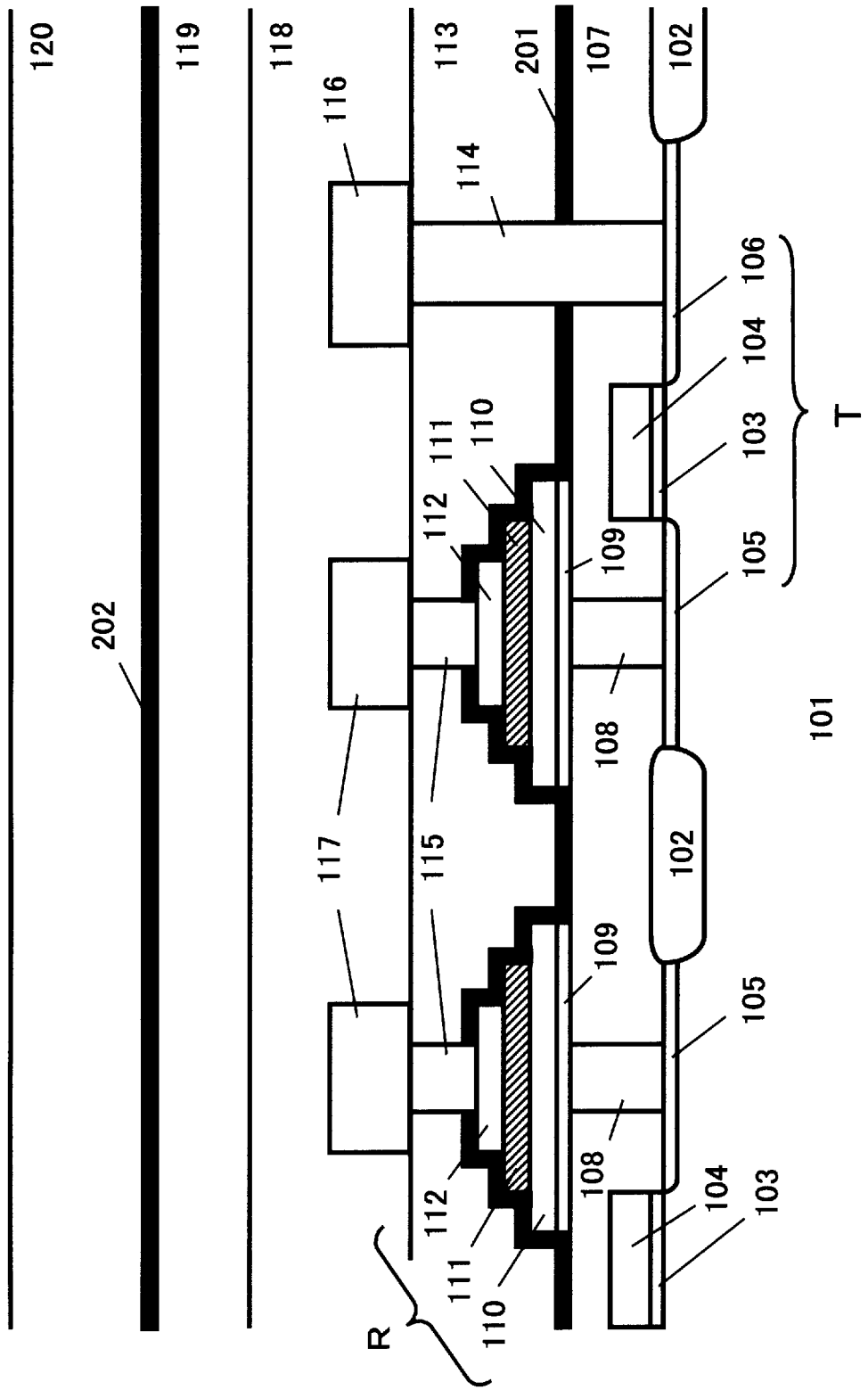
[12] 第1電極と第2電極の間に可変抵抗体を設けてなり、前記第1電極と前記第2電極間に電圧パルスを印加することにより、前記第1電極と前記第2電極間の電気抵抗が変化する可変抵抗素子を備えた半導体記憶装置において、

前記第1電極上若しくは前記第2電極上に形成されたコンタクトホール内に埋め込まれる導電性材料が、還元種と酸化種の少なくとも何れか一方の拡散を抑制する機能を有する材料を含んで成ることを特徴とする半導体記憶装置。

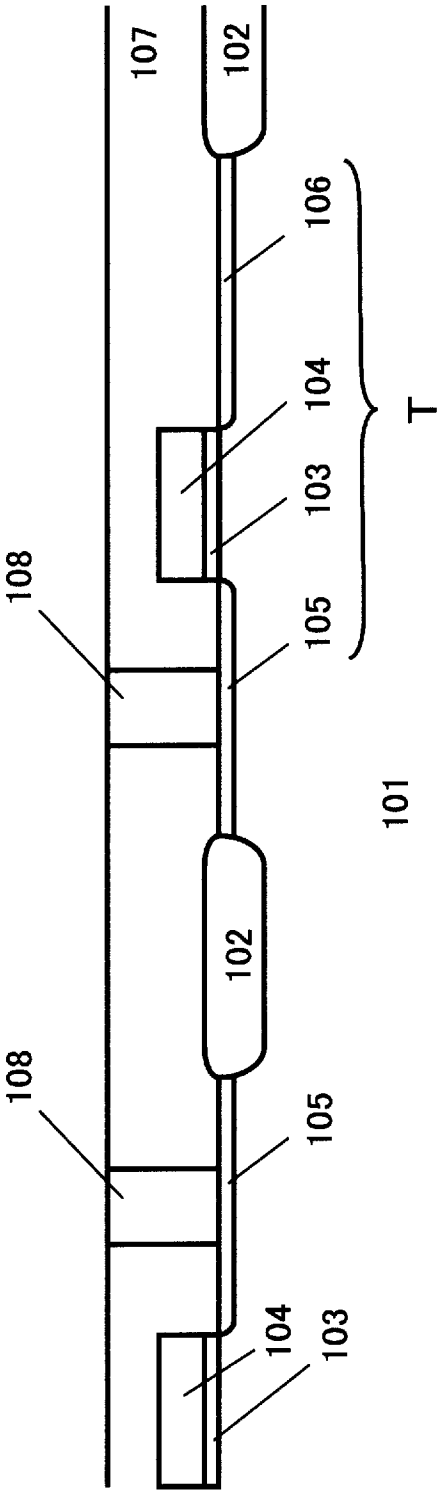
[13] 前記コンタクトホール内に埋め込まれる導電性材料が、Si, Al, Ti, Ta, Hf, Wの内から選択された少なくとも1種の元素を含んで構成される導電性窒化物、若しくはIr, Ruの内から選択された少なくとも1種の元素を含んで構成される導電性酸化物、若しくはTi, Ta, Ir, Ruの中から選択された金属単体、若しくはTi, Ta, Ir, Ru, W

の中から選択された少なくとも1種の元素を含んで構成される合金であることを特徴とする請求項12に記載の半導体記憶装置。

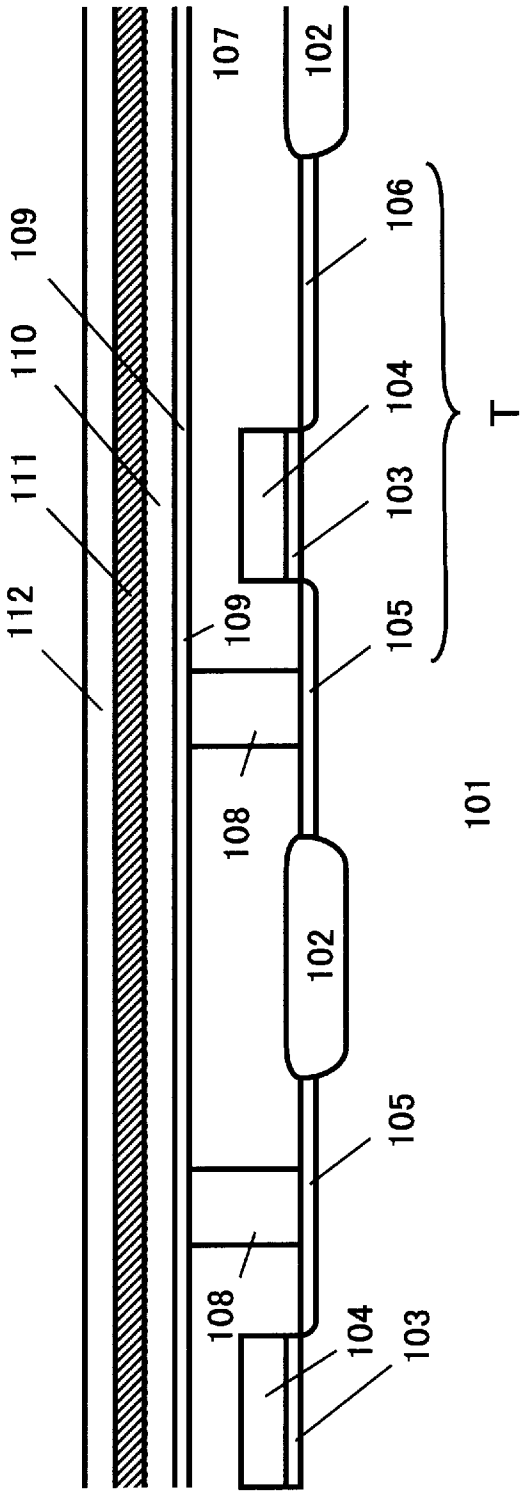
[図1]


120
119
118
116
113
201
107
102
114
106
104
103
105
T
111
110
112
109
202
108
101
117
115
102
109
105
108
104
103
112
111
110
R

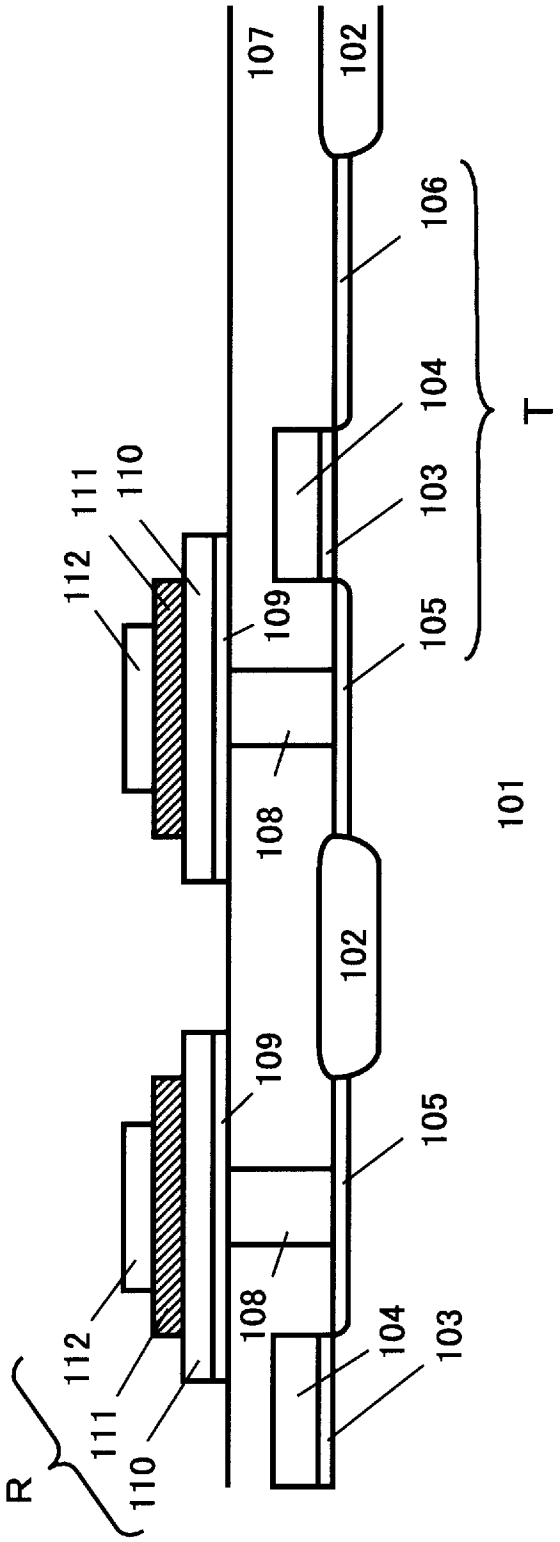
[図2]



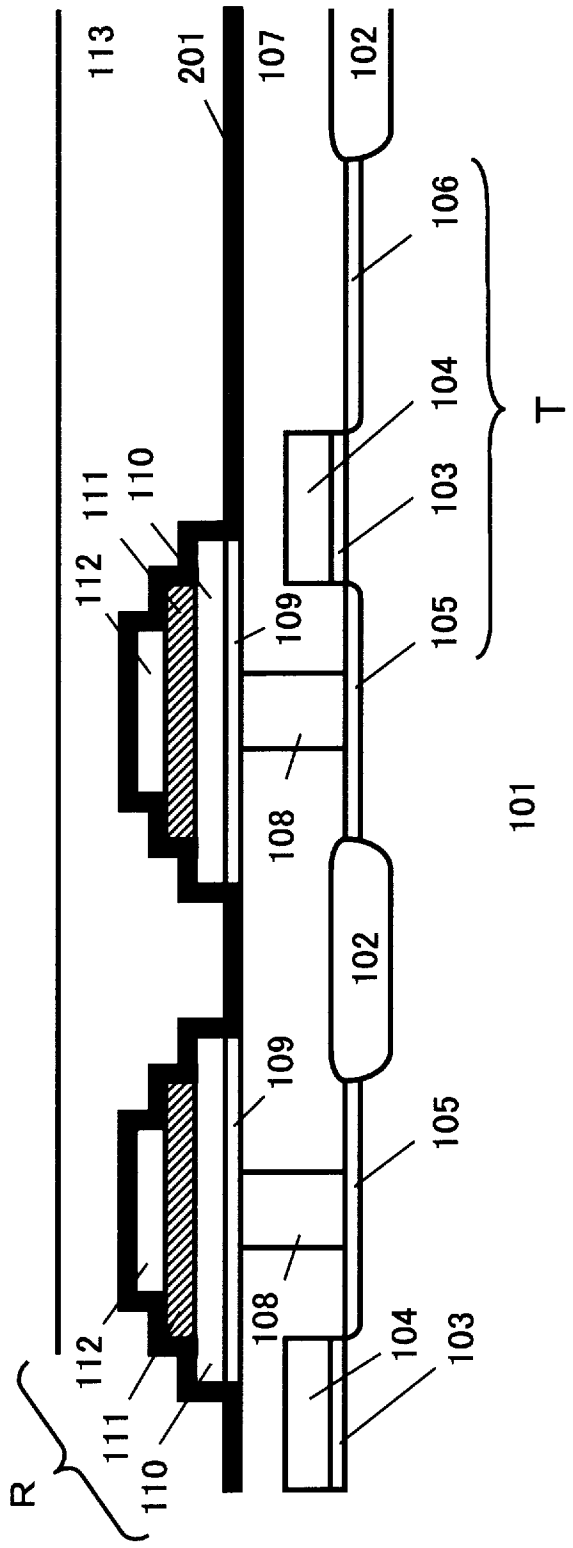
[図3]


107
102
109
106
110
104
111
103
T
112
109
105
108
101
102
105
108
104
103

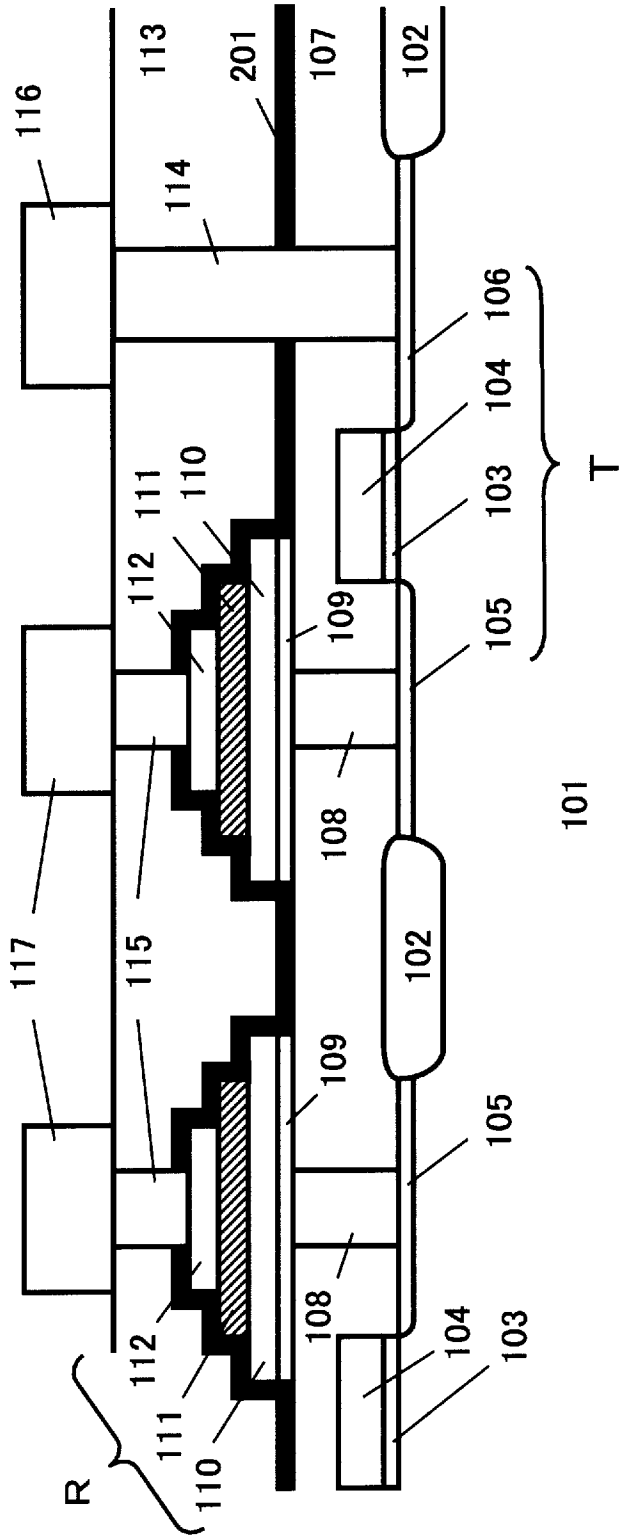
[図4]


107
102
106
104
103
105
T
111
110
112
109
108
101
102
109
105
108
112
111
110
104
103
R

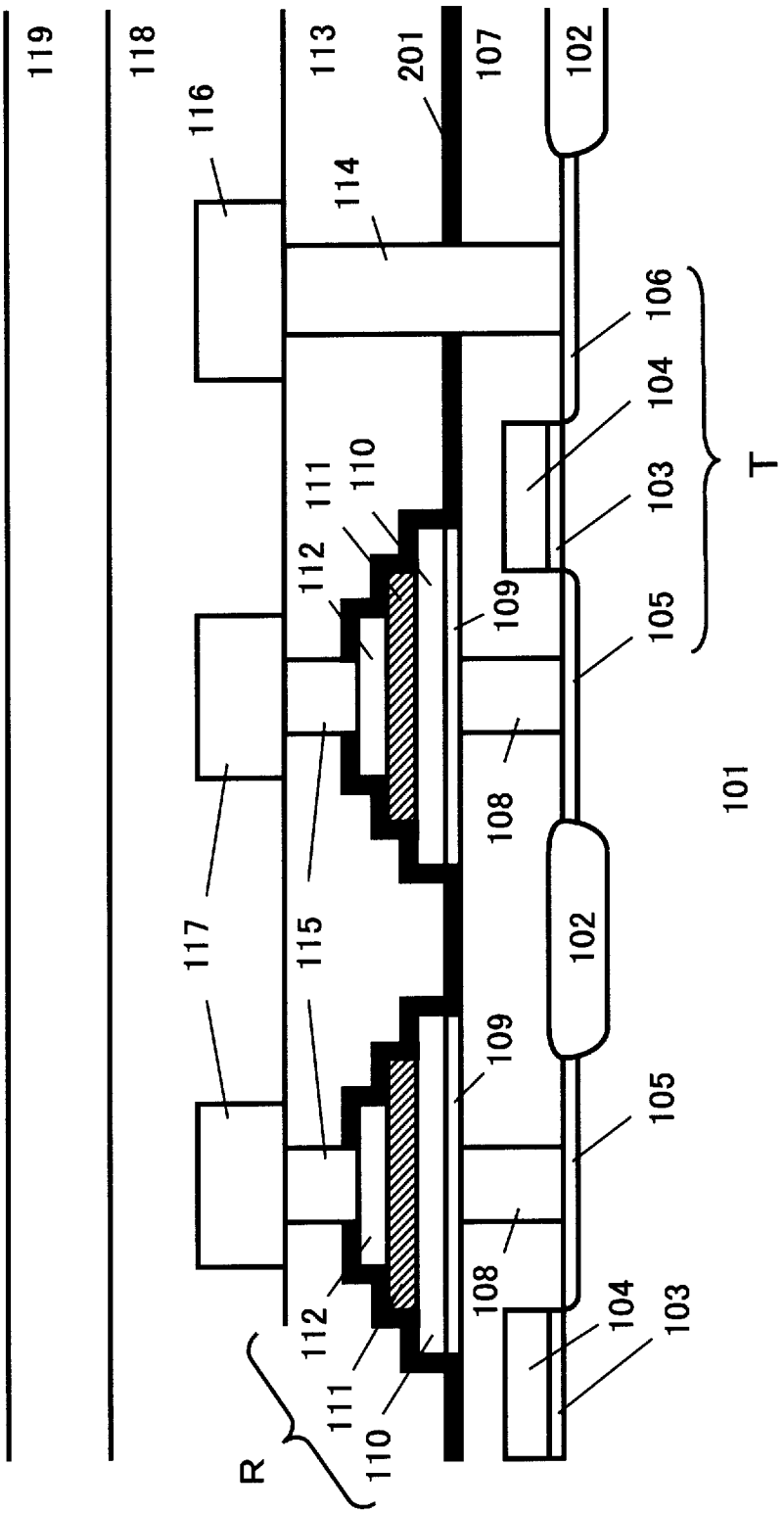
[図5]


113
201
107
102
106
104
103
105
T
111
110
112
109
108
101
102
109
105
108
104
103
112
111
110
R

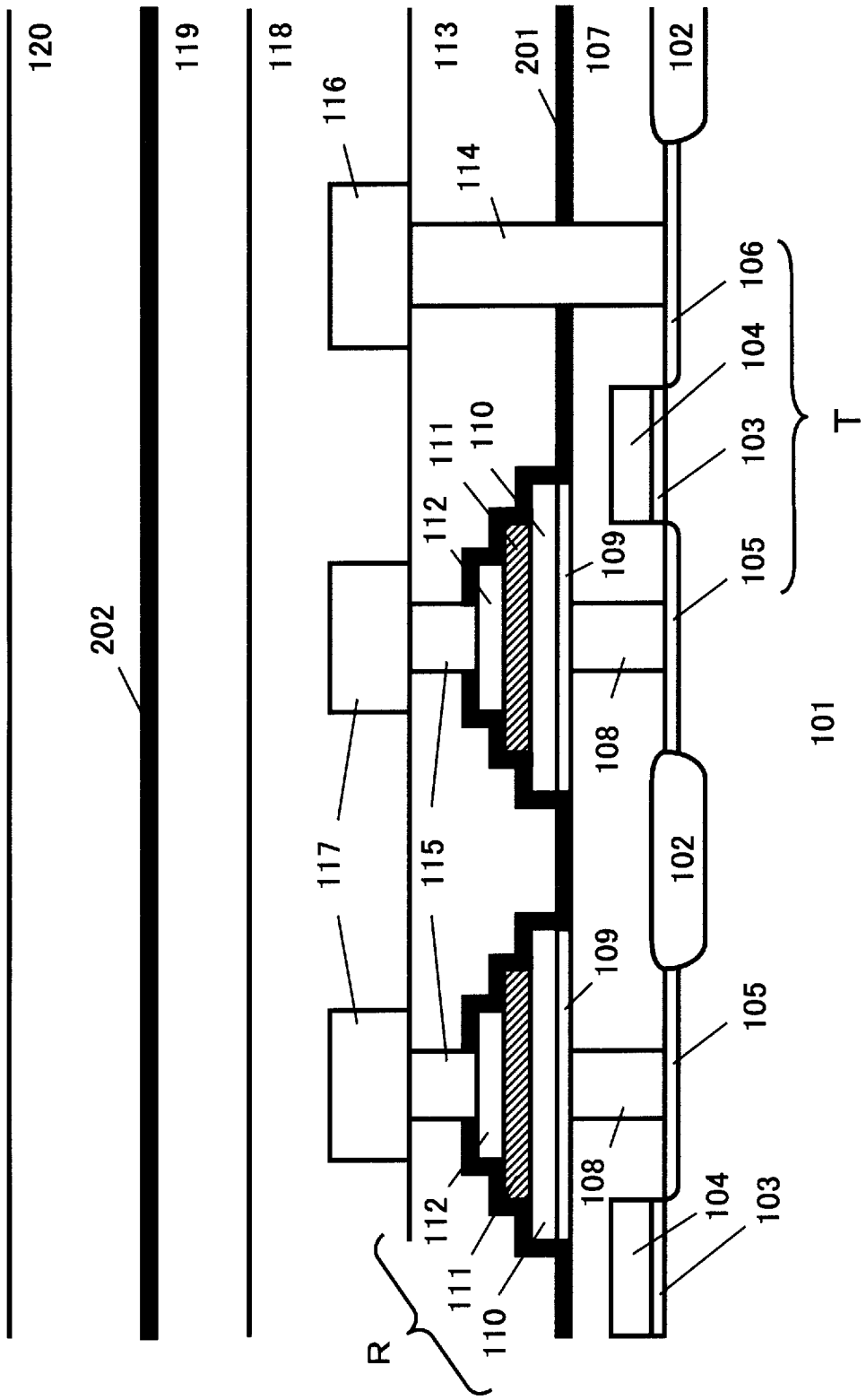
[図6]


116
113
201
107
102
114
106
104
103
T
105
111
110
112
109
108
101
117
115
102
109
105
108
104
103
112
111
110
R

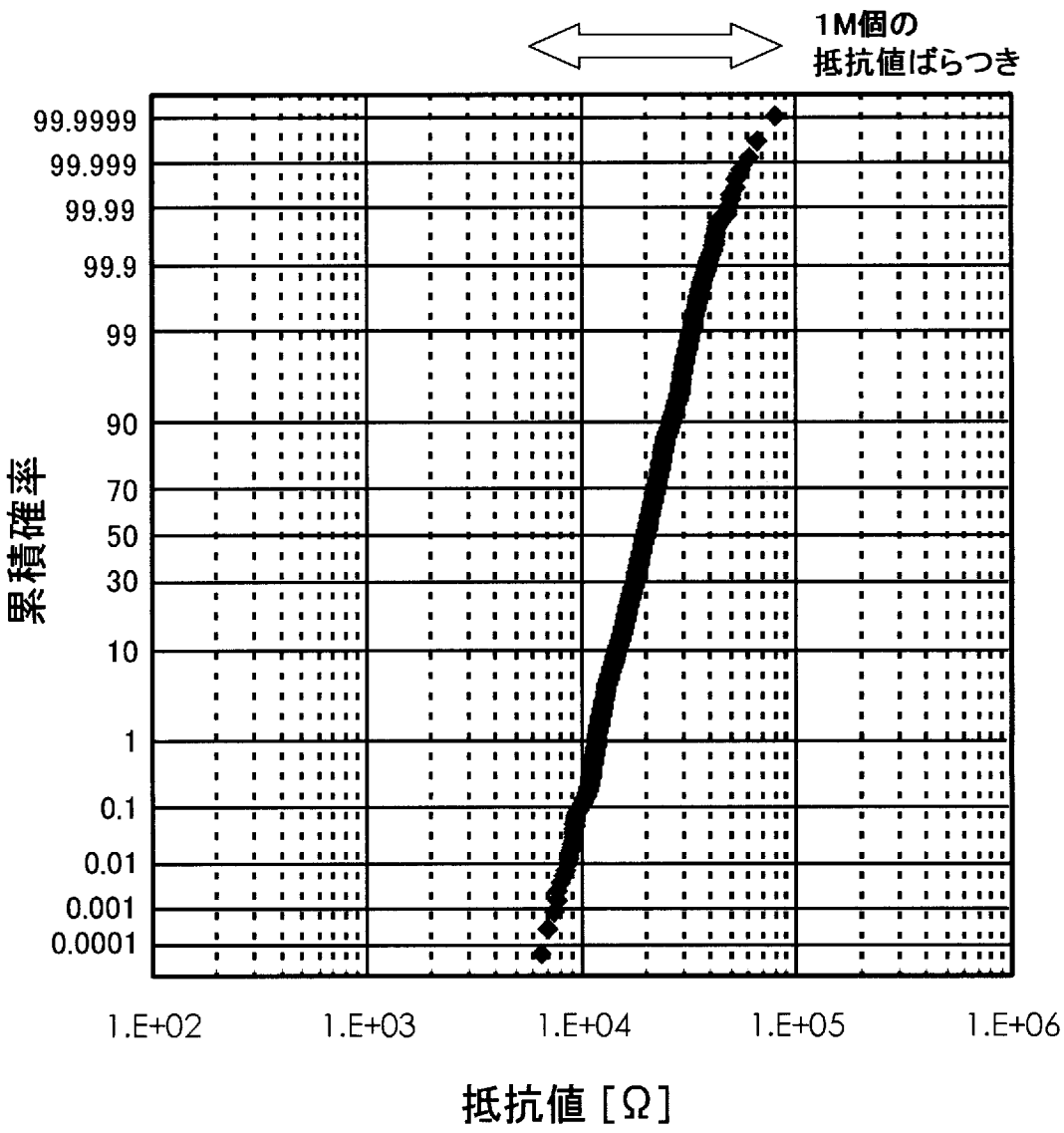
[図7]


119
118
116
113
201
107
102
114
106
104
103
T
111
110
112
109
105
108
101
117
115
102
109
105
108
112
111
110
R
104
103

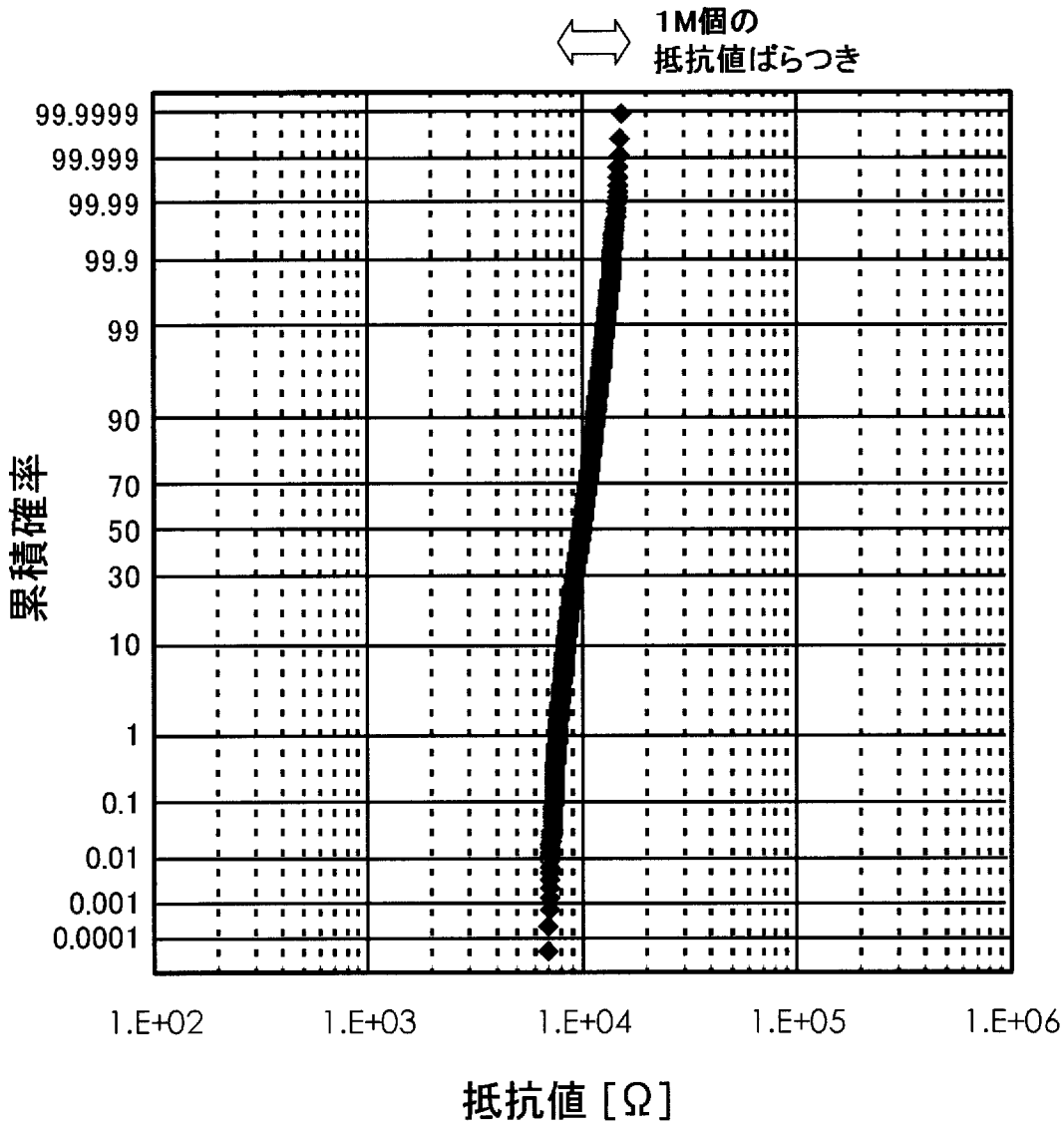
[図8]


120
119
118
116
113
201
107
102
114
106
104
103
T
111
110
112
109
105
202
108
101
117
115
102
109
105
108
104
103
112
111
110
R

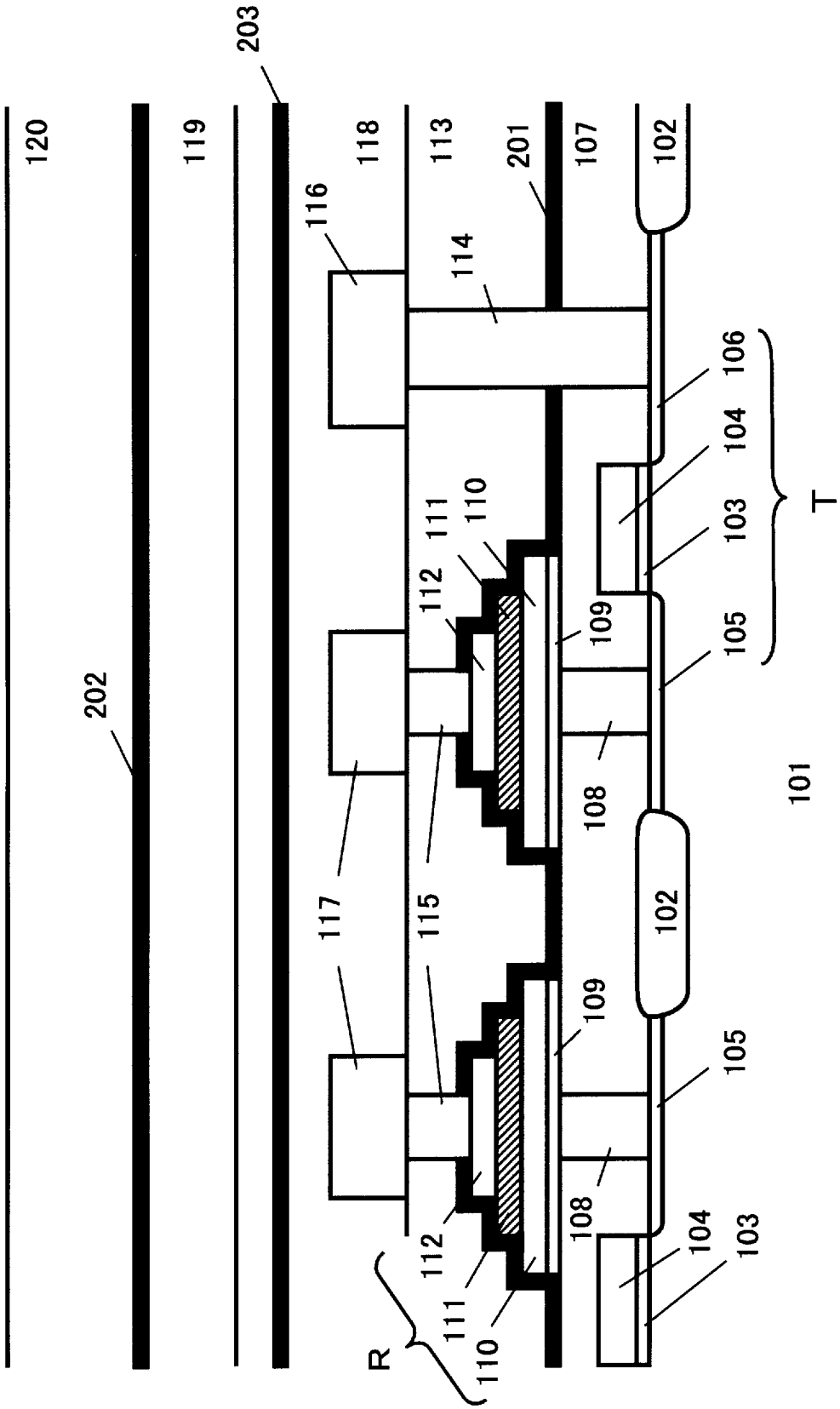
[図9]


1M個の
抵抗値ばらつき
99.9999
99.999
99.99
99.9
99
90
70
50
30
10
1
0.1
0.01
0.001
0.0001
累積確率
1.E+02
1.E+03
1.E+04
1.E+05
1.E+06
抵抗値 [Ω]

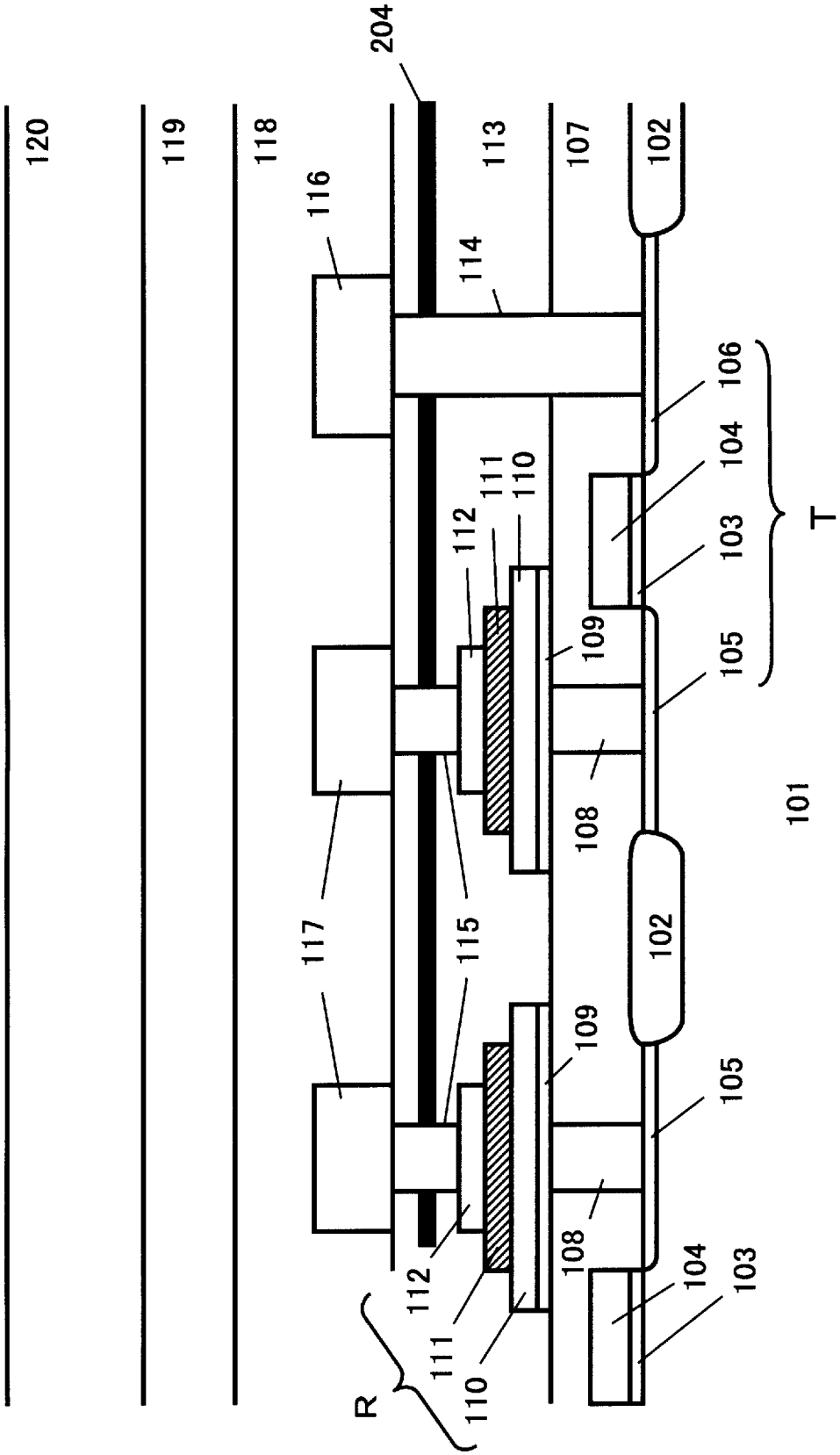
[図10]


1M個の
抵抗値ばらつき
99.9999
99.999
99.99
99.9
99
90
70
50
30
10
1
0.1
0.01
0.001
0.0001
累積確率
1.E+02
1.E+03
1.E+04
1.E+05
1.E+06
抵抗値 [Ω]

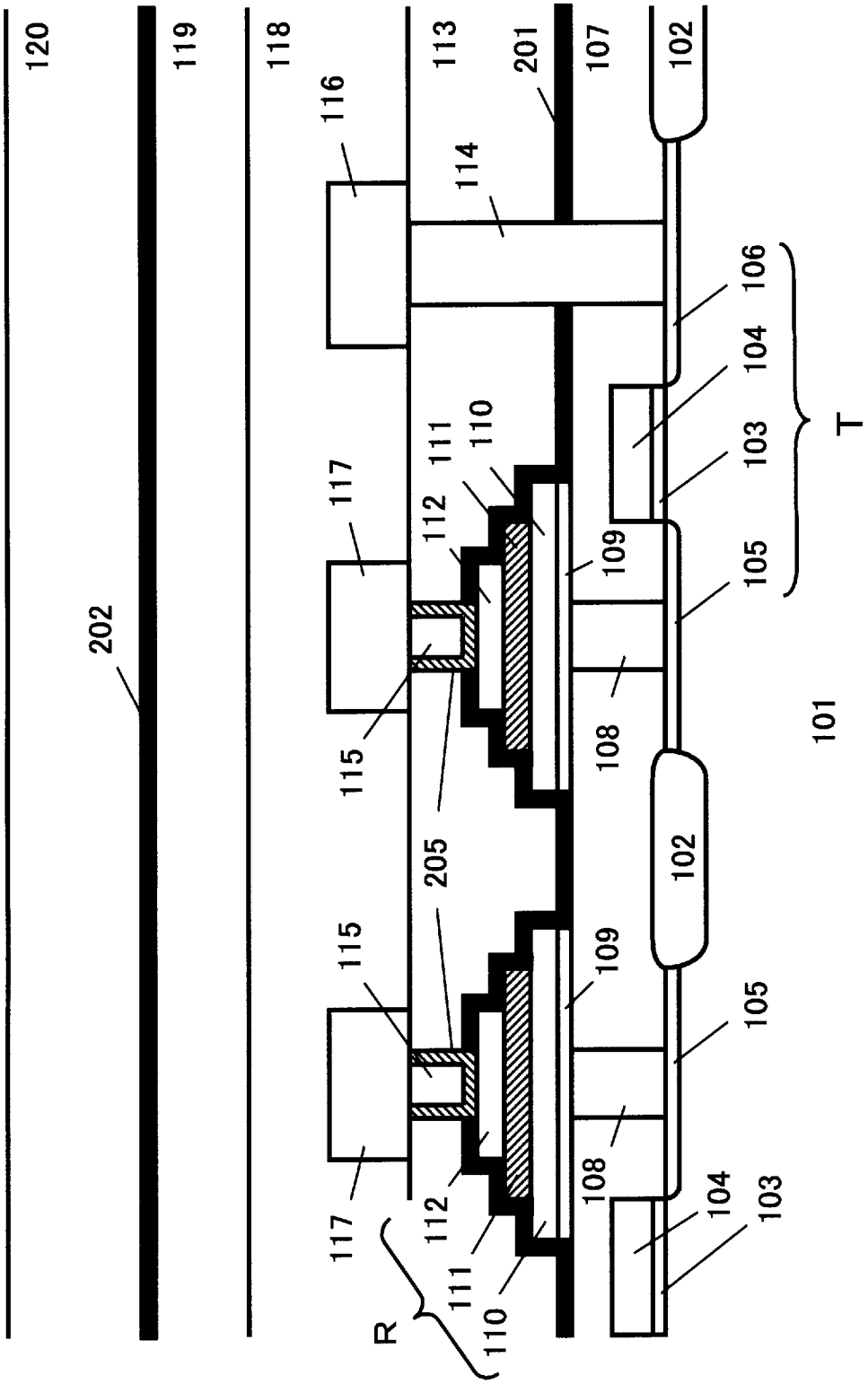
[図11]


120
119
203
118
113
201
107
102
116
114
106
104
103
105
T
111
110
112
109
202
108
101
117
115
102
109
105
108
104
103
112
111
110
R

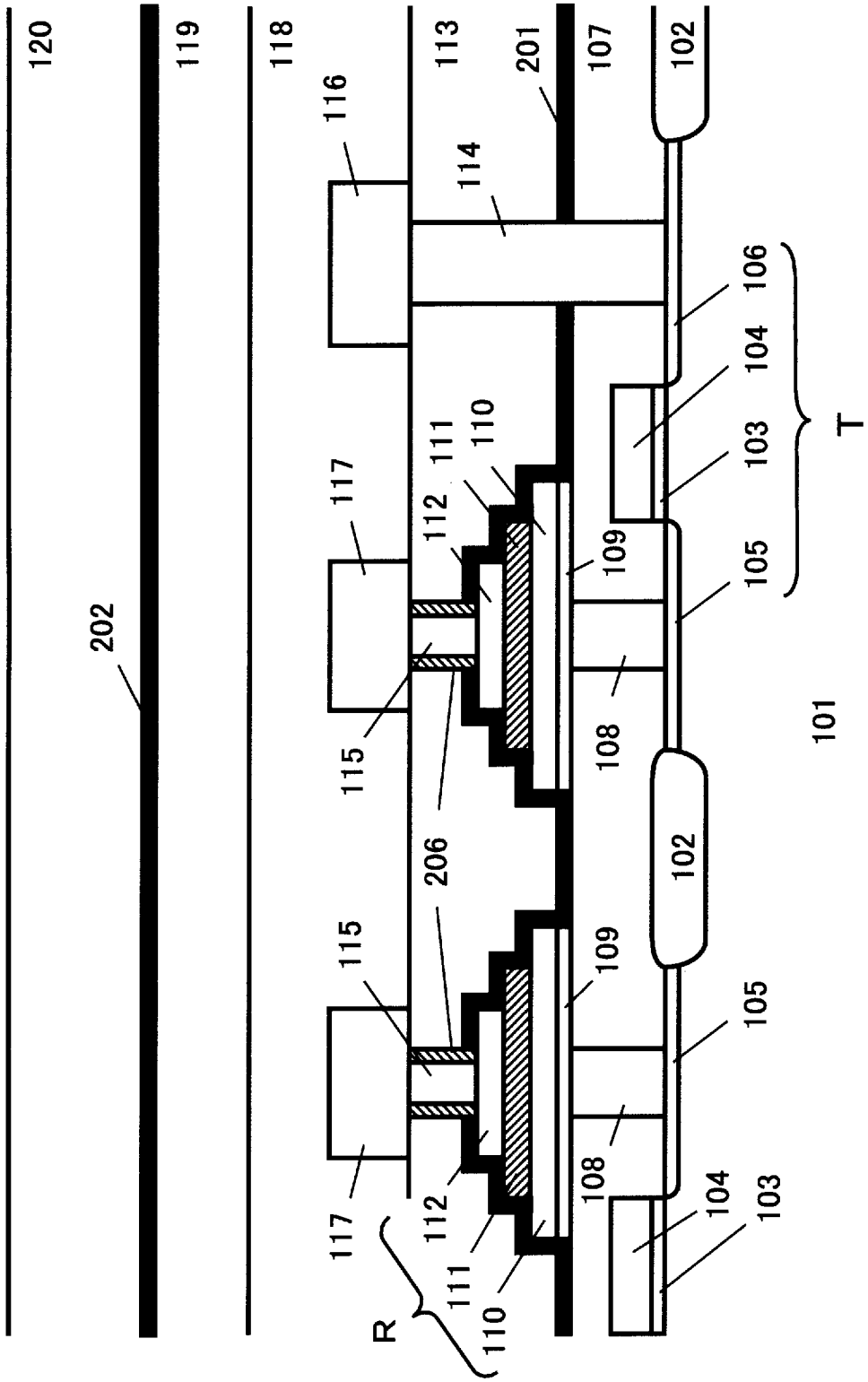
[図12]


204
120
119
118
116
113
107
102
114
106
104
111
110
112
103
T
109
105
108
101
117
115
102
109
105
108
104
103
112
111
110
R

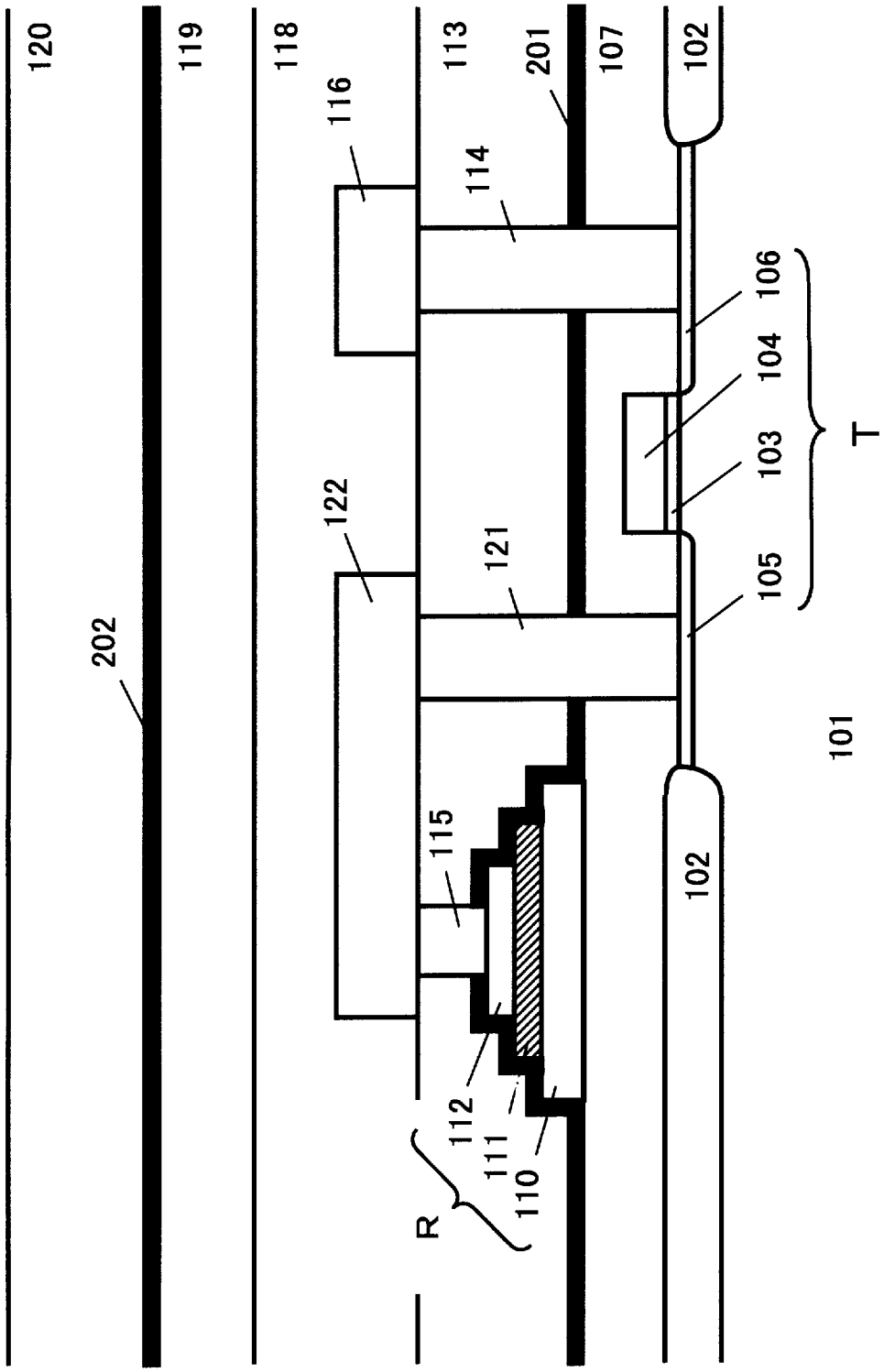
[図13]


120
119
118
116
113
201
107
102
114
106
104
103
T
105
109
110
111
112
117
202
115
205
108
101
R

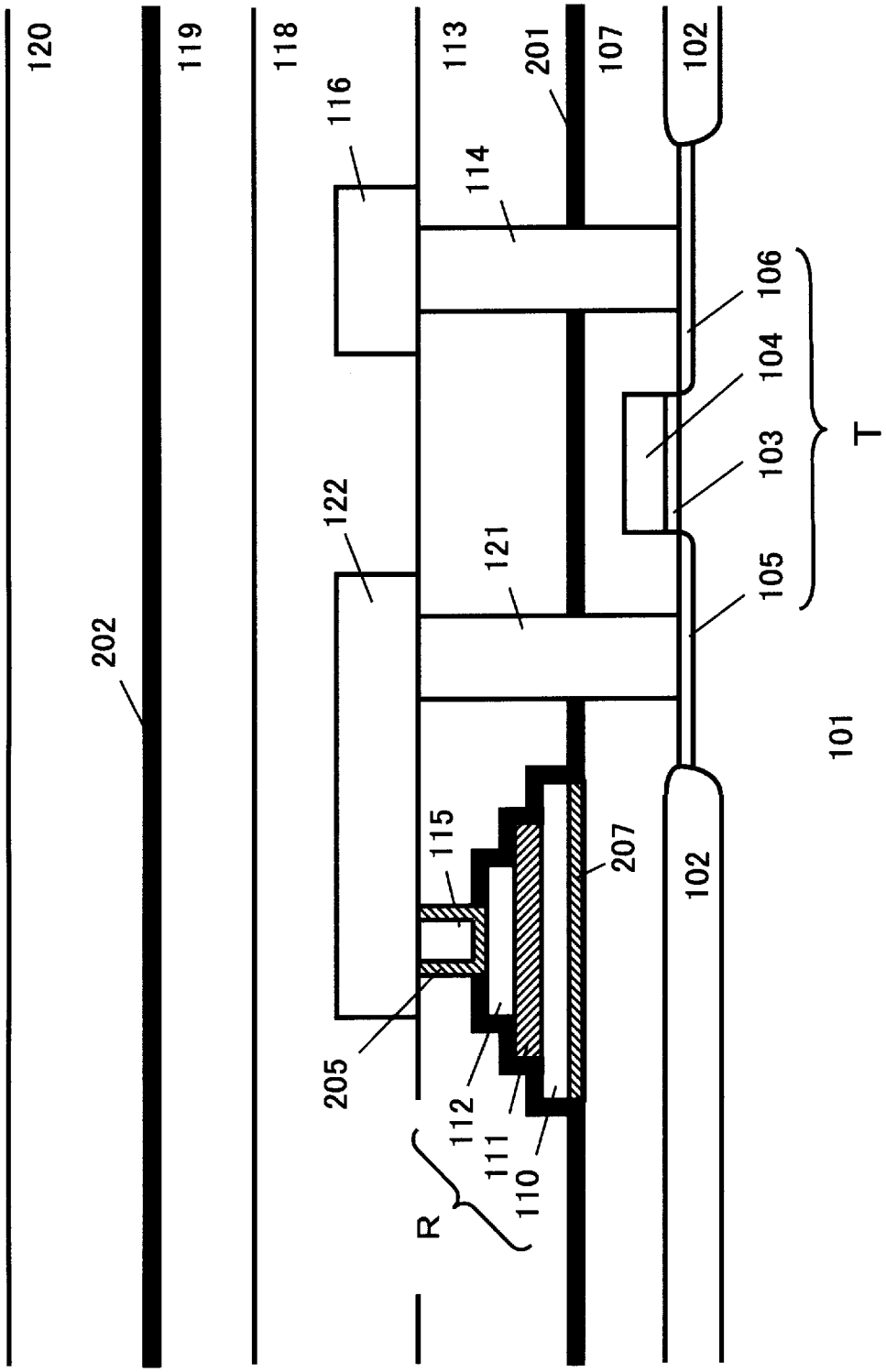
[図14]


120
119
118
202
116
113
201
107
102
114
106
104
103
105
T
111
110
112
117
109
108
115
206
101
R

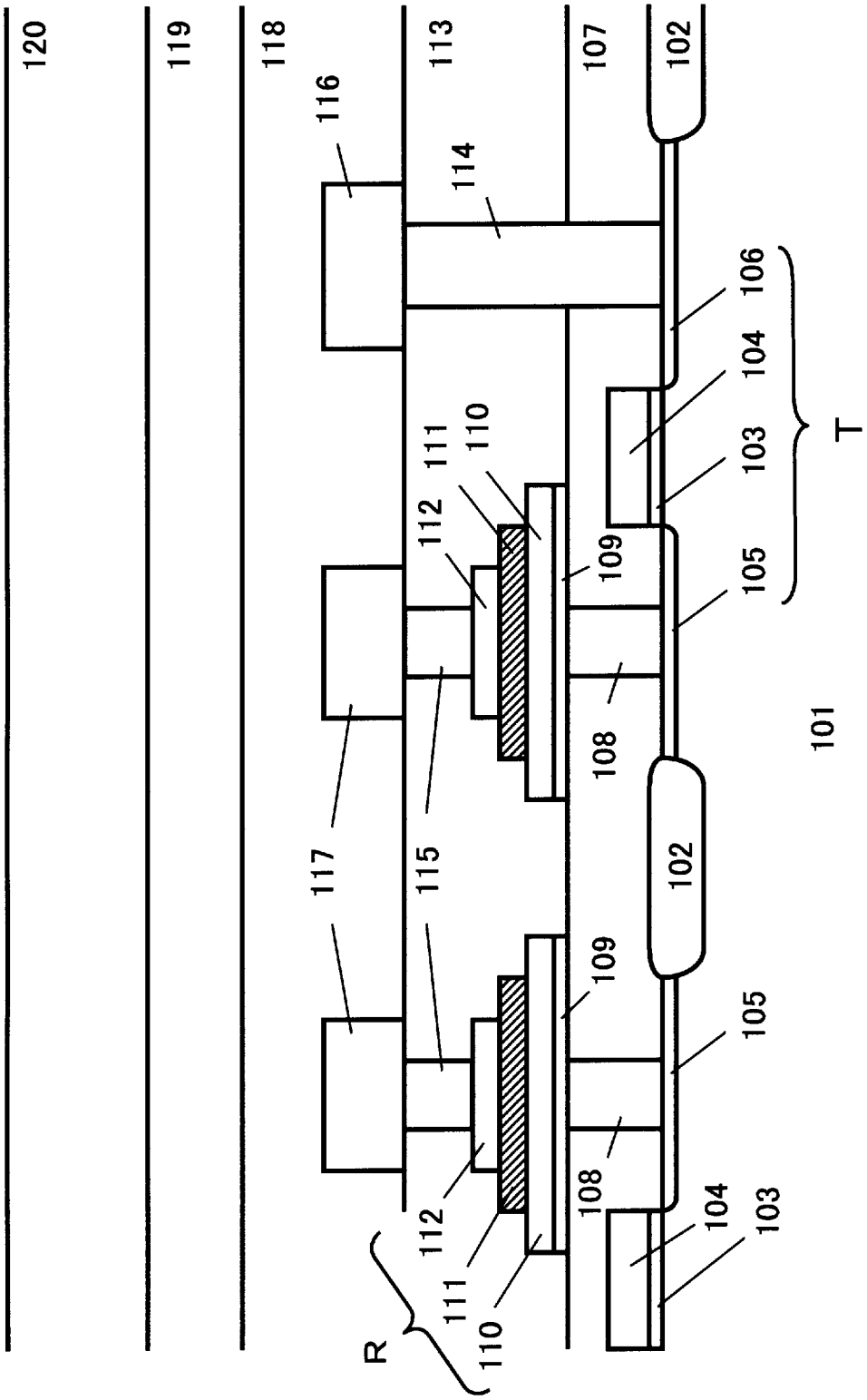
[図15]


120
119
118
116
113
201
107
102
114
106
104
103
105
T
122
121
202
101
115
102
112
111
110
R

[図16]


120
119
118
113
201
107
102
116
114
106
104
103
105
T
122
121
202
101
115
207
102
205
112
111
110
R

[図17]


120
119
118
116
113
107
102
114
106
104
103
105
T
111
110
112
109
108
117
115
102
101
109
105
108
104
103
112
111
110
R

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/313397

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/10(2006.01)i, *H01L45/00*(2006.01)i, *H01L49/00*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/10, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006
Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
IEEE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2005-123361 A (Sony Corp.), 12 May, 2005 (12.05.05), Full text (Family: none)	1-5,8,9 10,11 6,7,12,13
X Y A	JP 2005-175457 A (Sharp Corp.), 30 June, 2005 (30.06.05), Full text & US 6849891 B1 & EP 1542277 A2	1-5,8,9 10,11 6,7,12,13
X Y A	ZHUANG, W.W. et al., Novell Collossal Magnetoresistive Thin Film Nonvolatile Resistance Random Access Memory (RRAM). International Electron Devices Meeting 2002 Technical Digest. 08 December, 2002 (08.12.02), pages 193 to 196	1-5,8,9 10,11 6,7,12,13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 August, 2006 (17.08.06)	29 August, 2006 (29.08.06)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/313397

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-092912 A (Sharp Corp.), 07 April, 2005 (07.04.05), Par. No. [0047] & US 2005/0122768 A1	9,10
Y	JP 2002-537627 A (International Business Machines Corp.), 05 November, 2002 (05.11.02), Par. Nos. [0024] to [0030] & EP 1153434 A1 & WO 2000/049659 A1 & AU 1887000 A & CN 1340213 A	11
Y	BECK A. et al., Reproducible switching effect in thin oxide films for memory applications. Applied Physics Letters. 03 July, 2000 (03.07.00), Vol.77, No.1, pages 139 to 141	11
E,X	JP 2006-120707 A (Matsushita Electric Industrial Co., Ltd.), 11 May, 2006 (11.05.06), Full text (Family: none)	1,2,4,5,8-11
A	JP 11-297942 A (NEC Corp.), 29 October, 1999 (29.10.99), Full text & US 6281536 B1 & EP 0949682 A2 & CN 1232294 A	1-13
A	JP 09-097883 A (Sony Corp.), 08 April, 1997 (08.04.97), Full text & US 6090657 A & US 6355952 B1 & EP 0766319 A2	1-13

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００６／３１３３９７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/10(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/10, H01L45/00, H01L49/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００６年
日本国実用新案登録公報	１９９６－２００６年
日本国登録実用新案公報	１９９４－２００６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ Ｙ Ａ	ＪＰ　２００５－１２３３６１　Ａ（ソニー株式会社） ２００５．０５．１２，全文（ファミリーなし）	1-5, 8, 9 10, 11 6, 7, 12, 13
Ｘ Ｙ Ａ	ＪＰ　２００５－１７５４５７　Ａ（シャープ株式会社） ２００５．０６．３０，全文 ＆　ＵＳ　６８４９８９１　Ｂ１ ＆　ＥＰ　１５４２２７７　Ａ２	1-5, 8, 9 10, 11 6, 7, 12, 13

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１７．０８．２００６	２９．０８．２００６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｍ　９３５３
栗野　正明
電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y A	ZHUANG, W. W. et al. Novell Collossal Magnetoresistive Thin Film Nonvolatile Resistance Random Access Memory (RRAM). International Electron Devices Meeting 2002 Technical Digest. 8 December 2002, pp.193-196	1-5, 8, 9 10, 11 6, 7, 12, 13
Y	ＪＰ　２００５－０９２９１２　Ａ（シャープ株式会社） ２００５．０４．０７，【００４７】 ＆　ＵＳ　２００５／０１２２７６８　Ａ１	9, 10
Y	ＪＰ　２００２－５３７６２７　Ａ（インターナショナル・ビジネス・マシーンズ・コーポレーション） ２００２．１１．０５，【００２４】－【００３０】 ＆　ＥＰ　１１５３４３４　Ａ１ ＆　ＷＯ　２０００／０４９６５９　Ａ１ ＆　ＡＵ　１８８７０００　Ａ ＆　ＣＮ　１３４０２１３　Ａ	11
Y	BECK A. et al. Reproducible switching effect in thin oxide films for memory applications. Applied Physics Letters. 3 July 2000, Vol.77, No.1, pp.139-141	11
ＥＸ	ＪＰ　２００６－１２０７０７　Ａ（松下電器産業株式会社） ２００６．０５．１１，全文（ファミリーなし）	1, 2, 4, 5, 8-11
A	ＪＰ　１１－２９７９４２　Ａ（日本電気株式会社） １９９９．１０．２９，全文 ＆　ＵＳ　６２８１５３６　Ｂ１ ＆　ＥＰ　０９４９６８２　Ａ２ ＆　ＣＮ　１２３２２９４　Ａ	1-13
A	ＪＰ　０９－０９７８８３　Ａ（ソニー株式会社） １９９７．０４．０８，全文 ＆　ＵＳ　６０９０６５７　Ａ ＆　ＵＳ　６３５５９５２　Ｂ１ ＆　ＥＰ　０７６６３１９　Ａ２	1-13