

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-287784

(P2007-287784A)

(43) 公開日 平成19年11月1日(2007.11.1)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 25/07 (2006.01)	HO 1 L 25/04 C	5 F 0 4 7
HO 1 L 25/18 (2006.01)	HO 1 L 23/40 E	5 F 1 3 6
HO 1 L 23/40 (2006.01)	HO 1 L 21/52 J	
HO 1 L 21/52 (2006.01)		

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願2006-110778 (P2006-110778)
 (22) 出願日 平成18年4月13日 (2006. 4. 13)

(71) 出願人 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 100071135
 弁理士 佐藤 強
 (74) 代理人 100119769
 弁理士 小川 清
 (72) 発明者 河野 憲司
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 Fターム(参考) 5F047 JA01 JA06 JA15
 5F136 BA30 DA22 EA35

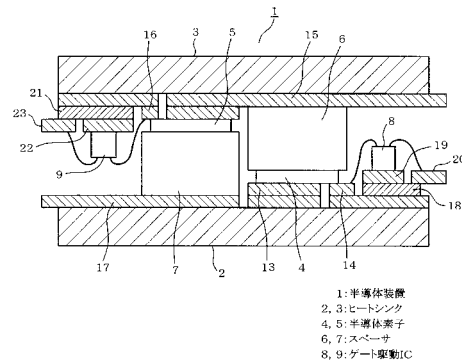
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 一対のヒートシンクの間の実装する素子の個数を削減すると共に、各素子の厚み寸法を高精度に調整・管理しなくてもすむようにして、製造コストを低減する。

【解決手段】 本発明の半導体装置1は、半導体素子4、5及びスペーサ6、7を積み重ねたものを複数個、一対のヒートシンク2、3の間に挟んで構成されたものにおいて、半導体素子2、3として、IGBTにFWDを一体化させた素子を使用し、IGBTのゲート駆動IC8、9を一対のヒートシンク2、3の間に配設し、多数の半導体素子及び多数のスペーサの中から、半導体素子の厚み寸法d1とし、スペーサの厚み寸法d2としたときに、d1+d2がほぼ一定値となる組み合わせの半導体素子及びスペーサを選択して使用するよう構成したものである。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体素子及びスペーサを積み重ねたものを複数個、一对のヒートシンクの間挟んで構成された半導体装置において、

前記半導体素子として、IGBTにFWDを一体化させた素子を使用し、

前記IGBTのゲート駆動ICを前記一对のヒートシンクの間配設し、

多数の前記半導体素子及び多数の前記スペーサの中から、前記半導体素子の厚み寸法 d_1 とし、前記スペーサの厚み寸法 d_2 としたときに、 $d_1 + d_2$ がほぼ一定値となる組み合わせの前記半導体素子及び前記スペーサを選択して使用するよう構成したことを特徴とする半導体装置。

10

【請求項 2】

前記スペーサは、金属で構成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記スペーサは、半導体で構成されていることを特徴とする請求項 1 記載の半導体装置

。

【請求項 4】

半導体素子及びスペーサを積み重ねたものを複数個、一对のヒートシンクの間挟んで構成された半導体装置の製造方法において、

前記半導体素子として、IGBTにFWDを一体化させた素子を使用し、

前記IGBTのゲート駆動ICを前記一对のヒートシンクの間配設し、

多数の前記半導体素子及び多数の前記スペーサの中から、前記半導体素子の厚み寸法 d_1 とし、前記スペーサの厚み寸法 d_2 としたときに、 $d_1 + d_2$ がほぼ一定値となる組み合わせの前記半導体素子及び前記スペーサを選択して使用することを特徴とする半導体装置の製造方法。

20

【請求項 5】

前記スペーサは、金属で構成されていることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】

前記スペーサは、半導体で構成されていることを特徴とする請求項 1 記載の半導体装置の製造方法。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体素子及びスペーサを積み重ねたものを複数個、一对のヒートシンクの間挟んで構成された半導体装置及びその製造方法に関する。

【背景技術】**【0002】**

インバータ装置等に利用される両面放熱パワーモジュールは、一对のヒートシンクの間複数個のIGBT素子と複数個のFWD素子を挟むように実装して構成されており、一例として例えば特許文献 1 に記載のものが知られている。この構成の場合、IGBT素子のゲート駆動ICは、パワーモジュールの外部に配設されており、パワーモジュールのリード端子と上記ゲート駆動ICとを接続することにより、IGBT素子を駆動している。

40

【特許文献 1】アメリカ合衆国特許第 6,072,240 号

【発明の開示】**【発明が解決しようとする課題】****【0003】**

しかし、上記構成の場合、ゲート駆動ICをパワーモジュールの外部に配設する構成であるため、接続用の配線も含めてシステム全体の構成が大きくなるという問題点や、配線の寄生インダクタンスによりスイッチ速度が遅くなって損失が増えるという問題点がある。また、多くのIGBT素子及びFWD素子を一对のヒートシンクの間実装するため、

50

各素子の厚み寸法のばらつきにより各素子に作用する応力の大きさをばらつかせることから、各素子の接合部（半田付け部）の信頼性を低下させるという問題点もある。この対策としては、各素子の厚み寸法を高精度に調整・管理する必要があり、製造コストを増加させる要因になっていた。

【0004】

そこで、本発明の目的は、一对のヒートシンクの間の実装する素子の個数を削減すると共に、各素子の厚み寸法を高精度に調整・管理しなくてもすむようにして、製造コストを低減することができる半導体装置及びその製造方法を提供するにある。

【課題を解決するための手段】**【0005】**

本発明の半導体装置は、半導体素子及びスペーサを積み重ねたものを複数個、一对のヒートシンクの間挟んで構成されたものにおいて、前記半導体素子として、IGBTにFWDを一体化させた素子を使用し、前記IGBTのゲート駆動ICを前記一对のヒートシンクの間配設し、多数の前記半導体素子及び多数の前記スペーサの中から、前記半導体素子の厚み寸法 d_1 とし、前記スペーサの厚み寸法 d_2 としたときに、 $d_1 + d_2$ がほぼ一定値となる組み合わせの前記半導体素子及び前記スペーサを選択して使用するよう構成したところに特徴を有する。

10

【0006】

上記構成によれば、半導体素子として、IGBTにFWDを一体化させた素子を使用するので、一对のヒートシンクの間挟んで実装する素子の個数を削減できる。また、多数の半導体素子及び多数のスペーサの中から、前記半導体素子の厚み寸法 d_1 とし、前記スペーサの厚み寸法 d_2 としたときに、 $d_1 + d_2$ がほぼ一定値となる組み合わせの前記半導体素子及び前記スペーサを選択して使用するよう構成したので、各素子の厚み寸法を高精度に調整・管理しなくても、組み合わせた半導体素子及びスペーサの全体の厚み寸法がほぼ一定値となる。このため、各素子に作用する応力の大きさを均一にすることができ、各素子の接合部の信頼性を向上させることができる。

20

【0007】

また、上記構成の場合、前記スペーサを、金属で構成することが好ましい。更に、前記スペーサを、半導体で構成することがより一層好ましい。

本発明の半導体素子の製造方法は、半導体素子及びスペーサを積み重ねたものを複数個、一对のヒートシンクの間挟んで構成された半導体素子を製造する方法において、前記半導体素子として、IGBTにFWDを一体化させた素子を使用し、前記IGBTのゲート駆動ICを前記一对のヒートシンクの間配設し、多数の前記半導体素子及び多数の前記スペーサの中から、前記半導体素子の厚み寸法 d_1 とし、前記スペーサの厚み寸法 d_2 としたときに、 $d_1 + d_2$ がほぼ一定値となる組み合わせの前記半導体素子及び前記スペーサを選択して使用したところに特徴を有する。

30

【発明を実施するための最良の形態】**【0008】**

以下、本発明の第1の実施例について、図1ないし図4を参照しながら説明する。まず、図1は、本実施例のIGBTモジュール（半導体装置）1の縦断面図である。この図1に示すように、IGBTモジュール1は、一对のヒートシンク2、3と、これらヒートシンク2、3間に配設される半導体素子4、5と、ヒートシンク2、3間に配設され半導体素子4、5に積み重ねられるスペーサ6、7と、ヒートシンク2、3間に配設されるゲート駆動IC8、9とを備えて構成されている。

40

【0009】

ヒートシンク2、3は、熱伝導性が良い絶縁部材である例えば窒化アルミニウム（AlN）製の板材で構成されている。尚、ヒートシンク2、3を、例えばダイヤモンド製の板材で構成しても良い。

【0010】

半導体素子4、5は、図2に示すように、IGBT10にFWD11を一体化させたI

50

G B Tチップ（素子）12で構成されており、その形状は矩形薄板状である。本実施例の場合、I G B Tチップ12は、その厚み寸法が例えば150 μ m程度になるように製造されている。I G B Tチップ12の厚み寸法の製造のばらつきは、図3に示すような度数分布となり、厚み寸法の中心（150 μ m）のものが最も多く、中心より薄いほどまたは厚いほど少なくなる。この場合、最も薄い厚み寸法をa1とし、最も厚い厚み寸法をa nとしている。

【0011】

スペーサ6、7は、熱伝導性が良く且つ導電性の良い部材である例えば銅製のブロックで構成されている。本実施例の場合、スペーサ6、7は、その厚み寸法が例えば500 μ m程度になるように製造されている。スペーサ6、7の厚み寸法の製造のばらつきは、図4に示すような度数分布となり、厚み寸法の中心（500 μ m）のものが最も多く、中心より薄いほどまたは厚いほど少なくなる。この場合、最も薄い厚み寸法をb1とし、最も厚い厚み寸法をb nとしている。

10

【0012】

ゲート駆動I C 8、9は、半導体素子4、5のI G B T 10のゲート駆動用のI C チップである。尚、ゲート駆動I C 8、9の厚み寸法は、例えば400 μ m程度になるように製造されている。

【0013】

上記構成の場合、一方（図1中右方）の半導体素子4については、その下面に設けられたエミッタ電極を下方のヒートシンク2の上面に設けられたエミッタ接続用の配線層13に半田付けしている。このとき、半導体素子4の下面の右端部に設けられたベース電極をヒートシンク2の上面に設けられたベース接続用の配線層14に半田付けしている。

20

【0014】

そして、半導体素子4の上面に設けられたコレクタ電極をスペーサ6の下面に半田付けしている。更に、スペーサ6の上面を、上方のヒートシンク3の下面に設けられたコレクタ接続用の配線層15に半田付けしている。尚、この配線層15は、他方（図1中左方）の半導体素子5の上面に設けられたエミッタ電極を接続するエミッタ接続用の配線層でもある。

【0015】

即ち、他方の半導体素子5の上面のエミッタ電極をヒートシンク3の下面の上記配線層15に半田付けしている。そして、上記半導体素子5の上面の左端部に設けられたベース電極を、ヒートシンク3の下面に設けられたベース接続用の配線層16に半田付けしている。

30

【0016】

更に、半導体素子5の下面に設けられたコレクタ電極をスペーサ7の上面に半田付けしている。それから、スペーサ7の下面を、下方のヒートシンク2の上面に設けられたコレクタ接続用の配線層17に半田付けしている。

【0017】

ここで、積み重ねる半導体素子4、5とスペーサ6、7の組み合わせについて説明する。半導体素子4、5の厚み寸法は、図3に示すような度数分布の製造ばらつきがある。スペーサ6、7の厚み寸法も、図4に示すような度数分布の製造ばらつきがある。そこで、半導体素子の厚み寸法d1とし、スペーサの厚み寸法d2としたときに、d1 + d2がほぼ一定値（この場合、例えば650 μ m）となる組み合わせの半導体素子及びスペーサを選択して組み合わせるように構成すれば、積み重ねたものの厚み寸法がほぼ一定になる。

40

【0018】

具体的には、厚さ寸法がa1の半導体素子と厚さ寸法がb nのスペーサとを組み合わせ、厚さ寸法がa2の半導体素子と厚さ寸法がb n - 1のスペーサとを組み合わせ、厚さ寸法がa3の半導体素子と厚さ寸法がb n - 2のスペーサとを組み合わせ、・・・、厚さ寸法がa nの半導体素子と厚さ寸法がb1のスペーサとを組み合わせるように構成すれば良い。

50

【0019】

また、一方（図1中右方）のゲート駆動IC8は、ヒートシンク2の配線層14上に絶縁層18を介して設けられた配線層19上に半田付けされている。ゲート駆動IC8の各入出力電極は、配線層14やリードフレーム20にワイヤボンディングされている。そして、他方（図1中左方）のゲート駆動IC9は、ヒートシンク3の配線層16上に絶縁層21を介して設けられた配線層22上に半田付けされている。ゲート駆動IC9の各入出力電極は、配線層16やリードフレーム23にワイヤボンディングされている。

【0020】

そして、ヒートシンク2、3間には、図示しない樹脂が充填されており、この樹脂により半導体素子4、5、スペーサ6、7、ゲート駆動IC8、9がモールドされるように構成されている。

10

【0021】

このような構成の本実施例によれば、半導体素子4、5として、IGBT10にFWD11を一体化させたIGBTチップ12を使用したもので、一对のヒートシンク2、3の間に実装する素子の個数を削減することができる。そして、上記実施例においては、IGBT10のゲート駆動IC8、9を一对のヒートシンク2、3の間に配設したので、IGBTモジュール1全体の構成を小形化することができる。

【0022】

また、上記実施例においては、多数の半導体素子及び多数のスペーサの中から、半導体素子の厚み寸法d1とし、スペーサの厚み寸法d2としたときに、 $d1 + d2$ がほぼ一定値となる組み合わせの半導体素子及びスペーサを選択して使用するよう構成したので、各半導体素子の厚み寸法を高精度に調整・管理しなくても、各半導体素子に作用する応力の大きさを均一にすることができ、各半導体素子の接合部（半田付け部）の信頼性を向上させることができる。

20

【0023】

図5は、本発明の第2の実施例を示すものである。尚、第1の実施例と同一構成には、同一符号を付している。この第2の実施例では、ゲート駆動IC8、9をワイヤボンディングで接続する代わりに、フリップチップで接続するように構成している。

【0024】

具体的には、図5に示すように、ゲート駆動IC8については、配線層14の上に絶縁層24を設け、この絶縁層24の上に配線パターン25を設け、この配線パターン25にゲート駆動IC8をボール半田26を介して接続している。尚、半導体素子4の下面のゲート電極は、上記配線パターン25に半田付けされている。

30

【0025】

同様にして、ゲート駆動IC9については、配線層16の上に絶縁層27を設け、この絶縁層27の上に配線パターン28を設け、この配線パターン28にゲート駆動IC9をボール半田29を介して接続している。尚、半導体素子5の上面のゲート電極は、上記配線パターン28に半田付けされている。

【0026】

上述した以外の第2の実施例の構成は、第1の実施例の構成と同じ構成となっている。従って、第2の実施例においても、第1の実施例とほぼ同じ作用効果を得ることができる。特に、第2の実施例では、ゲート駆動IC8、9をフリップチップで配線パターン25、28に接続するように構成したので、配線の寄生インダクタンスが小さくなり、ゲート駆動IC8、9からの出力信号の波形がシャープになり、IGBT10のスイッチング損失を低減できる。また、ワイヤボンディングの実装余裕をなくすことが可能であるから、ヒートシンク2、3間の隙間を小さくすることができる。これにより、ヒートシンク2、3の熱抵抗を下げることができ、IGBTチップをシュリンクできる。

40

【0027】

また、上記各実施例においては、スペーサ6、7を金属例えば銅で構成したが、これに代えて、半導体例えばシリコンで構成しても良い。このように構成すると、スペーサ6、

50

7と半導体素子4、5の熱膨張率が同じになるので、熱に対する信頼性を向上できる。

【0028】

更に、上記各実施例において、ゲート駆動IC8、9を、トレンチ・SOI分離方式で構成するようにしても良い。このように、トレンチ・SOI分離方式で絶縁分離すると、接合リーク電流が少なくなり、接合分離方式よりも高温動作に優れたものとなることから、パワー素子の発熱が多いインバータモジュールに最適である。尚、ゲート駆動IC8、9に、IGBTやFWDの温度、電流を常時監視する機能を付加するように構成することが好ましい。このように構成すると、ゲート駆動IC8、9の熱暴走を防止することができる。

【0029】

更にまた、ゲート駆動IC8、9を、トレンチ・SOI分離方式で構成した上で、低耐圧のLDMOSを多段接続して構成することがより一層好ましい。尚、LDMOSを多段接続する構成を実現するに際しては、本出願人が先に出願した特願2005-227058に記載されている構成を適宜用いれば良い。このように、LDMOSを多段接続するように構成すると、高耐圧を実現することができ、低電位、高電位間の電圧シフトが容易にできる。

【0030】

また、上記各実施例の半導体素子4、5(FWD11を内蔵するIGBTチップ12)において、IGBT10のうちのエミッタ側の表面に、トレンチゲートとフロートpwell層とGND(接地)pwell層とを設けるように構成しても良い。この構成の一例を図6(第3の実施例)に示す。このように構成すると、IGBT10及びFWD11の総損失を最小にすることができるから、チップサイズを縮小することができる。

【0031】

また、上記第3の実施例の場合、pwell濃度を最適化すると共に、全接地することにより、損失をより一層低減することができる。

【図面の簡単な説明】

【0032】

【図1】本発明の第1の実施例を示すIGBTモジュールの断面図

【図2】IGBTモジュールの電気回路図

【図3】半導体素子の製造ばらつきを示す図

【図4】スペーサの製造ばらつきを示す図

【図5】本発明の第2の実施例を示す図1相当図

【図6】本発明の第3の実施例を示す半導体素子の拡大部分断面図

【符号の説明】

【0033】

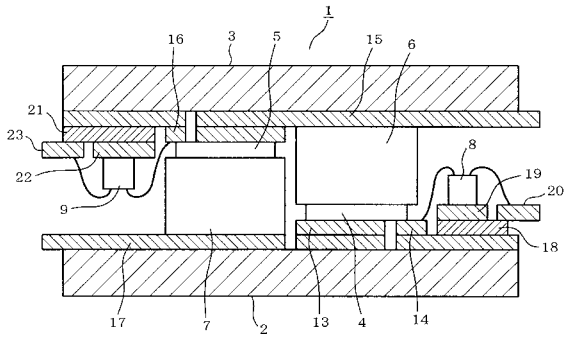
図面中、1はIGBTモジュール(半導体装置)、2、3はヒートシンク、4、5は半導体素子、6、7はスペーサ、8、9はゲート駆動IC、10はIGBT、11はFWD、12はIGBTチップ(素子)を示す。

10

20

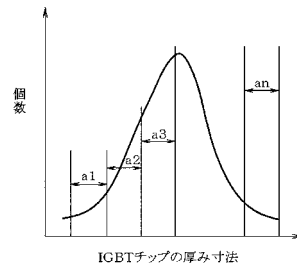
30

【図1】

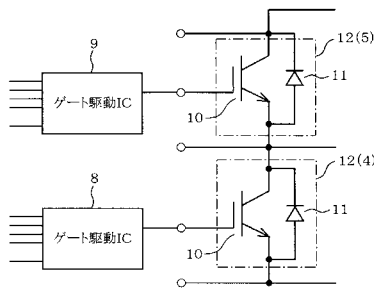


- 1: 半導体装置
- 2, 3: ヒートシンク
- 4, 5: 半導体素子
- 6, 7: スペース
- 8, 9: ゲート駆動IC

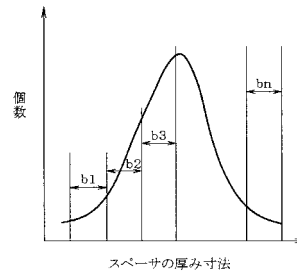
【図3】



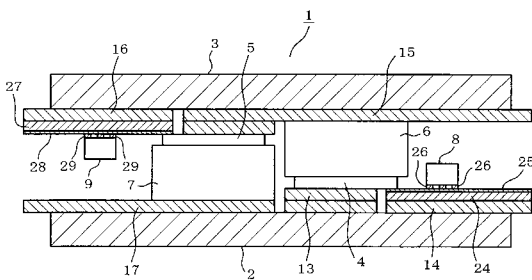
【図2】



【図4】



【図5】



【図6】

