

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 02811637.2

[51] Int. Cl.

H01L 21/04 (2006.01)

H01L 21/316 (2006.01)

H01L 29/51 (2006.01)

H01L 21/768 (2006.01)

H01G 4/20 (2006.01)

[45] 授权公告日 2006 年 7 月 26 日

[11] 授权公告号 CN 1266742C

[22] 申请日 2002.3.26 [21] 申请号 02811637.2

[30] 优先权

[32] 2001. 6. 11 [33] US [31] 09/878,442

[86] 国际申请 PCT/US2002/009393 2002.3.26

[87] 国际公布 WO2002/101767 英 2002.12.19

[85] 进入国家阶段日期 2003.12.10

[71] 专利权人 克里公司

地址 美国北卡罗来纳州

[72] 发明人 M·K·达斯 S·舍帕

H·哈格莱特纳

审查员 高莺然

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 杨 凯 王忠忠

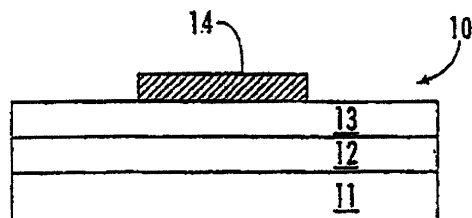
权利要求书 9 页 说明书 27 页 附图 11 页

[54] 发明名称

高压高温电容结构及其制造方法

[57] 摘要

提出一种具有氧化层、介电材料层和在所述介电材料层上的第二氧化层的碳化硅的电容和互连结构。氧化层的厚度是所述各氧化层和介电材料层的厚度的总和的大约百分之 0.5 到百分之 33。还提出具有氮氧化硅层作为介电材料层的碳化硅电容和互连结构。这种介电结构可以设置在金属层之间,以便形成金属-绝缘体-金属电容或可用作互连结构的金属间电介质、以便形成具有改善的平均无故障时间的器件和结构。还提出制造这种电容和结构的方法。



1. 一种具有介电结构的电容器，它包括：
碳化硅层；
5 在所述碳化硅层上具有第一厚度的第一氧化物层；
在所述第一氧化物层上具有第二厚度的介电材料层，所述介电材料层的介电常数高于所述第一氧化物层的介电常数；
在所述介电材料层上、与所述第一氧化物层对置并具有第三厚度的第二氧化物层；
10 其中所述第一厚度和所述第三厚度比所述第二厚度小一个数量级；
在所述第一氧化物层上、与所述介电材料层对置并设置在所述第一氧化物层和所述碳化硅层之间的第一金属层；以及
在所述第二氧化物层上、与所述介电材料层对置的第二金属层，
15 以便形成金属-绝缘体-金属 电容器。
2. 一种具有介电结构的高压电容器，它包括：
碳化硅层；
在碳化硅层上有第一厚度的第一氧化物层；
在第一氧化物层上、并具有第二厚度的介电材料层，介电材料层
20 的介电常数高于第一氧化物层的介电常数；
在所述介电材料层上、与所述第一氧化物层对置并具有第三厚度的第二氧化物层；
在所述第一氧化物层上、与所述介电材料层对置并设置在所述第一氧化物层和所述碳化硅层之间的第一金属层；以及
25 在所述第二氧化物层上、与所述介电材料层对置的第二金属层，
以便形成金属-绝缘体-金属 电容器；第一厚度，第二厚度和第三厚度被设置为 具有大于约 10nm 的第一厚度、大于约 200nm 的第二厚度和大于约 10nm 的第三厚度。

3. 如权利要求 1 或权利要求 2 所述的电容, 其特征在于: 所述第一氧化物层和所述第二氧化物层包括二氧化硅, 并且所述介电材料层包括氮化硅和氮氧化硅中的至少一种。

4. 如权利要求 3 所述的电容器, 其特征在于: 所述第一厚度为大约 10nm 到大约 30nm、所述第二厚度为大约 200nm 到大约 300nm 而所述第三厚度为大约 10nm 到大约 30nm。

5. 如权利要求 3 所述的电容器, 其特征在于: 这样配置所述第一氧化物层、所述第二氧化物层和所述介电材料层中的至少一层, 使得所述介电结构的平均无故障时间与电压的特性曲线具有比只有氮化物电介质的相应的 MIM 电容器的特性曲线的更大的斜率。

6. 如权利要求 3 所述的电容器, 其特征在于: 二氧化硅层和氮化硅层都是淀积层。

7. 如权利要求 1 或权利要求 2 所述的电容器, 其特征在于: 这样配置所述第一氧化物层、所述第二氧化物层和所述介电材料层中的至少一层、以便在电压大于大约 50V、温度为至少大约 100°C 的条件下提供至少大约 10^7 小时的平均无故障时间。

8. 如权利要求 7 所述的电容器, 其特征在于: 这样配置所述第一氧化物层、所述第二氧化物层和所述介电材料层中的至少一层、以便在电压大于大约 100V、温度为至少大约 100°C 的条件下提供至少大约 10^7 小时的平均无故障时间。

9. 如权利要求 1 或权利要求 2 所述的电容器, 其特征在于: 所述第一和第二金属层包括钛、铂、铬和金中的至少一种。

10. 如权利要求 1 或权利要求 2 所述的电容器, 其特征在于还包括在其上形成电容的碳化硅衬底。

11. 如权利要求 10 所述的电容器, 其特征在于还包括在所述碳化硅衬底内形成的所述多个半导体器件。

12. 一种用于集成电路的互连结构, 它包括:
在衬底上的多个半导体器件;

在所述多个半导体器件上的绝缘层;

在所述绝缘层上、与所述多个半导体器件对置的具有多个互连金属区的第一互连层;

5 在所述第一互连层上、覆盖所述多个互连金属区中的至少一部分的第一氧化物层;

在所述第一氧化物层上、与所述第一互连层对置的介电材料层,所述介电材料层的介电常数高于所述第一氧化物层的介电常数;

10 在所述介电材料层上、与所述第一氧化物层对置的第二氧化物层;其中,所述第一氧化物层的厚度和第二氧化物层的厚度比所述介电材料层的厚度小一个数量级;以及

在所述第二氧化物层上、与所述介电材料层对置的第二互连层,所述第二互连层具有多个互连金属区。

13. 一种用于高压集成电路的互连结构,它包括:

15 在衬底上的多个半导体器件;所述半导体器件的工作电压至少100伏;

在所述多个半导体器件上的绝缘层;

在所述绝缘层上、与所述多个半导体器件对置的具有多个互连金属区的第一互连层;

20 在所述第一互连层上、覆盖所述多个互连金属区中的至少一部分的第一氧化物层;

在所述第一氧化物层上、与所述第一互连层对置的介电材料层,所述介电材料层的介电常数高于所述第一氧化物层的介电常数;

在所述介电材料层上、与所述第一氧化物层对置的第二氧化物层;以及

25 在所述第二氧化物层上、与所述介电材料层对置的第二互连层,所述第二互连层具有多个互连金属区;其中第一氧化物层,第二氧化物层和介电材料层设置为具有大于约10nm的第一厚度、大于约200nm的第二厚度和大于约10nm的第三厚度。

14. 如权利要求 12 或权利要求 13 所述的互连结构, 其特征在于:
所述第一氧化物层和所述第二氧化物层包括二氧化硅层, 所述介电材料层包括氮化硅。

15. 如权利要求 14 所述的互连结构, 其特征在于: 所述第一氧化物层的厚度是从大约 10nm 到大约 30nm, 所述介电材料层的厚度是从大约 200nm 到大约 300nm, 而所述第二氧化物层的厚度是从大约 10nm 到大约 30nm。

16. 如权利要求 12 或权利要求 13 所述的互连结构, 其特征在于: 这样配置所述第一氧化物层、所述介电材料层和所述第二氧化物层中的至少一层, 使得其平均无故障时间与电压的特性曲线具有比相应的氮化物金属间电介质的特性曲线的更大的斜率。

17. 如权利要求 14 所述的互连结构, 其特征在于: 所述二氧化硅层和所述氮化硅层是淀积层。

18. 如权利要求 12 或权利要求 14 所述的互连结构, 其特征在于: 所述第一氧化物层、所述介电材料层和所述第二氧化物层中的至少一层配置成在电压大于大约 50V、温度至少为大约 100°C 的条件下提供至少大约 10^7 小时的平均无故障时间。

19. 如权利要求 18 所述的互连结构, 其特征在于: 所述第一氧化物层、所述介电材料层和所述第二氧化物层中的至少一层配置成在电压大于大约 100V、温度为 150°C 的条件下提供至少大约 10^7 小时的平均无故障时间。

20. 如权利要求 12 或权利要求 14 所述的互连结构, 其特征在于: 所述第一和第二互连层的互连金属包括钛、铂、铬和金中的至少一种。

21. 一种电容器, 它包括:

25 碳化硅层;

在所述碳化硅层上的介电材料层, 所述介电材料层包括氮氧化硅, 分子式为 $\text{Si}_3\text{N}_{4-x}\text{O}_x$, 式中 $0 < x < 1$;

所述介电材料层上的与所述碳化硅层对置的第一金属层。

所述介电材料层上的第二金属层,该第二金属层设置在所述介电材料层和所述碳化硅层之间,以便形成金属-绝缘体-金属 电容器。

22. 如权利要求 21 所述的电容器,其特征在于:这样配置所述介电材料层、使得介电结构的平均无故障时间与电压的特性曲线具有比
5 只有氮化物电介质的相应金属-绝缘体-金属 电容器的特性曲线的更大的斜率。

23. 如权利要求 21 所述的电容器,其特征在于:所述介电材料层的氮氧化硅是淀积层。

24. 如权利要求 21 所述的电容器,其特征在于:所述介电材料层
10 配置成在电压大于约 50V、温度至少约 100°C 的条件下提供至少约 10⁷ 小时的平均无故障时间。

25. 如权利要求 24 所述的电容器,其特征在于:所述介电材料层配置成在电压大于约 100V、温度至少约 100°C 的条件下提供至少约 10⁷ 小时的平均无故障时间。

15 26. 如权利要求 21 所述的电容器,其特征在于:所述第一和第二金属层包括钛、铂、铬和金中的至少一种。

27. 如权利要求 21 所述的电容器,其特征在于还包括在所述碳化硅层上形成的多个半导体器件。

28. 如权利要求 21 所述的电容器,其中介电材料层被配置为提
20 供至少 100 伏的工作电压。

29. 一种用于集成电路的互连结构,它包括
在碳化硅衬底上的多个半导体器件;
在所述多个半导体器件上的绝缘层;
在所述绝缘层上的与所述多个半导体器件对置并具有多个互连
25 金属区的第一互连层;

在所述第一氧化物层上的与所述第一互连层对置的介电材料层,所述介电材料层包括氮氧化硅,其分子式为 $\text{Si}_3\text{N}_{4-x}\text{O}_x$, 式中 $0 < x \leq 1$;

在所述介电材料层上的与所述第一互连层对置并具有多个互连金属区的第二互连层。

30. 如权利要求 29 所述的互连结构, 其特征在于: 所述介电材料层的厚度是从大约 20nm 到大约 400nm。

5 31. 如权利要求 29 所述的互连结构, 其特征在于: 所述介电材料层配置成使其平均无故障时间与电压的特性曲线具有比相应的氮化物金属间电介质的特性曲线的更大的斜率。

32. 如权利要求 29 所述的互连结构, 其特征在于: 所述介电材料层是淀积的氮氧化硅层。

10 33. 如权利要求 32 所述的互连结构, 其特征在于: 所述介电材料层配置成在电压大于约 50V、温度至少约 100°C 的条件下提供至少约 10⁷ 小时的平均无故障时间。

34. 如权利要求 33 所述的互连结构, 其特征在于: 所述介电材料层配置成在电压大于约 100V、温度为 150°C 的条件下提供至少约 10⁷ 小时的平均无故障时间。

15 35. 如权利要求 29 所述的互连结构, 其特征在于: 所述第一和第二互连层的互连金属包括钛、铂、铬和金中的至少一种。

36. 如权利要求 29 所述的互连结构, 其特征在于: 其中所述多个半导体器件的工作电压至少 100 伏, 其中介电材料层被配置为可耐
20 至少 100 伏的工作电压。

37. 一种制造电容器的方法, 所述方法包括:

在第一金属层上淀积第一氧化物层, 以便形成具有第一厚度的第一氧化物层;

25 在所述第一氧化物层上淀积介电材料层, 以便形成具有第二厚度的高介电层, 所述介电材料层的介电常数高于所述第一氧化物层的介电常数;

在所述介电材料层上淀积与所述第一氧化物层对置的第二氧化物层, 以便形成具有第三厚度的第二氧化物层;

在所述第二氧化物层上形成第二金属层;

其中, 所述第一厚度和所述第三厚度比所述第二厚度小一个数量级。

38. 如权利要求 37 的方法, 所述第一氧化物层和所述第二氧化物
5 层包括二氧化硅层, 所述氮化物层包括氮化硅层。

39. 如权利要求 38 所述的方法, 其特征在于: 所述第一厚度是从
大约 10nm 到大约 30nm, 所述第二厚度是从大约 200nm 到大约 300nm,
而所述第三厚度是从大约 10nm 到大约 30nm。

40. 如权利要求 38 所述的方法, 其特征在于: 所述第一和第二金
10 属层包括钛、铂、铬和金中的至少一种。

41. 一种制造集成电路互连结构的方法, 所述方法包括:

在衬底上形成多个半导体器件;

在所述多个半导体器件上形成绝缘层;

在所述绝缘层上形成与所述多个半导体器件对置的具有多个互
15 连金属区的第一互连层;

在所述第一互连层上淀积第一氧化物层, 以便覆盖所述多个互连
金属区中的至少一部分;

在所述第一氧化物层上淀积与所述第一互连层对置的高介电
层;

20 在所述高介电层上淀积与所述第一氧化物层对置的第二氧化物
层; 其中, 所述第一氧化物层的厚度和第二氧化物层的厚度比所述介
电材料层的厚度小一个数量级。

在所述第二氧化物层上形成与所述高介电层对置并具有多个互
连金属区的第二互连层; 以及

25 其中, 所述第一氧化物层、所述高介电层和所述第二氧化物层淀
积在所述第一互连层的所述多个互连金属区和所述第二互连层的所述
多个互连金属区的相应的一些互连金属区之间, 以便形成一种金属间
介电结构。

42. 如权利要求 41 所述的方法, 其特征在于: 所述第一氧化物层和所述第二氧化物层包括二氧化硅层, 而所述氮化物层包括氮化硅层。

43. 如权利要求 42 所述的方法, 其特征在于: 所述第一氧化物层的厚度是从大约 10nm 到大约 30nm, 所述高介电层的厚度是从大约 200nm 到大约 300nm, 而所述第二氧化物层的厚度是从大约 10nm 到大约 30nm。

44. 如权利要求 41 所述的方法, 其特征在于: 所述第一和第二互连层的互连金属包括钛、铂、铬和金中的至少一种。

45. 一种制造电容器的方法, 所述方法包括:

在碳化硅层上淀积其分子式为 $\text{Si}_3\text{N}_{4-x}\text{O}_x$ 的氮氧化硅层、式中 $0 < X \leq 1$, 以便形成具有第一厚度的介电材料层;

在所述氮氧化硅层上形成第一金属层; 以及

在所述氮氧化硅层和碳化硅层之间形成第二金属层。

46. 如权利要求 45 所述的方法, 其特征在于: 所述第一厚度是从大约 20nm 到大约 400nm。

47. 如权利要求 45 所述的方法, 其特征在于: 所述第一和第二金属层包括钛、铂、铬和金中的至少一种。

48. 如权利要求 45 所述的方法, 其特征在于: 淀积分子式为 $\text{Si}_3\text{N}_{4-x}\text{O}_x$ 的氮氧化硅层、式中 $0 < X \leq 1$ 的步骤包括:

提供硅前体;

提供氮前体;

提供氧前体; 以及

利用所述硅前体、所述氮前体和所述氧前体、采用等离子增强化学汽相淀积 工艺过程淀积所述氮氧化硅层。

49. 如权利要求 48 所述的方法, 其特征在于: 所述硅前体包括 SiH_4 , 所述氧前体包括 N_2O , 而所述氮前体包括 N_2 。

50. 如权利要求 49 所述的方法, 其特征在于: 对于容积为大约

14785 立方厘米的等离子体增强化学汽相淀积装置, 以大约 240 到大约 360 标准立方厘米/每分钟 的流速提供 SiH_4 , 以大约 8 到大约 12 标准立方厘米/每分钟 的流速提供 N_2O , 并且以大约 120 到大约 180 标准立方厘米/每分钟 的流速提供 N_2 。

5 51. 如权利要求 50 所述的方法, 其特征在于还包括提供惰性气体。

52. 如权利要求 51 所述的方法, 其特征在于: 所述惰性气体包括以大约 160 到大约 240 标准立方厘米/每分钟 的流速提供的 He。

10 53. 如权利要求 50 所述的方法, 其特征在于: 所述等离子体增强化学汽相淀积工艺过程在功率从大约 16 瓦到大约 24 瓦、压力为大约 720mT 到大约 1080mT 以及温度为大约 200°C 到大约 300°C 的条件下进行。

高压高温电容结构及其制造方法

5 相关申请

本申请是1998年8月25日提交的, 题目为“SiC 半导体结构上的分层电介质”的、序列号为09/141795的美国专利申请的部分继续申请并要求其优先权, 所述申请的内容已作为参考全部包括在本申请中。

10

政府关注的说明

本发明系在陆军研究实验室合同号 DAAL01-98-C-0018 和海军研究办公室合同号 N00014-99-C-1072 和 N0014-99-C-0173 下开发的。政府在本发明中可有某些权利。

15

发明领域

本发明涉及高功率、高电场或高温电容结构, 具体地说, 涉及电容器和金属间电介质。

20 发明背景

25

对于电子器件, 特别是功率器件, 碳化硅有许多物理、化学和电子学优点。物理上, 所述材料非常硬并有非常高的熔点, 使其具有坚固耐用的物理特性。化学上, 碳化硅非常耐化学腐蚀, 故具有化学稳定性和热稳定性。不过, 也许最重要的是碳化硅具有优良的电子学特性, 包括高击穿电压、相对比较宽的带隙(在室温下对 6H 和 4H 多晶型分别为 3.0eV 和 3.2eV), 高饱和电子漂移速度, 使其在高功率工作、高温工作、(耐)辐射硬度以及在频谱的蓝色、紫色和紫外区域中的高能光子的吸收和发射方面都具有显著的优点。

因此，对碳化硅器件的兴趣快速增长，而功率器件尤其受到青睐。此处所说的“功率”器件是指设计和用于功率转换或用于处理高电压和/或大电流或用于二者的器件。虽然诸如“高电场”和“高温”等术语性质上是相对的，而且人们使用它们是常常多少带点随意性，但“高电场”器件一般应能在每厘米 1 兆伏或大于 1 兆伏的电场中工作，而“高温”器件一般是指能在高于硅器件的工作温度下工作的器件，例如至少大约 200 °C，最好是 250 °C - 400 °C，甚至更高。对于功率器件，主要关注的是器件所能(或必须)处理的功率绝对值，以及因所用材料的特性和可靠性而造成的对器件工作的一些限制。

基于碳化硅的绝缘栅器件，特别是氧化物栅极器件，例如 MOSFET，当然必须包括一种绝缘材料以便作为 IGFET(绝缘栅场效应晶体管)工作。类似地，金属绝缘体半导体(MIS)电容也需要绝缘体。将绝缘材料用在器件中，器件的某些物理和工作特性不是受碳化硅特性的限制，而是受到绝缘体特性的限制。特别是，在碳化硅 MOSFET 和有关器件中，二氧化硅是一种优良的绝缘体，它有宽的带隙并在氧化物和碳化硅半导体材料之间提供合适的界面。因此，二氧化硅常被用作碳化硅 IGFET 中的绝缘材料。尽管如此，在高温或高电场，或二者兼有的情况下，碳化硅本来可以很好工作的，二氧化硅却会电击穿，即发生故障，包括会建立从栅极金属到碳化硅的电流通路的俘获陷阱。换句话说，在相当长时期，即年复一年的，加有高电场和高温(250 °C - 400 °C)的情况下，二氧化硅就不可靠了。当然，不用说，可靠的半导体器件应具有数万小时成功工作的统计概率。

而且，熟悉半导体特性和半导体器件工作的人会认识到，除了绝缘栅外钝化也是对结构的一种挑战。例如，即使在没有栅极的情况下，在诸如台面型和平面二极管中的结(或在金属半导体 FET 中的肖特基触点)会产生高电场，因而通常利用氧化层将这些结钝化。这种氧化层在高电场或高温工作时会具有上述所有的缺点。

于是，用二氧化硅作为绝缘体在碳化硅中形成的 IGFET 器件，由于器件的二氧化硅部分的漏电和潜在的电击穿，而常常达不到碳化硅的理论能力。

5 虽然也有其它的候选材料可用作碳化硅 IGFET 的绝缘体部分，但它们都有各自的缺点。例如，高介电质如钛酸钡锶或二氧化钛，其介电常数在加电场后会急剧下降。其它材料与碳化硅之间的晶体界面质量很差，它们自身的高介电常数会产生许多始终无法完全解决的问题(例如，陷阱和漏电电流)。其它电介质如五氧化钽(Ta_2O_5)和二氧化钛(TiO_2)在高温下会出现大量的漏电电流。因此，简单地用
10 其它电介质来代替二氧化硅会出现它们自己的一系列完全新的问题和缺点。

人们尝试解决此问题的最近努力包括在授予 Harris 的美国专利号 5,763,905, "Semiconductor Devices Having a Passivation Layer" 中说明的技术。但 Harris 的 905 看来多少只是预测性的，却没有报告基于所公开结构的任何器件的结果。
15

同理，在宽带隙单片微波集成电路(MMIC)上的金属-绝缘体-金属(MIM)电容在高温下会经受到高电压。于是，需要这种电容在高达 300 °C 的温度下以及例如高达 200V 的应力条件下，具有 10^7 的平均无故障时间(MTTF)。不幸的是，这些极端的电场和温度常会使传统的氮化硅 MIM 电容有过大的漏电电流和/或很差的可靠性(例如 MTTF
20 大约为 200 小时)。

所以，需要一种介电成分或结构，它能可靠地耐受高电场，同时减少或消除电流漏电，同时还可在高温下工作。

25 发明概述

本发明的实施例提供了具有介电结构的电容，它具有：第一厚度的第一氧化层；在第一氧化层上具有第二厚度的介电材料层，所述介电材料层的介电常数高于第一氧化层的介电常数；以及在介电

材料层上、第一氧化层对面、具有第三厚度的第二氧化层。第一厚度在第一，第二和第三厚度总和的大约百分之 0.5 到 33 之间，而第二厚度在第一，第二和第三厚度总和的大约百分之 0.5 到 33 之间。

5 在本发明的另一些实施例中，电容还具有在第一氧化层上、与高介电层对置的第一金属层和在第二氧化层上、与高介电层对置的第二金属层，以便形成金属-绝缘体-金属(MIM)电容。

在本发明的又一个实施例中，第一氧化层和第二氧化层都是二氧化硅层，介电材料层是氮化硅层。在本发明的特殊实施例中，第一厚度和第三厚度比第二厚度至少小大约一个数量级。例如，第一厚度可为大约 10 到 30nm，第二厚度大约为 200 到 300nm，而第三厚度大约为 10 到 30nm。

本发明另外的实施例提供的电容，其特征在于其平均无故障时间与电压的关系曲线比只有氮化物电介质的相应的 MIM 电容具有更大的斜度。而且，这些电容的特征还在于：在电压高达大约 50V、温度高达大约 100 °C 时其 MTTF 至少为大约 10^7 小时。根据本发明的又一些实施例的电容的特征为：在电压高达大约 100V、温度高达大约 100 °C 时 MTTF 至少为大约 10^7 小时。

在本发明还有一些实施例中，二氧化硅层和氮化硅层都是淀积层。而且，第一和第二金属层包括钛、铂、铬和/或金。

20 在本发明的其它实施例中，集成电路的高 MTTF 互连结构包括衬底上的多个半导体器件以及在多个半导体器件上的绝缘层。在绝缘层上形成与多个半导体器件对置的具有多个互连金属区域的第一互连层。第一氧化层形成在第一互连层上，以便覆盖多个互连金属区的至少一部分。在第一氧化层上形成与第一互连层对置的介电材料层，介电材料层的介电常数高于第一氧化层的介电常数。在介电材料层上形成与第一氧化层对置的第二氧化层，以及在第二氧化层上形成与介电材料层对置的并具有多个互连金属区的第二互连层。第一氧化层、介电材料层和第二氧化层设置在第一互连层的多个互连

金属区和第二互连层的多个互连金属区中一些对应的互连金属区之间，以便形成一种金属间介电结构。

5 在本发明的又一些互连结构的实施例中，第一氧化层和第二氧化层是二氧化硅层，介电材料层是氮化硅层。在这些实施例中，第一氧化层的厚度是从大约 10 到大约 30nm，介电材料层的厚度是从大约 200 到大约 300nm，第二氧化层的厚度是从大约 10 到大约 30nm。

在本发明另一些实施例中，第一氧化层具有第一厚度，介电材料层具有第二厚度，第二氧化层具有第三厚度，其中第一和第三厚度比第二厚度至少小一个数量级。

10 此外，互连结构可以具有如下特征：其平均无故障时间与电压的关系曲线比相应的氮化物金属间电介质具有更大的斜度。二氧化硅层和氮化硅层也可以是淀积层。互连结构还可以具有如下特征：在电压高达大约 50V、温度高达大约 100°C 的条件下其平均无故障时间至少为 10^7 小时，或者更好的是在电压高达大约 100V、温度高达大约 100°C 的条件下其平均无故障时间至少为 10^7 小时。第一和第二互连层的互连金属也可以是钛、铂、铬和/或金。

15 在本发明另一些实施例中，提供制造上述电容的方法，所述方法包括：在第一金属层上淀积第一氧化层，以便形成具有第一厚度的第一氧化层；在第一氧化层上淀积介电材料层，以形成具有第二厚度的高介电层，所述介电材料层的介电常数高于第一氧化层的介电常数；以及在介电材料层上淀积与第一氧化层对置的第二氧化层，以便形成具有第三厚度的第二氧化层。第一厚度在第一、第二和第三厚度总和的大约百分之 0.5 到 33 之间，而第二厚度在第一、第二和第三厚度总和的大约百分之 0.5 到 33 之间。

25 同理，还提供制造上述集成电路互连结构的方法，所述方法包括：形成具有多个互连金属区的第一互连层；在第一互连层上淀积第一氧化层，以覆盖多个互连金属区的至少一部分；在第一氧化层上淀积与第一互连层对置的高介电层；在高介电层上淀积与第一氧

化层对置的第二氧化层；以及在第二氧化层上形成与高介电层对置的具有多个互连金属区的第二互连层。第一氧化层、高介电层和第二氧化层淀积在第一互连层的多个互连金属区和第二互连层的多个互连金属区的一些相应的互连金属区之间，以便形成一种金属间介电结构。

5 本发明的实施例还形成一种电容，所述电容具有：碳化硅层；在碳化硅层上的介电材料层；以及在所述介电材料层上与碳化硅层对置的第一金属层。介电材料层是氮氧化硅，分子式为 $\text{Si}_3\text{N}_{4-x}\text{O}_x$ ，式中 $0 < x \leq 1$ 。

10 在本发明的另一些实施例中，第二金属层形成在介电材料层上并且设置在介电材料层和碳化硅层之间、以便形成一种金属-绝缘体-金属(MIM)电容。

可以这样配置介电材料层、使得介电结构的平均无故障时间与电压的关系曲线比只有氮化物电介质的相应的 MIM 电容具有更大的斜度。介电材料层可以配置成在电压大于约 50V、温度至少约 100°C 的条件下其平均无故障时间至少为 10^7 小时。最好，介电材料层可以配置成在电压大于约 100V、温度至少为大约 100°C 的条件下平均无故障时间至少为大约 10^7 小时。

20 本发明的实施例还为集成电路提供高平均无故障时间的互连结构，所述集成电路具有：在碳化硅衬底上的多个半导体器件；在多个半导体器件上的绝缘层；以及在绝缘层上与多个半导体器件对置的并具有多个互连金属区的第一互连层。在第一氧化层上形成与第一互连层对置的介电材料层，并且在介电材料层上形成与第一互连层对置的并具有多个互连金属区的第二互连层。介电材料层是氮氧化硅，分子式为 $\text{Si}_3\text{N}_{4-x}\text{O}_x$ ，式中 $0 < x \leq 1$ 。

25 最好，介电材料层的厚度是从大约 20nm 到大约 400nm。而且，介电材料层可以配置成使其平均无故障时间与电压的关系曲线比相应的氮化物金属间电介质具有更大的斜度。而且，介电材料层可以

配置成在电压大于约 50V、温度至少约 100°C 的条件下其平均无故障时间至少为大约 10^7 小时。最好，介电材料层可以配置成在电压大于约 100V、温度为 150°C 的条件下平均无故障时间至少为约 10^7 小时。

5 在本发明又一些实施例中，提供制造电容的方法，所述方法包括：在碳化硅层上淀积氮氧化硅层，其分子式为 $\text{Si}_3\text{N}_{4-X}\text{O}_X$ ，式中 $0 < X \leq 1$ ，以便形成具有第一厚度的介电材料层；以及在氮氧化硅层上形成第一金属层。在另外的实施例中，还要形成设置在氮氧化硅层和碳化硅层之间的第二金属层。

10 在本发明又一些实施例中，淀积分子式为 $\text{Si}_3\text{N}_{4-X}\text{O}_X$ ，式中 $0 < X \leq 1$ ，的氮氧化硅层是这样进行的：提供硅母体；提供氮母体；提供氧母体；以及利用硅母体、氮母体和氧母体采用等离子增强化学汽相淀积 (PECVD) 工艺过程淀积氮氧化硅层。在本发明的特殊实施例中，硅母体是 SiH_4 ，氧母体是 N_2O ，氮母体是 N_2 。而且，对于容积大约为 14785 立方厘米的 PECVD 装置，以每分钟大约 240 到 360 标准立方厘米 (SCCM) 的流速提供 SiH_4 ，以大约 8 到 12 SCCM 的流速提供 N_2O ，以及以大约 120 到 180 SCCM 的流速提供 N_2 。此外，还可提供一种惰性气体。例如，惰性气体可以是 He，以大约 160 到 240 SCCM 的流速提供。PECVD 工艺过程可以在功率从大约 16 到大约 24 瓦、压力从大约 720 到大约 1080mT 以及温度在从大约 200°C 到 300°C 下进行。

20

附图简要说明

图 1 是本发明第一实施例的截面图；

图 2 是本发明第二实施例的类似视图；

图 3 是根据本发明实施例的 IGFET 的截面图；

25 图 4 是根据本发明实施例的 MIS 电容的截面图；

图 5 是传统的热氧化物和根据本发明实施例的绝缘体的电子迁移率对栅极电压的比较曲线；

图 6 是根据本发明实施例的钝化平面二极管的截面图；

图 7 是器件寿命对电场的比较曲线;

图 8 是根据本发明实施例的双扩散或双注入 MOSFET 的截面图;

图 9 是比较包括本发明的实施例和传统器件的各器件的电场对寿命的曲线图;

5 图 10 是根据本发明实施例的 MIM 电容的截面图;

图 11 是根据本发明实施例的电容的截面图;

图 12 是传统的氮化硅 MIM 电容和根据本发明的 MIM 电容的电流密度(J)对偏压的曲线图;

10 图 13 是传统的氮化硅 MIM 电容和根据本发明的 MIM 电容的平均无故障时间对电压的曲线图; 以及

图 14 是根据本发明实施例的互连结构的截面图。

详细说明

15 以下将参考示有本发明优选实施例的附图更详细地说明本发明。但本发明可以用许多不同的形式体现, 不应认为仅限于此处提出的实施例, 提供这些实施例是使公开的内容更彻底和完全, 并能将本发明的范围充分传达到本专业的技术人员。如图所示, 为了进行说明, 对层或区的大小都作了夸大, 以便于示明本发明的一般结构。在所有的附图中, 同样的数字代表同样的元件。应当指出, 当
20 提到某元件、例如层、区或衬底在另一元件“上”时, 可以是直接在另一元件上或也可能有介入的元件。相反, 如果提到一个元件“直接”在另一元件“上”, 则没有介入元件存在。

25 本发明是用于宽带隙半导体材料以及用这种材料形成的有关器件的介电结构。按照本发明实施例的器件结构, 特别是基本的 MIS 电容, 示于图 1, 表示为 10。所述结构包括碳化硅层 11, 它可以是碳化硅衬底部分或碳化硅外延层。这种单晶碳化硅衬底以及各种外延层的制造可以按与本发明共同转让(或许可)的美国专利中所说明的技术进行。这些专利包括(但不限于)No. Re. 34, 861; 4, 912, 063;

4, 912, 064; 4, 946, 547; 4, 981, 551 以及 5, 087, 576, 这些专利的内容均作为参考全部包括在本文中。衬底或外延层可以选择碳化硅的 3C, 4H, 6H, 和 15R 多晶类型, 且 4H 多晶类型一般优选作高功率器件。特别是, 4H 多晶类型的较高的电子迁移率使其对垂直结构的器件更具吸引力。器件结构 10 还包括碳化硅层上的二氧化硅层 12。二氧化硅具有极宽的带隙(室温下大约为 9eV), 并与碳化硅形成优良的物理和电子界面。因此, 对于许多应用来说, 它都是一个优选的绝缘体, 但如在“背景”中所述, 在高温和高电场下它会呈现特性上的弱点。

相应地, 本发明还包括在二氧化硅层 12 上的另一绝缘材料层 13。层 13 应选择具有比碳化硅层的介电常数高的介电常数(ϵ), 且其物理和化学特性应能使它耐受器件的碳化硅部分所需要的高温工作。在优选实施例中, 高介电材料可从以下材料组(但不限于这些)中选择: 氮化硅, 钛酸钡锶((Ba, Sr)TiO₃), 二氧化钛(TiO₂), 五氧化钽(Ta₂O₅), 氮化铝(AlN), 和氧化氮化铝, 其中特别优选氮化硅和氧化氮化铝, 最优选氮化硅(Si₃N₄)。在绝缘材料层 13 上制造栅极触点 14, 以便将偏压加到器件结构上。

图 2 示出器件的第二实施例(也是一个 MIS 电容), 表示为 15。和图 1 一样, 第二实施例包括: 碳化硅层 16(外延或衬底); 第一二氧化硅层 17; 按上述规范选择的绝缘材料层 20; 以及在栅极触点 22 和绝缘层 20 之间的第二二氧化硅层 21。第二二氧化硅层 21 形成阻挡层, 防止电荷从栅极金属和高介电材料之间通过。

在优选实施例中, 以热的方式形成二氧化硅层 12 或 17, 随后通过化学汽相淀积(CVD)淀积绝缘层 13 或 20。但绝缘层可以用任何适当的技术形成, 例如某些氧化物可以用溅射淀积一种金属然后使其氧化。另一个实例是用等离子增强 CVD(PECVD)来淀积 Si₃N₄。由于 SiO₂ 层 12 或 17 用来防止隧道效应, 所以不需要特别厚。相反, SiO₂ 层最好相当薄、使得可以限制热氧化的程度。正如对这些材料熟悉的人

所知，注入会影响 SiC 氧化的方式。这样，如果在具有注入的 SiC 部分的器件或母体中进行大范围的氧化，则所得到的氧化层部分的厚度(因而其特性)会各不相同，这在某些情况下是不利的情况。因此限制氧化程度可以减少或消除这些问题。或者，可以淀积氧化物(例如通过 CVD)，以便同时避免所述问题。氧化物也可按在 2001 年 4 月 12 日提交的、系列号为 09/834,283 (Attorney Docket No. 5508 - 157)、题目为“METHOD OF N₂O ANNEALING AN OXIDE LAYER ON A SILICON CARBIDE LAYER”的共同转让的美国专利申请 以及 2001 年 5 月 30 日提交的、系列号为____ (Attorney Docket No. 5308 - 157IPPR)、题目为“METHOD OF N₂O GROWTH OF AN OXIDE LAYER ON A SILICON CARBIDE LAYER”的美国临时专利申请中描述的方法制造，这两个专利的内容已作为参考全部包括在本文中。

例如，可以在 N₂O 气氛中在至少 1200 °C 的温度下氧化碳化硅，就可在碳化硅层上形成氧化层。在氧化时提供预定的温度范围和预定的 N₂O 流速。预定的温度范围和预定的 N₂O 流速可以是恒定的，也可以是变化的，可包括上升或稳定状态的条件。可以这样选择预定的温度分布和预定的 N₂O 流速分布、以便利用 SiC 导带附近的能量来减少氧化物/碳化硅界面的界面状态。所述预定的温度分布可以产生大于 1200 °C 的氧化温度。，氧化温度最好是大约 1300 °C。氧化时间根据所需的氧化层厚度而变。因此，氧化的过程可以进行从 15 分钟到大约 3 个小时或更长。

此外，预定流速可以包括一种或多种流速，从大约 2 标准升/分钟(SLM)到大约 6 SLM。最好，流速在 3.5 到 4 标准升/分钟。而且，在氧化层形成后可以在 Ar 或 N₂ 中退火。在 Ar 或 N₂ 中退火的操作可以进行例如大约 1 小时。

预定的流速分布最好提供从大约 0.37 cm/s 到大约 1.11 cm/s 的 N₂O 速度。特别是，预定的流速最好提供从大约 0.65 cm/s 到大约 0.74 cm/s 的 N₂O 速度。此外，可以进行氧化层的湿再氧化，和/或在

具有蒸汽分压强的环境中进行 N_2O 氧化。

此外，在碳化硅上形成氧化层，也可以用以下方法：在包括大于大约 1200°C 的氧化温度的预定温度分布并在 N_2O 的预定流速分布条件下在 N_2O 环境中在碳化硅层上形成氧化层。可以这样选择预定流速分布、以便提供至少 11 秒的 N_2O 最初滞留时间。最初滞留时间最好是从大约 11 秒到大约 33 秒。最初滞留时间更好一些是从大约 19 秒到大约 22 秒。此外， N_2O 的总滞留时间可以是从大约 28 秒到大约 84 秒。最好总滞留时间是从大约 48 秒到大约 56 秒。

在优选实施例中，第一二氧化硅层 17 或 12 的厚度不大于大约 $100\text{\AA}$ ，而绝缘材料层 (13 或 22) 可以是大约 $500\text{\AA}$ 厚。换句话说，每个氧化层代表钝化结构总厚度的大约百分之 0.5 到 33，绝缘材料构成其余厚度。在优选实施例中，氧化层各自是总厚度的大约 20%，而优选的氮化物绝缘体是总厚度的大约 60%。

图 3 和图 4 分别示出根据本发明实施例的 IGFET 和 MIS 电容。图 3 示出以 24 表示的 IGFET，它具有第一导电类型的第一碳化硅部分 25。在第一碳化硅部分 25 上形成根据本发明的栅极绝缘结构，以支架 26 表示。单独地看，栅极绝缘体包括二氧化硅层 27 和介电常数高于碳化硅的介电常数的绝缘材料层 30。在图 3 所示的实施例中，绝缘体 26 还包括第二二氧化硅层 31。图 3 的 IGFET 还包括栅极触点 32 以及导电类型与第一碳化硅部分 25 相反的第二和第三部分碳化硅 33 和 34。在 33 和 34 部分上分别形成欧姆触点 35 和 36，以形成 FET 的源和漏部分。如图 3 中的虚线所示，诸如 IGFET24 的器件可以用场氧化物 37 相互分离。对这类器件熟悉并用这类器件构成集成电路的人都知道场氧化物部分 37 用来使器件与其它器件分离。虽然场氧化物没有以电子学方法与栅极绝缘体部分 26 直接相关，但本发明的绝缘体结构也能提供类似场绝缘体的优点。

图 4 示出根据本发明的 MID 电容，特别是类似于美国专利 No. 4,875,083 所提出的可变电容器件，所述专利内容已作为参考包

括在本文中。图 4 中的电容以 40 表示，它包括掺杂的碳化硅部分 41 和在掺杂碳化硅部分上的电容绝缘体部分。电容绝缘体部分包括碳化硅部分上的二氧化硅层 42，以及介电常数高于二氧化硅的介电常数的另一绝缘材料层 43。在图 4 所示的实施例中，电容 40 还包括在所述另一绝缘材料层 43 和以 45 表示的栅极触点之间的二氧化硅层 44。触点 45 可以由金属或合适的导电材料 例如充分掺杂以提供所需触点特性的多晶硅等构成。欧姆触点 46 在图示实施例中形成了一个环形，图 4 的截面示出其两部分，在掺杂的碳化硅部分 41 上这样形成欧姆触点 46、使得加在金属触点 45 的偏压可变地耗尽掺杂的碳化硅部分 41 而相应地改变电容 40 的电容量。如图 3 的实施例，也可以包括场氧化物部分 47，以便将器件与其邻居分离。如上所述，部分 47 也可包括本发明的介电结构。

熟悉半导体器件的人会理解，图 1-4 和图 6 在代表各种绝缘栅极和金属-绝缘体-半导体结构方面只是一些范例，而不是限制。所以，虽然图 1-4 和图 6 一般地示出平面结构和器件，但是，显然，本发明的绝缘体结构可以适用于各种器件结构，例如 UMISFET。本发明的介电结构可以用于其中的其它栅极结构包括 MISFET，绝缘栅双极晶体管(IGBT)，MOS 断开闸流管(MTO)，MOS 控制闸流管(MCT)以及累积 FET(ACCUFET)。本发明能够为其提供增强的钝化、边界终结或场绝缘的非栅极结构包括 p-i-n 二极管、萧特基整流器以及金属-半导体场效应晶体管(MESFET)。

本发明的实施例也可对特殊的结构提供同样的优势，包括横向功率 MOSFET 和双扩散 MIOFET(DMOSFET)，这些都是垂直取向器件(即源和漏在衬底的对置的表面上)。在美国专利 5,506,421 和 5,726,463 中都有范例说明，这二专利的内容已作为参考全部包括在本文中。其它范例器件在同时待批的美国专利申请序列号 08/631,926(“Silicon Carbide CMOS and Method of Fabrication”),1996 年 4 月 5 日提交;序列号 09/093,207,1998 年 6

月 8 日提交(“Self-aligned Methods of Fabricating Silicon Carbide Power Deviced by Implantation and Lateral Diffusion”)以及 09/093,208, 1998 年 6 月 8 日提交(“Methods of forming Silicon Carbide Power devices by Controlled Annealing”)中已提出, 这些申请的内容也已作为参考全部包括在本文中。

图 8 示出双扩散或双注入的 MOSFET, 以 60 表示, 它包括本发明的绝缘体结构。如图 8 所示, 晶体管的源极由在 p 型阱 62 中的 n^+ 区 61 形成, 它们包括在示为外延层 63 的碳化硅部分中, 在以上引用的申请中描述了其形成方式。区 63 代表晶体管的漏极漂移区, 其 n^+ 漏极以 64 表示, 漏极触点以 65 表示而适当的引线以 66 表示。同理, 67 示为源极触点, 而其引线以 70 表示。根据本发明形成栅极绝缘结构, 在优选实施例中, 所述栅极绝缘结构包括第一二氧化硅层 71、氮化硅层 72 和第二二氧化硅层 73。栅极金属触点 74 和其引线完成了所述结构。工作时, 当偏压加到栅极触点 74 时, p-型区 62 耗尽, 形成反向层。熟悉这些器件的人会理解, 如果源部分 64 在此结构中从 n^+ 导电变为 p 型导电, 所得到的图解示例就代表绝缘栅双极晶体管 (IGBT)。

所述图解说明的结构可以通过相对于二氧化硅层将第二介电材料分层来改进栅极或场钝化。二氧化硅在氮化硅上继续提供大的电阻阻挡层(即它的 9eV 带隙), 并防止分层后的电介质泄漏电流。在互补方式下, 与单介电层相比, 所述附加的介电材料(以及其较高的介电常数)改善了高温和高场可靠性。所以分层介电材料组合了两种不同材料的功能优势, 在碳化硅层上形成了比单材料层所能获得的更好的介电性能。此外, 二氧化硅就电荷或激活状态而言, 其与碳化硅可形成比其它介电材料更好的界面。

选择准备利用二氧化硅来分层的材料的介电常数是一种重要的考虑因素, 因为在电介质中的电场直接与附近的碳化硅的电场有关, 还与分层后的电介质和碳化硅的介电常数的比有关。表 1 总结了一

些通用的半导体器件的介电常数，并把碳化硅作为标准数字列出。

表 1

材料	介电常数	临界电场 (MV/cm)	工作电场 (MV/cm)	ϵE_0 (MV/cm)
SiC	10	3	3	30
热 SiO ₂	3.9	11	2	7.8
淀积的 SiO ₂	3.9	11	2	7.8
Si ₃ N ₄	7.5	11	2	15
ON0	6	11	~ 2	~ 12
AlN	8.4	10-12	~ 3**	~ 30
AlO: N	12.4 ⁽¹⁾	8**	~ 1**	~ 12
Si _x N _y O _z	4-7	11	~ 2	~ 8-14
(Ba, Sr) TiO ₃	75-250*	2**	~ 0.1 ⁽²⁾	~ 8
TiO ₂	30-40	6	~ 0.2**	~ 4
Ta ₂ O ₅	25	10 ⁽³⁾	~ 0.3 ⁽³⁾	~ 0.75

* (Ba, Sr) TiO₃ 的介电常数随所加电场急剧下降。

** 估计值

5

在表 1 中，临界电场代表材料会立即击穿的电场强度。工作电场 (E_0) 是预计在相当长的时期，例如至少 10 年中，很少或不会引起电介质性能下降的最高电场。

本发明的实施例可以通过利用具有比二氧化硅高的介电常数的介电材料来改善在碳化硅上的场钝化或栅极的可靠性。在这方面，
 10 高斯定律电介质中的电场是半导体中的电场乘以一个系数 ($\epsilon_{\text{半导体}} / \epsilon_{\text{电介质}}$)。因此，介电常数高于碳化硅的介电常数的材料就会比邻近的碳化硅的电场要低。因此，作为功率器件的栅极电介质或钝化材料的材料可用性的临界量度就是电场强度 (E) 和介电常数的乘积。理想的是，
 15 ϵE 的乘积超过碳化硅的 ϵE 的乘积。

在这方面，表 1 列出了可以利用二氧化硅进行分层、以创建比单独利用这两种材料之一具有更好电特性的绝缘体结构的几种电介质。不过，在介电结构中也可使用其它材料，选择不限于表 1 所列。

5 本发明的分层电介质具有四种重要的特性，能使碳化硅 MIS 器件工作在高温和高栅极电压下：第一，电介质整体可以淀积，从而避免了 SiC 的热消耗。如前所述，热生长二氧化硅会比注入区更快地消耗碳化硅，导致在注入区边缘有物理台阶和更高的电场。第二，绝缘体结构的 SiO₂ 部分与碳化硅有高质量的界面。第三，多层结构减少了高温 (250 - 400° C) 下的漏电。第四，非 SiO₂ 部分提供了相对
10 高的介电常数，从而降低了非 SiO₂ 电介质的电场，如高斯定律所示。

在生产特定的结构时，本发明的分层电介质的物理厚度与单介质层不同，所述差别由介电常数的比来确定。此外，至今，分层电介质最好作成的结构是：二氧化硅作为底层 (即与碳化硅相接触)，因为需要它在高温下承受可接受的漏电流。

15 图 10 图解说明根据本发明实施例的 MIM 电容 80 的结构。如图 10 所见，在衬底 82 上，例如上述碳化硅衬底上形成金属层 84。金属层 84 可以是任何适合的导电材料，例如铝，金，钛，铬等，但尤其是也可以使用钛 - 铂 - 金金属层。在金属层 84 上例如用 CVD 形成氧化层 86，例如二氧化硅。介电常数高于氧化层的介电材料层 88，例如
20 氮化硅，Si₃N₄，氮氧化物等，形成在氧化层 86 上，而另一氧化层 90，例如二氧化硅，形成在氧化层 86 上。第二金属层 92 形成在第二氧化层 90 上。最好，层 86，88 和 90 分别都是淀积层。

此外，在本发明的特殊实施例中，以同碳化硅半导体器组合的形式形成电容。在又一些实施例中，金属层 84 和 92 中的至少一层形成在碳化硅的衬底上，有或没有干预层。在这类实施例中，碳化硅
25 由于其特性而被有利地用作高压、高温材料。金属层 84 和 92 可以是钛，铂，铬和/或金。

在本发明的实施例中 (其中氧化层 86 和 90 是二氧化硅，介电材

料层 88 是氮化硅或氮氧化硅), 最好二氧化硅层比氮化硅或氮氧化硅层至少薄一个数量级。所以, 例如, 二氧化硅层是从大约 10 到大约 30nm 厚, 而氮化硅或氮氧化硅层则为从大约 200 到大约 300nm 厚。由于氧化层和高介电层的介电常数影响着整个结构的介电常数, 所以氧化层的厚度应较小, 以对整个结构提供高的介电常数。然而, 也可以选择氧化层和高介电层的不同的厚度、以便适合于特殊应用的总介电常数。

图 11 示出本发明的又一实施例, 它提供电容 94, 用氮氧化物作为介电材料。如图 11 所见, 碳化硅衬底 82 具有形成在其上的层 98。在本发明的 MIS 电容实施例中, 层 98 是碳化硅层, 例如外延层。在本发明的 MIM 电容实施例中, 层 98 是金属层, 如结合图 10 的金属层 84 所述。在任一种情况下, 介电层 96 形成在层 98 上并设置在金属层 92 和层 98 之间。介电层 96 是氮氧化物。氮氧化物是指在有氧母体、例如氧化氮 (N_2O) 存在时所淀积的氮化物层, 从而将氧引入到层中。所以, 介电层 96 是一个有氧的氮化物层。氧化导致更高的介电强度(更高的击穿), 而不必牺牲高的介电常数。介电层 96 可以是一种氮氧化物, 例如氮氧化硅, 最好是分子式为 $Si_3N_{4-x}O_x$ 的氮氧化硅, 式中 $0 < x \leq 1$ 。介电层 96 的厚度可以根据所需的电容特性而定。但是, 一般来说, 大约 20nm 到大约 400nm 的厚度已适合用于在氮化硅衬底上的电容了。

可以通过例如 PECVD 工艺过程、利用硅母体例如 SiH_4 、氮母体例如 N_2 以及氧母体例如 N_2O 来形成按照本发明实施例的介电层 98。此外, 在 PECVD 工艺过程中也可以使用惰性气体, 例如 He 或 Ar。而且, 其它硅, 氮, 氧的母体也可以使用, 以利用本发明的内容的优点。

举一个实例: 利用等离子增强汽相淀积 (PECVD) 装置, 例如 Unaxis 790PECVD, 可以用淀积速率为每分钟 10nm, 在 2 分 30 秒内形成 250Å 厚的介电层 98, 此时 SiH_4 的流速为 300 标准立方厘米/分钟 (SCCM),

N_2O 的流速为 10 SCCM, N_2 的流速为 150 SCCM, He 的流速为 200 SCCM, 功率为 20 瓦, 压力为 900mT, 温度为 250 °C。于是, 在本发明的某些实施例中, 用 SiH_4 , N_2O , 和 N_2 作母体, 可以使用 SiH_4 的流速为大约 240 到大约 360 SCCM, N_2O 的流速为从大约 8 到大约 12 SCCM, N_2 的流速从大约 120 到大约 180 SCCM。如果用 He 作为惰性气体, 可以使用从大约 160 到大约 240 SCCM 的流速。同理, 可以使用的功率从大约 16 到大约 24 瓦, 压力从大约 720 到 1080mT, 温度从大约 200 到 300 °C。本专业技术人员应理解, 上述参数是对使用上述 PECVD 装置而提出的。用不同的 PECVD 设备可以使用等效于上述参数的不同处理参数, 来形成根据本发明的实施例的氮氧化层。

图 10 和 11 所示的本发明的实施例可以提供比传统仅有氮化物的器件改善的 MTTF。按照本发明实施例的器件, 对于所需的工作参数, 可以提供大约 10^6 , 大约 10^7 或甚至更高的平均无故障时间。最好, 根据本发明的实施例的 MIM 电容在电压高达大约 50V, 温度大约为 100 °C 时, 具有至少大约 10^7 小时的平均无故障时间。更好的是, 这种电容在电压高达大约 100V, 温度大约为 100 °C 时, 具有至少大约 10^6 、最好是大约 10^7 小时的平均无故障时间。

虽然是结合 MIM 电容说明了图 10 和图 11 所示的本发明的实施例, 本专业的技术人员应理解, 根据目前公开的内容, 示于图 10 和图 11 的结构也适用于集成电路的隔离互连层, 从而提供金属间的介电结构。这种结构示于图 14。如图 14 可见, 衬底 118、例如氮化硅衬底, 其中可形成多个半导体器件 120。在半导体器件 120 上可以形成绝缘层, 在绝缘层 122 上形成具有多个互连金属区 124 的互连层。可以在互连金属区 124 上形成按照本发明实施例的介电结构 140。在其介电结构示于图 10 的本发明实施例中, 第一氧化层 142 形成在互连层区 124 上, 而在第一氧化层 142 上形成与金属互连区 124 对置的介电材料层 144。在所述介电材料层上形成与第一氧化层 142 对置的第二氧化层 146。介电材料层 144 可具有比氧化层 142 和 146 更高的

介电常数。可以在第二氧化层 128 上形成具有多个互连金属区 126 的
与介电材料层 144 对置的第二互连层。此外，还可以在第二互连层
上形成绝缘层 128。而且，在多级金属化的结构中，可以在 3 个或更
多的金属化层之间形成多个介电结构，例如结构 140。这样，本发明
5 的实施例可以提供具有根据本发明的实施例的介电结构的一个或多
个金属间的介电区。

可以如以上关于图 10 的 MIM 电容或图 11 的电容所述的那样形
成图 14 的介电结构 140。例如，金属层 84 可以认为是第一互连层的
具有互连金属的区域，而金属层 92 可以认为是第二互连层的具有互
10 连金属的区域、因此可以把图 10 的介电结构设置到在相应的互连金
属区之间。同理，介电结构 140 可以如图 11 所示是一单层氮氧化物。
这种介电结构可以选择性地设置在互连结构金属区的交叉点上，或
者，氧化的高介电材料以及氧化层可以像“毯子”淀积在第一互连
层上，而在像毯子淀积的介电结构上形成第二互连层。因此也可以
15 在集成电路的互连结构中提供图 10 和图 11 所示的结构的高平均无故
障时间的优点。

MIM 电容

按图 10 所示的本发明实施例的 MIM 电容用 CVD 工艺过程制造，
20 二氧化硅和氮化硅的厚度可各不相同。图 12 示出以下电容的电流密
度和所加偏压的关系曲线：仅具有单层氮化硅作为电介质的 MIM 电
容(线 100)；在 300nm 的氮化硅层周围有 30nm 的二氧化硅层的 MIM
电容(线 106)；在 300nm 的氮化硅层周围有 10nm 的二氧化硅层的 MIM
电容(线 104)；以及在 200nm 的氮化硅层周围有 20nm 的二氧化硅层
25 的 MIM 电容(线 102)。从图 12 可见，单位面积的电容容量从 1.98 到 2.15，
具有最高电容容量的是仅有氮化物的电容，而具有最低电容容量的是对
应线 106 的 30/300/30 电容。其它器件的电容容量为 2.02。每个电容
的面积 $1.6 \times 10^{-3} \text{cm}^2$ ，除了 20/260/20 电容，它的面积是 $9 \times 10^{-4} \text{cm}^2$ 。

由图 12 可见, 根据本发明实施例的电容比仅有氮化物层的电容具有减少的漏电流。

图 13 是对以下电容的应力电压和 MTTF 之间的关系曲线: 仅有氮化硅电介质的电容(线 112); 根据本发明实施例的具有 30nm 厚的二氧化硅层和 300nm 厚的氮化硅层的电容(线 110); 具有 30nm 厚的二氧化硅层和 240nm 厚的氮化硅层的电容(线 114); 以及具有 350nm 厚的氮氧化硅层的电容(线 116)。在各种应力电压下测试器件并确定器件中作为本征缺陷的结果的平均失效时间(即除了归因于非本征缺陷的所有失效), 来求出平均无故障时间。这种平均值以图 13 中所示的数据点的形式画成曲线。平均无故障时间从绘制的点中外推出来。如图 13 可见, 根据本发明实施例的电容不仅其平均无故障时间线 110 比仅有氮化物的器件的平均无故障时间要高, 而且其斜度比仅有氮化物的器件的线的斜度要大。这样, 比之传统的仅有氮化物的器件, 在工作电压降低时使用本发明更为有利。

15

MIS 电容

用表 2 中的材料并包括本发明的那些材料来制造电容。在优选实施例中, 用了三步骤过程来分别生产二氧化硅、氮化硅和二氧化硅层。首先, 在氧化炉中在氮化硅上形成高质量的二氧化硅, 厚度大约为 100Å。在序列号 08/554/319、1995 年 11 月 8 日提交的、题目为 “Process for Reducing Defects in Oxide Layer on Silicon Carbide” 的共同待批的共同转让的申请中阐述了一种优选的氧化技术, 所述申请的内容已作为参考全部包括在本文中。然后用硅烷(SiH_4)和氨(NH_3)作为源气体、利用低压化学汽相淀积 (LPCVD) 淀积一个 500 Å 的氮化物层。所述氮化层在湿环境气氛中 950°C 氧化三个小时, 形成第二二氧化硅层, 厚度在大约 50 到 100Å 之间。

25

在 $\pm 15\text{V}$ 范围内测量这些 MIS 电容的 DC 漏电电流。此电压对应于大致每厘米 3 兆伏的电压。表 2 总结了在不同 MIS 电容上测量的漏

电电流，以每平方厘米的微安($\mu\text{A}/\text{cm}^2$)表示。室温下漏电最小的电容然后在 250°C 下测量。在此温度下的漏电在表中标记为“HT”漏电。横化线表示没有可测得的漏电(小于 500 微微安培)，“太高”表示绝缘体的室温漏电太高，没有进行 250°C 的测量。

5 表 2

	6HP	6HN	4HN
热 iO_2 漏电 =	—	—	—
HT 漏电 =	—	—	—
LPCVD SiO_2 漏电 =	—	—	—
HT 漏电 =	—	—	—
氮化硅 漏电 =	—	—	—
HT 漏电 =	56	1	1
ONO 漏电 =	—	—	—
HT 漏电 =	—	—	—
AlN 漏电 =	125	250,000	>1000000
HT 漏电 =	太高	太高	太高
AlO:N 漏电 =	—	—	—
HT 漏电 =	2	>1E6	>1E6

如表 2 所示，有几种电介质在氮化硅上绝缘不好，有些，例如氮化铝，甚至在室温下也缺乏令人满意的特性。只有含有二氧化硅的结构在 250°C 时，在氮化硅上也能有很好的绝缘。这可能主要与介电材料的带隙以及与氮化硅所产生的低频带偏移(阻挡高度)有关。氮化硅的带隙约为 3eV ，作为绝缘材料，需要至少 2eV 的阻挡高度。这样，在氮化硅上，介电材料或结构应具有至少 7eV 的带隙。仅用带隙为 6eV 的氮化硅预计会发生问题，也确实发生了问题，如表 2 所报告的漏电流测量结果所示。氮化铝的带隙(6.2eV)与氮化硅的带隙没有太大差别，而且氮化铝确实也有较高的漏电流。氮化铝

和氮化硅所呈现的漏电流使这些材料不能用作单独的栅极电介质。
另外,对这些绝缘体的进一步分析仅限于评价其净氧化物电荷。

5 虽然电介质对于高温高电场器件钝化应用必须具有高可靠性,但用作 MIS 器件的栅极层,这种可靠性代表一种必需的但不是充分的特性。对于这种应用,带电体缺陷和电活性界面缺陷必需尽可能减少。带电体缺陷会导致器件中的电压偏移,而电活性界面缺陷会降低沟道的迁移率。

10 带电体缺陷通常称为“固定氧化物电荷”,借助于由室温高频电容-电压(CV)曲线确定的平能带电压来测量。产生平能带电容量的实际电压和计及金属半导体逸出功的理想值之间的任何差异都可归因于这种固定的氧化物电荷。但对于宽带隙的半导体,例如氮化硅,所述术语“固定”氧化物电荷是一种误称。此计算的电荷密度包括来自界面状态的成分,而许多界面状态在室温下看起来是固定的。为此,这种计算的电荷密度在此称为“净”氧化物电荷。

15 在电介质-半导体界面处的电活性缺陷称作界面状态。这些状态因俘获或释放电子,或形成会施加垂直于电流流动方向的力的带电部位而严重降低 MIS 器件的沟道迁移率。任何一项上述效果都会抑制电流而降低了沟道迁移率。

20 表 3 比较了各种电容的净氧化物电荷密度和最小测量界面状态密度。

表 3

净氧化物电荷 (10^{11}cm^{-2})

绝缘体	6H P-型	6H N-型	4H N-型
热 SiO ₂	6.9	-10.8	-26
LPCVD SiO ₂	7.5	-11.5	-29
氮化硅	漏电	-9.7	-51
ONO	130	1.9	5.9

AlN	64	-26	-54
AlO: N	8.9	1.3	-5.2

界面状态密度 ($10^{10}\text{cm}^{-2}\text{eV}^{-1}$)

绝缘体	6H P-型	6H N-型	4H N-型
热 SiO_2	6.2	36	210
LPCVD SiO_2	7.5	18	270
氮化硅	漏电	240	1500
ONO	74	5.7	14
AlN	650	漏电	漏电
AlO: N	~ 50	漏电	漏电

5 在热氧化物和 LPCVD 氧化物上净氧化物电荷和界面状态密度是最低的，这些试样没有见到显著的差别。对于 n-型试样，在二氧化硅/氮化硅/二氧化硅试样上(此处称为“ONO”结构)净氧化物电荷和界面状态密度显著较低。当二氧化硅与氮化硅形成界面时，氮化硅/绝缘体的界面质量明显优越得多。

10 如表 4 所示，二氧化硅层，不论是热生长的还是淀积的，均具有最高的击穿电场，特别是在高温下。1100° C 热生长的氧化物具有最高的击穿电场，淀积的氧化物也几乎同样高。

15 虽然击穿电场很重要，也必需考虑电介质。表 4 列出了对三种晶片类型(可能的话)所平均的击穿电场(E_B)，然后乘以经验介电常数(ϵ)，作室温和 350° C 测量。在 ONO，热生长氧化物，淀积氧化物以及氮氧化铝上测得的 $E_B \epsilon$ 的是最高乘积。

表 4
最大击穿电场 (MV/cm)
室温

6HP	6HN	4HN	ϵ (E_{BD})
8.0	7.0	8.7	31
12.8	10.6	9.9	43
11.8	9.9	10.0	41
7.4	5.2	5.8	46
9.0	8.0	8.4	51
1	0.5	1	7
8.6	4.0	4.8	38

5

350° C

6HP	6HN	4HN	ϵ (E_{BD})
8.0	7.6	8.0	31
10.6	7.8	7.5	34
7.2	8.6	5.9	28
3.0	3.9	3.2	25
5.9	6.1	5.9	36
—	—	—	漏电
5	—	—	33

图 7 示出对 6H n-型 SiC MIS 电容在 350° C 所作的时间 - 偏压测量。此图中测量点用符号表示，指数最小二乘方法近似以线表示。这些器件呈现的寿命都很低，部分原因是由于试样很小。但这些数值对于 350° C 的 n-型 SiC 并不是非典型的。

10

ON0 电容具有最高的寿命，在既定的所加电场下比淀积的和热氧化物的寿命增加了超过一个数量级。虽然 ON0 电容的 p-型界面质量

不如热或淀积的氧化物那样好，但其 n-型界面优于任何其它材料。

MISFET

除了电容，还用热氧化物和分层 ONO 电介质制造了几种平面金属-绝缘体半导体场效应晶体管 (MISFET)。比较了不同介电材料的击穿电压，以便对 MOSFET 的坚固性作附加比较。在室温和 350° C 下测量电介质的场强，结果示于表 5。

表 5

绝缘体	RT BD 电压 (V)	RT BD (MV/cm)	350°C BD 电压 (V)	350°CBD (MV/cm)
热 SiO ₂	35	7	25	5
LPCVD SiO ₂	45	9	35	7
ONO	80**	11.4**	45**	6.4**

**电介质在此电压下并不实际击穿，但漏电。

如前所述，热氧化会导致一个物理台阶，因为注入的源和漏区氧化得比非注入沟道区要快。在注入区上生长的热氧化物也会比在非注入材料上生长的氧化物要弱。这两种效应在热氧化的 MOSFET 中相结合，其中台阶增强了最弱氧化物的电场和区域。这样热氧化的 MOSFET 的击穿电场由于 MOS 电容表现出的击穿电场而显著下降。

淀积的氧化物具有比热生长氧化物高的击穿电场，但最高的击穿电压是由 ONO 介电层来达到的。电场在 350° C 时稍低，但击穿电压可能是器件可靠性的一个较好的指标，因为氮化硅栅极绝缘体必需较厚才能具有同样的栅极电容。因此 ONO 结构展现出几乎两倍于热氧化器件的高温击穿电压的电压。

粗 FET (粗 FET 具有大的栅极宽度，大致等于其栅极长度) 的沟道迁移率由 MISFET 的线性规范确定：漏极电压设为 0.25 伏，栅极电压

- 从 0 到 10 伏，步进 1 伏。从各栅极电压间的传导计算迁移率，它与阈值电压无关。图 5 对用分层 ONO 电介质制造的 MISFET 和用热氧化物制造的器件进行了比较。ONO MISFET 具有稍高的迁移率。图 5 示出，在这些器件中，ONO 分层介电结构至少和热氧化物一样好。
- 5 对 MISFET 器件在高温下的可靠性估计也作了测量，方法是：将 15V (3MV/cm) 的栅极电压加到一个 4x100 μm 的栅极上，源极，漏极和衬底都接地，监控栅极电流直到达到 1nA 的符合电流。所述符合电流对应于 0.25mA/cm² 的电流密度。栅极电压增加到超过 5V 的可能使用电压以加速测试。
- 10 表 6 比较了用分层 ONO 电介质制造的 MISFET 和具有热或淀积二氧化硅器件的高温可靠性。ONO MOSFET 具有明显较好的高温寿命，例如优于系数 100X。此外，封装的 MISFET 成功的工作了 240 小时。

表 6

15 在 350° C 下，加 15V (3MV/cm) 栅极偏压时的器件寿命

绝缘体	寿命
干法热氧化物	0.08 小时
淀积氧化物	0.75 小时
ONO	> 75 小时
ONO (封装, 估计 335° C)	240 小时

- ONO 试样是晶片，在 350° C 下测试 75 小时没有失效。此时决定封装所述器件作测试，因为器件金属如果在 350° C 下暴露在大气中好几天就会氧化。然后将封装的部件在 350° C 下测试。封装器件的精确温度不易控制，所以估计测试温度可能更接近于 335° C，而不是 350° C，不管怎样，ONO 试样在 335° C 工作了 10 天 (240 小时)。
- 20 图 9 示出 MISFET 的寿命，以便与电容的结果作比较。与电容相比，具有干法 - 湿法热氧化物的 MISFET 具有急剧减少的寿命。这可

能主要是因注入区的加速生长而在源和漏区建立的物理台阶而造成的。淀积氧化物 MISFET 在接近其计划时间时失效,但只稍低一些。ON0 MISFET 则几乎准确的在从 MIS 电容数据中预计出的情况下失效。

5 二极管

除了 MIS 电容外,还制造了一批 4 个晶片的平面二极管。示范器件 50 的截面图示于图 6。顶部 p-层 51 以可变剂量注入。第二注入,结终结延伸(JTE) 52,形成在第一注入的邻近,以减少电场积聚。虽然 JTE 注入有助于减少器件边沿的电场积聚,晶片表面还是需要
10 有高质量的电介质 53 作钝化。平面二极管的形状是圆形的。电介质 50 根据本发明由氧化物/氮化物/氧化物构成。具体的说,所有三层都用 PECVD 淀积而成。

用 PECVD Si_3N_4 和 PECVD SiO_2 作单层绝缘体重复制造,以便作比较。

15 用作所述器件的掩模组包括有半径为 100 到 500 μm 不等的二极管, JTE 注入的宽度则在 50 到 150 μm 之间变化。外延层应支持 5kV,但这些器件的 JTE 设计为仅阻断 3kV,是为了对钝化加更多的应力。器件的性能对钝化更为敏感,因为 JTE 注入不会终结较高电压所产生的所有电场。所以,钝化必需耐受大得多的电场。这样,器件要
20 特意设计为有助于评估各种决定测量。

采集到 5 个晶片来制造高压 P-i-N 二极管。用于这些器件的 4H n-型衬底具有 50 μm 的 n^- 外延层、掺杂大约为 $1 \times 10^{15} \text{cm}^{-3}$ 以及 1.2 μm 的 p^- 层、掺杂 $1 \times 10^{18} \text{cm}^{-3}$ 。

25 图 6 还以 54 表示器件的 n-型部分,以 55 表示阳极并且以 56 表示阴极。

二极管的制造方法开始为将对准标记刻蚀到 SiC 晶片中,为以后的掩模对准用。通过在大多数表面上刻蚀透过顶部 p-型层而留下暴露的圆形的 p-型阳极区来形成阳极结。利用厚的 (1.4 μm) 氧化物

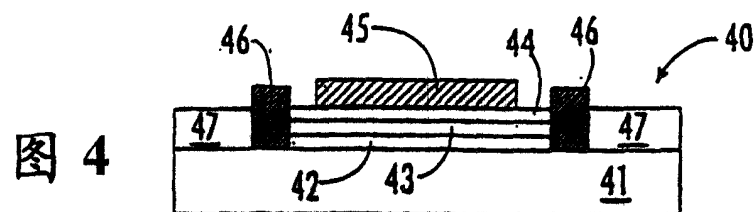
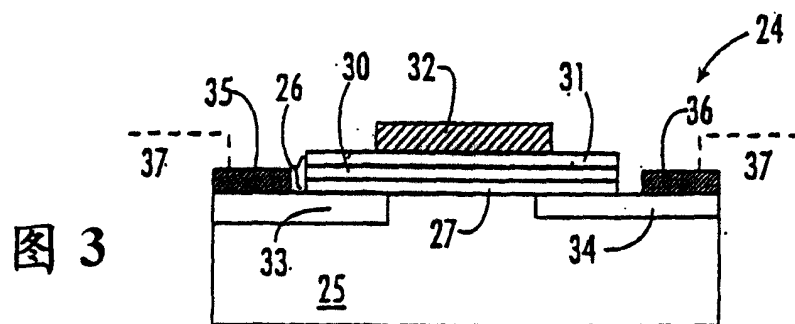
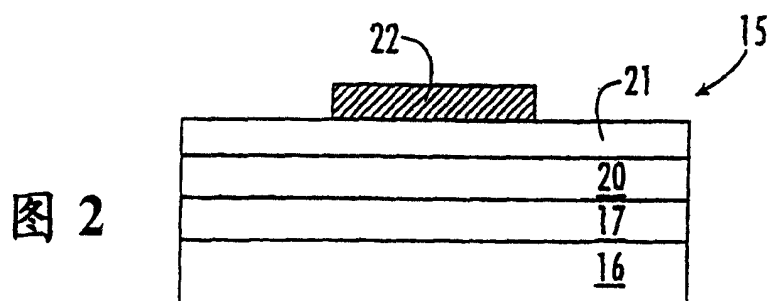
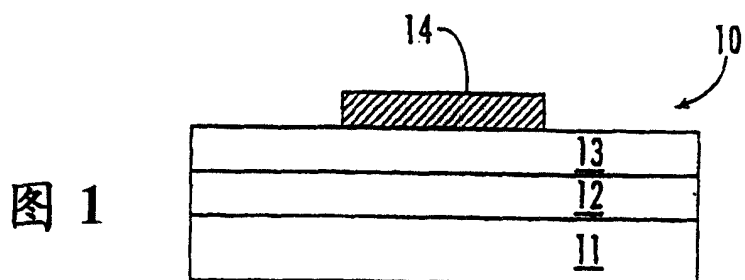
掩模来形成接受低剂量 JTE 注入的区域。这样选择氧化物掩模的厚度、注入能量以及 p-型掺杂物(铝)的剂量、使得只有预计的终结区接受注入,而在其它区域则全部被阻断。结区也接受此注入步骤,因此形成 p-型层的高表面掺杂、以便形成欧姆阳极触点。注入的铝退火以减小因离子注入引起的损坏,并电激活注入物。

测量每种类型二极管的击穿电压。氮化硅有大量漏电,在 2.6kV 时击穿。氧化物器件有很少/没有漏电,在 3.5kV 左右击穿。含有本发明的介电结构的器件高达 5kV 时也没有漏电,而且在世界记录级的 5.9kV 才击穿。

总之,本发明的 ONO 电介质提供了显著的改进。ONO 分层 MISFET 的高温寿命比现有技术的淀积氧化物高出 100 倍。这与高温 SiC 功率器件和电路密切相关。如果计划利用可能的额定工作电场 1MV/cm,那么,可以预计 ONO MOSFET 在 335°C 会有超过 240000 小时的寿命。

所以,这几种器件至今所展示的成功表明可以期望本发明的钝化对几乎所有钝化或绝缘栅极结构都将起很好的作用。

在附图和说明中,已公开了本发明的典型实施例,虽然采用了一些特定的术语,但只是一般和说明性的使用,决非是为了限制,本发明的范围在所附权利书中提出。



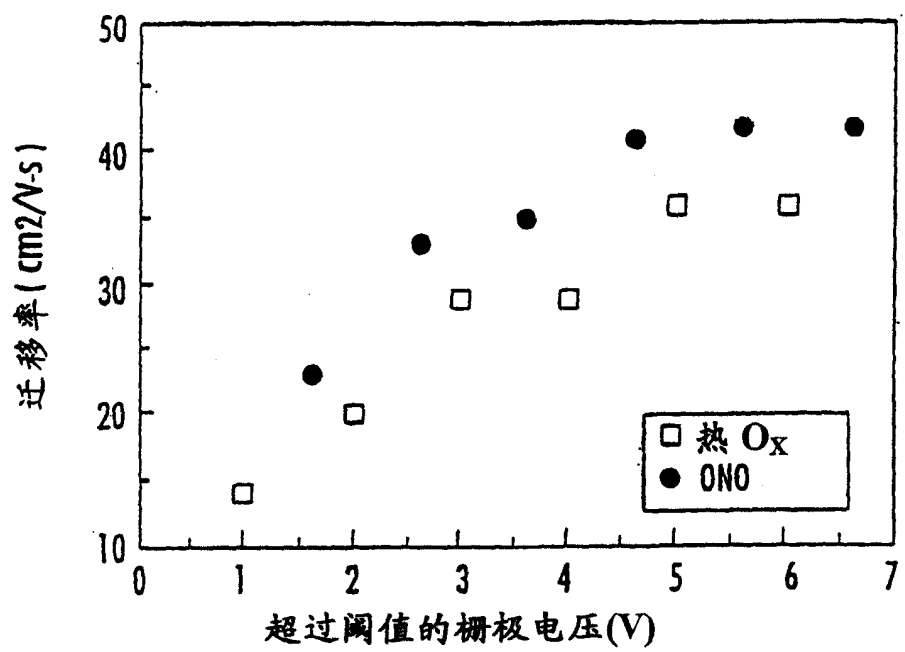


图 5

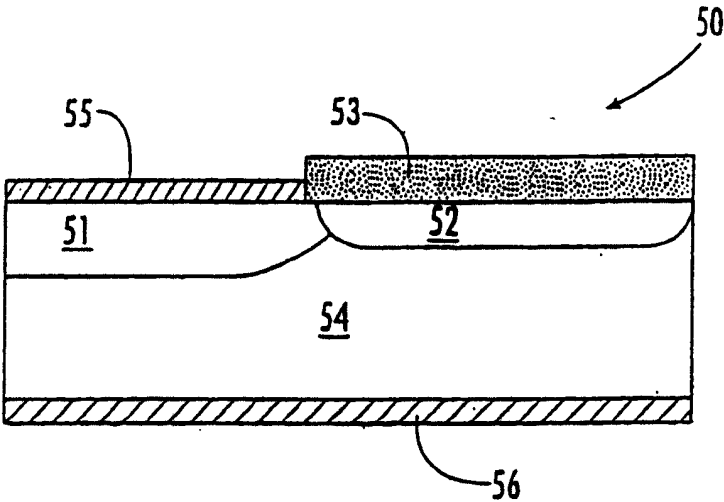


图 6

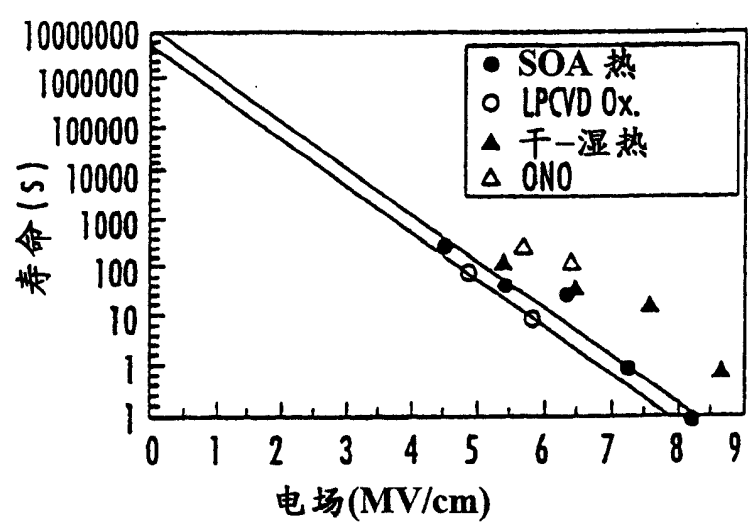


图 7

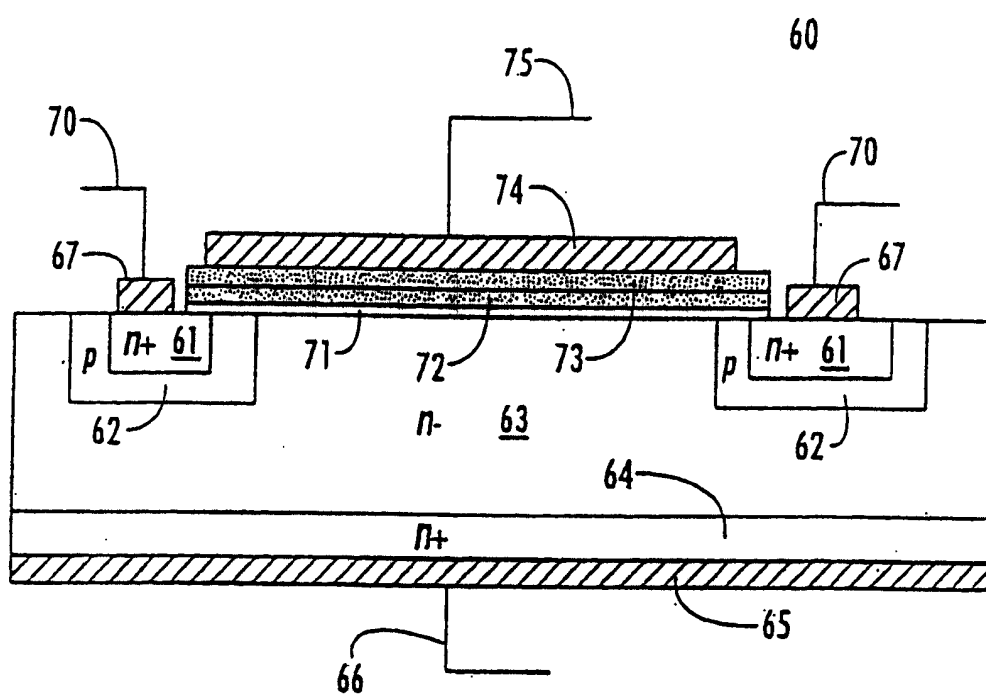


图 8

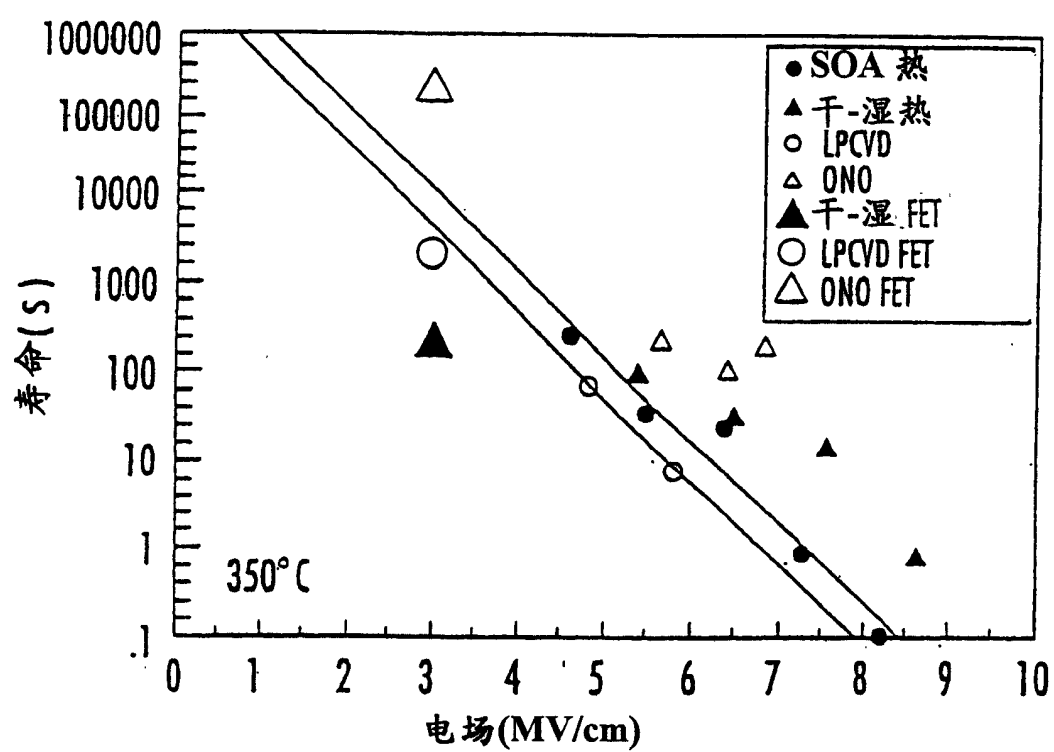


图 9

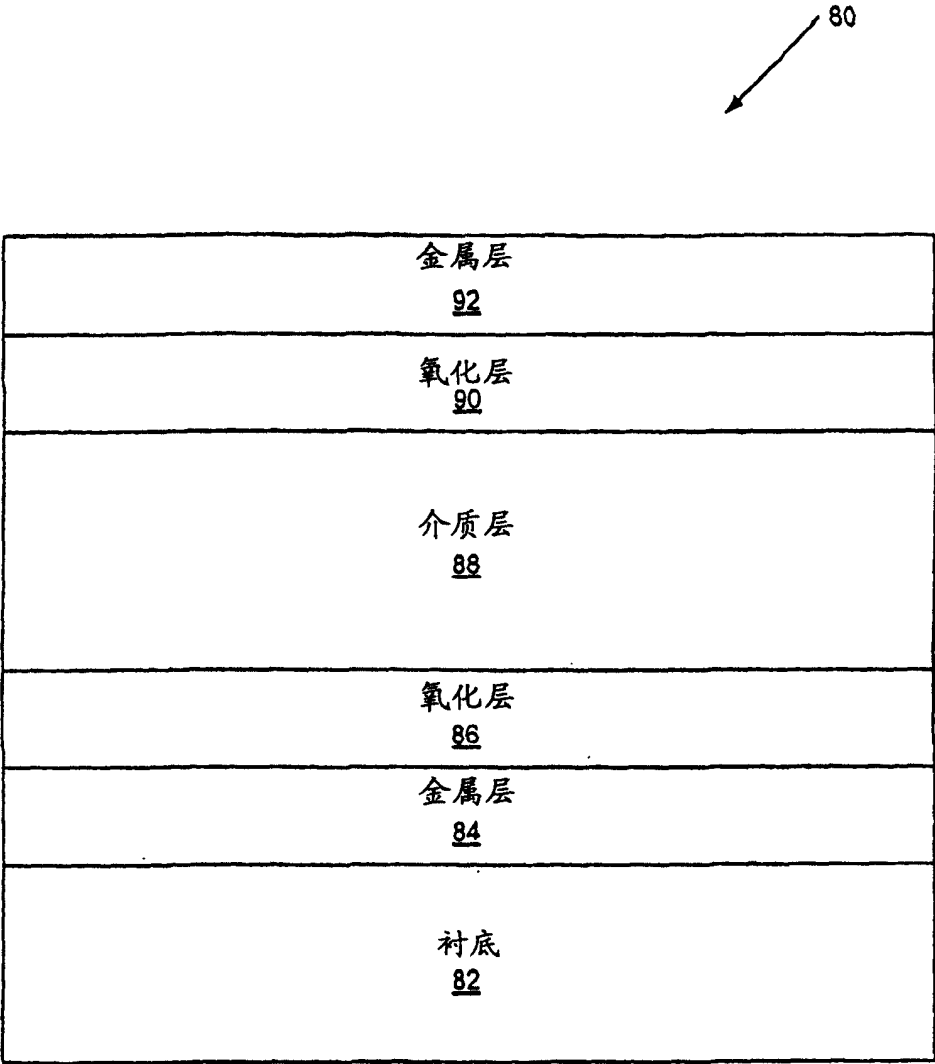


图 10

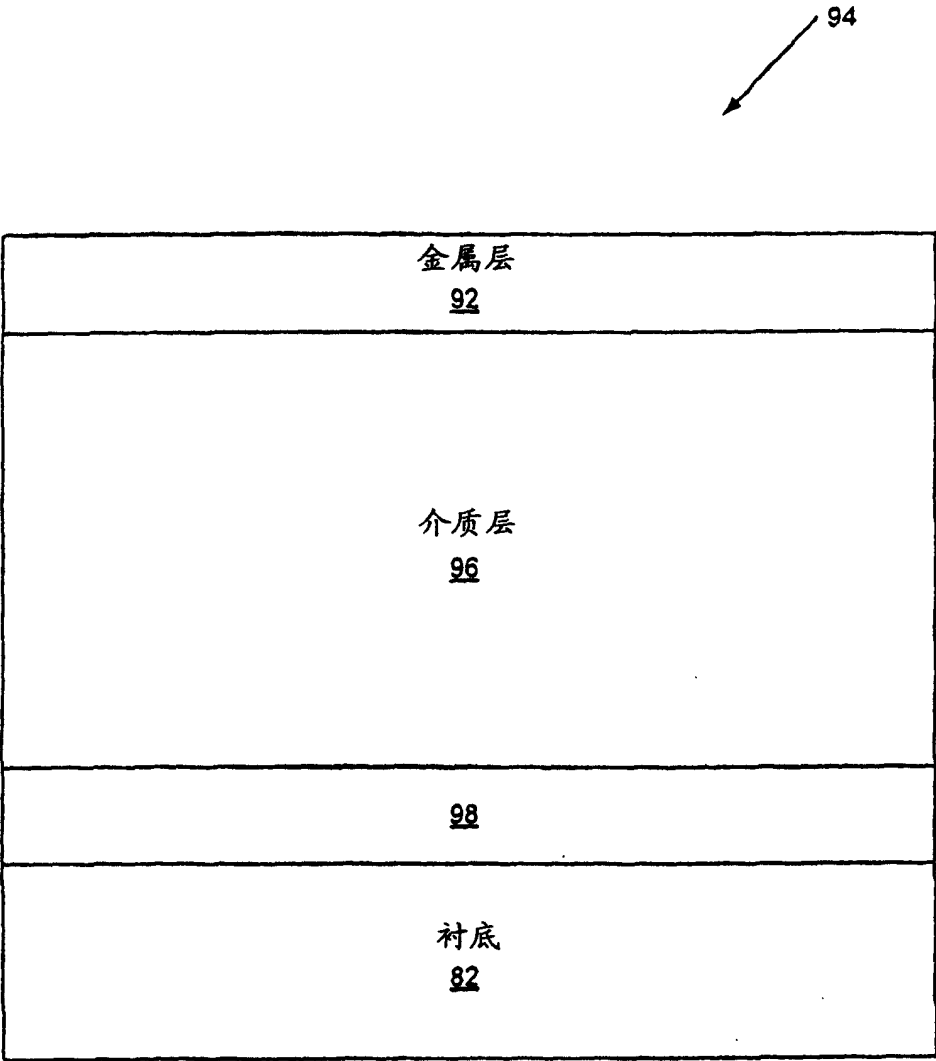


图 11

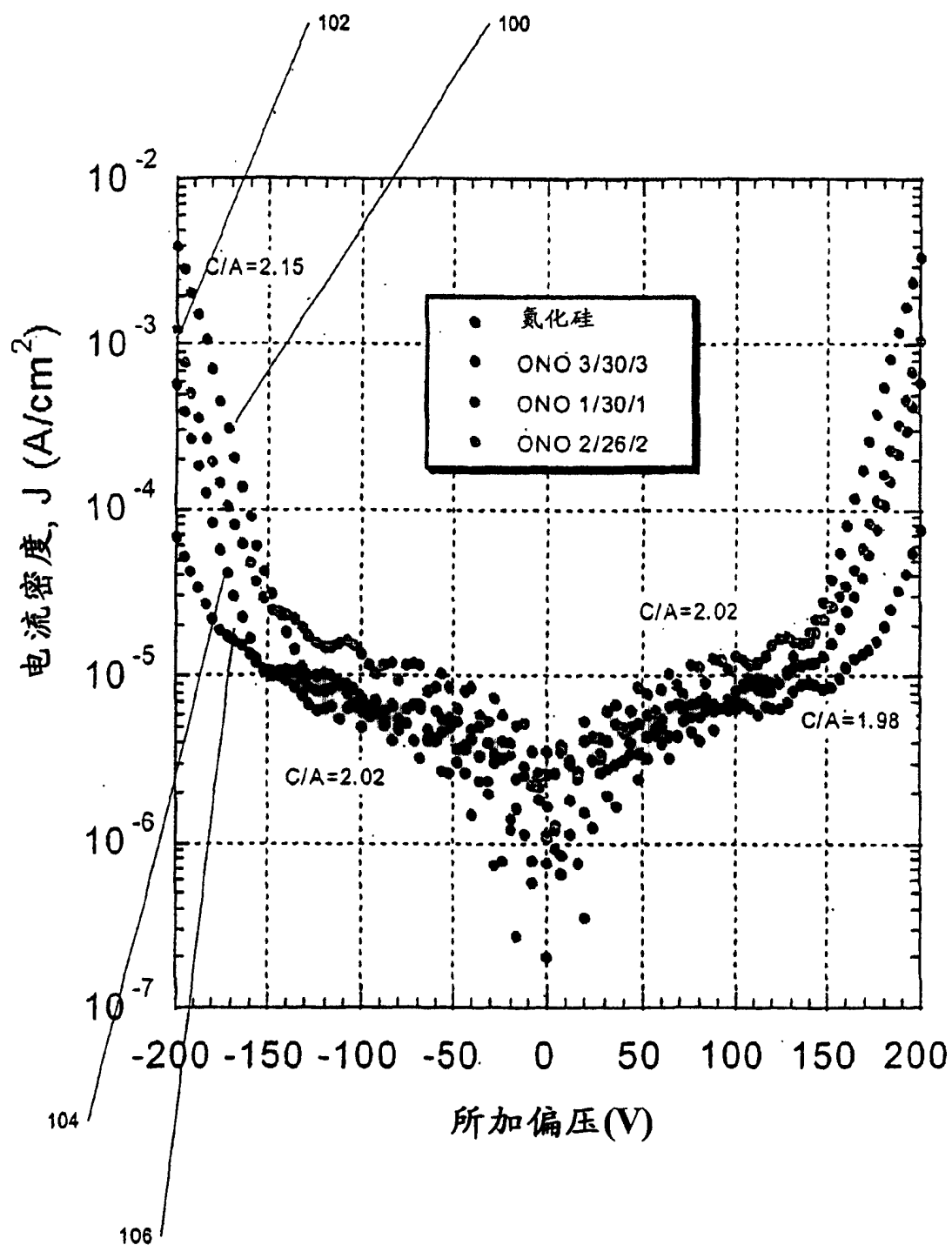


图 12

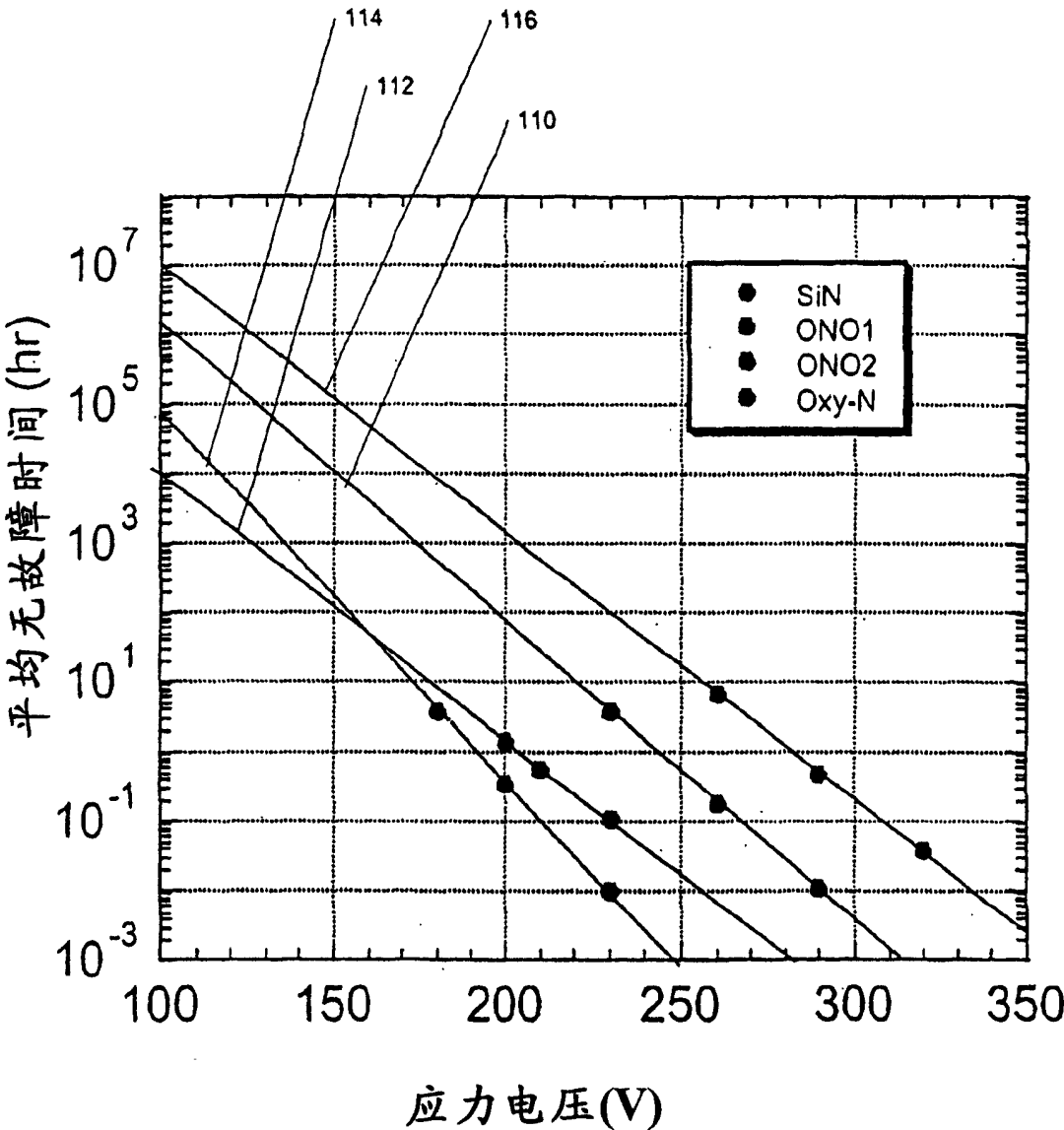


图 13

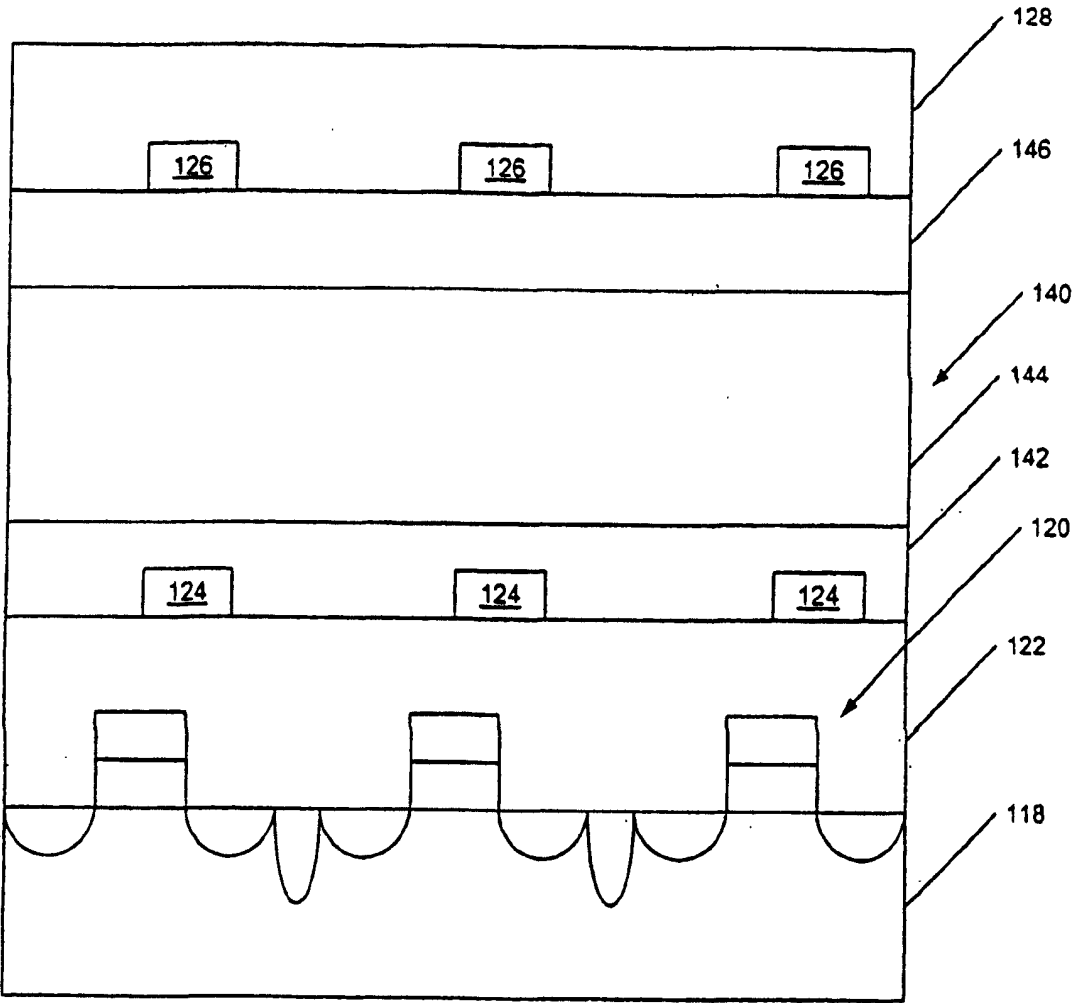


图 14