

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-247675
(P2004-247675A)

(43) 公開日 平成16年9月2日(2004.9.2)

| | | |
|----------------------------|---------------------|-------------|
| (51) Int. Cl. ⁷ | F I | テーマコード (参考) |
| HO 1 L 21/768 | HO 1 L 21/90 A | 5 F 0 0 4 |
| HO 1 L 21/3065 | HO 1 L 21/302 1 0 6 | 5 F 0 3 3 |

審査請求 未請求 請求項の数 9 O L (全 14 頁)

| | | | |
|-----------|----------------------------|----------|---|
| (21) 出願番号 | 特願2003-38320 (P2003-38320) | (71) 出願人 | 503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号 |
| (22) 出願日 | 平成15年2月17日 (2003.2.17) | (74) 代理人 | 100082175 弁理士 高田 守 |
| | | (74) 代理人 | 100106150 弁理士 高橋 英樹 |
| | | (74) 代理人 | 100120569 弁理士 大阿久 敦子 |
| | | (74) 代理人 | 100120499 弁理士 平山 淳 |
| | | (74) 代理人 | 100117695 弁理士 大塚 環 |

最終頁に続く

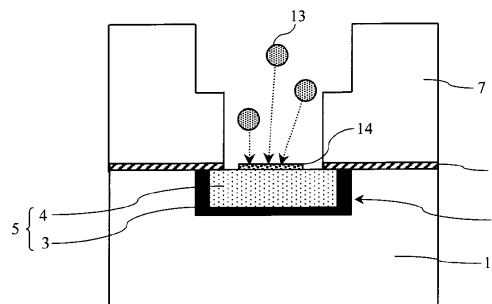
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 露出した銅の表面からフッ素含有ポリマーを含む汚染物を除去し、銅表面に自然酸化膜が形成された状態にすることによって、銅の腐食を抑制することのできる半導体装置の製造方法を提供する。

【解決手段】 半導体基板上に第1層目の配線層を形成した後、この第1層目の配線層の上に窒化シリコン膜を形成する。次に、窒化シリコン膜の上に第2の層間絶縁膜を形成し、この第2の層間絶縁膜をエッチングして窒化シリコン膜を露出させた後、露出した窒化シリコン膜をフッ素含有ガスを用いてエッチングすることによってビアホールを形成する。続いて、露出した第1の銅層をプラズマ処理し、フッ素含有ポリマーを含む汚染物を除去する。その後、ビアホールの内面に第2のバリアメタル膜および第2の銅層を堆積し、ピアプラグを形成する。

【選択図】 図3



13 イオン
14 ポリマー膜

【特許請求の範囲】

【請求項 1】

銅配線を有する半導体装置の製造方法であって、
前記銅配線の上に絶縁膜を形成する工程と、
前記絶縁膜をフッ素含有ガスを用いてエッチングし前記銅配線に達する開孔部を設ける工程と、
前記開孔部を設ける工程の後、プラズマ放電を切らずに同一チャンバ内で連続して前記開孔部の底部に露出した銅の表面をプラズマ処理する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】

銅配線を有する半導体装置の製造方法であって、
前記銅配線の上に絶縁膜を形成する工程と、
前記絶縁膜をフッ素含有ガスを用いてエッチングし前記銅配線に達する開孔部を設ける工程と、
前記開孔部の底部に露出した銅の表面をプラズマ処理する工程とを有し、
前記開孔部を設ける工程と前記プラズマ処理する工程とを同一チャンバ内で行い、
前記開孔部を設ける工程の後、プラズマ放電を一旦停止して前記チャンバ内を真空引きした後に前記プラズマ処理する工程を行うことを特徴とする半導体装置の製造方法。

【請求項 3】

前記絶縁膜は窒化シリコン膜である請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】

多層配線構造を有する半導体装置の製造方法において、
半導体基板上に第 1 の層間絶縁膜を形成する工程と、
前記第 1 の層間絶縁膜に溝を形成する工程と、
前記溝の内面に第 1 のバリアメタル層を形成する工程と、
前記溝の内部に前記第 1 のバリアメタル層を介して第 1 の銅層を埋め込んで第 1 層目の配線層を形成する工程と、
前記第 1 の層間絶縁膜および前記第 1 層目の配線層の上に窒化シリコン膜を形成する工程と、

前記窒化シリコン膜の上に第 2 の層間絶縁膜を形成する工程と、
前記第 2 の層間絶縁膜をエッチングして前記窒化シリコン膜の一部を露出させる工程と、
前記露出した窒化シリコン膜をフッ素含有ガスを用いてエッチングすることによりビアホールを形成して前記第 1 の銅層を露出させる工程と、
前記露出した第 1 の銅層をプラズマ処理してフッ素含有ポリマーを含む汚染物を除去する工程と、
前記ビアホールの内面に第 2 のバリアメタル膜を形成する工程と、
前記ビアホールの内部に前記第 2 のバリアメタル膜を介して第 2 の銅層を埋め込みビアプラグを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 5】

前記第 1 の銅層を露出する工程と前記汚染物を除去する工程とを同一のチャンバ内で行う請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記第 1 の銅層を露出する工程の後、前記チャンバ内を真空引きして前記フッ素含有ガスおよび前記フッ素含有ガスに由来するフッ素成分を前記チャンバ内から概ね除去した後に前記汚染物を除去する工程を行う請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記汚染物を除去する工程は、前記半導体基板を支持する 1 の電極と、前記半導体基板を挟んで前記 1 の電極と対向する位置に配される他の電極との間にバイアスを印加する工程であって、前記 1 の電極の表面温度が 25 以下である請求項 4 ~ 6 のいずれか 1 に記載の半導体装置の製造方法。

10

20

30

40

50

【請求項 8】

前記汚染物を除去する工程は、アルゴン、酸素、水素、窒素、水素および窒素の混合ガス、酸素およびアルゴンの混合ガス、窒素およびアルゴンの混合ガス並びに水素およびアルゴンの混合ガスよりなる群から選ばれる 1 のガスをプラズマ化し、発生したプラズマによって前記露出した第 1 の銅層の表面を処理する工程である請求項 4 ~ 7 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 9】

前記フッ素含有ガスは、テトラフルオロメタンまたはトリフルオロメタンを含むガスである請求項 1 ~ 8 のいずれか 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、より詳しくは、銅配線を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体装置における配線材料として、従来より銅 (Cu) が使用されている。銅は、アルミニウム (Al) よりも低抵抗で、信頼性における許容電流が 2 桁以上大きいという利点を有する。したがって、銅とアルミニウムとを比較すると、同じ配線抵抗を得るのに銅を用いた場合のほうが膜厚を小さくすることができ、配線間の容量を低減することが可能となる。

20

【0003】

一方、銅はシリコン (Si) 膜中や酸化シリコン (SiO₂) 膜中での拡散速度が速いなどの欠点を有する。したがって、この問題を解決するために、多層配線構造をとることが従来より行われている (例えば、特許文献 1 参照)。

【0004】

ここで、多層配線構造による銅配線工程について説明する。まず、第 1 の酸化シリコン膜に第 1 の溝を形成する。第 1 の溝の内壁に銅の拡散を防止するためのバリアメタル膜を形成した後、第 1 の溝に銅を埋め込んで第 1 層目の配線層を形成する。次に、第 1 層目の配線層を覆うようにして第 1 の酸化シリコン膜の上に窒化シリコン (Si₃N₄) 膜を形成した後、窒化シリコン膜の上に第 2 の酸化シリコン膜を形成する。続いて、第 2 の酸化シリコン膜および窒化シリコン膜をエッチングして、ビアホールおよび第 2 の溝を形成する。その後、このビアホールおよび第 2 の溝の内面にバリアメタル膜を形成し、ビアホールおよび第 2 の溝に銅を埋め込んで、ビアプラグおよび第 2 層目の配線層を形成する。以上の工程によって、第 1 層目の配線層と第 2 層目の配線層とが、ビアプラグを介して電氣的に接続した多層配線構造を有する銅配線を形成することができる。

30

【0005】

【特許文献 1】

特開平 10 - 261715 号公報

【0006】

40

【発明が解決しようとする課題】

上記の銅配線工程において、ビアホールおよび第 2 の溝を形成する際には、まず、第 2 の酸化シリコン膜を窒化シリコン膜に至るまでエッチングする。次に、テトラフルオロメタン (CF₄) と酸素 (O₂) との混合ガスまたはトリフルオロメタン (CHF₃) と酸素との混合ガスなどをエッチングガスとして、窒化シリコン膜のエッチングを行う。これにより、ビアホールの底面に第 1 層目の配線層を形成する銅が露出する。

【0007】

しかしながら、エッチング直後の銅の表面には、窒化シリコン膜のエッチングガスに由来するフッ素系の堆積物が存在しており、このフッ素と銅とが反応することによって、銅の表面にフッ素含有のポリマー膜が形成されるという問題があった。このようなポリマー膜

50

が形成されると、銅表面の自然酸化膜が破られた状態になるために、半導体基板をエッチングチャンバの外に取り出した場合、銅が大気中の水分と反応して銅の腐食が起こる。

【0008】

本発明はこのような問題点を鑑みてなされたものである。即ち、本発明の目的は、露出した銅の表面からフッ素含有ポリマーを含む汚染物を除去し、銅表面に自然酸化膜が形成された状態にすることによって、銅の腐食を抑制することのできる半導体装置の製造方法を提供することにある。

【0009】

本発明の他の目的および利点は、以下の記載から明らかとなるであろう。

【0010】

10

【課題を解決するための手段】

本発明は、銅配線を有する半導体装置の製造方法であって、銅配線の上に絶縁膜を形成する工程と、この絶縁膜をフッ素含有ガスを用いてエッチングし銅配線に達する開孔部を設ける工程と、この開孔部を設ける工程の後、プラズマ放電を切らずに同一チャンバ内で連続して開孔部の底部に露出した銅の表面をプラズマ処理する工程とを有することを特徴とする。

【0011】

また、本発明は、銅配線を有する半導体装置の製造方法であって、銅配線の上に絶縁膜を形成する工程と、この絶縁膜をフッ素含有ガスを用いてエッチングし銅配線に達する開孔部を設ける工程と、この開孔部の底部に露出した銅の表面をプラズマ処理する工程とを有し、開孔部を設ける工程とプラズマ処理する工程とを同一チャンバ内で行い、開孔部を設ける工程の後、プラズマ放電を一旦停止してチャンバ内を真空引きした後にプラズマ処理する工程を行うことを特徴とする。

20

【0012】

さらに、本発明は、多層配線構造を有する半導体装置の製造方法において、半導体基板上に第1の層間絶縁膜を形成する工程と、第1の層間絶縁膜に溝を形成する工程と、溝の内面に第1のバリアメタル層を形成する工程と、溝の内部に第1のバリアメタル層を介して第1の銅層を埋め込んで第1層目の配線層を形成する工程と、第1の層間絶縁膜および第1層目の配線層の上に窒化シリコン膜を形成する工程と、窒化シリコン膜の上に第2の層間絶縁膜を形成する工程と、第2の層間絶縁膜をエッチングして窒化シリコン膜の一部を露出させる工程と、露出した窒化シリコン膜をフッ素含有ガスを用いてエッチングすることによりピアホールを形成して第1の銅層を露出させる工程と、露出した第1の銅層をプラズマ処理してフッ素含有ポリマーを含む汚染物を除去する工程と、ピアホールの内面に第2のバリアメタル膜を形成する工程と、ピアホールの内部に第2のバリアメタル膜を介して第2の銅層を埋め込みピアプラグを形成する工程とを有することを特徴とする。

30

【0013】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して詳細に説明する。

【0014】

実施の形態1

40

本実施の形態における半導体装置の製造方法は、銅配線の上に絶縁膜を形成する工程と、この絶縁膜をフッ素含有ガスを用いてエッチングし銅配線に達する開孔部を設ける工程と、この開孔部を設ける工程の後にプラズマ放電を切らずに同一チャンバ内で連続して開孔部の底部に露出した銅の表面をプラズマ処理する工程とを有することを特徴とする。

【0015】

図1は、本実施の形態における半導体装置の配線構造を説明するための一部断面図である。

【0016】

図1に示すように、本実施の形態にかかる半導体装置は多層配線構造を有している。

【0017】

50

すなわち、半導体基板（図示せず）上に形成された酸化シリコン（ SiO_2 ）膜などの第1の層間絶縁膜1には、配線埋め込み用の第1の溝2が形成されている。第1の溝2の内面（すなわち、内壁および底面。以下、同じ。）には、銅（ Cu ）の拡散を防止するための第1のバリアメタル膜3が形成されている。第1のバリアメタル膜3としては、例えば窒化チタン（ TiN ）膜または窒化タンタル（ TaN ）膜などを用いることができる。そして、第1のバリアメタル膜3が形成された第1の溝2には第1の銅層4が埋め込まれており、これによって第1層目の配線層5が形成されている。

【0018】

また、第1の層間絶縁膜1および第1層目の配線層5の上には、絶縁膜である窒化シリコン（ Si_3N_4 ）膜6を介して第2の層間絶縁膜7が形成されている。第2の層間絶縁膜7としては、例えば酸化シリコン膜などを用いることができる。第1層目の配線層5上部の第2の層間絶縁膜7には、ビアホール8および第2の溝9が形成されている。また、これらの内面には、銅の拡散を防止するための第2のバリアメタル膜10が形成されている。第2のバリアメタル膜10としては、例えば窒化チタン膜または窒化タンタル膜などを用いることができる。そして、第2のバリアメタル膜10が形成されたビアホール8および第2の溝9には第2の銅層11が埋め込まれており、これによってビアプラグ15および第2層目の配線層12が形成されている。

10

【0019】

以上のような構造をとることによって、第1層目の配線層5と第2層目の配線層12とが、ビアプラグ15によって電氣的に接続されている。

20

【0020】

次に、図2および図3を用いて、本実施の形態にかかる半導体装置の製造方法を説明する。尚、図2および図3において、図1と同じ符号を付した部分は同じものであることを示している。

【0021】

まず、半導体基板（図示せず）の上に形成された第1の層間絶縁膜1をエッチングして第1の溝2を形成し、第1の溝2の内面に第1のバリアメタル膜3を形成した後に第1の溝2の中に第1の銅層4を埋め込んで、第1層目の配線層5を形成する（図2（a））。

【0022】

すなわち、第1層目の配線層を形成する工程は、半導体基板上に、第1の層間絶縁膜を形成する工程と、この第1の層間絶縁膜をエッチングして第1の溝を形成する工程と、この第1の溝の内面に第1のバリアメタル膜を形成する工程と、この第1のバリアメタル膜を介して第1の溝の内部に第1の銅層を形成する工程とからなる。

30

【0023】

第1の溝の形成は、例えば、ヘキサフルオロブタジエン（ C_4F_6 ）、酸素（ O_2 ）およびアルゴン（ Ar ）の混合ガスまたはオクタフルオロブテン（ C_4F_8 ）およびアルゴンの混合ガスなどをエッチングガスとする異方性プラズマエッチングによって行うことができる。

【0024】

また、第1のバリアメタル膜の形成および第1の銅層の埋め込みは、具体的には次のようにして行うことができる。まず、化学気相成長法（*Chemical Vapor Deposition*，以下、*CVD*法という。）またはスパッタ法などによって、窒化チタン膜または窒化タンタル膜などのバリアメタル膜を成膜した後、この上にさらに銅層を成膜する。続いて、化学機械研磨（*Chemical Mechanical Polish*，以下、*CMP*という。）法によって、銅層およびバリアメタル膜の研磨を行う。これにより、第1の溝の内部にのみ、銅層およびバリアメタル膜が残るようにすることができる。

40

【0025】

第1のバリアメタル膜の形成および第1の銅層の埋め込みは、他の方法によって行ってもよい。例えば、*CVD*法および*CMP*法によってバリアメタル膜を第1の溝の内部にのみ

50

形成した後、硫酸銅 (CuSO_4) をベースとした電解液を用いるめっき法によって第1の溝の内部に銅層を埋め込んでもよい。

【0026】

次に、図2(b)に示すように、第1の層間絶縁膜1および第1層目の配線層5の上に窒化シリコン膜6を形成する。窒化シリコン膜6の形成は、例えばCVD法またはスパッタ法などによって行うことができる。

【0027】

続いて、図2(c)に示すように、窒化シリコン膜6の上に第2の層間絶縁膜7を形成する。例えば、CVD法またはスパッタ法などによって酸化シリコン膜を成膜して、第2の層間絶縁膜とすることができる。

10

【0028】

次に、ビアホールおよび第2層目の配線層用の第2の溝を形成する。

【0029】

まず、フォトリソグラフィ法を用いて、第2の層間絶縁膜7を異方性エッチングする。具体的には、第2の層間絶縁膜7の上に形成したレジストパターン(図示せず)をマスクとして、第2の層間絶縁膜7のエッチングを窒化シリコン膜6に達するまで行う。すなわち、このエッチングによって窒化シリコン膜6の表面の一部が露出する。エッチングガスとしては、例えば、ヘキサフルオロブタジエン(C_4F_6)、酸素(O_2)およびアルゴン(Ar)の混合ガスまたはオクタフルオロブテン(C_4F_8)およびアルゴンの混合ガスなどを用いることができる。次に、露出した窒化シリコン膜6をエッチングし、第1層目の配線層5の第1の銅層4を露出させる。

20

【0030】

以上のエッチング処理によって、図2(d)に示すように、ビアホール8および第2の溝9を開孔することができる。

【0031】

窒化シリコン膜6のエッチングは、フッ素含有ガスを用いた異方性プラズマエッチングによって行うことができる。フッ素含有ガスとしては、例えば、テトラフルオロメタンまたはトリフルオロメタンを含むガスが挙げられる。具体的には、テトラフルオロメタンおよび酸素の混合ガス、テトラフルオロメタン、酸素およびアルゴン(Ar)の混合ガス、トリフルオロメタンおよび酸素の混合ガス、またはトリフルオロメタン、酸素およびアルゴンの混合ガスなどを用いることができる。

30

【0032】

本発明にかかる半導体装置の製造方法では、窒化シリコン膜のエッチング工程終了後に、露出した第1の銅層の表面に形成された汚染物を除去するクリーニング工程を行う。ここで、汚染物とは、主として、フッ素と銅が反応することによって生成したフッ素含有ポリマー膜、または、銅上に堆積したフッ素含有ポリマー膜をいう。

【0033】

本発明においては、クリーニング工程の前に、半導体基板、具体的には露出した第1の銅層の表面が大気に触れないようにすることが好ましい。具体的には、窒化シリコン膜のエッチング工程とクリーニング工程とを、同一のチャンバ内において行うことが好ましい。

40

【0034】

窒化シリコン膜のエッチング工程およびクリーニング工程において使用可能なエッチング装置としては、例えば、平行平板型エッチング装置、電子サイクロトロンエッチング装置または誘導結合型エッチング装置などを挙げることができる。

【0035】

クリーニング工程は、具体的には、第1の銅層の表面をプラズマ処理することによって行うことができる。

【0036】

窒化シリコン膜のエッチング工程が終了した後、チャンバ内にプラズマ処理用のガスを導入する。例えば、アルゴン、酸素、水素(H_2)、窒素(N_2)、水素および窒素の混合

50

ガス、酸素およびアルゴンの混合ガス、窒素およびアルゴンの混合ガスまたは水素およびアルゴンの混合ガスなどをチャンバ内に導入することができる。

【0037】

本実施の形態においては、窒化シリコン膜のエッチング工程で行ったエッチングガスのプラズマ化に続いて上記のガスのプラズマ化を行う。すなわち、エッチング工程で行ったプラズマ放電を停止することなく、クリーニング工程に移る。尚、プラズマ化は任意の方法を用いて行うことができ、例えば、マイクロ波の照射による方法、高周波を用いた誘導結合や容量結合による方法などを挙げることができる。

【0038】

次に、エッチング装置内に設置された対向電極間にRFバイアスパワーを印加する。具体的には、半導体基板を支持する1の電極と、この半導体基板を挟んで1の電極と対向する位置に配される他の1の電極との間にバイアスを印加する。これにより、プラズマ中で発生したアルゴンイオン、酸素イオン、水素イオンまたは窒素イオンがクーロン力によって一方の電極に引き寄せられる。したがって、電極間の適当な位置に半導体基板を設置することによって、図3に示すように、第1の銅層4の表面(具体的には、銅原子およびフッ素原子)にイオン13を衝突させることができる。プラズマ中で発生したイオン13は高エネルギーを有するので、このようなイオン13が、第1の銅層4の表面に存在する銅原子やフッ素原子に衝突し反応することによって、ポリマー膜14を除去することが可能となる。

10

【0039】

以下に、クリーニング工程の一例について述べる。

20

【0040】

上部電極および下部電極からなる一对の対向電極を有し、下部電極が半導体基板のホルダを兼ねるエッチング装置を用いる。エッチング装置は、平行平板型、電子サイクロトロン型および誘導結合型のいずれであってもよい。そして、露出した第1の銅層の表面が上部電極側に向くようにして、半導体基板を下部電極上に載置する。次に、チャンバ内にアルゴンと酸素の混合ガスを導入し、圧力を例えば50mTorrに保持する。ここで、導入するガスの流量は、例えば、アルゴンガスについて400sccmとし、酸素ガスについて20sccmとすることができる。上部電極に1,400Wのパワーを印加し、下部電極に1,000Wのパワーを印加することによって、プラズマ中で発生したアルゴンイオンおよび酸素イオンを第1の銅層の表面に衝突させることができる。

30

【0041】

窒化シリコン膜のエッチング工程およびクリーニング工程を通じて、半導体基板を支持するホルダを兼ねる電極の表面温度が25以下となるように設定しておくことが好ましい。このようにすることによって、チャンバ内に酸素ガスを導入した場合に起こる銅の積極的な酸化反応を抑制することができる。上記の例では、下部電極の表面温度を例えば20とすることができる。

【0042】

このように、窒化シリコン膜のエッチング工程に続いて、露出した第1の銅層の表面にアルゴンイオンや酸素イオンなどの高エネルギーイオンを衝突させることによって、第1の銅層表面のフッ素含有ポリマー膜を除去することができる。また、第1の銅層表面に付着したフッ素原子も除去できるので、新たなポリマー膜の形成を防止できる。したがって、第1の銅層表面に様に自然酸化膜を形成することが可能となるので、半導体基板をチャンバ外に取り出しても、大気中の水分によって銅が腐食することはない。

40

【0043】

ここで、自然酸化膜は銅の腐食を防止する役割を果たすものであることから、露出した第1の銅層の最表面に薄く形成されていればよい。一方、クリーニング工程においてチャンバ内に酸素ガスを導入した場合には、この酸素ガスによって銅の酸化が起こる。この場合の酸化は、自然酸化膜を形成する際の酸化とは異なり積極的な銅の酸化となる。したがって、反応を抑制して銅の酸化があまり進行しないようにすることが好ましい。本実施の形

50

態によれば、半導体基板を保持する電極の表面温度を25以下とすることによって、銅の酸化反応を抑制することが可能となる。この場合、電極の表面温度の下限値は、プラズマ処理に支障のない温度であれば特に限定されない。

【0044】

クリーニング工程を終えた後は、ビアホール8および第2の溝9の内部に、第2のバリアメタル膜10の形成および第2の銅層11の埋込みを行う。具体的には、次のようにして行うことができる。

【0045】

まず、CVD法またはスパッタ法などによって、窒化チタン膜または窒化タンタル膜などのバリアメタル膜を成膜した後、この上にさらに銅層を成膜する。続いて、CMP法によって、銅層およびバリアメタル膜の研磨を行う。これにより、ビアホールおよび第2の溝の内部にのみ、銅層およびバリアメタル膜が残るようにすることができる。

10

【0046】

第2のバリアメタルの形成膜および第2の銅層の埋め込みは、他の方法によって行ってもよい。例えば、CVD法およびCMP法によってバリアメタルを第2の溝の内部にのみ形成した後、硫酸銅(CuSO₄)をベースとした電解液を用いるめっき法によって、第2の溝の内部に銅を埋め込んでもよい。

【0047】

以上の工程によって、第1層目の配線層5、ビアプラグ15および第2層目の配線層12を形成することができる(図2(e))。ここで、第2層目の配線層12は、ビアプラグ15を介して第1層目の配線層12と電気的に接続している。

20

【0048】

本実施の形態においては、第1の層間絶縁膜と第2の層間絶縁膜との間に窒化シリコン膜を形成したが、本発明はこれに限られるものではない。絶縁膜として用いることができ、フッ素含有のエッチングガスによってエッチングされるものであれば他の膜であってもよい。

【0049】

また、本実施の形態においては、第1層目の配線層および第2層目の配線層を形成する例について述べたが、本発明はこれに限られるものではない。同様の工程を繰り返すことによって、第2層目の配線層の上に、第3層目の配線層、第4層目の配線層、・・・などを形成してもよい。

30

【0050】

本実施の形態によれば、窒化シリコン膜のエッチング工程に続いて、銅層表面にアルゴンイオンや酸素イオンなどを衝突・反応させることによって、銅層表面のフッ素含有ポリマー膜などを除去することができる。これにより、露出した銅層の表面に自然酸化膜を形成することが可能となるので、大気中の水分と銅が反応することによって銅が腐食するのを防止することができる。

【0051】

また、本実施の形態によれば、半導体基板を支持する電極の表面温度を25以下とすることにより、チャンバ内の酸素ガスによって銅の酸化が進行するのを抑制することができる。

40

【0052】

実施の形態2

本実施の形態における半導体装置の製造方法は、銅配線の上に絶縁膜を形成する工程と、この絶縁膜をフッ素含有ガスを用いてプラズマエッチングし銅配線に達する開孔部を設ける工程と、この開孔部を設ける工程の後、プラズマ放電を一旦停止してチャンバ内を真空引きした後、同一チャンバ内において、開孔部の底部に露出した銅の表面をプラズマ処理する工程とを有することを特徴とする。

【0053】

本実施の形態における半導体装置の配線構造は、実施の形態1で説明した図1に示すもの

50

と同様である。

【0054】

次に、図2を用いて、本実施の形態にかかる半導体装置の製造方法を説明する。

【0055】

まず、図2(a)に示すような第1層目の配線層を形成する。これは、実施の形態1で説明した方法と同様にして行うことができる。

【0056】

次に、図2(b)に示すように、第1の層間絶縁膜1および第1層目の配線層5の上に窒化シリコン膜6を形成する。窒化シリコン膜6の形成は、例えばCVD法またはスパッタ法などによって行うことができる。

10

【0057】

続いて、図2(c)に示すように、窒化シリコン膜6の上に第2の層間絶縁膜7を形成する。例えば、CVD法またはスパッタ法などによって酸化シリコン膜を成膜して、第2の層間絶縁膜とすることができる。

【0058】

次に、ビアホール8および第2層目の配線層用の第2の溝9を形成する。

【0059】

まず、フォトリソグラフィ法を用いて、第2の層間絶縁膜7を異方性エッチングする。具体的には、第2の層間絶縁膜7の上に形成したレジストパターン(図示せず)をマスクとして、第2の層間絶縁膜7のエッチングを窒化シリコン膜6に達するまで行う。すなわち、このエッチングによって窒化シリコン膜6の表面が一部露出する。エッチングガスとしては、例えば、ヘキサフルオロブタジエン(C_4F_6)、酸素(O_2)およびアルゴン(Ar)の混合ガスまたはオクタフルオロブテン(C_4F_8)およびアルゴンの混合ガスなどを用いることができる。次に、露出した窒化シリコン膜6をエッチングして第1層目の配線層5の第1の銅層4を露出させる。

20

【0060】

以上のエッチング処理により、図2(d)に示すように、ビアホール8および第2の溝9を開孔することができる。

【0061】

窒化シリコン膜6のエッチングは、フッ素含有ガスを用いた異方性プラズマエッチングによって行うことができる。フッ素含有ガスとしては、例えば、テトラフルオロメタンまたはトリフルオロメタンを含むガスが挙げられる。具体的には、テトラフルオロメタンおよび酸素の混合ガス、テトラフルオロメタン、酸素およびアルゴンの混合ガス、トリフルオロメタンおよび酸素の混合ガス、またはトリフルオロメタン、酸素およびアルゴンの混合ガスなどを用いることができる。

30

【0062】

本実施の形態は、窒化シリコン膜のエッチング工程後、プラズマ放電をオフにした状態でチャンバ内を真空引きすることによって、チャンバ内のフッ素含有ガスおよびフッ素含有ガスに由来するフッ素成分を概ね除去することを特徴とする。

【0063】

すなわち、本実施の形態は、予めチャンバ内および半導体基板に付着したフッ素分子などのエッチングガス成分をできるだけ除去した後に、実施の形態1で説明したクリーニング工程を行うものである。このようにすることによって、クリーニング工程においてプラズマ放電を行う際に、チャンバ内に付着したフッ素分子などが半導体基板に付着するのを防ぐことができる。また、半導体基板の表面に付着したフッ素分子などをある程度除去することもできる。したがって、次のクリーニング工程において、第1の銅層の表面からより完全に汚染物を除去することが可能となる。

40

【0064】

チャンバ内を真空引きすることによってエッチングガス成分を概ね除去した後は、実施の形態1で説明したクリーニング工程を行う。尚、本実施の形態においては、窒化シリコン

50

膜のエッチング工程、真空引きによるエッチングガスの除去工程およびクリーニング工程を同一のチャンバ内で行う。

【0065】

また、本実施の形態において使用可能なエッチング装置としては、例えば、平行平板型エッチング装置、電子サイクロトロンエッチング装置または誘導結合型エッチング装置などを挙げることができる。

【0066】

クリーニング工程は、実施の形態1と同様にして行うことができる。

【0067】

まず、チャンバ内にプラズマ処理用のガスを導入する。例えば、アルゴン、酸素、水素 (H_2)、窒素 (N_2)、水素および窒素の混合ガス、酸素およびアルゴンの混合ガス、窒素およびアルゴンの混合ガスまたは水素およびアルゴンの混合ガスなどをチャンバ内に導入することができる。

【0068】

次に、プラズマ放電をオンにして、上記のガスのプラズマ化を行う。プラズマ化は任意の方法を用いて行うことができ、例えば、マイクロ波の照射による方法、高周波を用いた誘導結合や容量結合による方法などを挙げることができる。

【0069】

次に、エッチング装置内に設置された対向電極間にRFバイアスパワーを印加する。具体的には、半導体基板を支持する1の電極と、この半導体基板を挟んで1の電極と対向する位置に配される他の1の電極との間にバイアスを印加する。これにより、プラズマ中で発生したアルゴンイオン、酸素イオン、水素イオンまたは窒素イオンがクーロン力によって一方の電極に引き寄せられる。したがって、電極間の適当な位置に半導体基板を設置することによって、図3に示すように、第1の銅層4の表面(具体的には、銅原子およびフッ素原子)にイオン13を衝突させることができる。プラズマ中で発生したイオン13は高エネルギーを有するので、このようなイオン13が、第1の銅層4の表面に存在する銅原子やフッ素原子に衝突し反応することによって、ポリマー膜14を除去することが可能となる。

【0070】

このように、窒化シリコン膜のエッチング工程に続いて、チャンバ内を真空引きした後、銅層表面にアルゴンイオンや酸素イオンなどの高エネルギーイオンを衝突させることによって、銅層表面のフッ素含有ポリマーを含む汚染物を効率的に除去することができる。したがって、露出した銅層表面に様に自然酸化膜を形成することが可能となるので、半導体基板をチャンバ外に取り出しても、大気中の水分によって銅が腐食することはない。

【0071】

ここで、自然酸化膜は銅の腐食を防止する役割を果たすものであることから、露出した銅層の最表面に薄く形成されていればよい。一方、クリーニング工程においてチャンバ内に酸素ガスを導入した場合には、この酸素ガスによって銅の酸化が起こる。この場合の酸化は、自然酸化膜を形成する際の酸化とは異なり積極的な銅の酸化となる。したがって、反応を抑制して銅の酸化があまり進行しないようにすることが好ましい。そこで、実施の形態1で述べたように、例えば、半導体基板を保持する電極の表面温度を25以下とすることによって、銅の酸化反応を抑制することができる。尚、電極の表面温度の下限値は、プラズマ処理に支障のない温度であれば特に限定されない。

【0072】

クリーニング工程を終えた後は、レジスト膜を除去した後、ビアホール8および第2の溝9の内部に、第2のバリアメタル膜10の形成および第2の銅層11の埋込みを行う。具体的には、次のようにして行うことができる。まず、CVD法またはスパッタ法などによって、窒化チタン膜または窒化タンタル膜などのバリアメタル膜を成膜した後、この上にさらに銅層を成膜する。続いて、CMP法によって、銅層およびバリアメタル膜の研磨を行う。これにより、第2の溝の内部にのみ、銅層およびバリアメタル膜が残るようにする

ことができる。

【0073】

第2のバリアメタル膜の形成および第2の銅層の埋め込みは、他の方法によって行ってもよい。例えば、CVD法およびCMP法によってバリアメタルを第2の溝の内部にのみ形成した後、硫酸銅をベースとした電解液を用いるめっき法によって、第2の溝の内部に銅を埋め込んでもよい。

【0074】

以上の工程によって、第1層目の配線層5、ビアプラグ15および第2層目の配線層12を形成することができる(図2(e))。ここで、第2層目の配線層12は、ビアプラグ15を介して第1層目の配線層12と電気的に接続している。

10

【0075】

本実施の形態においては、第1の層間絶縁膜と第2の層間絶縁膜との間に窒化シリコン膜を形成したが、本発明はこれに限られるものではない。絶縁膜として用いることができ、フッ素含有のエッチングガスによってエッチングされるものであれば他の膜であってもよい。

【0076】

また、本実施の形態においては、第1層目の配線層および第2層目の配線層を形成する例について述べたが、本発明はこれに限られるものではない。同様の工程を繰り返すことによって、第2層目の配線層の上に、第3層目の配線層、第4層目の配線層、・・・などを形成してもよい。

20

【0077】

本実施の形態によれば、窒化シリコン膜のエッチング工程に続いて、チャンバ内を真空引きすることによって、チャンバ内や半導体基板の表面に付着したエッチングガス成分を除去することができる。すなわち、クリーニング工程の前に、第1の銅層表面のフッ素原子数をある程度少なくすることができる。したがって、クリーニング工程において、銅層の表面にアルゴンイオンや酸素イオンなどを衝突・反応させることによって、銅層表面に形成されたフッ素含有ポリマー膜などの汚染物をより完全に除去することが可能となる。

【0078】

実施の形態1および実施の形態2においては、第2層目の配線層を形成する際に露出する第1層目の配線層の第1の銅層をプラズマ処理する例について述べたが、本発明はこれに限られるものではない。フッ素含有ガスを用いたエッチングによって汚染された銅の表面から汚染物を除去する目的であれば、本発明を適用することが可能である。

30

【0079】

例えば、銅配線を有する半導体装置の製造方法であれば本発明を適用することが可能である。すなわち、本発明は、銅配線の上に絶縁膜を形成する工程と、この絶縁膜をフッ素含有ガスを用いてエッチングし銅配線に達する開孔部を設ける工程と、この開孔部の底部に露出した銅の表面をプラズマ処理する工程とを有することを特徴とする半導体装置の製造方法と表現することもできる。開孔部を設ける工程とプラズマ処理する工程とは、同一のチャンバ内で行うことができる。また、開孔部を設ける工程の後、チャンバ内を真空引きすることによって、フッ素含有ガスおよびフッ素含有ガスに由来するフッ素成分をチャンバ内から概ね除去してからプラズマ処理を行ってもよい。絶縁膜は、窒化シリコン膜であってもよいし、窒化シリコン膜の上に酸化シリコン膜が積層された膜であってもよい。

40

【0080】

【発明の効果】

本発明によれば、露出した銅層の表面からフッ素含有ポリマー膜などの汚染物を除去するので、銅層の表面を自然酸化膜が形成された状態にすることができる。これにより、大気中の水分によって銅が腐食するのを防止することが可能となる。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置の断面図である。

【図2】(a)~(e)は、本発明にかかる半導体装置の製造方法の各工程を示す断面図

50

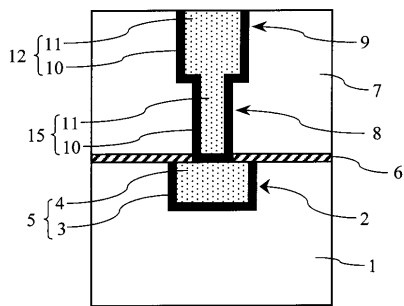
である。

【図3】本発明にかかる半導体装置の製造方法を示す断面図である。

【符号の説明】

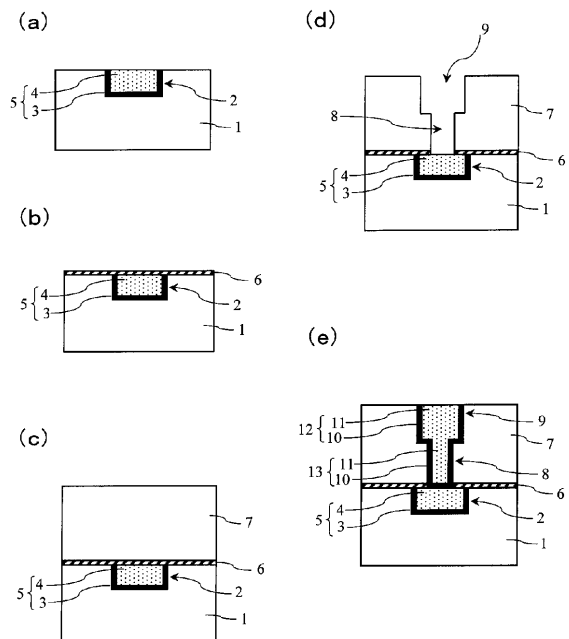
- 1 第1の層間絶縁膜、 2 第1の溝、 3 第1のバリアメタル膜、 4 第1の銅層、 5 第1の配線層、 6 窒化シリコン膜、 7 第2の層間絶縁膜、 8 ビアホール、 9 第2の溝、 10 第2のバリアメタル膜、 11 第2の銅層、 12 第2の配線層、 13 イオン、 14 ポリマー膜、 15 ビアプラグ。

【図1】

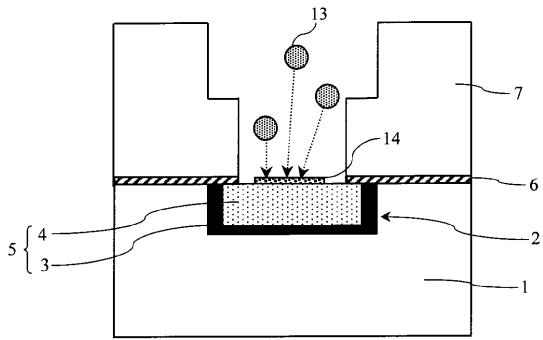


- | | |
|--------------|---------------|
| 1 第1の層間絶縁膜 | 8 ビアホール |
| 2 第1の溝 | 9 第2の溝 |
| 3 第1のバリアメタル膜 | 10 第2のバリアメタル膜 |
| 4 第1の銅層 | 11 第2の銅層 |
| 5 第1の配線層 | 12 第2の配線層 |
| 6 窒化シリコン膜 | 15 ビアプラグ |
| 7 第2の層間絶縁膜 | |

【図2】



【 図 3 】



13 イオン
14 ポリマー膜

フロントページの続き

(72)発明者 田原 賢治

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 5F004 AA09 AA14 BA04 BA14 BA20 CA02 CA03 CA04 DA01 DA16
DA26 DB03 DB07 EA28 EB01 EB03
5F033 HH11 HH32 HH33 JJ01 JJ11 JJ32 JJ33 KK11 KK32 KK33
MM01 MM02 MM12 MM13 NN06 NN07 PP06 PP15 PP27 QQ09
QQ10 QQ15 QQ16 QQ25 QQ48 QQ92 QQ95 QQ98 RR04 RR06
SS08 SS11 TT02 XX20