

公告本

申請日期	88 年 8 月 27 日
案 號	88114745
類 別	H01L 21/70

436957

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	鈣矽化物擴散障層及其形成方法
	英 文	Ruthenium silicide diffusion barrier layers and methods of forming same
二、發明 創作人	姓 名	(1) 布萊恩·瓦特史崔 Vaartstra, Brian A. (2) 尤金·馬須 Marsh, Eugene
	國 籍	(1) 加拿大 (2) 美國
	住、居所	(1) 美國愛達荷州南帕布瑞登路三四一七號 3417 Braden Lane, Nampa, ID 83686, U.S.A.
		(2) 美國愛達荷州波斯皮卡伯廣場一七二二號 1722 Picabo Court, Boise, ID 83716, U.S.A.
三、申請人	姓 名 (名稱)	(1) 麥肯科技有限公司 Micron Technology, Inc.
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國愛達荷州波斯南法德禁路8000號 8000 South Federal Way, P.O. Box 6, Boise, Idaho 83707, USA
	代 表 人 姓 名	(1) 麥契爾·林奇 Lynch, Michael L.

裝

訂

線

436957

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

美國

1998 年 8 月 27 日 09/141,240

☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明領域

本發明與半導體元件及其製造方法有關。更明確地說，本發明屬於擴散障層。

發明背景

製造積體電路時會使用到各種導電層。例如，在製造半導體元件期間，如動態隨機存取記憶體(DRAM)、靜態存取記憶體(SRAM)、鐵電(FE)記憶體等，使用導電材料構成儲存格電容器，交互連接之結構，例如導電層中的接點孔、通道等，也是使用導電材料。在很多應用中，最好使用能提供有效擴散壁障特性的材料。

例如，用於構成記憶體裝置(例如DRAM)之儲存格電容器的導電材料，需要具有有效的擴散壁障特性。當記憶體元件變得愈來愈密，構成此類裝置之電路組件的尺寸也必須縮小。要保持記憶體裝置之儲存格電容器之儲存電容，同時又要縮小記憶體裝置之體積，方法之一便是提高儲存格電容器之介電層的介電常數。因此，在此類應用中，需要高介電常數的材料介於兩電極之間。一或多層的各種導電材料可以做為電極材料。不過，一般來說，做為電極(特別是儲存格電容器的底部電極)的一或多層導電材料必須具有某種程度的擴散壁障特性，例如矽擴散壁障特性。當儲存格電容器之介電層是使用高介電常數材料時，特別需要此等特性，因為成形這類高介電常數材料的方法，例如高介電常數材料的沈積，通常是在高溫(一般高於500℃)及含氧的大氣中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

進行。

一般來說，各種金屬及金屬混合物，金屬諸如鉑，導電的金屬氧化物諸如氧化鈦等，已用來做為電極或電極堆疊的其中一層，與高介電常數材料共同使用。不過，一般來說，除了要構建可靠的電氣連接，又不能削弱了高介電常數材料的有利特性。以鉑或氧化鈦做為底部電極或電極堆疊層其中之一，其功能非常好，有效地壁障了從基底擴散的矽，或從其它含矽區擴散到頂部電極。需要如此的原因是高介電常數材料（例如 Ta_2O_5 或 $BaSrTiO_3$ ）在氧中退火時，在電極堆疊表面的矽易被氧化，此將導致串連使得電容降低，因而使儲存格電容器的儲存電容劣化。

做為儲存格電容器的底部電極，一般而言，單獨使用鉑及氧化鈦在基底的含矽區上成形電極，太容易滲透到矽中。因為此種材料對矽具有滲透性，典型上，鉑是用於電極堆疊層中，其作為直接成形於矽上之集成電容器的電極與擴散壁障。例如，如 “ Novel High Temperature Multilayer Electrode-Barrier Structure for High Density Ferroelectric Memories ” by H.D. Bhatt, Appl. Phys. Letter, 71(5), 4 Aug. 1997 中所描述，電極壁障結構包括鉑：銻合金，加上鉑：氧化銻層，構成具有擴散壁障特性的電極。此類合金層使用物理氣相沈積處理，例如反應 RF 濺射處理。此外，例如，Kawahara 等人之名稱為 “ $(Ba, Sr)TiO_3$ Films Prepared by Liquid Source Chemical Vapor Deposition on Ru Electrodes ”, Jpn. J. Appl. Phys., Vol.35(1996) Pt. 1, No. 9B,

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明(3)

pp.4880-4885，描述使用鈳及氧化鈳構成電極，並配合使用高介電常數材料。

很多儲存格電容器的製造，它包括在開口很小且寬深比很大的孔穴中沈積導電材料所形成的電極層。典型上，在開口很小且寬深比很大的孔穴中，濺射法無法提供適合構成電極層所需之均一的層。

除了用來構成電容器的電極外，障層也可用於其它用途，例如交互連接也是所希望的。例如，擴散壁障通常是用來防止接點孔中不欲見的反應。

發明概述

為克服上述問題，在本文中描述 $RuSi_x$ 擴散障層，以及此類擴散障層的結構及與其相關的方法。

如本發明製造積體電路所使用的方法，包括提供一具有一表面的基底總成。在至少部分的表面上形成擴散障層。擴散障層是使用 $RuSi_x$ 構形，其中 x 的範圍從大約 0.01 到大約 10。

在該方法的一種實施例中，擴散障層是使用 $RuSi_x$ 構形，其中 x 的範圍大約 1 到大約 3，以大約 2 較佳。

在該方法的另一實施例中，擴散障層是以化學氣相沈積法沈積 $RuSi_x$ 。在另一實施例中，擴散障層是在含矽區上成形一層鈳，並執行退火，以由鈳層及含矽區形成 $RuSi_x$ 。

以本發明構成電容器的方法，包括在部分的基底總成上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

成形第一電極。在至少部分的第一電極上成形高介電材料，以及在高介電材料上成形第二電極。第一及第二電極至少其中之一包括 $RuSi_x$ 所形成的障層，其中 x 的範圍從大約 0.01 到大約 1.0。

根據本發明另一種用於構成電容器的方法，包括提供一具有含矽區的基底總成。在基底總成之至少部分含矽區上成形第一電極。第一電極包括一 $RuSi_x$ 障層，其中 x 的範圍從大約 0.01 到大約 1.0。高介電材料成形於至少部分第一電極上，並在高介電材料上配置第二電極。

在該方法的一種實施例中，障層的形成包括在至少部分的含矽區上成形一層鈦。之後，對在至少部分含矽區上成形之鈦層進行退火，以得到 $RuSi_x$ 障層。鈦層以化學氣相沈積法沈積，厚度大約 10 Å 到大約 300 Å。

在該方法的另一實施例中，相對於 $RuSi_x$ 成形一或多層導電層。這一或多層導電層是成形自金屬或導電金屬氧化物至少其中之一，如選擇自 RuO_2 、 RhO_2 、 MoO_2 、 IrO_2 、 Ru 、 Rh 、 Pd 、 Pt 及 Ir 等材料。

根據本發明的一種半導體元件結構，包括具有一表面的基底總成，以及在至少部分表面上的擴散障層。擴散障層是由 $RuSi_x$ 形成，其中 x 的範圍從大約 0.01 到大約 1.0。

在該結構的一種實施例中，至少部分表面是含矽表面，且結構包括在擴散障層上附加由金屬或導電金屬氧化物至少其中之一所構成的一或多層導電層，如由選擇自 RuO_2 、

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

RhO₂、MoO₂、IrO₂、Ru、Rh、Pd、Pt及Ir等材料所構成。

也將描述根據本發明的電容器結構。電容器結構包括第一電極，高介電材料配置於至少部分的第一電極上，以及第二電極配置於高介電材料上。第一及第二電極至少其中之一具有由RuSi_x形成的擴散障層，其中x的範圍從大約0.01到大約10。

根據本發明的一種積體電路結構，包括具有至少一個活性元件及一含矽區的基底總成。相對於至少一個活性元件及含矽區成形交互連接。交互連接包括在至少部分含矽區上的擴散障層。擴散障層是由RuSi_x形成，其中x的範圍從大約0.01到大約10。

圖式簡單說明

從以下對說明實施例的描述並參考附圖，將可更瞭解本發明，其中：

圖1顯示一元件結構，包括本發明的RuSi_x擴散障層。

圖2A-2C顯示成形本發明之RuSi_x擴散障層的一種方法。

圖3顯示包括本發明之RuSi_x擴散障層的結構，是多層導電層堆疊的一部分。

圖4的結構顯示一高介電電容器，包括一具有本發明之RuSi_x擴散障層的電極。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

圖 5 是說明 RuSi_x擴散障層應用於儲存格電容器。

圖 6 是說明 RuSi_x擴散障層應用於接點。

圖 7 A - 7 B 顯示使用 Pt / RuSi_x堆疊成形於矽上之第二例的結果。

主要元件對照表

- 10 : 結構
- 11 : 基底總成
- 13 : RuSi_x擴散障層
- 12 : 表面
- 14 : 導電層
- 19 : RuSi_x擴散障層
- 18 : 釘層
- 16 : 基底總成
- 17 : 含矽表面
- 20 : 結構
- 22 : 基底總成
- 24 : 堆疊
- 31 - 34 : 導電層
- 23 : 含矽表面
- 31 : RuSi_x擴散障層
- 29 : 層
- 50 : 結構
- 52 : 基底總成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

- 54 : 電容器結構
- 56 : 第一電極
- 60 : 第二電極
- 58 : 高介電常數層
- 100 : 結構
- 184 : 孔穴
- 185 : 底部表面
- 186 : 側壁
- 187 : 底部電極結構
- 181 : 基底總成
- 183 : 絕緣層
- 191 : 介電層
- 192 : 第二電極
- 200 : 元件結構。
- 207 : 基底
- 255 : 接點區
- 259 : 接點孔
- 205 : 場氧化區
- 221 : 字線
- 222 : 場效電晶體
- 225 : 源區
- 230 : 汲區
- 240 : 氧化物材料層
- 260 : 底部表面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

261 : 側壁

285 : 接點襯裏

276 : 導電材料

實施例詳細描述

先參閱圖1-2對本發明做一般性描述。之後，將參閱圖3-6描述本發明的實施例及應用說明，並參閱圖7描述一實例。

圖1說明結構10，包括一基底總成11，以及按本發明成形於基底總成11之表面12上，例如含矽表面上的RuSi_x擴散障層13。結構10還包括一導電層14。結構10說明的RuSi_x擴散障層可應用於任何需要有效障層的用途，例如，基底總成11可能代表延伸到含矽表面之孔穴的接點結構。在此類結構中，在孔穴中通常要使用擴散障層，以防止不欲見的反應，諸如導電接點材料（例如鋁）與含矽表面的反應。

此外，例如，RuSi_x擴散障層13可應用於半導體元件（例如記憶體裝置）中的儲存格電容器。如本文進一步的描述，RuSi_x擴散障層應用於構成電容器之電極的堆疊層中，例如，由鉑、氧化鈮等材料所構成之疊層中的其它層。熟悉此方面技術的人士將可瞭解，各種元件（例如CMOS元件、記憶體元件等）之各種半導體製程及結構，都將受惠於本發明之障層的壁障特徵，且本發明並不限於本文所描述的說明實施例。

五、發明說明(9)

如本申請案中所使用的“基底總成”，指的是一半導體基底，諸如基本的半導體層，例如晶圓中最下層的矽材料，或是沈積於其它材料上的矽層，諸如藍寶石上的矽，或是具有一或多層，或成形於其上或成形於內部區域之結構的半導體基底。當做到下所提及即成為基底總成，預先使用各種處理步驟成形或定義區域、接面、各種結構或特徵，以及孔穴，諸如通道、接點孔、高寬深比的孔等。

結合到 RuSi_x 擴散障層 13 之矽的量必須要足以達到半導體元件的壁障特性，特別是對矽的擴散。本發明之 RuSi_x 擴散障層 13 的 x 範圍，以從大約 0.01 到大約 10 為佳。x 的範圍從大約 1 到大約 3 較佳，x 大約為 2 更佳。

RuSi_x 擴散障層 13 的厚度視用途而定。厚度範圍以大約 10 Å 到大約 300 Å 為佳。RuSi_x 擴散障層 13 的厚度範圍以從大約 50 Å 到大約 200 Å 更佳。以大約 50 Å 到大約 200 Å 之較佳厚度範圍的 RuSi_x 擴散障層 13 為例，可用於成形電容器結構的底層電極堆疊。

如圖 1 的一般性說明，導電層 14 代表單層或一或多層。例如，導電層可包括由金屬或金屬氧化物或它們之混成物所成形的一或多層。例如，此類層包括 RuO₂、MoO₂、Rh、RhO₂、IrO₂、Ru、Pt、Pd 及 Ir 其中之一，使用 RuSi_x 擴散障層構成一電極堆疊。此外，例如，當 RuSi_x 擴散障層應用於接點或交互連接的用途，導電層 14 可以是接點材料，例如鋁。此類導電層可以使

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (10)

用熟悉此方面技術之人士所知的任何方法成形。本發明並不受限於任何特定的導電層，或成形這類導電層的方法。

R u S i x 擴散障層 1 3 可以使用一或多種不同的方法成形。例如，形成 R u S i x 擴散障層的方法可以從

R u S i x 的沈積靶濺射沈積，也可以從釘的沈積靶上將釘濺射沈積到含矽表面上，接著退火，也可以使用釘前質及矽前質經由化學氣相沈積法 (C V D) 沈積，例如大氣壓力化學氣相沈積法、低壓化學氣相沈積法 (L P C V D)、電漿加強化學氣相沈積法 (P E C V D)，或其它任何一種化學氣相沈積技術。此外，也可使用 C V D 在含矽表面上沈積一層釘，接著進行退火處理，以形成 R u S i x 擴散障層。形成 R u S i x 擴散障層以使用 C V D 為佳。

C V D 法可以在化學氣相沈積反應器中進行，諸如 Genus 公司 (Sunnyvale , C A) 型號 7 0 0 0 的反應容器，Applied Materials 公司 (Santa Clara , C A) 型號 5 0 0 0 的反應容器，或 Novellus 公司 (San Jose , C A) 型號 Prism 的反應容器。不過，任何適合執行 C V D 的反應容器都可使用。

化學氣相沈積 (C V D) 的定義是經由氣相作用物 (例如含有所要成分的氣體) 的反應，在基底上構成非揮發性的固態膜。將反應氣體引入反應室。氣體分解並反應，在被加熱的晶圓表面形成所要的層。化學氣相沈積只是在半導體晶圓上提供薄層的一種方法，諸如金屬元素或化合物的膜，例如鉑、鈮氧化物、銦、鉬氧化物等。化學氣相沈積法在很多

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

方面都很受歡迎，因為它有能力提供極均一的層，甚至是在很深的接點孔或其它孔穴中。因此，以下將參閱圖 5 及 6 進一步描述，使用 C V D 法在很深的接點孔或其它孔穴中提供極均一的層，諸如儲存格電容器的底部電極。熟悉此方面技術之人士很容易明瞭，經由 C V D 是較佳的方法，且可以使用各種相關技術加強 C V D，諸如電漿輔助、光輔助、雷射輔助及其它技術。

形成 R u S i x 擴散障層 1 3 的較佳方法之一是以化學氣相沈積法 (C V D) 沈積 R u S i x。C V D 法是將鈦前質與矽前質一同送入反應室。

鈦前質一般是液態的前質。鈦前質裝在一發泡儲存器中，經由載氣，諸如氮氣或其它惰性氣體，亦即不會與製程中其它氣體反應的氣體（例如氮、氬、氖、及氫），從裝有前質的儲存器中冒出，以將前質送入反應室中。例如，發泡儲存器將鈦前質送入反應室所使用的載氣氣流範圍大約 1 s c c m 到大約 5 0 0 s c c m，壓力範圍大約 0 . 5 托到大約 5 0 托，溫度範圍大約 3 0 ° C 到大約 7 0 ° C。

按照本發明，可以使用任何含鈦的前質。鈦前質最好是按下列配方合成的液態鈦，（配方 1）：（二烯）R u (C O) ₃，其中 G 烯 i 以是線性、分支、或環二烯、雙環二烯、三環二烯、它們的氟化衍生物，它們的混合物、以及添加異質原子諸如鹽類化合物、矽、硫、硒、磷、砷或氮的衍生物。這些及其它的前質化合物描述於受讓人的共同待審專利申請案，名稱爲 “ Precursor Chemistries for Chemical

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (12)

Vapor Deposition of Ruthenium and Ruthenium Oxide” ,
 1998年8月27日提出申請，序號09 /
 141, 236, 以及受讓人共同待審專利申請案，名稱
 為，“Methods for Preparing Ruthenium and Osmium
 Compounds”，1998年8月27日提出申請，序號為
 09 / 141, 431。此外，例如，在授予 McCormick 等
 人的美國專利 5,327,849 中也討論到用於沈積鈦層的
 其它前質及方法。使用本發明的鈦前質更佳，包括
 $C_6H_8Ru(CO)_3$ 、雙(茂基)鈦(II)，三鈦十二
 羰基，以及茂基二羰基鈦(II)二聚物。

反應室內也要提供矽前質。例如，矽前質可包括氫化矽
 或矽甲烷，諸如二氯矽甲烷(DCS, SiH_2Cl_2)、
 矽甲烷(SiH_4)、二矽甲烷(H_3SiSiH_3)、三氯
 矽甲烷($TCS, SiHCl_3$)，或熟悉此方面技術之人
 士所知的任何其它矽前質。例如，將矽前質送入反應室的速
 率範圍大約 5 sccm 到大約 500 sccm。以大約
 100 sccm 為佳。

熟悉此方面技術的人士應瞭解，將氣體送入反應室的方法，
 有幾種技術可供使用。例如，除了以發泡技術外，也可以
 使用室溫下的氣體混合物，或將揮發性混合物加熱，並使
 用載氣將揮發性混合物送入反應室。此外，也可以使用固態
 前質，以及將這些固態前質蒸發的各種方法，將反應混合物
 送入反應室。本發明並不限於使用任何特定技術。此外，典
 型上反應氣體是從不同的進氣口進入。也可選用其它的稀釋

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

氣體 (即不會與反應氣體反應的氣體) 送入反應室，用以改變其內氣體的濃度。例如可使用可變的流率將氫氣送入反應室內。

因此，成形 R u S i x 擴散障層的一種方法是將鈦前質氣體、矽前質氣體及選用的稀釋氣體送入反應室。在較佳的 C V D 處理中，反應室中的壓力最好保持在大約 0 . 1 托到大約 1 0 托的沈積壓力。要沈積 R u S i x 擴散障層 1 3 之晶圓表面的沈積溫度，最好保持在大約 1 0 0 °C 到大約 7 0 0 °C 的範圍，以大約 2 0 0 °C 到大約 5 0 0 °C 的範圍更佳。

成形本發明之 R u S i x 擴散障層 1 9 的另一種較佳方法顯示於圖 2 A - 2 C 。如圖 2 A 所示，此方法使用 C V D 在基底總成 1 6 的含矽區沈積一層鈦 1 8 ，以構成 R u S i x 擴散障層 1 9 。沈積完鈦層 1 8 後，接著退火處理，以使鈦層 1 8 與含矽區的含矽表面 1 7 反應，形成如圖 2 B 所示的 R u S i x 擴散障層 1 9 。之後，在 R u S i x 擴散障層 1 9 上成形導電層 2 1 (例如圖 1 之導電層 1 4 的一或多層導電層) 。

沈積鈦層 1 8 的 C V D 處理最好是以鈦前質進行，一般是使用前所描述之沈積 R u S i x 的相同方法，將鈦前質送入反應室。如其所述，鈦前質一般是液態的前質。鈦前質裝在發泡儲存器中，經由從裝有前質之儲存器中冒出的載氣，例如氮氣或其它惰性氣體，亦即不會與製程中其它氣體 (例如氮、氫、氬、氙) 反應的氣體，將前質送入反應室中。如

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (14)

前所述，本發明可以使用任何含有鈣的前質。

因此，按照此種成形 RuSi_x擴散障層的方法，將鈣前質氣體及所選用的稀釋氣體送入反應室。在此特定的較佳 CVD 製程中，反應室內的壓力最好保持在大約 0.1 托到大約 10 托的沈積壓力。要沈積 RuSi_x擴散障層 18 之晶圓表面的沈積溫度最好保持在大約 100℃ 到大約 700℃ 的範圍，以大約 200℃ 到大約 500℃ 的範圍更佳。

使用 CVD 均勻沈積了鈣層 18 之後，接下來要進行退火處理，以從鈣層 18 與基底總成 16 的含矽區形成 RuSi_x擴散障層 19。雖然可在各種非反應的大氣中進行，例如氬，但退火處理是好是在氮大氣的反應室中進行。退火的溫度範圍以在大約 400℃ 到大約 1000℃ 為佳，大約 500℃ 更佳。進行退火的時間以大約 0.5 分到 60 分為佳。熟悉此方面技術的人士將可瞭解，此溫度及時間周期可以改變，且退火參數要能足以使鈣層 18 轉變成 RuSi_x 19，其中 x 的範圍如前所述，此外，此退火也可分成一或數個退火步驟進行。同樣地，不需要將整個鈣層完全轉換成 RuSi_x，只需轉換能提供足夠壁障特性的鈣量即可。

成形 RuSi_x擴散障層 19 所需沈積的鈣層 18 厚度範圍，最好從大約 10 Å 到大約 300 Å。厚度範圍從大約 50 到大約 200 Å 更佳；以及甚至大約 100 Å 最佳。

圖 3 顯示的結構 20 包括基底總成 22，例如矽基底區，及堆疊 24。堆疊 24 包括導電層 31 - 34。根據本發

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (15)

明，一或多層的導電層 31 - 34 是 R u S i x 擴散障層。

一或多層的導電層，此外還包括一或多層的 R u S i x 擴散障層，可以包括由各種導電材料構成的導電層。例如，導電層最好是由（但不限於）金屬、金屬氧化物或它們的混合物所構成的層。例如，這類層可以包括金屬，諸如銻、鈹、釕、鉑、及銥，或金屬氧化物，諸如釕氧化物、鉑氧化物、及銥氧化物。

堆疊 24 可供一或極多種用途，例如，交互連接、電容器等。例如，堆疊 24 與包括含矽表面 23 的基底總成 22 可做為儲存格電容器的電極。堆疊 24 的壁障特性可防止矽從含矽表面 23 擴散。按本發明，層 31 可以成形為 R u S i x 擴散障層，可防止矽從含矽表面 23 經由堆疊 24 擴散到毗鄰層或層 29 或堆疊 24 的表面，以及防止氧擴散到含矽表面。

圖 4 顯示的結構 50 包括基底總成 52，例如矽基底，以及成形於其上的電容器結構 54。電容器結構 54 包括第一電極 56、第二電極 60 及介於其間的高介電常數層 58。例如，介電層可以是任何具有所需介電常數的適合材料，諸如 Ta_2O_5 、 $Ba_xSr_{(1-x)}TiO_3$ [BST]、 $BaTiO_3$ 、 $SrTiO_3$ 、 $PbTiO_3$ 、 $Pb(Zr, Ti)O_3$ [PZT]、 $(Pb, La)(Zr, Ti)O_3$ [PLZT]、 $(Pb, La)TiO_3$ [PLT]、 KNO_3 及 $LiNbO_3$ 。當使用這些高介電常數層 58 時，電極的擴

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明(16)

散壁障特性特別重要。例如，爲使電容器結構之底部電極的功能良好，電極層或層堆疊必須有效地壁障矽的擴散，特別是由於使用高介電常數材料之製程所致使的擴散。當在基底總成 52 之含矽表面 53 上，例如複矽晶、矽基底材料、N-摻雜矽、P-摻雜矽等，成形電容器時，需要此種擴散壁障特性，因爲擴散之矽的氧化會造成電容（例如記憶體元件的電容）劣化。此外，電極堆疊必須做爲氧的壁障，以保護在堆疊下的含矽表面不被氧化。RuSi_x擴散障層的形成增強了堆疊的壁障特性。熟悉此方面技術的人士將可瞭解，堆疊電極 56 包括一或多層 RuSi_x擴散障層，以及一或多層導電層，如參閱圖 3 所做的描述。

以下將參閱圖 5 及 6 描述上述 RuSi_x擴散障層的應用。圖 5 描述本發明之 RuSi_x擴散障層在儲存格電容器的應用，其中儲存格電容器之高介電電容器的底部電極包括一或多層的 RuSi_x擴散障層。此外，將參閱圖 6 描述本發明之 RuSi_x擴散障層的應用，其中描述需要擴散壁障特性的接點襯裏。爲簡單計，對這兩個說明結構的描述限於 RuSi_x擴散障層的使用。其它半導體的製程及各種元件結構，例如 CMOS 元件、記憶體元件、邏輯元件等，都將受惠於本發明，且本發明並不限於本文中所描述的說明實施例，例如接點襯裏及電極結構。RuSi_x擴散障層可應用於任何需要擴散壁障特性的用途，特別是防止矽及／或氧擴散到鄰近層。

如圖 5 所示，元件結構 100 是按習知處理技術製造，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (17)

在沈積底部電極結構 1 8 7 前，先在表面 1 8 5（例如含矽表面）上形成孔穴 1 8 4，以及定義孔穴 1 8 4 的表面 1 8 6。底部電極堆疊 1 8 7 包括前文中所述的本發明 R u S i x 擴散障層及一或多層其它的導電層，成形於孔穴 1 8 4 內。基底總成 1 8 1 包括各種單元，如場氧化區、活性區，即矽基底上未被場氧化物覆蓋的區域、字線、場效電晶體（F E T）、產生於矽基底上的源／汲區等。氧化物材料的絕緣層 1 8 3 成形於基底總成之上。絕緣層 1 8 3 上的孔穴 1 8 4 直徑小且寬深比高。如前所述，直徑小、寬深比高之孔穴的特徵尺寸或關鍵尺寸小於 1 微米（例如，孔的直徑或寬度小於大約 1 微米）且寬深比大於大約 1。此種寬深比用於接點孔、通道、溝，以及任何其它結構的孔穴。例如，溝之開口的寬度 1 微米，深 3 微米，其寬深比為 3。本發明對於在小且寬深比大的特徵中成形擴散障層特別有利，因為是使用 C V D 法在階梯式的結構中成形均一的 R u S i x 擴散障層。

如圖 5 所示，堆疊電極 1 8 7 包括一成形於底部表面 1 8 5 的 R u S i x 擴散障層，以及定義孔穴 1 8 4 的一或多個側壁 1 8 6。電極堆疊層成形於整個結構的表面，包括底部表面 1 8 5 及側壁 1 8 6。接著，將該層成形為底部電極 1 8 7。例如蝕刻或整平所要移除的區域，以形成底部電極 1 8 7。之後，相對於堆疊電極 1 8 7 成形介電層 1 9 1。之後，相對於介電層 1 9 1 成形第二電極 1 9 2。例如，此電極可以是任何導電材料，諸如氮化鎢、氮化鈦、氮化鉭

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (18)

、鈣、銻、銻、鈣氧化物、銻氧化物，或它們的任何混合物，或儲存格電容器之電極或電極層所使用之任何其它的典型導電材料。以本發明而言，構成底部電極的堆疊層中包括一 RuSi_x 擴散障層，它是使用文中所描述的 CVD 製程在孔穴 184 內構成厚度均勻的一層。RuSi_x 擴散障層提供適當的壁障特性。

熟悉此方面技術的人士將瞭解，相對於一表面成形任何電容器，例如含矽表面，所需的擴散壁障特性及／或導電層所需的均一性，都可受惠於本發明。例如，容器形電容器 (container capacitor) 典型上包括成形於表面上的電極，需要均一的底部電極結構。此種容器形儲存格電容器描述於 1993 年 12 月 14 日授予 Dennison 等人美國專利 5,270,241，名稱爲 " Optimized Container Stack Capacitor DRAM Cell Utilizing Sacrificial Oxide Deposition and Chemical Mechanical Polishing "。

圖 6 是按習知製程技術製造的元件結構 200，在金屬化基底 207 之接點區 255 前，先成形接點孔 259。在金屬化前，元件結構 200 包括場氧化區 205 及活性區，即基底 207 上未被場氧化區 205 覆蓋的區域。在活性區內，相對於場氧化區 205 成形的有字線 221 及場效電晶體 222。適當摻雜的源／汲區 225、230 是以習知技術成形。在整個表面成形均一的氧化物材料層 240，並在矽基底 207 之摻雜區 230 的接點區 255 上定義接點孔 259。之後，在接點孔 259 內成形一或多層的金屬或導

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (19)

電層，以提供與基底區 2 3 0 的電氣連接。例如，各種材料都可成形於接點孔 2 5 9 內，諸如氮化鈦或其它的擴散壁障材料。在定義接點孔 2 5 9 的底部表面 2 6 0 及一或多個側壁 2 6 1 上，最好是以本發明成形 R u S i x 擴散障層的接點襯裏 2 8 5。一般而言，R u S i x 擴散障層是沈積於整個基底總成，接著整平以形成接點襯裏 2 8 5。之後，在接點孔內成形導電材料 2 7 6，例如鋁，以提供與基底 2 0 7 之摻雜區 2 3 0 的連接。

例 1

圖 7 A 顯示一樣品晶圓的深度剖面，包括一厚度大約 5 0 0 Å 的鉑層成形於 R u S i x 擴散障層上。R u S i x 擴散障層是在矽基底上沈積厚度大約 1 0 0 Å 的鈦後進行退火所形成。退火是在大約 5 0 0 °C 下進行大約 5 分鐘。此樣品晶圓的深度剖面是在大約 8 5 0 °C 之溫度下歷經大約 3 0 秒的快速熱氧化後的結構。圖中顯示即使有也僅只有極少的矽擴散通過 R u S i x 擴散障層，且沒有二氧化矽形成，也沒有被矽化的鉑。

製造樣品晶圓的反應室是使用 M D C Vacuum Products 公司 (Hayward , C A) 製造的 C V D 反應室，發泡器則是使用 Technical Glass Service 公司 (Boise , I D) 製造的玻璃研究用發泡器。成形用於構成 R u S i x 擴散障層之鈦層所使用的條件包括：

鈦前質： $C_6H_8Ru(CO)_3$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

通過發泡器的鈦載氣：5 s c c m 的氮氣

鈦發泡器之條件：壓力 3 托，溫度 2 5 °C

反應室之條件：壓力 0 . 5 托，晶圓表面的沈積溫度
3 0 0 °C

沈積時間：1 分鐘

成形鉑層之條件包括：

鉑前質：(methylcyclopentadienyl) P t M e ₃

通過發泡器的鉑載氣：1 0 s c c m 的氮氣

鉑發泡器之條件：壓力 1 0 托，溫度 2 5 °C

反應室之條件：壓力 5 托，晶圓表面的沈積溫度 3 5 0
°C

沈積時間：6 分鐘

使用 Physical Electronics 公司 (Eden Prairie , M N) 之
型號 P h I (Φ) 的 X P S 裝置測得深度剖面。得到深度剖
面的操作條件包括 3 5 0 瓦的 x - 射線源，單色 A l K α
(h v = 1 4 8 6 . 6 電子伏特) ； 4 5 度萃取；萃取孔徑
8 0 0 微米。以 3 K e V 的氬離子束在 3 毫米之光域範圍執
行濺射。圖 7 A 所示之深度剖面的濺射時間為 2 0 分鐘。

圖 7 B 所顯示之樣品晶圓之深度剖面包括厚度 4 5 0 Å
的鉑成形於厚度大約 1 0 0 Å 的鈦層上，鈦層乃直接成形於
矽基底上，並未如圖 7 A 進行退火步驟以形成 R u S i x 擴
散障層。此樣品晶圓的深度剖面是在大約 8 5 0 °C 之溫度下
歷經大約 3 0 秒的快速熱氧化後的結構。成形鈦及鉑層的方法
及條件與圖 7 A 相同。此外，得到深度剖面的方法也與前

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

同。

比較圖 7 A 及 7 B，顯示圖 7 B 中沒有 RuSi_x 擴散障層，鉑被完全矽化，且在表面形成二氧化矽。另一方面，圖 7 A 顯示在快速熱氧化步驟後鉑箔的抗矽化。

本文所述的所有專利及參考可結合為一整體，如同每一個各別地結合。本發明已參考說明實施例描述，但不能將其解釋成限制之意。如前所述，熟悉此方面技術的人士應瞭解，各種其它用途都可使用本文所描述的 RuSi_x 擴散障層，利用其有利的壁障特性。熟悉此方面技術的人士在參考本文的描述後，可以明瞭說明實施例的各種修改，以及本發明的其它實施例。因此，所附申請專利範圍將涵蓋任何修改或實施例，都將落於所附申請專利範圍所定義之本發明的範圍內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 鈳矽化物擴散障層及其形成方法)

一種用於製造積體電路的方法，包括提供具有一表面的基底總成。一擴散障層成形於至少部分的表面。擴散障層是由 $RuSi_x$ 所構成，其中 x 的範圍從大約 0.01 到大約 10。構成擴散障層的方法可以使用化學氣相沈積法沈積 $RuSi_x$ ，或也可以相對於含矽區成形一層鈳並進行退火，以使鈳層與含矽區形成 $RuSi_x$ 。電容器的電極、交互連接或其它結構都可以成形此種擴散障層。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要 (發明之名稱：

**RUTHENIUM SILICIDE DIFFUSION BARRIER LAYERS
AND METHODS OF FORMING SAME**

A method for use in the fabrication of integrated circuits includes providing a substrate assembly having a surface. A diffusion barrier layer is formed over at least a portion of the surface. The diffusion barrier layer is formed of $RuSi_x$, where x is in the range of about 0.01 to about 10. The barrier layer may be formed by depositing $RuSi_x$ by chemical vapor deposition or the barrier layer may be formed by forming a layer of ruthenium relative to a silicon containing region and performing an anneal to form $RuSi_x$ from the layer of ruthenium and the silicon containing region. Capacitor electrodes, interconnects or other structures may be formed with such a diffusion barrier layer.

訂

線

修正

90年3月1日

補充

六 申請專利範圍

附件-A

第 8 8 1 1 4 7 4 5 號 專 利 申 請 案

中文申請專利範圍修正本

民國 90 年 3 月 修正

- 1 . 一種用於製造積體電路的方法，該方法包括：
提供具有一表面的基底總成；以及
在至少部分表面上成形擴散障層，其中所形成的擴散障層是 $RuSi_x$ ，其中 x 的範圍從 0 . 0 1 到 1 0 。
- 2 . 如申請專利範圍第 1 項的方法，其中 x 的範圍從 1 到 3 。
- 3 . 如申請專利範圍第 2 項的方法，其中 x 是 2 。
- 4 . 如申請專利範圍第 1 項的方法，其中所形成的障層包括以化學氣相沈積法沈積 $RuSi_x$ 。
- 5 . 如申請專利範圍第 1 項的方法，其中成形擴散障層包括：
相對於含矽表面成形一層鈦；以及
進行退火，以使鈦層與含矽表面構成 $RuSi_x$ 。
- 6 . 如申請專利範圍第 5 項的方法，其中成形鈦層包括以化學氣相沈積法沈積鈦層。
- 7 . 如申請專利範圍第 1 項的方法，其中的方法進一步包括在擴散障層上成形至少一種其它的導電材料，其至少一種導電材料選擇自金屬及導電的氧化金屬。
- 8 . 如申請專利範圍第 5 項的方法，其中執行退火以構成 $RuSi_x$ 包括在惰性氣體的大氣中，以 4 0 0 °C 到

(請先閱讀背面之注意事項再填寫本頁)

訂

線



六、申請專利範圍

1 0 0 0 °C 範圍內的溫度，執行退火 0 . 5 分鐘到 6 0 分鐘。

9 . 如申請專利範圍第 8 項的方法，其中執行退火以構成 R u S i x 包括在氮氣大氣中，以 5 0 0 °C 的溫度，執行釘層及含矽表面層的退火 5 分鐘。

1 0 . 如申請專利範圍第 5 項的方法，其中含矽區包括至少部分的表面。

1 1 . 一種用於成形電容器的方法，其方法包括：

在部分的基底總成上成形電極；

在至少部分的第一電極上成形高介電材料；以及

在高介電材料上成形第二電極，其中第一與第二電極至少其中之一包括由 R u S i x 構成的障層，其中 x 的範圍從 0 . 0 1 到 1 0 。

1 2 . 如申請專利範圍第 1 1 項的方法，其中 x 的範圍從 1 到 3 。

1 3 . 如申請專利範圍第 1 2 項的方法，其中 x 為 2 . 0 。

1 4 . 如申請專利範圍第 1 1 項的方法，其中的障層是以化學氣相沈積法成形。

1 5 . 一種用於成形電容器的方法，其方法包括：

提供基底總成的含矽區；

在基底總成之至少部分的含矽區上成形第一電極，第一電極包含一 R u S i x 的障層，其中 x 的範圍從 0 . 0 1 到 1 0 ；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

在至少部分的第一電極上提供高介電材料；以及
在高介電材料上提供第二電極。

16．如申請專利範圍第15項的方法，其中x的範圍從1到3。

17．如申請專利範圍第15項的方法，其中成形障層包括：

在至少部分的含矽區上成形鈣層；以及

對成形於至少部分含矽區上的鈣層進行退火，以構成
RuSi_x障層。

18．如申請專利範圍第17項的方法，其中成形鈣層包括以化學氣相沈積法沈積鈣層，鈣層的厚度10 Å到300 Å。

19．如申請專利範圍第18項的方法，其中鈣層的厚度50 Å到200 Å。

20．如申請專利範圍第19項的方法，其中鈣層的厚度為100 Å。

21．如申請專利範圍第18項的方法，其中對成形於至少部分含矽區上之鈣層退火，包括在惰性氣體的大氣中，以400 °C到1000 °C之範圍內的溫度，退火0.5分鐘到60分鐘。

22．如申請專利範圍第15項的方法，其中的
RuSi_x擴散障層是使用鈣前質及矽前質以化學氣相沈積法成形。

23．一種用於成形電容器的方法，其方法包括：

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

提供基底總成的含矽區；

在基底總成之至少部分含矽區上成形第一電極，第一電極的成形包括：

成形 $RuSi_x$ 的障層，其中 x 的範圍從 0.01 到 1.0，以及

相對於 $RuSi_x$ 擴散障層成形一或多層導電層，一或多層導電層是由金屬或導電金屬氧化物至少其中之一所構成；

在至少部分的第一電極上提供高介電材料；以及

在高介電材料上提供第二電極。

24. 如申請專利範圍第 23 項的方法，其中一或多層導電層是選用自 RuO_2 、 RhO_2 、 MoO_2 、 IrO_2 、 Ru 、 Rh 、 Pd 、 Pt 及 Ir 。

25. 如申請專利範圍第 23 項的方法，其中成形障層包括：

在至少部分含矽區上成形一層鈦；以及

對成形於至少部分含矽區上的鈦層進行退火，以得到 $RuSi_x$ 障層。

26. 如申請專利範圍第 23 項的方法，其中的 $RuSi_x$ 障層是使用鈦前質及矽前質以化學氣相沈積法成形。

27. 一種半導體元件結構，其結構包括：

一基底總成包括一表面；以及

在至少部分表面上的擴散障層，其中擴散障層是由

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

R u S i x 所構成，其中 x 的範圍從 0 . 0 1 到 1 0 。

2 8 . 如申請專利範圍第 2 7 項的結構，其中 x 的範圍從 1 到 3 。

2 9 . 如申請專利範圍第 2 8 項的結構，其中 x 為 2 . 0 。

3 0 . 如申請專利範圍第 2 7 項的結構，其中的至少部分表面是含矽表面，且其中的結構包括成形於擴散障層上的一或多層導電層，是由金屬及導電金屬氧化物至少其中之一所構成。

3 1 . 如申請專利範圍第 3 0 項的結構，其中一或多層導電層是選用自 R u O₂、R h O₂、M o O₂、I r O₂、R u、R h、P d、P t 及 I r 。

3 2 . 一種電容器結構，包括：

第一電極；

在至少部分的第一電極上成形高介電材料；以及

介電材料上的第二電極，其中第一及第二電極至少其中之一包括由 R u S i x 所構成的擴散障層，其中 x 的範圍從 0 . 0 1 到 1 0 。

3 3 . 如申請專利範圍第 3 2 項的結構，其中 x 的範圍從 1 到 3 。

3 4 . 如申請專利範圍第 3 2 項的結構，其中第一電極的擴散障層是成形在至少部分的含矽區上，且其中的結構包括成形於擴散障層上的一或多層導電層，是由金屬及導電金屬氧化物至少其中之一所構成。

六、申請專利範圍

35. 如申請專利範圍第34項的結構，其中一或多層導電層是由選擇自RuO₂、RhO₂、MoO₂、IrO₂、Ru、Rh、Pd、Pt及Ir的材料所構成。

36. 一種積體電路結構，包括：

一基底總成，包括至少一個活性元件及含矽區；以及

相對於至少一個活性元件及含矽區構成交互連接，交互連接包括在至少部分含矽區上的擴散障層，其中擴散障層是由RuSi_x所構成，其中x的範圍從0.01到1.0。

37. 如申請專利範圍第36項的結構，其中x的範圍從1到3。

38. 如申請專利範圍第36項的結構，進一步包括相對於擴散障層成形的導電接點材料。

(請先閱讀背面之注意事項再填寫本頁)

註

訂

線

圖 1

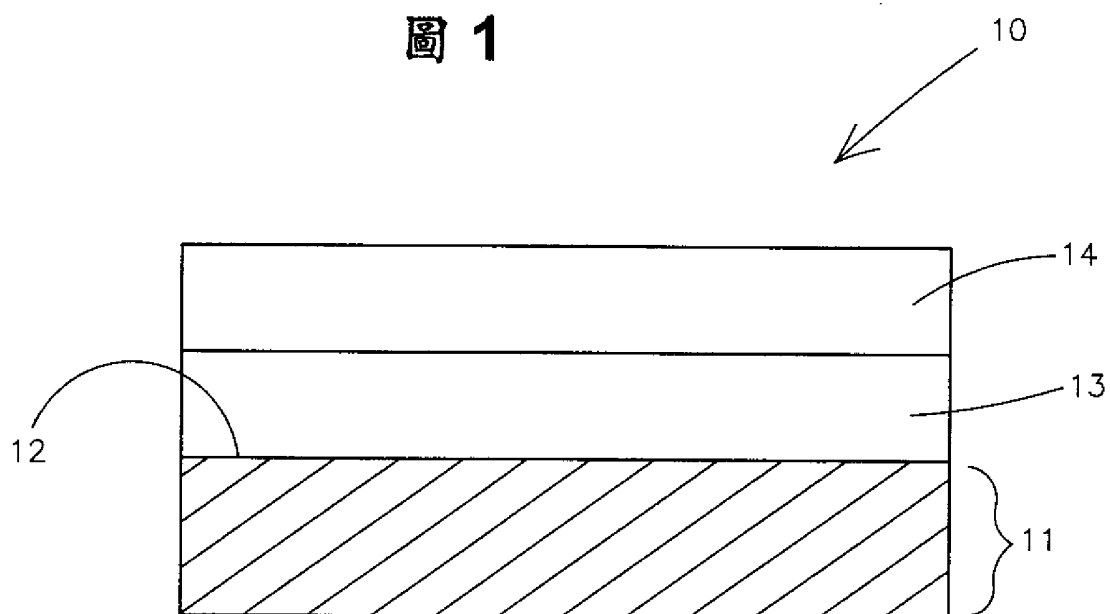


圖 2A

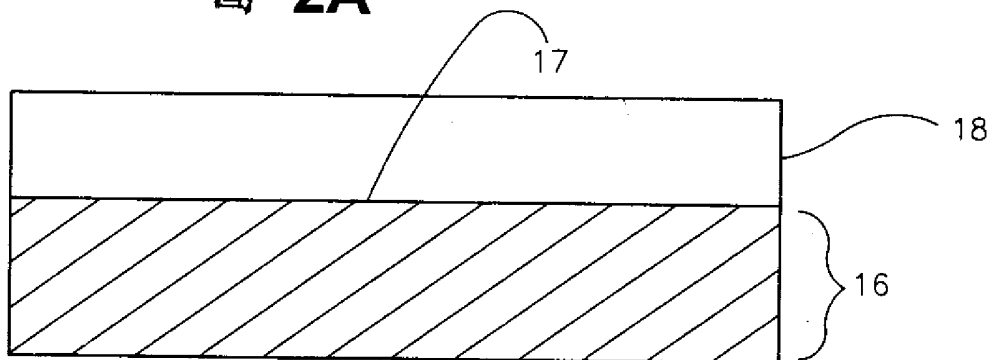


圖 2B

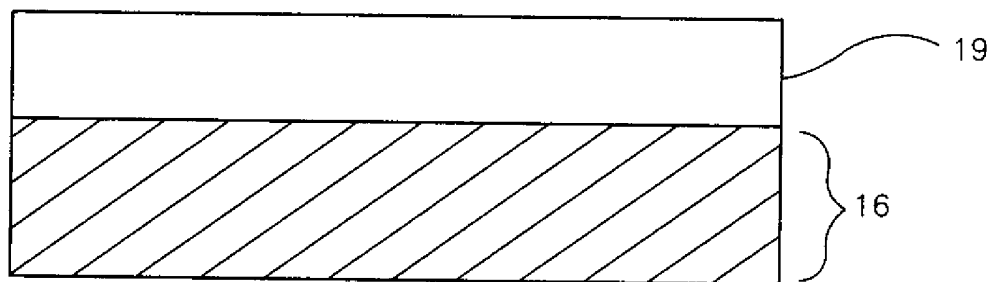


圖 2C

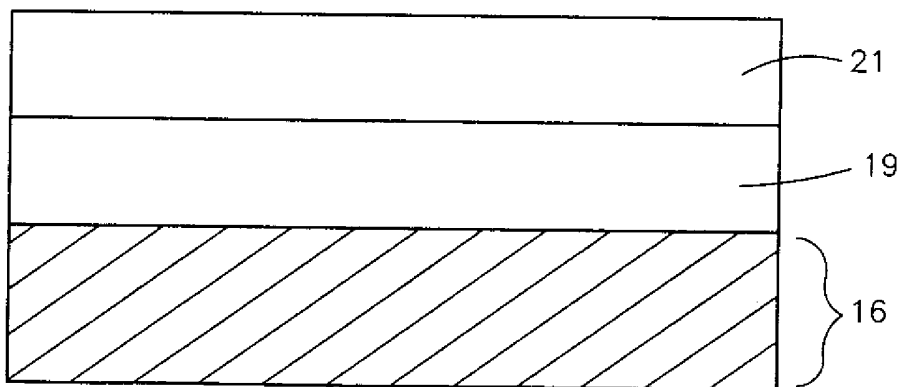


圖 3

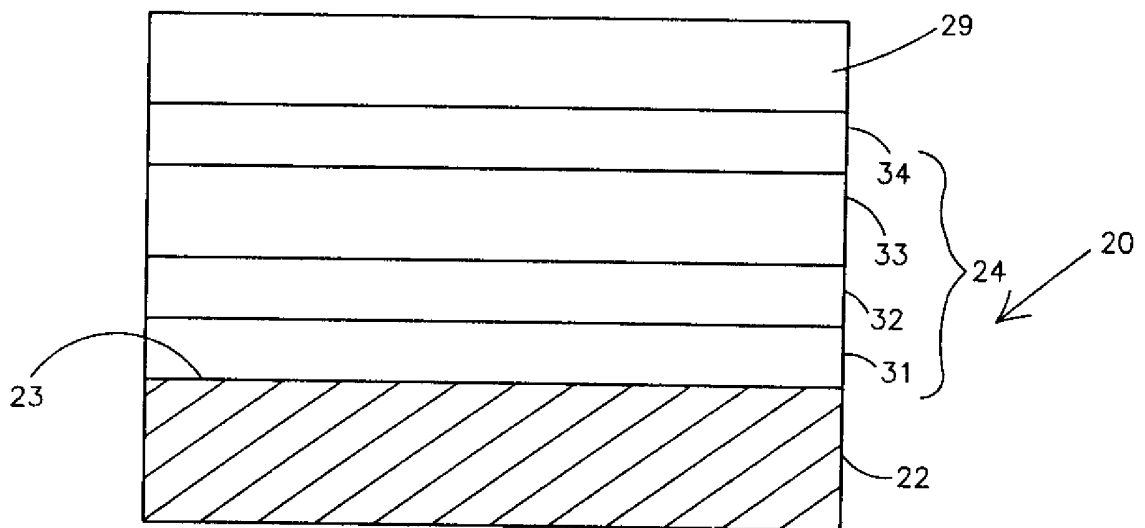


圖 4

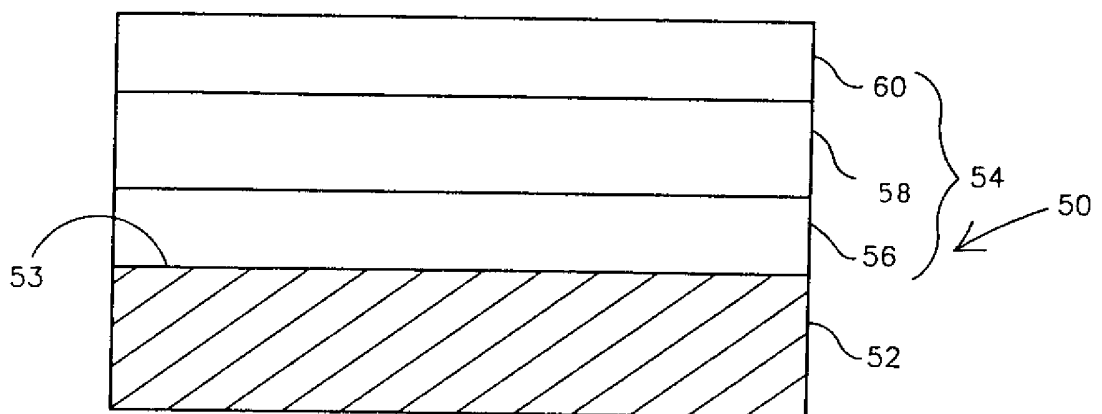


圖 5

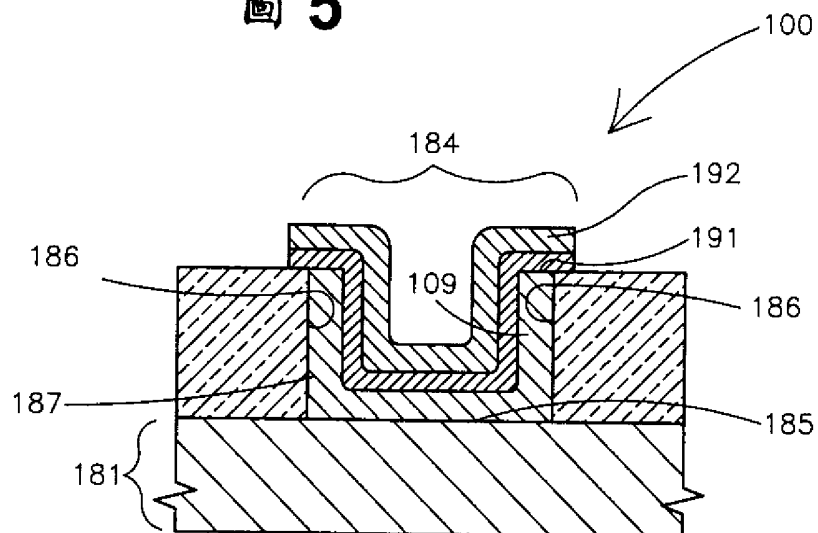


圖 6

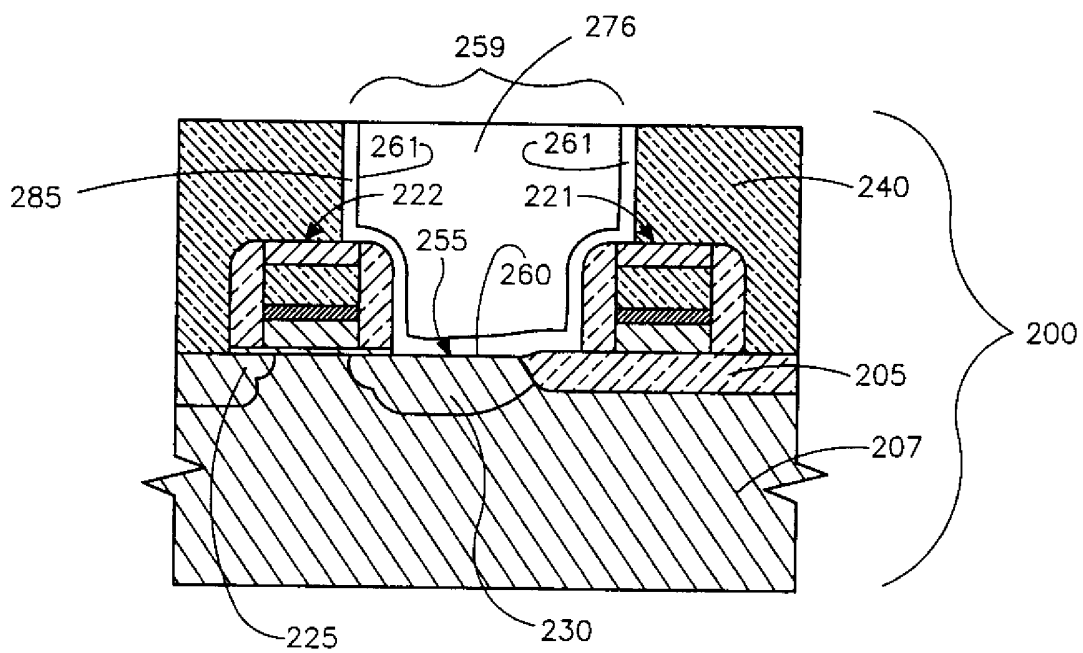


圖 7A

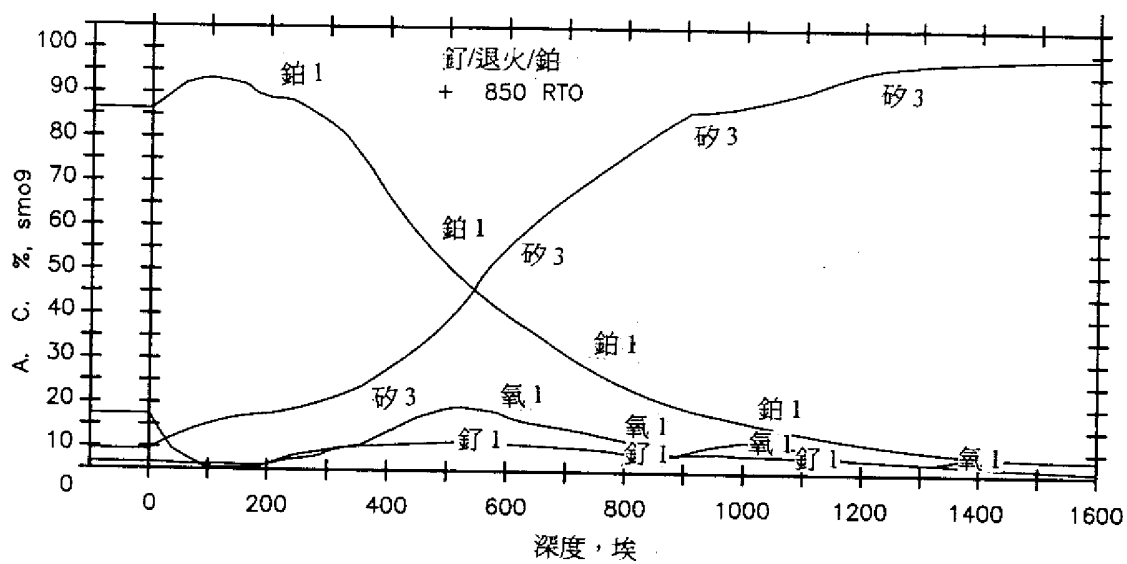
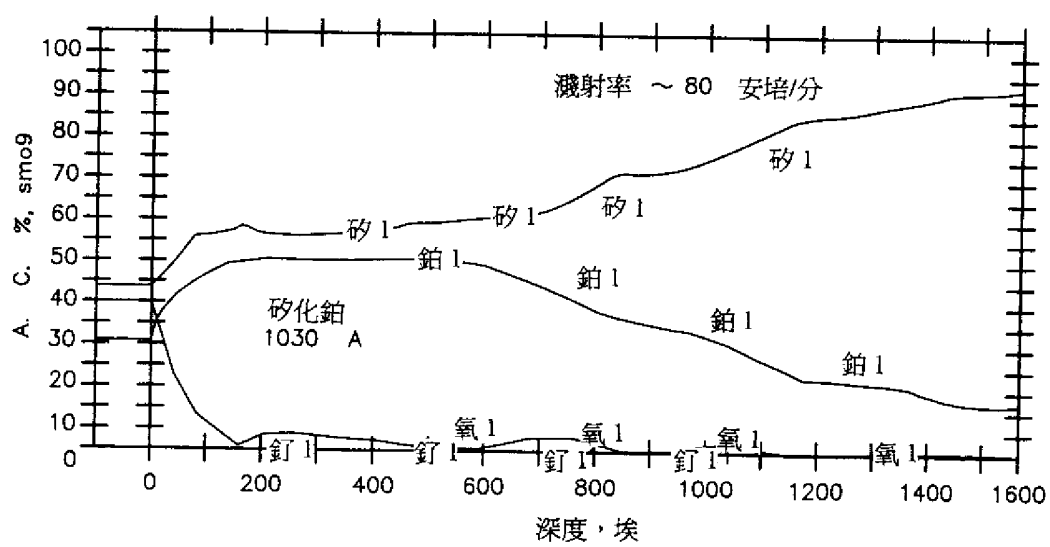


圖 7B



修正

90年3月1日

補充

六、申請專利範圍

附件-A 第 8 8 1 1 4 7 4 5 號 專利申請案

中文申請專利範圍修正本

民國 90 年 3 月修正

- 1 . 一種用於製造積體電路的方法，該方法包括：
提供具有一表面的基底總成；以及
在至少部分表面上成形擴散障層，其中所形成的擴散障層是 $RuSi_x$ ，其中 x 的範圍從 0 . 0 1 到 1 0 。
- 2 . 如申請專利範圍第 1 項的方法，其中 x 的範圍從 1 到 3 。
- 3 . 如申請專利範圍第 2 項的方法，其中 x 是 2 。
- 4 . 如申請專利範圍第 1 項的方法，其中所形成的障層包括以化學氣相沈積法沈積 $RuSi_x$ 。
- 5 . 如申請專利範圍第 1 項的方法，其中成形擴散障層包括：
相對於含矽表面成形一層鈦；以及
進行退火，以使鈦層與含矽表面構成 $RuSi_x$ 。
- 6 . 如申請專利範圍第 5 項的方法，其中成形鈦層包括以化學氣相沈積法沈積鈦層。
- 7 . 如申請專利範圍第 1 項的方法，其中的方法進一步包括在擴散障層上成形至少一種其它的導電材料，其至少一種導電材料選擇自金屬及導電的氧化金屬。
- 8 . 如申請專利範圍第 5 項的方法，其中執行退火以構成 $RuSi_x$ 包括在惰性氣體的大氣中，以 4 0 0 °C 到

(請先閱讀背面之注意事項再填寫本頁)

訂

線



3/5

圖 3

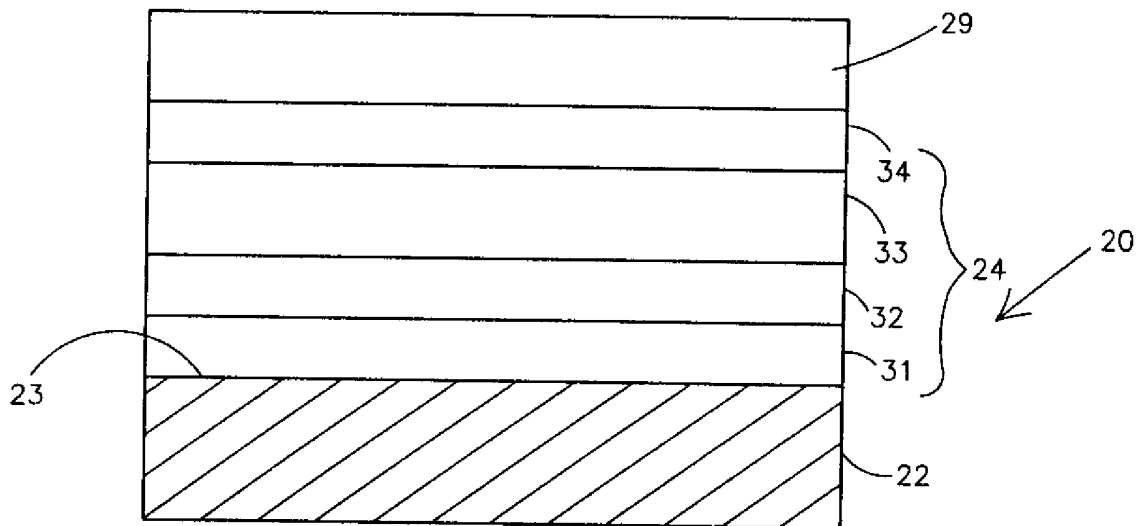


圖 4

