

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5853486号
(P5853486)

(45) 発行日 平成28年2月9日 (2016.2.9)

(24) 登録日 平成27年12月18日 (2015.12.18)

(51) Int.Cl.	F I				
HO 4 N 5/341 (2011.01)	HO 4 N 5/335	4 1 O			
HO 4 N 5/353 (2011.01)	HO 4 N 5/335	5 3 O			
HO 4 N 5/374 (2011.01)	HO 4 N 5/335	7 4 O			
HO 4 N 5/32 (2006.01)	HO 4 N 5/32				
HO 4 N 5/369 (2011.01)	HO 4 N 5/335	6 9 O			
請求項の数 15 (全 29 頁)					

(21) 出願番号	特願2011-178682 (P2011-178682)	(73) 特許権者	000002185
(22) 出願日	平成23年8月18日 (2011.8.18)		ソニー株式会社
(65) 公開番号	特開2013-42403 (P2013-42403A)		東京都港区港南1丁目7番1号
(43) 公開日	平成25年2月28日 (2013.2.28)	(74) 代理人	110001357
審査請求日	平成26年7月28日 (2014.7.28)		特許業務法人つばき国際特許事務所
		(72) 発明者	千田 みちる
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	藤本 信二
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		審査官	松永 隆志
最終頁に続く			

(54) 【発明の名称】 撮像装置および撮像表示システム

(57) 【特許請求の範囲】
【請求項1】

各々が光電変換素子を含む複数の画素を有する撮像部と、
前記光電変換素子により得られた信号電荷を前記画素から読み出す読み出し動作を線順次で行うための線順次読み出し駆動と、前記画素内の前記信号電荷をリセットするためのリセット動作を線順次で行うための線順次リセット駆動とを行うと共に、前記線順次読み出し駆動および前記線順次リセット駆動の際に前記複数の画素に対する順次走査を行う走査部を有する駆動部と
を備え、
前記線順次リセット駆動の際の駆動期間に、前記リセット動作の期間が複数含まれており、
前記線順次リセット駆動が1フレーム期間内で間欠的に複数回行われることにより、前記1フレーム期間内において各画素で前記リセット動作が前記複数回行われると共に、
一の線順次リセット駆動の際の駆動期間と他の一の線順次リセット駆動の際の駆動期間とが部分的に重畳する期間である、駆動オーバーラップ期間が設けられており、
前記駆動部は、
前記一の線順次リセット駆動による各リセット動作の期間と前記他の一の線順次リセット駆動による各リセット動作の期間とが全く重ならない期間であるリセット非重畳期間が、前記駆動オーバーラップ期間内において少なくとも一部に設けられるように、前記複数の線順次リセット駆動を行い、

10

20

前記走査部は、
前記線順次リセット駆動の実行回数に対応して設けられた複数列のシフトレジスタ回路部と、

各列のシフトレジスタ回路部からの出力信号同士の論理和信号を、各出力信号の有効期間を制御しつつ生成する論理回路と

を有する撮像装置。

【請求項 2】

前記駆動オーバーラップ期間内において、前記リセット非重畳期間が一部の期間でのみ設けられている

請求項 1 に記載の撮像装置。

10

【請求項 3】

前記駆動オーバーラップ期間内における前記リセット動作の期間が、全ての期間で前記リセット非重畳期間となっている

請求項 1 に記載の撮像装置。

【請求項 4】

前記線順次読み出し駆動と 1 回目の前記線順次リセット駆動とが、単一の線順次駆動によって同時に行われる

請求項 1 ないし請求項 3 のいずれか 1 項に記載の撮像装置。

【請求項 5】

前記駆動部は、前記読み出し動作を行う際に用いられる信号線が一方の入力端子に接続されると共に所定のリセット電圧が他方の入力端子に入力されるチャージアンプを有し、

前記チャージアンプにおける仮想短絡現象を利用して、前記 1 回目の線順次リセット駆動の際の前記リセット動作が行われる

請求項 4 に記載の撮像装置。

20

【請求項 6】

前記チャージアンプにおける帰還特性または仮想短絡現象を利用して、2 回目以降の前記線順次リセット駆動の際の前記リセット動作が行われる

請求項 5 に記載の撮像装置。

【請求項 7】

前記線順次読み出し駆動と各回の前記線順次リセット駆動とが、互いに独立して個別に行われる

請求項 1 ないし請求項 3 のいずれか 1 項に記載の撮像装置。

30

【請求項 8】

各画素はリセット用トランジスタを有し、

前記リセット用トランジスタがオン状態となることによって、前記各回の線順次リセット駆動の際の前記リセット動作が行われる

請求項 7 に記載の撮像装置。

【請求項 9】

前記線順次リセット駆動が、1 水平期間を超える期間に亘って間欠的に複数回行われる

請求項 1 ないし請求項 8 のいずれか 1 項に記載の撮像装置。

40

【請求項 10】

前記光電変換素子が、PIN 型のフォトダイオードからなる

請求項 1 ないし請求項 9 のいずれか 1 項に記載の撮像装置。

【請求項 11】

前記撮像部が、入射した放射線に応じて電気信号を発生させるものであり、放射線撮像装置として構成されている

請求項 1 ないし請求項 10 のいずれか 1 項に記載の撮像装置。

【請求項 12】

前記撮像部は、

前記光電変換素子を構成する光電変換層と、

50

前記放射線を前記光電変換層の感度域に波長変換する波長変換層と
を有する請求項 1 1 に記載の撮像装置。

【請求項 1 3】

前記撮像部は、前記光電変換素子を構成すると共に前記放射線に応じて前記電気信号を
直接発生させる光電変換層を有する

請求項 1 1 に記載の撮像装置。

【請求項 1 4】

前記放射線が X 線である

請求項 1 1 ないし請求項 1 3 のいずれか 1 項に記載の撮像装置。

【請求項 1 5】

撮像装置と、この撮像装置により得られた撮像信号に基づく画像表示を行う表示装置と
を備え、

前記撮像装置は、

各々が光電変換素子を含む複数の画素を有する撮像部と、

前記光電変換素子により得られた信号電荷を前記画素から読み出す読み出し動作を線順
次で行うための線順次読み出し駆動と、前記画素内の前記信号電荷をリセットするための
リセット動作を線順次で行うための線順次リセット駆動とを行うと共に、前記線順次読み
出し駆動および前記線順次リセット駆動の際に前記複数の画素に対する順次走査を行う走
査部を有する駆動部と

を備え、

前記線順次リセット駆動の際の駆動期間に、前記リセット動作の期間が複数含まれてお
り、

前記線順次リセット駆動が 1 フレーム期間内で間欠的に複数回行われることにより、前
記 1 フレーム期間内において各画素で前記リセット動作が前記複数回行われると共に、

一の線順次リセット駆動の際の駆動期間と他の一の線順次リセット駆動の際の駆動期間
とが部分的に重畳する期間である、駆動オーバーラップ期間が設けられており、

前記駆動部は、

前記一の線順次リセット駆動による各リセット動作の期間と前記他の一の線順次リセッ
ト駆動による各リセット動作の期間とが全く重ならない期間であるリセット非重畳期間が
、前記駆動オーバーラップ期間内において少なくとも一部に設けられるように、前記複数
回の線順次リセット駆動を行い、

前記走査部は、

前記線順次リセット駆動の実行回数に対応して設けられた複数列のシフトレジスタ回路
部と、

各列のシフトレジスタ回路部からの出力信号同士の論理和信号を、各出力信号の有効期
間を制御しつつ生成する論理回路と

を有する撮像表示システム。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、光電変換素子を有する撮像装置、およびそのような撮像装置を備えた撮像表
示システムに関する。

【背景技術】

【0002】

従来、各画素（撮像画素）に光電変換素子を内蔵する撮像装置として、種々のものが提
案されている。例えば特許文献 1 には、そのような光電変換素子を有する撮像装置の一例
として、いわゆる光学式のタッチパネルや、放射線撮像装置などが挙げられている。

【先行技術文献】

【特許文献】

【0003】

10

20

30

40

50

【特許文献1】特開2011-135561号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、上記したような撮像装置では一般に、複数の画素を駆動（撮像駆動）することによって撮像画像が得られる。このような撮像駆動の手法についても、従来より種々のものが提案されているが、撮像駆動の際の動作（例えばタイミング等）の自由度を向上させることを可能とする撮像装置の提案が望まれる。

【0005】

本開示はかかる問題点に鑑みてなされたもので、その目的は、撮像駆動の際の動作の自由度を向上させることが可能な撮像装置、およびそのような撮像装置を備えた撮像表示システムを提供することにある。

【課題を解決するための手段】

【0006】

本開示の撮像装置は、各々が光電変換素子を含む複数の画素を有する撮像部と、光電変換素子により得られた信号電荷を画素から読み出す読み出し動作を線順次で行うための線順次読み出し駆動と、画素内の信号電荷をリセットするためのリセット動作を線順次で行うための線順次リセット駆動とを行うと共に、線順次読み出し駆動および線順次リセット駆動の際に複数の画素に対する順次走査を行う走査部を有する駆動部とを備えたものである。線順次リセット駆動の際の駆動期間には、リセット動作の期間が複数含まれている。また、線順次リセット駆動が1フレーム期間内で間欠的に複数回行われることにより、1フレーム期間内において各画素でリセット動作が前記複数回行われると共に、一の線順次リセット駆動の際の駆動期間と他の一の線順次リセット駆動の際の駆動期間とが部分的に重畳する期間である、駆動オーバーラップ期間が設けられている。上記駆動部は、上記一の線順次リセット駆動による各リセット動作の期間と上記他の一の線順次リセット駆動による各リセット動作の期間とが全く重ならない期間であるリセット非重畳期間が、上記駆動オーバーラップ期間内において少なくとも一部に設けられるように、複数回の線順次リセット駆動を行う。また、上記走査部は、線順次リセット駆動の実行回数に対応して設けられた複数列のシフトレジスタ回路部と、各列のシフトレジスタ回路部からの出力信号同士の論理和信号を、各出力信号の有効期間を制御しつつ生成する論理回路とを有している

。

【0007】

本開示の撮像表示システムは、上記本開示の撮像装置と、この撮像装置により得られた撮像信号に基づく画像表示を行う表示装置とを備えたものである。

【0008】

本開示の撮像装置および撮像表示システムでは、上記読み出し動作を線順次で行うための線順次読み出し駆動と、上記リセット動作を線順次で行うための線順次リセット駆動とが行われる。このとき、線順次リセット駆動が1フレーム期間内で間欠的に複数回行われることにより、リセット動作後における画素内の残留電荷（信号電荷の残存量）が低減される。ここで、これら複数回の線順次リセット駆動では、上記駆動オーバーラップ期間内において、上記リセット非重畳期間が少なくとも一部に設けられる。これにより、例えば、上記駆動オーバーラップ期間内において上記リセット非重畳期間が全く設けられていない（上記駆動オーバーラップ期間内の各リセット動作の期間が全て重なっている）場合とは異なり、複数回の線順次リセット駆動の際の各リセット動作のタイミング等が、任意に設定可能となる。

【発明の効果】

【0009】

本開示の撮像装置および撮像表示システムによれば、複数回の線順次リセット駆動の際に、上記駆動オーバーラップ期間内において上記リセット非重畳期間が少なくとも一部に設けられるようにしたので、それら複数回の線順次リセット駆動の際の各リセット動作の

タイミング等を、任意に設定することができるようになる。よって、撮像駆動の際の動作の自由度を向上させることが可能となる。

【図面の簡単な説明】

【0010】

【図1】本開示の一実施の形態に係る撮像装置の全体構成例を表すブロック図である。

【図2】図1に示した撮像部の概略構成例を表す模式図である。

【図3】図1に示した画素等の詳細構成例を表す回路図である。

【図4】図1に示した行走査部の詳細構成例を表すブロック図である。

【図5】図1に示した列選択部の詳細構成例を表すブロック図である。

【図6】露光期間および読み出し / 第1リセット期間における動作状態の一例を表す回路図である。 10

【図7】ラテラル型構造のPIN型のフォトダイオードである場合における光電変換素子での蓄積状態および空乏状態について説明するための模式図である。

【図8】パーティカル型構造のPIN型のフォトダイオードからなる光電変換素子の構成例を表す模式断面図である。

【図9】画素内の寄生容量に起因した電荷分配現象について説明するための回路図である。

【図10】残留電荷発生メカニズムを説明するための特性図である。

【図11】読み出し / 第1リセット期間後の経過時間とDecay電流との関係の一例を表す特性図である。 20

【図12】残留電荷量とDecay電流との関係について説明するための特性図である。

【図13】実施の形態に係る撮像動作の概要を説明するためのタイミング波形図である。

【図14】第2のリセット期間における動作状態の例を表す回路図である。

【図15】2回目のリセット動作により低減される残留電荷量について説明するための特性図である。

【図16】実施の形態に係る線順次撮像駆動の一例を表すタイミング波形図である。

【図17】図16に示した線順次撮像駆動の一部を拡大して表すタイミング波形図である。

【図18】実施の形態に係る線順次撮像駆動の他の例を表すタイミング波形図である。

【図19】実施の形態に係る線順次撮像駆動の他の例を表すタイミング波形図である。 30

【図20】比較例に係る線順次撮像駆動を表すタイミング波形図である。

【図21】変形例1に係る画素等の構成を表す回路図である。

【図22】変形例2に係る画素等の構成を表す回路図である。

【図23】変形例3に係る画素等の構成を表す回路図である。

【図24】パッシブ型およびアクティブ型の画素回路における線順次撮像駆動の一例を表すタイミング波形図である。

【図25】変形例4, 5に係る撮像部の概略構成を表す模式図である。

【図26】適用例に係る撮像表示システムの概略構成を表す模式図である。

【発明を実施するための形態】

【0011】

以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態（パッシブ型の画素回路の例1）

2. 変形例

変形例1（パッシブ型の画素回路の例2）

変形例2, 3（アクティブ型の画素回路の例）

変形例4, 5（放射線に基づいて撮像を行う撮像部の例）

3. 適用例（撮像表示システムへの適用例）

4. その他の変形例

40

50

【 0 0 1 2 】

< 実施の形態 >

[撮像装置 1 の全体構成]

図 1 は、本開示の一実施の形態に係る撮像装置（撮像装置 1）の全体のブロック構成を表すものである。撮像装置 1 は、撮像光に基づいて被写体の情報を読み取る（被写体を撮像する）ものである。この撮像装置 1 は、撮像部 1 1、行走査部 1 3、A / D 変換部 1 4、列走査部 1 5 およびシステム制御部 1 6 を備えている。これらのうち、行走査部 1 3、A / D 変換部 1 4、列走査部 1 5 およびシステム制御部 1 6 が、本開示における「駆動部」の一具体例に対応し、行走査部 1 3 が、本開示における「走査部」の一具体例に対応する。

10

【 0 0 1 3 】

(撮像部 1 1)

撮像部 1 1 は、入射した撮像光に応じて電気信号を発生させるもの（撮像領域）である。この撮像部 1 1 では、入射した撮像光の光量に応じた電荷量の光電荷を発生して内部に蓄積する光電変換部（後述する光電変換素子 2 1）を有する画素（撮像素素，単位画素）2 0 が、行列状（マトリクス状）に 2 次元配置されている。なお、図 1 中に示したように、以下、撮像部 1 1 内における水平方向（行方向）を「H」方向とし、垂直方向（列方向）を「V」方向として説明する。

【 0 0 1 4 】

図 2 は、この撮像部 1 1 の概略構成例を表したものである。撮像部 1 1 には、上記した複数の画素 2 0 が配置された光電変換層 1 1 1 が設けられている。この光電変換層 1 1 1 では、図中に示したように、入射した撮像光 L in に基づく光電変換（撮像光 L in から信号電荷への変換）がなされるようになっている。

20

【 0 0 1 5 】

図 3 は、画素 2 0 の回路構成例（いわゆるパッシブ型の回路構成例）を、A / D 変換部 1 4 内の後述する列選択部 1 7 の回路構成例とともに表したものである。このパッシブ型の画素 2 0 には、1 つの光電変換素子 2 1 と、1 つのトランジスタ 2 2 とが設けられている。この画素 2 0 にはまた、H 方向に沿って延在する読み出し制御線 L read と、V 方向に沿って延在する信号線 L sig とが接続されている。

【 0 0 1 6 】

光電変換素子 2 1 は、例えば P I N (Positive Intrinsic Negative) 型のフォトダイオードからなり、前述したように、入射光（撮像光 L in）の光量に応じた電荷量の信号電荷を発生させるようになっている。なお、この光電変換素子 2 1 のカソードは、蓄積ノード N に接続されている。

30

【 0 0 1 7 】

トランジスタ 2 2 は、読み出し制御線 L read から供給される行走査信号に応じてオン状態となることにより、光電変換素子 2 1 により得られた信号電荷（入力電圧 V in）を信号線 L sig へ出力するトランジスタ（読み出し用トランジスタ）である。このトランジスタ 2 2 は、ここでは N チャネル型（N 型）の電界効果トランジスタ（F E T ; Field Effect Transistor）により構成されている。ただし、トランジスタ 2 2 が P チャネル型（P 型）の F E T 等により構成されていてもよい。このトランジスタ 2 2 はまた、例えば、微結晶シリコン（S i）または多結晶シリコン（ポリシリコン）等のシリコン系半導体を用いて構成されている。あるいは、酸化インジウムガリウム亜鉛（I n G a Z n O）または酸化亜鉛（Z n O）等の酸化物半導体を用いて構成してもよい。微結晶シリコン、多結晶シリコンおよび酸化物半導体は、非晶質シリコン（アモルファスシリコン）と比べて移動度 μ が高いため、例えばトランジスタ 2 2 による信号電荷の高速読み出しが可能となる。

40

【 0 0 1 8 】

この画素 2 0 では、トランジスタ 2 2 のゲートが読み出し制御線 L read に接続され、ソースが信号線 L sig に接続され、ドレインが、光電変換素子 2 1 のカソード（蓄積ノード N）に接続されている。また、光電変換素子 2 1 のアノードは、ここではグラウンド（接地

50

）に接続されている。

【 0 0 1 9 】

（ 行走査部 1 3 ）

図 1 に示した行走査部 1 3 は、後述するシフトレジスタ回路や所定の論理回路等を含んで構成されており、撮像部 1 1 内の複数の画素 2 0 に対して行単位（水平ライン単位）での駆動（線順次走査）を行う画素駆動部（行走査回路）である。具体的には、後述する線順次読み出し駆動や線順次リセット駆動等の線順次撮像駆動の際に、そのような線順次走査を行う。なお、この線順次走査は、読み出し制御線 L read を介して前述した行走査信号を各画素 2 0 へ供給することによって行われるようになっている。

【 0 0 2 0 】

10

図 4 は、行走査部 1 3 のブロック構成例を表したものである。行走査部 1 3 は、V 方向に沿って延在する複数の単位回路 1 3 0 を有している。なお、ここでは、図中に示した 4 つの単位回路 1 3 0 に接続された 8 つの読み出し制御線 L read を、上から順に、L read (1) ~ L read (8) として示している。

【 0 0 2 1 】

各単位回路 1 3 0 は、複数列（ここでは 2 列）のシフトレジスタ回路 1 3 1 , 1 3 2 （図中のブロック内では便宜上、「S / R」と記載；以下同様）と、4 つの AND 回路（論理積回路）1 3 3 A ~ 1 3 3 D と、2 つの OR 回路（論理和回路）1 3 4 A , 1 3 4 B と、2 つのバッファ回路 1 3 5 A , 1 3 5 B とを有している。これらのうち、AND 回路 1 3 3 A ~ 1 3 3 D および OR 回路 1 3 4 A , 1 3 4 B が、本開示における「論理回路」の一具体例に対応している。

20

【 0 0 2 2 】

シフトレジスタ回路 1 3 1 は、システム制御部 1 6 から供給されるスタートパルス V S T 1 およびクロック信号 C L K 1 に基づいて、複数の単位回路 1 3 0 全体として、V 方向に順次シフトするパルス信号を生成する回路である。同様に、シフトレジスタ回路 1 3 2 は、システム制御部 1 6 から供給されるスタートパルス V S T 2 およびクロック信号 C L K 2 に基づいて、複数の単位回路 1 3 0 全体として、V 方向に順次シフトするパルス信号を生成する回路である。これらのシフトレジスタ回路 1 3 1 , 1 3 2 は、後述する複数回の線順次リセット駆動における実行回数（ここでは 2 回）に対応して設けられたものである（実行回数に対応して 2 列設けられている）。すなわち、例えば、シフトレジスタ回路 1 3 1 は、1 回目の線順次リセット駆動用のパルス信号を生成する役割を担う一方、シフトレジスタ回路 1 3 2 は、2 回目の線順次リセット駆動用のパルス信号を生成する役割を担っている。

30

【 0 0 2 3 】

AND 回路 1 3 3 A ~ 1 3 3 D にはそれぞれ、シフトレジスタ回路 1 3 1 , 1 3 2 から出力される各パルス信号（各出力信号）の有効期間を制御（規定）するための 4 種類のイネーブル信号 E N 1 ~ E N 4 が入力されている。具体的には、AND 回路 1 3 3 A では、一方の入力端子にはシフトレジスタ回路 1 3 2 からのパルス信号が入力され、他方の入力端子にはイネーブル信号 E N 1 が入力されている。AND 回路 1 3 3 B では、一方の入力端子にはシフトレジスタ回路 1 3 1 からのパルス信号が入力され、他方の入力端子にはイネーブル信号 E N 2 が入力されている。AND 回路 1 3 3 C では、一方の入力端子にはシフトレジスタ回路 1 3 2 からのパルス信号が入力され、他方の入力端子にはイネーブル信号 E N 3 が入力されている。AND 回路 1 3 3 D では、一方の入力端子にはシフトレジスタ回路 1 3 1 からのパルス信号が入力され、他方の入力端子にはイネーブル信号 E N 4 が入力されている。

40

【 0 0 2 4 】

OR 回路 1 3 4 A は、AND 回路 1 3 3 A からの出力信号と AND 回路 1 3 3 B からの出力信号との論理和信号（OR 信号）を生成する回路である。同様に、OR 回路 1 3 4 B は、AND 回路 1 3 3 C からの出力信号と AND 回路 1 3 3 D からの出力信号との論理和信号を生成する回路である。このようにして、上記した AND 回路 1 3 3 A ~ 1 3 3 D と

50

OR回路134A, 134Bとによって、シフトレジスタ回路131, 132からの出力信号(パルス信号)同士の論理和信号が、各出力信号の有効期間を制御しつつ生成される。これにより、後述する複数回の線順次リセット駆動の際の駆動タイミング等が規定されるようになっている。

【0025】

バッファ回路135Aは、OR回路134Aからの出力信号(パルス信号)に対するバッファとして機能する回路であり、バッファ回路135Bは、OR回路134Bからの出力信号に対するバッファとして機能する回路である。これらのバッファ回路135A, 135Bによるバッファ後のパルス信号(行走査信号)は、読み出し制御線Lreadを介して撮像部11内の各画素20へ出力されるようになっている。

10

【0026】

(A/D変換部14)

A/D変換部14は、図1に示したように、複数(ここでは4つ)の信号線Lsigごとに1つ設けられた複数の列選択部17を有しており、信号線Lsigを介して入力した信号電圧(信号電荷)に基づいてA/D変換(アナログ/デジタル変換)を行うものである。これにより、デジタル信号からなる出力データDout(撮像信号)が生成され、外部へ出力されるようになっている。

【0027】

各列選択部17は、例えば図3および図5に示したように、チャージアンプ172、容量素子(コンデンサ, フィードバック容量素子)C1、スイッチSW1、サンプルホールド(S/H)回路173、4つのスイッチSW2を含むマルチプレクサ回路(選択回路)174、およびA/Dコンバータ175を有している。これらのうち、チャージアンプ172、容量素子C1、スイッチSW1、S/H回路173およびスイッチSW2はそれぞれ、図5に示したように、信号線Lsigごとに1つずつ設けられている。一方、マルチプレクサ回路174およびA/Dコンバータ175は、列選択部17全体として1つ設けられている。

20

【0028】

チャージアンプ172は、信号線Lsigから読み出された信号電荷を電圧に変換(Q-V変換)するためのアンプ(増幅器)である。このチャージアンプ172では、負側(-側)の入力端子に信号線Lsigの一端が接続され、正側(+側)の入力端子には所定のリセット電圧Vrstが入力されるようになっている。また、チャージアンプ172の出力端子と負側の入力端子との間は、容量素子C1とスイッチSW1との並列接続回路を介して帰還接続(フィードバック接続)されている。すなわち、容量素子C1の一方の端子がチャージアンプ172の負側の入力端子に接続され、他方の端子がチャージアンプ172の出力端子に接続されている。同様に、スイッチSW1の一方の端子がチャージアンプ172の負側の入力端子に接続され、他方の端子がチャージアンプ172の出力端子に接続されている。なお、このスイッチSW1のオン・オフ状態は、システム制御部16からアンプリセット制御線Lcarstを介して供給される制御信号(アンプリセット制御信号)によって制御されるようになっている。このようにして、チャージアンプ172、容量素子C1およびスイッチSW1によって、上記したQ-V変換を行うチャージアンプ回路が形成されている。

30

40

【0029】

S/H回路173は、チャージアンプ172とマルチプレクサ回路174(スイッチSW2)との間に配置されており、チャージアンプ172からの出力電圧Vcaを一時的に保持するための回路である。

【0030】

マルチプレクサ回路174は、列走査部15による走査駆動に従って4つのスイッチSW2のうちの1つが順次オン状態となることにより、各S/H回路173とA/Dコンバータ175との間を選択的に接続または遮断する回路である。

【0031】

50

A/Dコンバータ175は、スイッチSW2を介して入力されたS/H回路173からの出力電圧に対してA/D変換を行うことにより、上記した出力データDoutを生成して出力する回路である。

【0032】

(列走査部15・システム制御部16)

列走査部15は、例えば図示しないシフトレジスタやアドレスデコーダ等を含んで構成されており、上記した列選択部17内の各スイッチSW2を走査しつつ順番に駆動するものである。このような列走査部15による選択走査によって、信号線Lsigの各々を介して読み出された各画素20の信号(上記した出力データDout)が、順番に外部へ出力されるようになっている。

10

【0033】

システム制御部16は、行走査部13、A/D変換部14および列走査部15の動作を制御するものである。具体的には、このシステム制御部16は、前述した各種のタイミング信号(制御信号)を生成するタイミングジェネレータを有しており、このタイミングジェネレータにおいて生成される各種のタイミング信号を基に、行走査部13、A/D変換部14および列走査部15の駆動制御を行う。このようにして、システム制御部16の制御に基づいて、行走査部13、A/D変換部14および列走査部15がそれぞれ撮像部11内の複数の画素20に対する撮像駆動(線順次撮像駆動)を行うことにより、撮像部11から出力データDoutが取得されるようになっている。

【0034】

20

[撮像装置1の作用・効果]

(1.基本動作)

この撮像装置1では、図2に示したように、後述する露光期間Texにおいて撮像光Linが撮像部11へ入射すると、光電変換層111(図3に示した各画素20内の光電変換素子21)では、この撮像光Linが信号電荷に変換(光電変換)される。この光電変換によって発生した信号電荷により、蓄積ノードNでは蓄積ノード容量に応じた電圧変化が生じる。具体的には、蓄積ノード容量をCs、発生した信号電荷をqとすると、蓄積ノードNでは (q/Cs) の分だけ電圧が低下する。このような電圧変化に応じて、トランジスタ22のドレインには入力電圧Vin(信号電荷に対応した電圧)が印加される。このトランジスタ22へ供給される入力電圧Vinは、読み出し制御線Lreadから供給される行走査信号に応じてトランジスタ22がオン状態になると、その電荷が画素20から信号線Lsigへ読み出される(読み出し期間)。

30

【0035】

このようにして読み出された信号電荷は、信号線Lsigを介して複数(ここでは4つ)の画素列ごとに、A/D変換部14内の列選択部17へ入力される。列選択部17では、まず、各信号線Lsigから入力される信号電荷ごとに、チャージアンプ172等からなるチャージアンプ回路においてQ-V変換(信号電荷から信号電圧への変換)を行う。次いで、変換された信号電圧(チャージアンプ回路172からの出力電圧Vca)ごとに、S/H回路173およびマルチプレクサ回路174を介してA/Dコンバータ175においてA/D変換を行い、デジタル信号からなる出力データDout(撮像信号)を生成する。このようにして、各列選択部17から出力データDoutが順番に出力され、外部へ伝送される。

40

【0036】

(2.露光期間Tex・読み出し期間における動作)

ここで、図6(A)、(B)を参照して、上記した露光期間Texおよび読み出し期間における画素20および列選択部17内のチャージアンプ回路の動作について、詳細に説明する。なお、以下では説明の便宜上、トランジスタ22のオン・オフ状態を、スイッチを用いて図示している。

【0037】

まず、図6(A)に示したように、画素20内の光電変換素子21へ撮像光Linが入射

50

する露光期間 T_{ex} では、蓄積ノード N に蓄積された信号電荷が露光期間 T_{ex} 中には信号線 L_{sig} 側へ出力されない（読み出されない）よう、トランジスタ 22 はオフ状態となっている。なお、このときチャージアンプ回路では、後述するアンプリセット動作（チャージアンプ回路のリセット動作）がなされた後の状態であるため、スイッチ $SW1$ がオン状態となっており、結果としてボルテージフォロワ回路が形成されている。

【0038】

一方、上記した読み出し期間は、本実施の形態では、画素 20 内に蓄積された信号電荷をリセットするためのリセット動作（画素リセット動作）を行う期間ともなっている。すなわち、本実施の形態の画素 20 はパッシブ型の画素回路となっていることに起因して、光電変換素子 21 により得られた信号電荷を画素 20 から読み出す「読み出し動作」と、上記した「リセット動作」とが、実質的に同時に（並行して）行われる。換言すると、詳細は後述するが、この読み出し動作を線順次で行うための線順次読み出し駆動と、リセット動作を線順次で行うための線順次リセット駆動とが、単一の線順次駆動によって（実質的に）同時に行われるようになっている。なお、このときのリセット動作は、後述する複数回（ここでは 2 回）のリセット動作のうちの 1 回目のリセット動作に対応していることから、以下では、この読み出し動作と 1 回目のリセット動作とが実質的同時に行われる期間を、「読み出し／第 1 リセット期間 T_{r1} 」と称する。

【0039】

この読み出し／第 1 リセット期間 T_{r1} では、図 $6(B)$ に示したように、トランジスタ 22 がオン状態となることにより、画素 20 内の蓄積ノード N から信号線 L_{sig} 側へ信号電荷が読み出される（図中の矢印 $P11$ 参照）。このようにして読み出された信号電荷は、チャージアンプ回路へ入力される。ここで、この読み出し／第 1 リセット期間 T_{r1} では、チャージアンプ回路におけるスイッチ $SW1$ は、オフ状態となっている。すなわち、チャージアンプ回路が読み出し動作状態となっている。したがって、このチャージアンプ回路へ入力された信号電荷は容量素子 $C1$ に蓄積され、その蓄積電荷に応じた信号電圧（出力電圧 V_{ca} ）がチャージアンプ 172 から出力される。このようにしてチャージアンプ回路において、信号電荷から信号電圧への変換（ $Q-V$ 変換）がなされる。なお、このようにして容量素子 $C1$ に蓄積された電荷は、後述するアンプリセット動作の際にスイッチ $SW1$ がオン状態となることにより、リセットされる（アンプリセット動作がなされる）ようになっている。

【0040】

また、このような読み出し動作とともに、この読み出し／第 1 リセット期間 T_{r1} では、以下のようにして 1 回目のリセット動作（第 1 のリセット動作）が行われる。すなわち、図中の矢印 $P12$ で示したように、チャージアンプ回路（チャージアンプ 172 ）における仮想短絡（イマジナリー・ショート）現象を利用して、 1 回目のリセット動作がなされる。つまり、この仮想短絡現象によって、チャージアンプ 172 における負側の入力端子側（信号線 L_{sig} 側）の電圧が、正側の入力端子に印加されているリセット電圧 V_{rst} に略等しくなることから、トランジスタ 22 を介して画素 20 内の蓄積ノード N も、このリセット電圧 V_{rst} となるのである。このようにして、上記した読み出し動作に伴い、蓄積ノード N の蓄積電荷が所定のリセット電圧 V_{rst} にリセットされる。

【0041】

（ 3.1 回目のリセット動作後における画素 20 内での信号電荷の残存について）

ところで、上記のような 1 回目のリセット動作（第 1 のリセット動作）を行ったにもかかわらず、この 1 回目のリセット動作前に蓄積された信号電荷の一部が画素 20 内に残存してしまう場合がある。このように信号電荷の一部が画素 20 内に残ってしまうと、次の読み出し動作時（次のフレーム期間での撮像時）においてその残留電荷に起因した残像が発生し、撮像画質が低下してしまうという問題がある。以下、図 $7 \sim$ 図 12 を参照して、このような 1 回目のリセット動作後における画素 20 内での信号電荷の残存（蓄積電荷の残留）について、詳細に説明する。

【0042】

まず、光電変換素子 21 が P I N 型のフォトダイオード（薄膜フォトダイオード）の場合、以下の 2 つの構造のものに大別される。すなわち、図 7（A），（B）に示したような、いわゆるラテラル型（横型）構造のものと、図 8 に示したような、いわゆるパーティカル型（縦型）構造のものである。

【0043】

図 7（A），（B）に示したラテラル型構造の場合、光電変換素子 21 は横方向（積層面内方向）に沿って、p 型半導体層 21 P、真性半導体層（i 層）21 I および n 型半導体層 21 N を、この順に有している。また、真性半導体層 21 I 付近でゲート絶縁膜（図示せず）を介して対向配置された、ゲート電極 21 G を有している。一方、図 8 に示したパーティカル型構造の場合、光電変換素子 21 は縦方向（積層方向）に沿って、例えば、下部電極 211a、n 型半導体層 21 N、真性半導体層 21 I、p 型半導体層 21 P および上部電極 211b を、この順に有している。

【0044】

（3-1. 強外光が照射されて画素 20 内の電荷が飽和する場合の発生メカニズム）

ここで、上記した信号電荷の残存が発生するメカニズムの一例として、強外光が照射されて画素 20 内の電荷が飽和してしまう場合について、上記したラテラル型構造の P I N 型のフォトダイオードからなる光電変換素子 21 を例に挙げて説明する。この構造の光電変換素子 21 では、ゲート電極 21 G に印加されるゲート電圧により、真性半導体層 21 I が、蓄積状態（飽和状態）、空乏状態、反転状態のいずれかの状態となる。ここで、薄膜フォトダイオードの場合、この蓄積状態もしくは反転状態においてゲート電極 21 G 側の界面に電荷が誘起された状態（図 7（A））から、空乏状態（図 7（B））に遷移するには、数百 μs オーダーの時間が必要となる。通常、P I N 型のフォトダイオードは、空乏状態で光感度が最大となるため空乏状態で使用するが、例えば強外光が照射されて $V_{np} < 0 V$ の状態になると、蓄積状態に移行する。なお、 V_{np} は、p 型半導体層 21 P 側から見た n 型半導体層 21 N の電位である。

【0045】

このため、例えば、強外光が照射された直後に暗状態に環境が変化し、かつリセット動作（1 回目のリセット動作）が行われて $V_{np} > 0$ の状態に戻っても、数百 μs の間は蓄積状態から空乏状態に遷移できない。このとき、空乏状態と、蓄積状態もしくは反転状態とでは、上記したゲート電極 21 G 側の界面に誘起された電荷の影響により、P I N 型のフォトダイオードにおける容量特性が異なることが知られている。すなわち、図 7（A），（B）に示したように、ゲート電極 21 G と p 型半導体層 21 P と間に形成される寄生容量 C_{gp} は、蓄積状態では大きく、空乏状態では小さい。

【0046】

一方、画素 20 内の蓄積ノード N（蓄積容量）は、上記した 1 回目のリセット動作によって所定のリセット電圧 V_{rst} となるが、この 1 回目のリセット動作後にトランジスタ 22 がオン状態からオフ状態に遷移する際に、以下の現象が起こる。すなわち、例えば図 9 に示したように、画素 20 内の寄生容量（トランジスタ 22 のゲート・ドレイン間に形成された寄生容量 C_{gd} ）に蓄積された電荷に起因して、蓄積ノード N の電位がリセット電圧 V_{rst} から微小に変動する（図中の矢印 P2 参照）。このような現象は、電荷分配現象（チャージインジェクション現象）と呼ばれる。

【0047】

ここで、上述したように、蓄積ノード N に接続されている P I N 型のフォトダイオード（光電変換素子 21）における寄生容量 C_{gp} が、空乏状態と蓄積もしくは反転常態とで異なる場合、この光電変換素子 21 の状態によって、画素 20 内における全体のカップリング量（寄生容量の大きさ）が変化してしまう。これが影響して、1 回目のリセット動作後においても、直前まで入射していた光（撮像光 L_{in} ）の情報（電荷）が、蓄積ノード Nに残ってしまう。このようなメカニズムにより、強外光が照射されて画素 20 内の電荷が飽和してしまう場合には、1 回目のリセット動作を行ったにも関わらず、この 1 回目のリセット動作前に蓄積された信号電荷の一部が、画素 20 内に残存してしまうのである。な

お、ここでは、図 7 (A) , (B) に示したラテラル型構造の場合を例に挙げて説明したが、例えば図 8 に示したパーティカル型構造の場合においても、強外光が照射されて画素 20 内の電荷が飽和したときには、同様のメカニズムによって信号電荷の残存が生じる。

【 0048 】

(3 - 2 . 一般的な発生メカニズム)

次いで、上記したような場合 (強外光が照射されて画素 20 内の電荷が飽和してしまう場合) には限定されない、信号電荷の残存 (残留電荷) の一般的な発生メカニズムについて説明する。つまり、上記したような、容量変化が発生するような強外光が照射されなくても、以下説明する Decay 電流が光電変換素子 21 (PIN 型のフォトダイオード) から生ずることによって、残留電荷が発生することについて説明する。

【 0049 】

図 10 (A) , (B) はそれぞれ、前述した PIN 型のフォトダイオードにおける、エネルギーバンド構造 (各層の位置とエネルギー準位との関係) を表したものである。これらの図から分かるように、真性半導体層 21 I には多数の欠陥準位 E_d が存在している。そして、図 10 (A) に示したように、読み出し / 第 1 リセット期間 T_{r1} (1 回目のリセット動作) の終了直後においては、これらの欠陥準位 E_d に電荷 e が捕獲 (トラップ) された状態となっている。ところが、例えば図 10 (B) に示したように、読み出し / 第 1 リセット期間 T_{r1} からある程度の時間が経過すると、欠陥準位 E_d にトラップされている電荷 e が、真性半導体層 21 I からフォトダイオード (光電変換素子 21) の外部へ放出される (図中の破線の矢印参照)。これにより、上記した Decay 電流 I_{decay} が光電変換素子 21 から発生する。

【 0050 】

ここで、図 11 (A) , (B) はそれぞれ、読み出し / 第 1 リセット期間 T_{r1} 後の経過時間 t と Decay 電流 I_{decay} との関係の一例を表したものである。図 11 (A) では、縦軸および横軸とも対数 (log) スケールで示し、図 11 (B) では、縦軸を対数スケールで示す一方、横軸については線形 (リニア) スケールで示している。なお、図 11 (A) , (B) 中には、特性線のうちの一部の共通領域を、符号 G_1 で示している。これらの図から分かるように、Decay 電流 I_{decay} は、読み出し / 第 1 リセット期間 T_{r1} の終了時 ($t = 0$) から時間の経過とともに相乗的に減少していく傾向にある ($I_{decay} = (I_0 / t)$, I_0 : 定数値)。また、このときに発生する残留電荷 (q_1 とする) は、例えば図 12 に示したように、Decay 電流 $I_{decay} = (I_0 / t)$ を経過時間 t で積分することにより求められることが分かる。

【 0051 】

以上のような一般的な発生メカニズムにより、1 回目のリセット動作を行ったにも関わらず、この 1 回目のリセット動作前に蓄積された信号電荷の一部が、画素 20 内に残存してしまう (上記した残留電荷 q_1 が発生してしまう) のである。

【 0052 】

(4 . 複数回のリセット動作を利用した残留電荷の低減作用)

そこで本実施の形態では、例えば図 13 に示したように、複数回 (ここでは 2 回) のリセット動作を行うことによって上記した残留電荷を低減し、この残留電荷に起因した残像を抑えるようにしている。以下、この複数回のリセット動作を利用した残留電荷の低減作用について詳細に説明する。

【 0053 】

図 13 において、(A) は読み出し制御線 L_{read} の電位 V_{read} のタイミング波形を、(B) は、チャージアンプ 172 からの出力電圧 V_{ca} のタイミング波形を、(C) は信号線 L_{sig} の電位 V_{sig} のタイミング波形を、(D) は蓄積ノード N の電位 V_n のタイミング波形を、それぞれ示す。また、これらの各タイミング波形は、1 垂直期間 (1 フレーム期間) T_v を含む前後の期間についてのものである。

【 0054 】

この 1 フレーム期間 T_v では、まずタイミング $t_{11} \sim t_{12}$ の露光期間 T_{ex} におい

10

20

30

40

50

て、図6(A)等を用いて前述したようにして、露光動作が行われる。すなわち、撮像光Linが撮像部11へ入射すると、各画素20内の光電変換素子21では、この撮像光Linが信号電荷に変換(光電変換)される。そして、この信号電荷が画素20内の蓄積ノードNに蓄積され、その電位Vnが徐々に変化する(図13中の矢印P31参照)。なお、この露光動作に伴って、電位Vnがリセット電圧Vrst側から0Vへ向けて徐々に低下していているのは、ここでは光電変換素子21のカソード側が蓄積ノードNとなっているためである。

【0055】

次いで、タイミングt13~t14の読み出し/第1リセット期間Tr1では、図6(B)等を用いて前述したようにして、読み出し動作と1回目のリセット動作(画素リセット動作)とが行われる。すなわち、画素20から信号電荷を読み出す読み出し動作と、この画素20内の信号電荷をリセットするための1回目のリセット動作とが、実質的に同時に行われる。ただし、図13中の矢印P32で示したように、この1回目のリセット動作後において蓄積ノードNの電位Vnが徐々に低下していき、前述した残留電荷q1が発生してしまっている。

【0056】

なお、その後のタイミングt15では、チャージアンプ回路におけるスイッチSW1がオン状態となることにより、このチャージアンプ回路内の容量素子C1に蓄積された電荷がリセットされる。すなわち、チャージアンプ回路のリセット動作(アンプリセット動作)が行われる。

【0057】

続いて、その後のタイミングt16~t17において、以下説明する2回目のリセット動作(第2リセット動作)が行われる(第2リセット期間Tr2)。

【0058】

この第2リセット期間Tr2では、具体的には、例えば図14(A)に示した第1の動作例のようにして、2回目のリセット動作が行われる。すなわち、この第1の動作例では、画素20内のトランジスタ22がオン状態になると共に、チャージアンプ回路におけるスイッチSW1もオン状態となり、チャージアンプ172を用いたボルテージフォロワ回路が形成される。このため、このチャージアンプ172における帰還特性(フィードバック特性)により、チャージアンプ172における負側の入力端子側(信号線Lsig側)の電圧が、正側の入力端子に印加されているリセット電圧Vrstに略等しくなる。このように第1の動作例では、チャージアンプ172における帰還特性を利用して、画素20内の蓄積ノードNの電位Vnがリセット電圧Vrstに設定される(2回目のリセット動作がなされる)。

【0059】

一方、図14(B)に示した第2の動作例では、前述した1回目のリセット動作のときと同様に、チャージアンプ回路(チャージアンプ172)における仮想短絡現象を利用して、2回目のリセット動作がなされる(図中の矢印P42参照)。つまり、この仮想短絡現象によって、画素20内の蓄積ノードNの電位Vnがリセット電圧Vrstに設定される。なお、このときは、読み出し/第1リセット期間Tr1のときと同様に、画素20内のトランジスタ22がオン状態であると共にチャージアンプ回路におけるスイッチSW1がオフ状態であることから、チャージアンプ回路が読み出し動作状態となっている。つまり、図中の矢印P41で示したように、この第2の動作例では、蓄積ノードNに残存している電荷をチャージアンプ回路によって読み出すことも可能となっている。

【0060】

このようにして本実施の形態では、画素20内の蓄積電荷のリセット動作(後述する線順次リセット駆動)が、1フレーム期間内で間欠的に(独立して)複数回行われる。具体的には、ここでは1回目のリセット動作(読み出し/第1リセット期間Tr1)と2回目のリセット動作(第2リセット期間Tr2)とが、間欠的に行われるように設定されている。これにより、1回目のリセット動作後における画素20内の残留電荷q1(信号電荷

10

20

30

40

50

の残存量)がより確実にリセットされ、そのような残留電荷 q_1 が低減される(図13中に示した矢印P33参照)。

【0061】

具体的には、1回目のリセット動作の終了時(T_{r1} の終了時)から2回目のリセット動作の終了時(T_{r2} の終了時)までの時間を t_{12} とすると(図13参照)、発生した残留電荷 q_1 のうちの低減される電荷量は、例えば図15に示したようになる。すなわち、例えば図12において説明した残留電荷 q_1 のうち、時間 t_{12} の開始時 $t_1 (=0)$ から終了時 t_2 までの時間積分値に対応する電荷 q_{12} が、この2回目のリセット動作によって排出される(低減する)電荷量に相当する。また、 $(q_1 - q_{12}) = q_{23}$ により算出される電荷 q_{23} が、2回目のリセット動作後においても残存する電荷量に相当する。このため、上記した時間 t_{12} ができるだけ長くなるように設定するのが望ましいと言える。以上のようにして、1回目のリセット動作後における画素20内の残留電荷 q_1 が低減され、その結果、次の読み出し動作時(次のフレーム期間での撮像時)において、この残留電荷に起因した残像の発生が抑えられ、撮像画質を向上させることができる。

【0062】

なお、このような複数回のリセット動作(線順次リセット駆動)は、例えば1水平期間(1水平走査期間:一例として $32\mu s$ 程度)を超える期間に亘って間欠的に行われるようにするのが望ましい。これは、以下の理由によるものである。すなわち、前述したように、PIN型のフォトダイオードにおける状態遷移には、数百 μs 程度の時間がかかる。このことから、例えば $100\mu s$ 程度の時間、リセット電圧 V_{rst} を連続的または間欠的に蓄積ノードNに与えることで、残留電荷の発生を低減することができると考えられる。ただし、実際には、このリセット電圧 V_{rst} を与える期間が1水平期間(例えば $32\mu s$ 程度)を超えると残留電荷が大きく減少し始めることが、実験等により確認されている。

【0063】

(5. 線順次リセット駆動の際の各リセット動作のタイミング等について)

また、本実施の形態では、例えば以下の図16~図19に示したようにして、線順次撮像駆動(線順次読み出し駆動および線順次リセット駆動)の際の各動作のタイミングが設定されている。

【0064】

図16は、本実施の形態に係る線順次撮像駆動の一例を、タイミング波形図で表わしたものである。ここで、(A)~(F)はそれぞれ、読み出し制御線 $L_{read}(1) \sim L_{read}(3)$, $L_{read}(n-2) \sim L_{read}(n)$ の電位 $V_{read}(1) \sim V_{read}(3)$, $V_{read}(n-2) \sim V_{read}(n)$ のタイミング波形を示している。また、図中に示した T_h は、1水平期間(1水平走査期間)を表している。なお、後述する図17~図19ではそれぞれ、前述したアンプリセット制御線 L_{carst} の電位 V_{carst} を、前述した第1の動作例の場合(各図の(D))および第2の動作例の場合(各図の(E))の各々について示している。

【0065】

まず、図16(A)~(F)から分かるように、1回目のリセット動作等(読み出し/第1リセット期間 T_{r1} の動作)が線順次で行われる駆動期間(線順次駆動期間 T_{r1})と、2回目のリセット動作が線順次で行われる駆動期間(線順次駆動期間 T_{r2})とでは、部分的に重畳期間(駆動オーバーラップ期間 T_{ol1})が存在している。

【0066】

そして、本実施の形態では、この駆動オーバーラップ期間 T_{ol1} における各リセット動作の期間(読み出し/第1リセット期間 T_{r1} および第2リセット期間 T_{r2})が、以下のように設定されている。具体的には、1回目の線順次リセット駆動の際の各リセット動作(線順次駆動期間 T_{r1} 内の各読み出し/第1リセット期間 T_{r1})と、2回目の線順次リセット駆動の際の各リセット動作(線順次駆動期間 T_{r2} 内の各第2リセット期間 T_{r2})とが、次のように設定される。すなわち、これらの線順次駆動期間 T_r

1 内の各読み出し / 第 1 リセット期間 T_{r1} と線順次駆動期間 T_{r2} 内の各第 2 リセット期間 T_{r2} とがいずれも重ならない非重畳期間（非オーバーラップ期間）が、少なくとも一部に存在するように設定される（例えば、図 16 中の符号 P5 で示した期間参照）。

【0067】

詳細には、図 17 (A) ~ (E) に拡大して示したタイミング波形（符号 P5 で示した期間付近の拡大波形）の例では、以下のように設定されている。すなわち、この例では、駆動オーバーラップ期間 T_{ol1} 内における各読み出し / 第 1 リセット期間 T_{r1} および各第 2 リセット期間 T_{r2} が、全ての期間で上記した非オーバーラップ期間となっている。換言すると、各読み出し / 第 1 リセット期間 T_{r1} および各第 2 リセット期間 T_{r2} が、互いに全くオーバーラップしていない。なお、この例では、符号 P5 で示した期間内において、 $V_{read}(2)$ （第 2 リセット期間 T_{r2} ） $V_{read}(n-2)$ （読み出し / 第 1 リセット期間 T_{r1} ） $V_{read}(3)$ （第 2 リセット期間 T_{r2} ）の順に、行走査信号に相当する電位 V_{read} が印加されている。

【0068】

一方、例えば図 18 (A) ~ (E) 中に示した符号 P5a の期間内では、図 16, 図 17 中に示した符号 P5 の期間とは異なり、以下の順番で、行走査信号に相当する電位 V_{read} が印加されている。すなわち、 $V_{read}(n-2)$ （読み出し / 第 1 リセット期間 T_{r1} ） $V_{read}(2)$ （第 2 リセット期間 T_{r2} ） $V_{read}(3)$ （第 2 リセット期間 T_{r2} ）の順に、電位 V_{read} が印加されている。ただし、この場合においても、符号 P5 の期間と同様に、駆動オーバーラップ期間 T_{ol1} 内における各読み出し / 第 1 リセット期間 T_{r1} および各第 2 リセット期間 T_{r2} が、全ての期間で上記した非オーバーラップ期間となっている。

【0069】

また、例えば図 19 (A) ~ (E) 中に示した符号 P5b の期間では、図 16 ~ 図 18 中に示した符号 P5, P5a の期間とは異なり、以下のように設定されている。すなわち、駆動オーバーラップ期間 T_{ol1} 内の各読み出し / 第 1 リセット期間 T_{r1} および各第 2 リセット期間 T_{r2} において、上記した非オーバーラップ期間が一部の期間でのみ設けられている。換言すると、図中に示したように、読み出し / 第 1 リセット期間 T_{r1} と第 2 リセット期間 T_{r2} との一部に、重畳期間（動作オーバーラップ期間 T_{ol2} ）が存在している。ただし、この場合においても、そのような動作オーバーラップ期間 T_{ol2} は部分的に設けられているだけであるため、上記した非オーバーラップ期間が一部には存在していることになる。

【0070】

ここで、このような線順次撮像駆動（線順次読み出し駆動および線順次リセット駆動）の際の各動作のタイミング等は、例えば図 4 に示した単位回路 130 を有する行走査部 13 によって実現されている。具体的には、線順次リセット駆動の実行回数に対応して設けられた複数列のシフトレジスタ回路 131, 132 と、各列のシフトレジスタ回路 131, 132 からの出力信号同士の論理和信号を、各出力信号の有効期間を制御しつつ生成する論理回路（AND 回路 133A ~ 133D および OR 回路 134A, 134B）と、によって実現されている。

【0071】

このように本実施の形態では、線順次駆動期間 T_{r1} と線順次駆動期間 T_{r2} との駆動オーバーラップ期間 T_{ol1} 内のリセット動作の期間（読み出し / 第 1 リセット期間 T_{r1} および第 2 リセット期間 T_{r2} ）に、上記した非オーバーラップ期間が少なくとも一部に存在するように設定される。これにより、例えば図 20 (A) ~ (F) に示した比較例（駆動オーバーラップ期間 T_{ol1} 内のリセット動作の期間に非オーバーラップ期間が全く設けられていない（駆動オーバーラップ期間 T_{ol1} 内の各リセット動作の期間がいずれもオーバーラップしている））場合とは異なり、以下ようになる。すなわち、複数回の線順次リセット駆動の際の各リセット動作の期間やタイミング等が、任意に設定可能となる。

10

20

30

40

50

【 0 0 7 2 】

なお、このような動作タイミング等を実現している本実施の形態の行走査部 1 3 に対して、従来の標準的な行走査回路（ゲートドライバ回路）では、異なる走査線に接続される画素における動作同士の、少なくとも一部がオーバーラップしないタイミング等を行うことはできない。

【 0 0 7 3 】

また、特に図 1 9 に示した例のように、駆動オーバーラップ期間 T_{ol1} 内の各読み出し / 第 1 リセット期間 T_{r1} および各第 2 リセット期間 T_{r2} において、非オーバーラップ期間が一部の期間でのみ設けられているようにした場合には、以下のことも言える。すなわち、例えば図 1 6 ~ 図 1 8 に示したように、駆動オーバーラップ期間 T_{ol1} における各読み出し / 第 1 リセット期間 T_{r1} および各第 2 リセット期間 T_{r2} が、全ての期間で非オーバーラップ期間となっている場合と比べ、線順次撮像駆動の高速化（高フレームレート化）が実現される。

10

【 0 0 7 4 】

以上のように本実施の形態では、複数回の線順次リセット駆動の際に、駆動オーバーラップ期間 T_{ol1} 内の各リセット動作の期間において、上記した非オーバーラップ期間が少なくとも一部に設けられるようにしたので、それら複数回の線順次リセット駆動の際の各リセット動作の期間やタイミング等を、任意に設定することができるようになる。よって、撮像駆動（線順次撮像駆動）の際の動作の自由度を向上させることが可能となり、最適なタイミング等で撮像駆動を行うことが可能となる。

20

【 0 0 7 5 】

また、駆動オーバーラップ期間 T_{ol1} 内の各リセット動作の期間において、非オーバーラップ期間が一部の期間でのみ設けられているようにした場合には、線順次撮像駆動の高速化（高フレームレート化）を実現することも可能となる。

【 0 0 7 6 】

< 変形例 >

続いて、上記実施の形態の変形例（変形例 1 ~ 5）について説明する。なお、実施の形態における構成要素と同一のものには同一の符号を付し、適宜説明を省略する。

【 0 0 7 7 】

[変形例 1]

30

図 2 1 は、変形例 1 に係る画素（画素 2 0 A）の回路構成を、上記実施の形態で説明した列選択部 1 7 の回路構成例とともに表したものである。本変形例の画素 2 0 A は、実施の形態の画素 2 0 と同様にいわゆるパッシブ型の回路構成となっており、1つの光電変換素子 2 1 と 1つのトランジスタ 2 2 とを有している。また、この画素 2 0 A には画素 2 0 と同様に、H 方向に沿って延在する読み出し制御線 L_{read} と、V 方向に沿って延在する信号線 L_{sig} とが接続されている。

【 0 0 7 8 】

ただし、画素 2 0 A では、光電変換素子 2 1 の配置方向（向き）が、画素 2 0 とは逆になっている。すなわち、この画素 2 0 A では、光電変換素子 2 1 のアノードが蓄積ノード N に接続され、カソードがグランド（接地）に接続されている。

40

【 0 0 7 9 】

このような構成の画素 2 0 A を有する撮像装置においても、上記実施の形態の撮像装置 1 と同様の作用により同様の効果を得ることが可能である。

【 0 0 8 0 】

[変形例 2 , 3]

（回路構成）

図 2 2 は、変形例 2 に係る画素（画素 2 0 B）の回路構成を、以下説明する列選択部 1 7 B の回路構成例とともに表したものである。また、図 2 3 は、変形例 3 に係る画素（画素 2 0 C）の回路構成を、列選択部 1 7 B の回路構成例とともに表したものである。これらの変形例 2 , 3 に係る画素 2 0 B , 2 0 C はそれぞれ、これまで説明した画素 2 0 , 2

50

0 Aとは異なり、いわゆるアクティブ型の回路構成となっている。

【0081】

具体的には、このアクティブ型の画素20B, 20Cには、1つの光電変換素子21と、3つのトランジスタ22, 23, 24とが設けられている。これらの画素20B, 20Cにはまた、H方向に沿って延在する読み出し制御線Lreadおよびリセット制御線Lrstと、V方向に沿って延在する信号線Lsigとが接続されている。

【0082】

画素20B, 20Cではそれぞれ、トランジスタ22のゲートが読み出し制御線Lreadに接続され、ソースが信号線Lsigに接続され、ドレインが、ソースフォロワ回路を構成するトランジスタ23のドレインに接続されている。トランジスタ23のソースは電源VDDに接続され、ゲートは、光電変換素子21のカソード(図22に示した画素20B)またはアノード(図23に示した画素20C)(蓄積ノードN)と、リセット用トランジスタとして機能するトランジスタ24のドレインとに接続されている。このトランジスタ24のゲートはリセット制御線Lrstに接続され、ソースにはリセット電圧Vrstが印加されるようになっている。光電変換素子21のアノード(画素20B)またはカソード(画素20C)は、グランド(接地)に接続されている。

【0083】

また、図22および図23に示した変形例2, 3に係る列選択部17Bは、前述した列選択部17において、チャージアンプ172、容量素子C1およびスイッチSW1に代わりに、定電流源171およびアンプ176を設けたものとなっている。アンプ176では、正側の入力端子には信号線Lsigが接続されると共に、負側の入力端子と出力端子とが互いに接続され、ボルテージフォロワ回路が形成されている。なお、信号線Lsigの一端側には定電流源171の一方の端子が接続され、この定電流源171の他方の端子には電源VSSが接続されている。

【0084】

(作用・効果)

このようなアクティブ型の回路構成からなる画素20B, 20Cを有する変形例2, 3の撮像装置では、以下のようにして撮像動作(線順次撮像駆動)がなされる。

【0085】

すなわち、まず、これまで説明したパッシブ型の回路構成からなる画素20, 20Aを有する撮像装置では、例えば図24(A)に示したようにして線順次撮像駆動が行われる。具体的には、線順次読み出し駆動と線順次リセット駆動とが、単一の線順次駆動(読み出し/第1リセット期間Tr1の線順次動作を行うための駆動)によって、実質的に同時に行われる。

【0086】

これに対して、変形例2, 3のように、アクティブ型の回路構成からなる画素20B, 20Cを有する撮像装置では、例えば図24(B)に示したようにして線順次撮像駆動が行われる。具体的には、線順次読み出し駆動と各回(ここでは1回目および2回目)の線順次リセット駆動とが、互いに独立して個別に行われる。すなわち、読み出し期間Tr1aの線順次動作を行うための線順次読み出し駆動と、1回目のリセット期間(第1リセット期間Tr1b)の線順次動作を行うための1回目の線順次リセット駆動と、2回目のリセット期間(第2リセット期間Tr2)の線順次動作を行うための2回目の線順次リセット駆動とが、互いに独立して個別に行われる。なお、このアクティブ型の回路構成の場合、各回の線順次リセット駆動の際のリセット動作は、リセット用トランジスタとして機能するトランジスタ24がオン状態となることによって行われるようになっている。

【0087】

このように、アクティブ型の回路構成からなる画素20B, 20Cを有する撮像装置においても、これまで説明したパッシブ型の回路構成の場合と同様のことが言える。すなわち、駆動オーバーラップ期間Tol1内の各リセット動作の期間において、前述した非オーバーラップ期間が少なくとも一部に設けられるようにすることにより、それら複数回の

10

20

30

40

50

線順次リセット駆動の際の各リセット動作の期間やタイミング等を、任意に設定することができるようになる。したがって、これらの場合においても、撮像駆動（線順次撮像駆動）の際の動作の自由度を向上させることが可能となり、最適なタイミング等で撮像駆動を行うことが可能となる。

【 0 0 8 8 】

[変形例 4 , 5]

図 2 5 (A) , (B) はそれぞれ、変形例 4 , 5 に係る撮像部（撮像部 1 1 A , 1 1 B）の概略構成を模式的に表したものである。

【 0 0 8 9 】

まず、図 2 5 (A) に示した変形例 4 に係る撮像部 1 1 A は、上記実施の形態で説明した光電変換層 1 1 1 に加え、波長変換層 1 1 2 を更に有している。具体的には、光電変換層 1 1 1 上（撮像部 1 1 A の受光面（撮像面）側）に、波長変換層 1 1 2 が設けられている。

10

【 0 0 9 0 】

波長変換層 1 1 2 は、放射線 R rad（線、線、線、X 線等）を、光電変換層 1 1 1 の感度域に波長変換するものであり、これにより光電変換層 1 1 1 では、この放射線 R rad に基づく情報を読み取ることが可能となっている。この波長変換層 1 1 2 は、例えば X 線などの放射線を可視光に変換する蛍光体（例えば、シンチレータ）からなる。このような波長変換層 1 1 2 は、例えば光電変換層 1 1 1 の上部に、有機平坦化膜、スピンオンガラス材料等からなる平坦化膜を形成し、その上部に蛍光体膜を Cs I、Na I、Ca F₂ 等によって形成することにより得られる。

20

【 0 0 9 1 】

一方、図 2 5 (B) に示した変形例 5 に係る撮像部 1 1 B は、上記実施の形態で説明した光電変換層 1 1 1 の代わりに、光電変換層 1 1 1 B を有している。この光電変換層 1 1 1 B は、入射した放射線 R rad に応じて電気信号を直接発生させるものである。つまり、図 2 5 (A) に示した変形例 4 の撮像部 1 1 A は、いわゆる間接型の放射線撮像装置に適用されるものであるのに対し、変形例 5 の撮像部 1 1 B は、いわゆる直接型の放射線撮像装置に適用されるものとなっている。なお、このような直接型に適用される光電変換層 1 1 1 B は、例えば、アモルファスセレン（a - S e）半導体や、カドミニウムテルル（C d T e）半導体などにより構成されている。

30

【 0 0 9 2 】

このような構成の撮像部 1 1 A , 1 1 B を有する変形例 4 , 5 に係る撮像装置では、撮像部 1 1 A , 1 1 B が、入射した放射線 R rad に応じて電気信号を発生するものとなっており、放射線撮像装置として構成されている。このような放射線撮像装置は、例えば医療機器（Digital Radiography 等の X 線撮像装置）や、空港等で用いられる携帯物検査用 X 線撮影装置、工業用 X 線撮像装置（例えば、コンテナ内の危険物等の検査や、砲等の中身の検査を行う装置）などに適用することが可能である。

【 0 0 9 3 】

< 適用例 >

続いて、上記実施の形態および各変形例（変形例 1 ~ 5）に係る撮像装置の撮像表示システムへの適用例について説明する。

40

【 0 0 9 4 】

図 2 6 は、適用例に係る撮像表示システム（撮像表示システム 5）の概略構成例を模式的に表したものである。この撮像表示システム 5 は、上記実施の形態等に係る撮像部 1 1（1 1 A , 1 1 B）等を有する撮像装置 1 と、画像処理部 5 2 と、表示装置 4 とを備えており、この例では放射線を用いた撮像表示システム（放射線撮像表示システム）として構成されている。

【 0 0 9 5 】

画像処理部 5 2 は、撮像装置 1 から出力される出力データ D out（撮像信号）に対して所定の画像処理を施すことにより、画像データ D 1 を生成するものである。表示装置 4 は

50

、画像処理部 5 2 において生成された画像データ D 1 に基づく画像表示を、所定のモニタ画面 4 0 上で行うものである。

【 0 0 9 6 】

このような構成からなる撮像表示システム 5 では、撮像装置 1（ここでは放射線撮像装置）が、光源（ここでは X 線源等の放射線源）5 1 から被写体 5 0 に向けて照射された照射光（ここでは放射線）に基づき、被写体 5 0 の画像データ D out を取得し、画像処理部 5 2 へ出力する。画像処理部 5 2 は、入力された画像データ D out に対して上記した所定の画像処理を施し、その画像処理後の画像データ（表示データ）D 1 を表示装置 4 へ出力する。表示装置 4 は、入力された画像データ D 1 に基づいて、モニタ画面 4 0 上に画像情報（撮像画像）を表示する。

10

【 0 0 9 7 】

このように、本適用例の撮像表示システム 5 では、撮像装置 1 において被写体 5 0 の画像を電気信号として取得可能であるため、取得した電気信号を表示装置 4 へ伝送することによって画像表示を行うことができる。すなわち、従来のような放射線写真フィルムを用いることなく、被写体 5 0 の画像を観察することが可能となり、また、動画撮影および動画表示にも対応することが可能となる。

【 0 0 9 8 】

なお、本適用例では、撮像装置 1 が放射線撮像装置として構成されており、放射線を用いた撮像表示システムとなっている場合を例に挙げて説明したが、本開示の撮像表示システムは、他の方式の撮像装置を用いたものにも適用することが可能である。

20

【 0 0 9 9 】

< その他の変形例 >

以上、実施の形態、変形例および適用例を挙げて本開示の技術を説明したが、本技術はこれらの実施の形態等に限定されず、種々の変形が可能である。

【 0 1 0 0 】

例えば、撮像部における画素の回路構成は、上記実施の形態等で説明したもの（画素 2 0 , 2 0 A ~ 2 0 C の回路構成）には限られず、他の回路構成であってもよい。同様に、行走査部や列選択部等の回路構成についても、上記実施の形態等で説明したものには限られず、他の回路構成であってもよい。

【 0 1 0 1 】

30

また、上記実施の形態等では、1 フレーム期間内で 2 回の線順次リセット駆動を行う場合を例に挙げて説明したが、これには限られず、1 フレーム期間内で 3 回以上の線順次リセット駆動を行うようにしてもよい。

【 0 1 0 2 】

更に、上記実施の形態等で説明した撮像部、行走査部、A / D 変換部（列選択部）および列走査部等はそれぞれ、例えば同一基板上に形成されているようにしてもよい。具体的には、例えば低温多結晶シリコンなどの多結晶半導体を用いることにより、これらの回路部分におけるスイッチ等も同一基板上に形成することができるようになる。このため、例えば外部のシステム制御部からの制御信号に基づいて、同一基板上における駆動動作を行うことが可能となり、狭額縁化（3 辺フリーの額縁構造）や配線接続の際の信頼性向上を実現することができる。

40

【 0 1 0 3 】

なお、本技術は以下のような構成を取ることも可能である。

(1)

各々が光電変換素子を含む複数の画素を有する撮像部と、

前記光電変換素子により得られた信号電荷を前記画素から読み出す読み出し動作を線順次で行うための線順次読み出し駆動と、前記画素内の前記信号電荷をリセットするためのリセット動作を線順次で行うための線順次リセット駆動とを行う駆動部と

を備え、

前記駆動部は、

50

前記線順次リセット駆動を 1 フレーム期間内で間欠的に複数回行うと共に、

一の線順次リセット駆動の際の駆動期間と他の一の線順次リセット駆動の際の駆動期間とのオーバーラップ期間内における前記リセット動作の期間において、前記一の線順次リセット駆動による各リセット動作と前記他の一の線順次リセット駆動による各リセット動作とがいずれも重ならない非オーバーラップ期間が少なくとも一部に設けられるように、前記複数回の線順次リセット駆動を行う

撮像装置。

(2)

前記オーバーラップ期間内における前記リセット動作の期間において、前記非オーバーラップ期間が一部の期間でのみ設けられている

10

上記 (1) に記載の撮像装置。

(3)

前記オーバーラップ期間内における前記リセット動作の期間が、全ての期間で前記非オーバーラップ期間となっている

上記 (1) に記載の撮像装置。

(4)

前記駆動部は、前記線順次読み出し駆動および前記線順次リセット駆動の際に前記複数の画素に対する順次走査を行う走査部を有する

上記 (1) ないし (3) のいずれかに記載の撮像装置。

(5)

20

前記走査部は、

前記線順次リセット駆動の実行回数に対応して設けられた複数列のシフトレジスタ回路部と、

各列のシフトレジスタ回路部からの出力信号同士の論理和信号を、各出力信号の有効期間を制御しつつ生成する論理回路と

を有する上記 (4) に記載の撮像装置。

(6)

前記線順次読み出し駆動と 1 回目の前記線順次リセット駆動とが、単一の線順次駆動によって同時に行われる

上記 (1) ないし (5) のいずれかに記載の撮像装置。

30

(7)

前記駆動部は、前記読み出し動作を行う際に用いられる信号線が一方の入力端子に接続されると共に所定のリセット電圧が他方の入力端子に入力されるチャージアンプを有し、

前記チャージアンプにおける仮想短絡現象を利用して、前記リセット動作が行われる

上記 (6) に記載の撮像装置。

(8)

前記チャージアンプにおける帰還特性または仮想短絡現象を利用して、2 回目以降の前記線順次リセット駆動の際の前記リセット動作が行われる

上記 (7) に記載の撮像装置。

(9)

40

前記線順次読み出し駆動と各回の前記線順次リセット駆動とが、互いに独立して個別に行われる

上記 (1) ないし (5) のいずれかに記載の撮像装置。

(10)

各画素はリセット用トランジスタを有し、

前記リセット用トランジスタがオン状態となることによって、前記リセット動作が行われる

上記 (9) に記載の撮像装置。

(11)

前記線順次リセット駆動が、1 水平期間を超える期間に亘って間欠的に複数回行われる

50

上記(1)ないし(10)のいずれかに記載の撮像装置。

(12)

前記光電変換素子が、PIN型のフォトダイオードからなる

上記(1)ないし(11)のいずれかに記載の撮像装置。

(13)

前記撮像部が、入射した放射線に応じて電気信号を発生させるものであり、放射線撮像装置として構成されている

上記(1)ないし(12)のいずれかに記載の撮像装置。

(14)

前記撮像部は、

前記光電変換素子を構成する光電変換層と、

前記放射線を前記光電変換層の感度域に波長変換する波長変換層と

を有する上記(13)に記載の撮像装置。

(15)

前記撮像部は、前記光電変換素子を構成すると共に前記放射線に応じて前記電気信号を直接発生させる光電変換層を有する

上記(13)に記載の撮像装置。

(16)

前記放射線がX線である

上記(13)ないし(15)のいずれかに記載の撮像装置。

(17)

撮像装置と、この撮像装置により得られた撮像信号に基づく画像表示を行う表示装置とを備え、

前記撮像装置は、

各々が光電変換素子を含む複数の画素を有する撮像部と、

前記光電変換素子により得られた信号電荷を前記画素から読み出す読み出し動作を線順次で行うための線順次読み出し駆動と、前記画素内の前記信号電荷をリセットするためのリセット動作を線順次で行うための線順次リセット駆動とを行う駆動部と

を備え、

前記駆動部は、

前記線順次リセット駆動を1フレーム期間内で間欠的に複数回行うと共に、

一の線順次リセット駆動の際の駆動期間と他の一の線順次リセット駆動の際の駆動期間とのオーバーラップ期間内における前記リセット動作の期間において、前記一の線順次リセット駆動による各リセット動作と前記他の一の線順次リセット駆動による各リセット動作とがいずれも重ならない非オーバーラップ期間が少なくとも一部に設けられるように、前記複数回の線順次リセット駆動を行う

撮像表示システム。

【符号の説明】

【0104】

1...撮像装置、11、11A、11B...撮像部、111、111B...光電変換層、112...波長変換層、13...行走査部、130...単位回路、131、132...シフトレジスタ回路(S/R)、135A、135B...バッファ回路、133A~133D...AND回路、134A、134B...OR回路、14...A/D変換部、15...列走査部、16...システム制御部、17、17B...列選択部、171...定電流源、172...チャージアンプ、173...S/H回路、174...マルチプレクサ回路、175...A/Dコンバータ、176...アンプ、20、20A~20C...画素(撮像画素)、21...光電変換素子、21P...p型半導体層、21N...n型半導体層、21I...真性半導体層(i領域)、21G...ゲート電極、22、23、24...トランジスタ、4...表示装置、40...モニタ画面、5...撮像表示システム、50...被写体、51...光源(放射線源)、52...画像処理部、Lsig...信号線、Lread...読み出し制御線、Lrst...リセット制御線、Lcarst...アンプリセット制御線、D

10

20

30

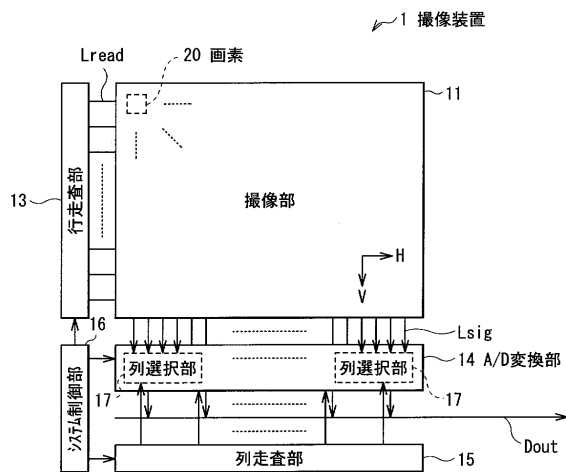
40

50

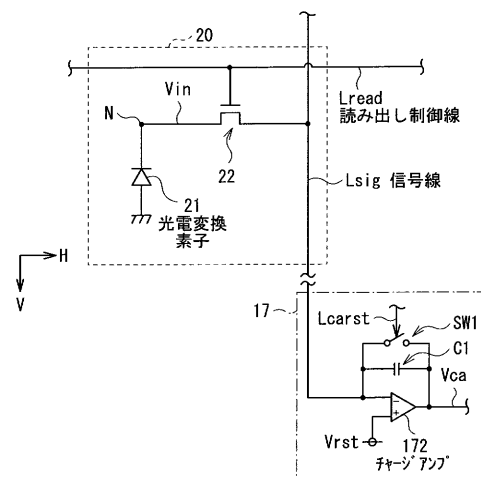
out...出力データ、D 1 ... 撮像信号、Vrst...リセット電圧、N...蓄積ノード、SW 1 , SW 2 ...スイッチ、C 1 ...容量素子、Cgp , Cdp...寄生容量、VST 1 , VST 2 ...スタートパルス信号、CLK 1 , CLK 2 ...クロック信号、EN 1 ~ EN 4 ...イネーブル信号、
 Tv ... 1 垂直期間 (1 フレーム期間)、Th ... 1 水平期間、Tol1...駆動オーバーラップ期間、Tol2...動作オーバーラップ期間、Tex...露光期間、Tr 1 ...読み出し / 第 1 リセット期間、Tr 1 a ...読み出し期間、Tr 1 b ...第 1 リセット期間、Tr 2 ...第 2 リセット期間、Tr 1 , Tr 2 ...線順次駆動期間、Lin...撮像光、Rad...放射線

。

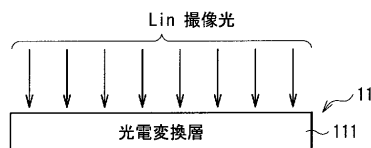
【図 1】



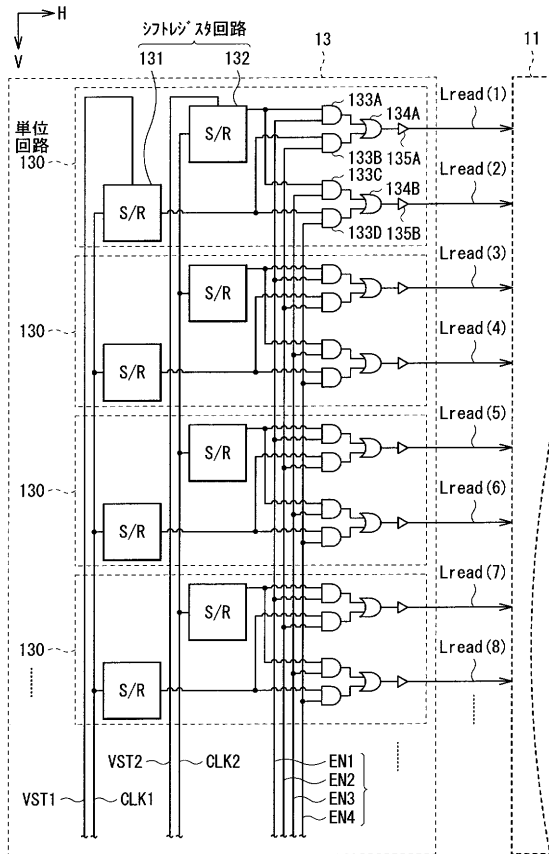
【図 3】



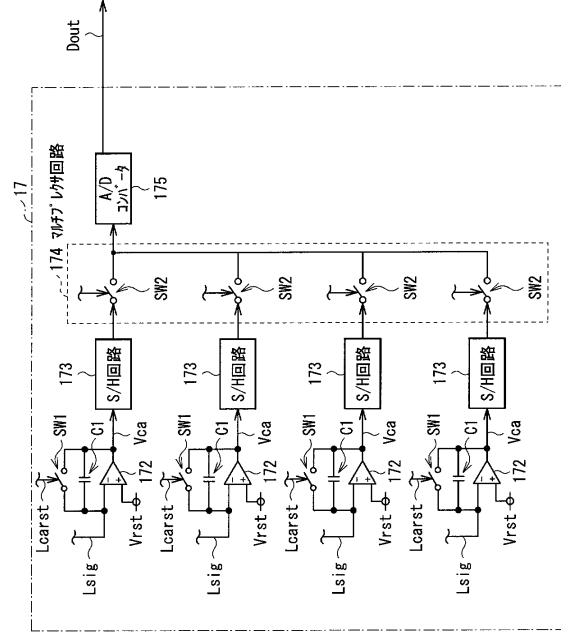
【図 2】



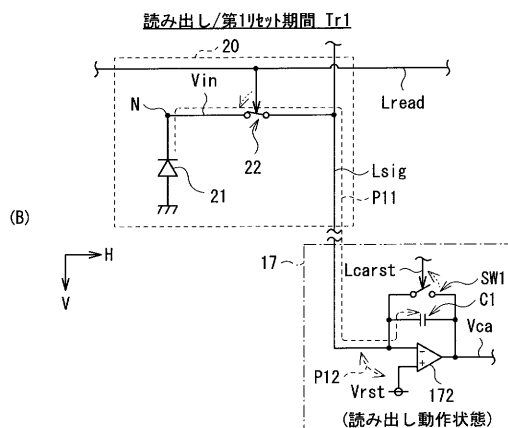
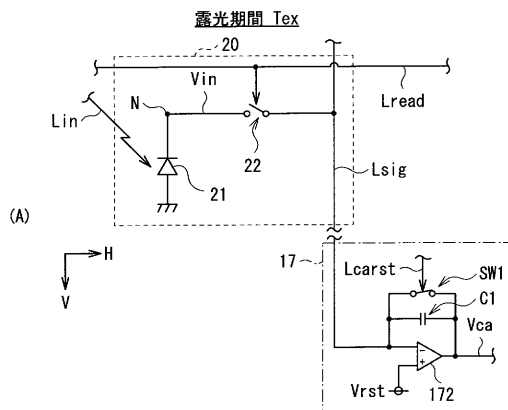
【図 4】



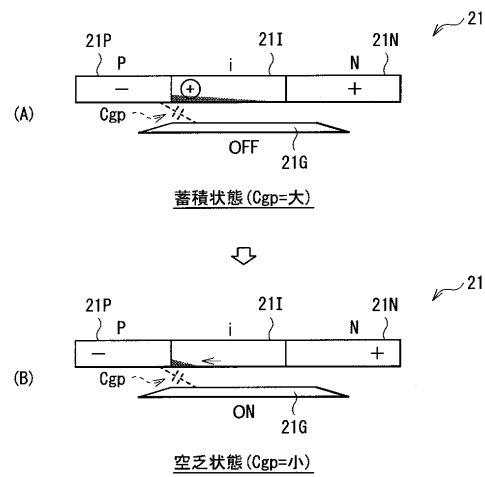
【図 5】



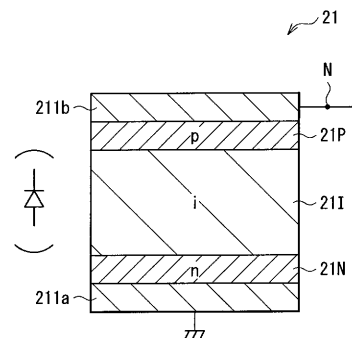
【図 6】



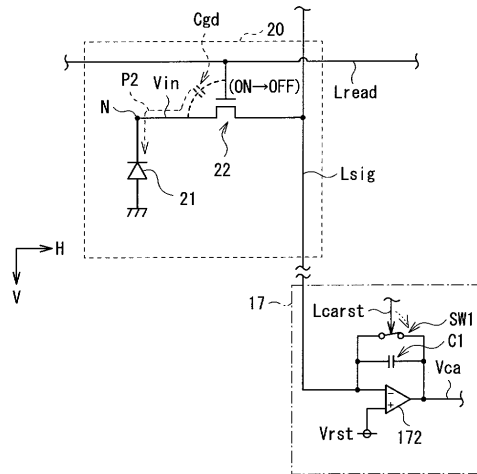
【図 7】



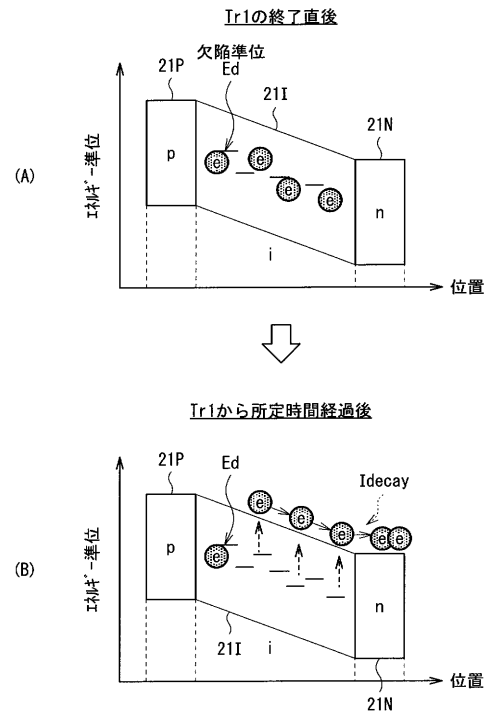
【図 8】



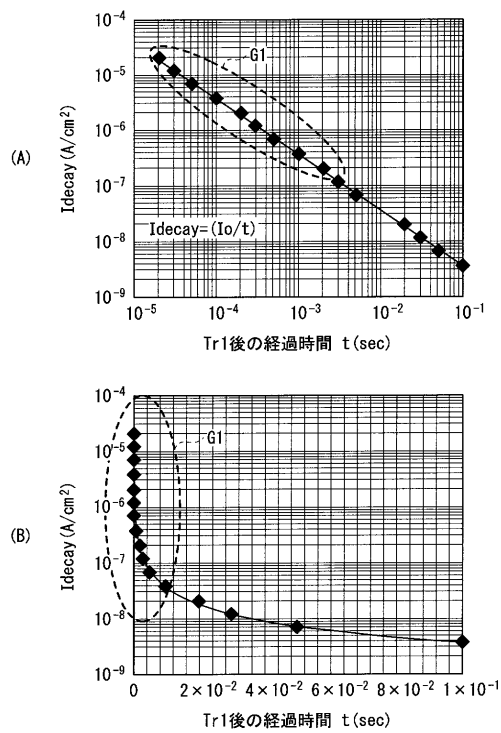
【図 9】



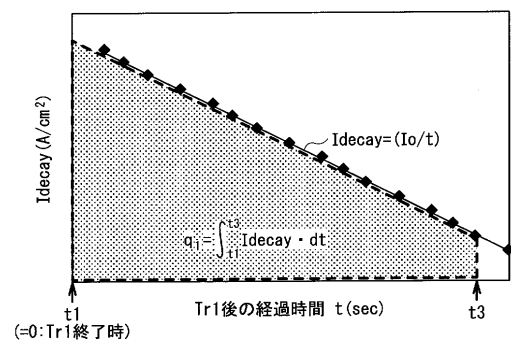
【図 10】



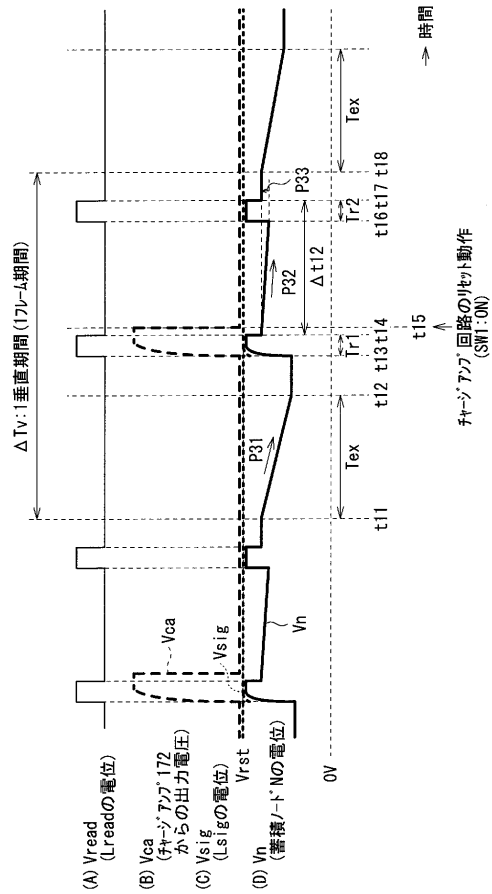
【図 11】



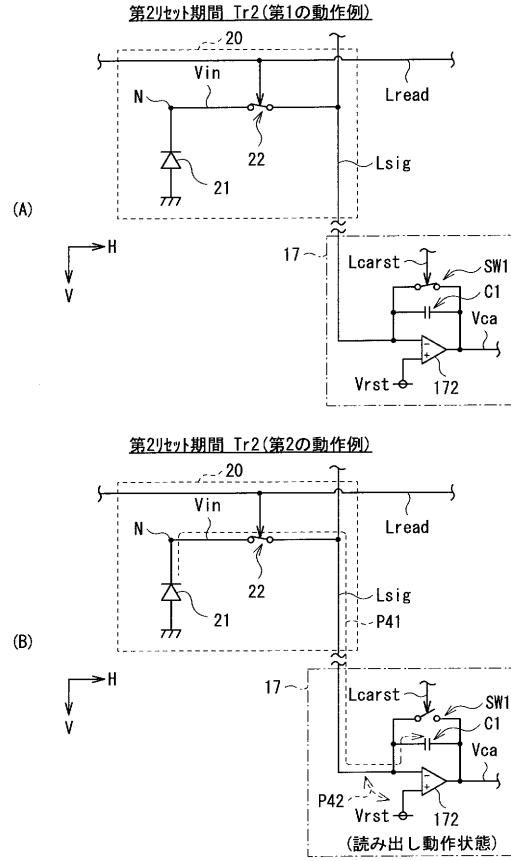
【図 12】



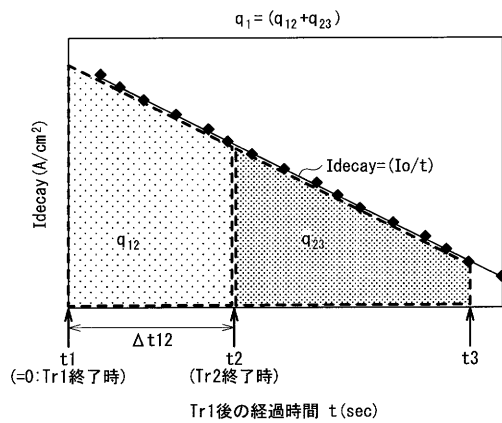
【図 13】



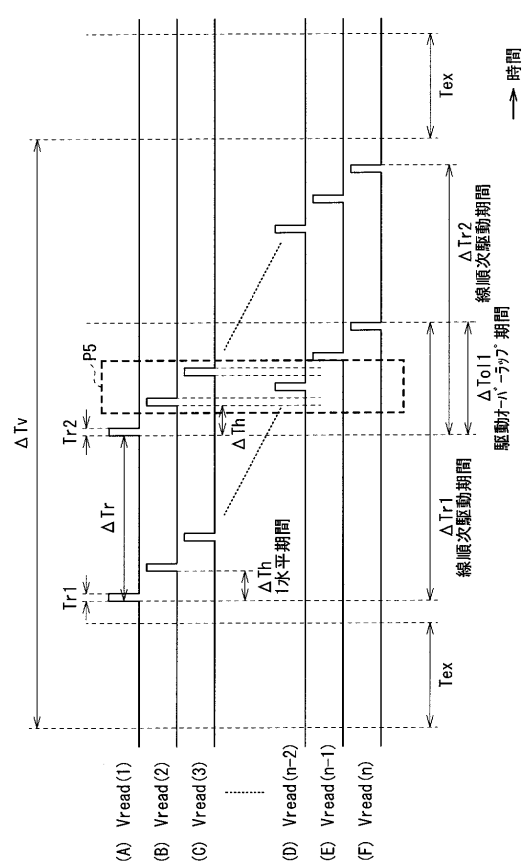
【図 14】



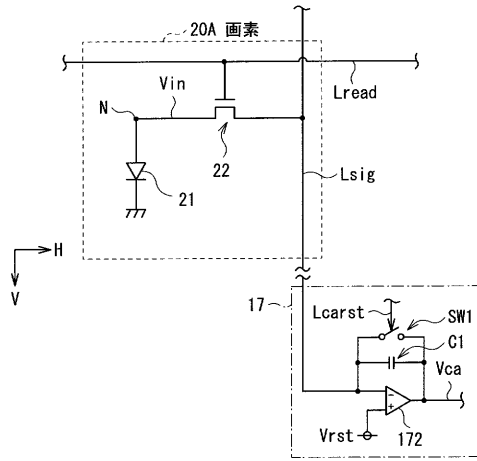
【図 15】



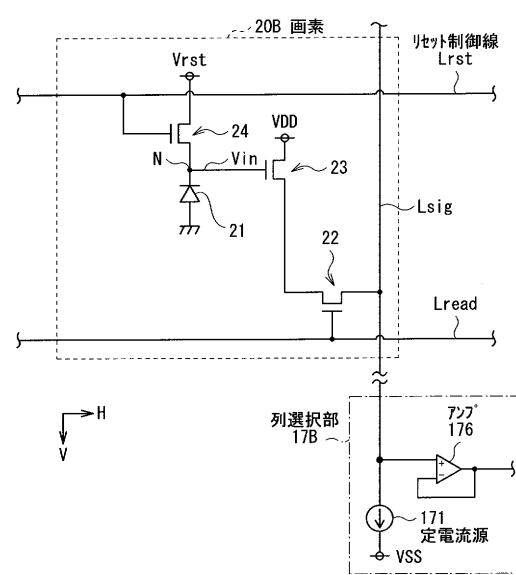
【図 16】



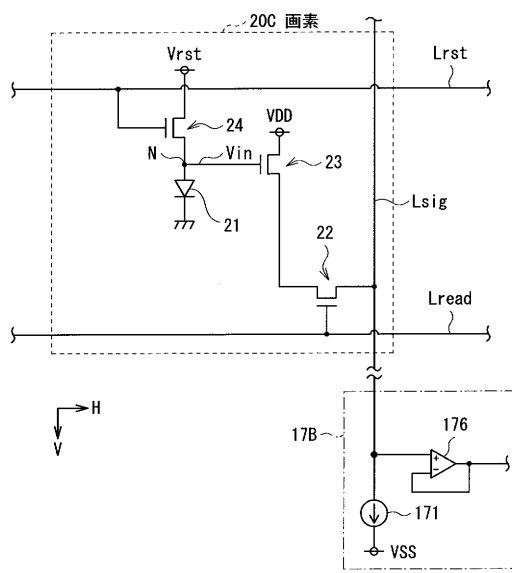
【図 2 1】



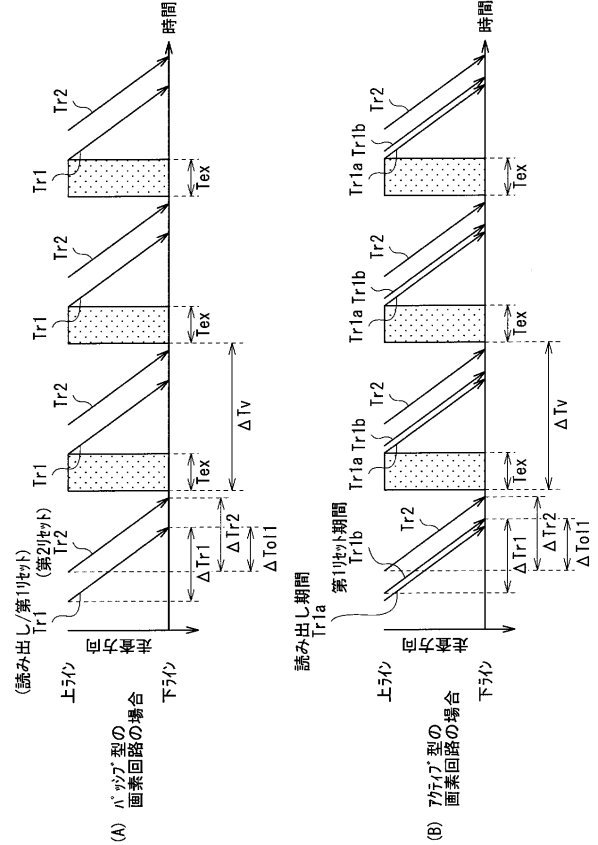
【図 2 2】



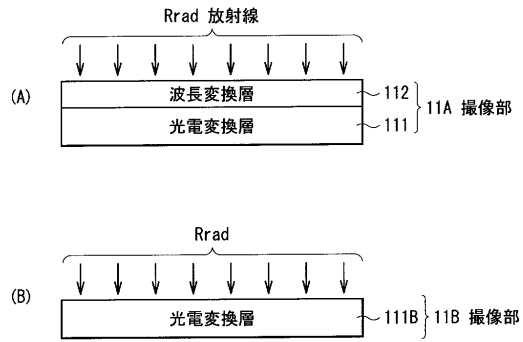
【図 2 3】



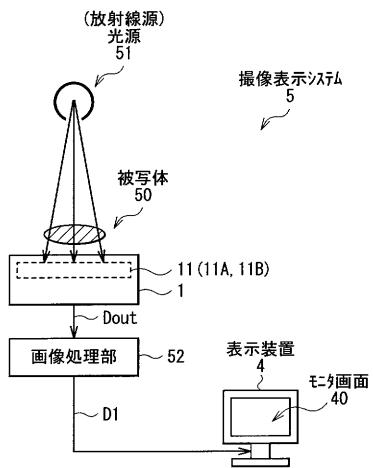
【図 2 4】



【図 25】



【図 26】



フロントページの続き

(56)参考文献 特開2005-159494(JP,A)
特開2006-148475(JP,A)
特開2011-014752(JP,A)
特開2011-030060(JP,A)
特開2003-153083(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N	5/341
H04N	5/32
H04N	5/353
H04N	5/369
H04N	5/374