



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA NUMERO	102001900934374
Data Deposito	01/06/2001
Data Pubblicazione	01/12/2002

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	06	F		

Titolo

BUFFER DI USCITA PER UNA MEMORIA NON VOLATILE CON RIDUZIONE DEL RUMORE DI
COMMUTAZIONE SUL SEGNALE DI USCITA E MEMORIA NON VOLATILE COMPREDENTE
TALE BUFFER DI USCITA.

D E S C R I Z I O N E

del brevetto per invenzione industriale

di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

5 con sede a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventori: CONFALONIERI Emanuele, GERACI Antonio,

SFORZIN Marco, BEDARIDA Lorenzo

*** **

TO 2001A 000530

10 La presente invenzione riguarda un buffer di uscita
per una memoria non volatile con riduzione dell'effetto
del rumore di commutazione sul segnale d'uscita e ad una
memoria non volatile comprendete tale buffer di uscita.

15 Come è noto, attualmente il mercato dei dispositivi
a semiconduttore richiede la fabbricazione di
dispositivi di memoria con frequenze di funzionamento
sempre più elevate e ciò si traduce nell'esigenza di
avere buffer di uscita con velocità di commutazione
sempre più elevate.

20 Tali velocità di commutazione vengono attualmente
ottenute aumentando l'intensità della corrente fornita
dai buffer di uscita, e tale aumento della corrente di
uscita viene ottenuto aumentando le dimensioni dei
buffer di uscita.

25 Tuttavia, più le dimensioni dei buffer di uscita
sono elevate, più sono elevate le correnti che essi

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

assorbono durante la fase di commutazione, e tali correnti creano conseguentemente forti cadute ("dumps") della tensione di alimentazione del dispositivo di memoria, le quali concorrono a ridurre notevolmente il tempo di setting, e quindi il tempo di lettura, del dispositivo di memoria.

In particolare, le cadute della tensione di alimentazione del dispositivo di memoria definiscono il cosiddetto rumore di commutazione dei dispositivi di memoria e sono strettamente legate a parametri spesso non controllabili, quali le caratteristiche induttive del percorso di alimentazione, il numero di buffer di uscita che commutano contemporaneamente, il valore della tensione di alimentazione del dispositivo di memoria, ecc.

Per ridurre il rumore di commutazione sono state proposte numerose tecniche di controllo dello slew rate dei buffer di uscita, la maggior parte delle quali sono essenzialmente basate sul principio di limitare la derivata nel tempo della corrente assorbita dai buffer di uscita riducendo la velocità di carica e di scarica dei terminali di porta dei transistori di pull-up e di pull-down dello stadio finale dei buffer di uscita durante la fase di accensione di questi ultimi.

In particolare, il rallentamento della carica e

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

della scarica dei terminali di porta dei transistori di pull-up e di pull-down dello stadio finale dei buffer di uscita viene attualmente realizzato agendo sugli invertitori logici che comandano i transistori di pull-up e di pull-down stessi in due differenti modi alternativi fra loro: utilizzando transistori resistivi o mediante un controllo in corrente.

In dettaglio, la prima tecnica consiste nel rendere resistivi il transistore di pull-down dell'invertitore logico che comanda il transistore pull-up dello stadio finale ed il transistore di pull-up dell'invertitore logico che comanda il transistore di pull-down dello stadio finale, mentre la seconda tecnica consiste nel controllare in corrente il transistore di pull-down dell'invertitore logico che comanda il transistore di pull-up dello stadio finale ed il transistore di pull-up dell'invertitore logico che comanda il transistore di pull-down dello stadio finale.

Sebbene consentano di ridurre la derivata nel tempo della corrente assorbita dai buffer di uscita e migliorare l'immunità al rumore di commutazione dei buffer di uscita, le tecniche sopra descritte presentano però un inconveniente che non ne consente un adeguato sfruttamento di tutti i loro pregi.

In particolare, il principale effetto indesiderato

BERGADANO MIRKO
(Iscritto all'Albo n. 843B)

di tali tecniche è quello di introdurre un ulteriore ritardo di commutazione dei buffer di uscita oltre a quello causato dall'elevata capacità collegata tipicamente all'uscita dei buffer di uscita stessi, il
5 quale concorre a ridurre la massima velocità di commutazione di tali buffer di uscita e quindi la massima frequenza di commutazione.

Scopo della presente invenzione è quello di realizzare un buffer di uscita per un dispositivo di
10 memoria ed un dispositivo di memoria esenti dagli inconvenienti sopra descritti.

Secondo la presente invenzione viene realizzato un buffer di uscita per un dispositivo di memoria, come definito nella rivendicazione 1.

15 Secondo la presente invenzione viene realizzato un dispositivo di memoria, come definito nella rivendicazione 16.

Per una migliore comprensione della presente invenzione vengono ora descritte due forme di
20 realizzazione preferite, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra lo schema circuitale di principio di un buffer di uscita secondo la presente
25 invenzione;

BERGADANO MIRKO
(iscritto all' Albo n. 843B)

- la figura 2 mostra lo schema di circuitale di una forma realizzativa del buffer di uscita di figura 1;
- la figura 3 mostra gli andamenti della tensione di alimentazione e della tensione di uscita in un buffer di uscita secondo l'arte nota;
- la figura 4 mostra gli andamenti della tensione di alimentazione e della tensione di uscita nel buffer di uscita di figura 1;
- la figura 5 mostra gli andamenti della corrente di uscita in un buffer di uscita secondo l'arte nota e nel buffer di uscita di figura 1;
- la figura 6 mostra un differente schema circuitale di principio di un buffer di uscita secondo la presente invenzione;
- la figura 7 mostra lo schema di circuitale di una forma realizzativa del buffer di uscita di figura 6;
- la figura 8 mostra una differente forma di realizzazione di un buffer di uscita secondo la presente invenzione; e
- la figura 9 mostra una ulteriore forma di realizzazione di un buffer di uscita secondo la presente invenzione.

La presente invenzione si basa sul principio di disaccoppiare l'uscita del buffer di uscita dalla linea di alimentazione durante la commutazione del buffer di

uscita stesso in modo tale da evitare che il rumore di commutazione presente su quest'ultima venga trasferito sull'uscita del buffer di uscita, e tale disaccoppiamento viene realizzato introducendo un
5 componente elettronico con caratteristiche di unidirezionalità fra l'uscita del buffer di uscita e la linea di alimentazione stessa, in serie al transistorore di pull-up.

Infatti, il buffer di uscita può essere
10 modellizzato come una rete RLC in cui la capacità è costituita dalla capacità del carico collegato all'uscita del buffer di uscita, l'induttanza è costituita dall'induttanza del percorso di alimentazione del buffer di uscita, e la resistenza è costituita dalla
15 resistenza dei transistori dello stadio finale del buffer di uscita, e durante la commutazione del buffer di uscita tale rete RLC oscilla, trasferendo queste oscillazioni anche sull'uscita del buffer di uscita.

L'inserimento di un componente elettronico con
20 caratteristiche di unidirezionalità all'interno della rete RLC impedisce invece che queste oscillazioni vengano trasferite sull'uscita del buffer di uscita.

Un analogo disaccoppiamento può poi essere anche
realizzato verso la linea di massa, introducendo un
25 analogo componente elettronico con caratteristiche di

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

unidirezionalità fra l'uscita del buffer di uscita e la
linea di massa stessa, in serie al transistorore di pull-
down.

Al fine di evitare una limitazione della dinamica
5 di uscita del buffer di uscita, il componente
elettronico con caratteristiche di unidirezionalità può
poi essere cortocircuitato al termine del transitorio di
commutazione del buffer di uscita.

Nella figura 1 è mostrata una delle possibili
10 implementazioni del principio inventivo alla base della
presente invenzione.

In particolare, nella figura 1 è indicato con 1,
nel suo insieme, un buffer di uscita di una memoria non
volatile 2, la quale è schematicamente illustrata con
15 linea tratteggiata.

Il buffer di uscita 1 comprende uno stadio finale 4
formato da un transistorore di pull-up 6 di tipo PMOS e da
un transistorore di pull-down 8 di tipo NMOS collegati in
serie fra una linea di alimentazione 10 posta ad una
20 tensione di alimentazione V_{DD} , ed una linea di massa 12
posta ad una tensione di massa V_{GND} ; uno stadio di
pilotaggio 14 del transistorore di pull-up; ed uno stadio
di pilotaggio 16 del transistorore di pull-down.

In particolare, il transistorore di pull-up 6
25 presenta terminali di sorgente e di bulk collegati alla

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

linea di alimentazione 10, un terminale di pozzo collegato all'uscita 18 del buffer di uscita 1, ed un terminale di porta collegato all'uscita del rispettivo stadio di pilotaggio 14, mentre il transistorore di pull-down 8 presenta un terminale di sorgente collegato alla linea di massa 12, un terminale di pozzo collegato all'uscita 18 del buffer di uscita 1, ed un terminale di porta collegato all'uscita del rispettivo stadio di pilotaggio 16.

10 Lo stadio di pilotaggio 14 del transistorore di pull-up 6 comprende essenzialmente un porta logica 20 di tipo NOR, ed un invertitore logico 22 collegati fra loro in cascata fra l'ingresso 24 del buffer di uscita 1 ed il terminale di porta del transistorore di pull-up 6.

15 In particolare, la porta logica 20 presenta un primo ingresso ricevente un segnale di abilitazione OE attraverso il quale l'utilizzatore abilita/disabilita il buffer di uscita 1, un secondo ingresso collegato all'ingresso 24 del buffer di uscita, ed una uscita
20 collegata ad un ingresso dell'invertitore logico 22, la cui uscita è collegata al terminale di porta del transistorore di pull-up 6.

Lo stadio di pilotaggio 16 del transistorore di pull-down 8 comprende essenzialmente una porta logica 26 di
25 tipo NAND, ed un invertitore logico 28 collegati fra

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

loro in cascata fra l'ingresso 24 del buffer di uscita 1 ed il transistoro di pull-down 8.

In particolare, la porta logica 26 presenta un primo ingresso ricevente il segnale di abilitazione OE, un secondo ingresso collegato all'ingresso 24 del buffer di uscita 1 attraverso un invertitore logico 30, ed una uscita collegata ad un ingresso dell'invertitore logico 28, la cui uscita è collegata al terminale di porta del transistoro di pull-down 8.

Il buffer di uscita 1 comprende infine uno stadio di disaccoppiamento unidirezionale 32 interposto fra il terminale di pozzo del transistoro di pull-up 6 e l'uscita 18 del buffer di uscita 1 per disaccoppiare quest'ultima dalla linea di alimentazione 10 durante il transitorio di commutazione del buffer di uscita 1 stesso.

In particolare, lo stadio di disaccoppiamento unidirezionale 32 è essenzialmente formato da un elemento di disaccoppiamento unidirezionale 34 interposto fra il terminale di pozzo del transistoro di pull-up 6 e l'uscita 18 del buffer di uscita 1, ed un interruttore 36 collegato in parallelo all'elemento di disaccoppiamento unidirezionale 34 per cortocircuitare quest'ultimo al termine del transitorio di commutazione del buffer di uscita 1.

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

Più in dettaglio, nella figura 1 l'elemento di disaccoppiamento unidirezionale 34 è schematizzato come un diodo avente un terminale di anodo collegato al terminale di pozzo del transistor di pull-up 6 ed un
5 terminale di catodo collegato all'uscita 18 del buffer di uscita 1.

Nella figura 2 è mostrato un esempio di realizzazione dell'elemento di disaccoppiamento unidirezionale 34 e dell'interruttore 36 dello stadio di
10 disaccoppiamento unidirezionale 32, in cui parti identiche a quelle di figura 1 sono indicate con gli stessi numeri di riferimento.

Secondo quanto mostrato nella figura 2, l'elemento di disaccoppiamento unidirezionale 34 e l'interruttore
15 36 sono realizzati mediante una coppia di transistori PMOS 38, 40 collegati fra loro in parallelo, ed un invertitore logico 42 di retroazione. In particolare, il transistor PMOS 38 è collegato a diodo e presenta terminali di sorgente e di bulk collegati al terminale
20 di pozzo del transistor di pull-up 6, e terminali di pozzo e di porta collegati all'uscita 18 del buffer di uscita 1.

Il transistor PMOS 40 presenta un terminale di sorgente collegato al terminale di pozzo del transistor di pull-up 6, terminale di pozzo collegato all'uscita 18
25 di pull-up 6, terminale di pozzo collegato all'uscita 18

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

del buffer di uscita 1, e terminale di porta collegato all'uscita dell'invertitore logico 42, il cui ingresso è collegato all'uscita 18 del buffer di uscita 1.

Il funzionamento dello stadio di disaccoppiamento unidirezionale 32 è il seguente.

Si supponga una commutazione dell'uscita 18 del buffer di uscita 1 da un livello logico basso (tensione di uscita V_{OUT} pari alla tensione di massa V_{GND}) ad un livello logico alto (tensione di uscita V_{OUT} pari alla tensione di alimentazione V_{DD}).

Quando la tensione di uscita V_{OUT} del buffer di uscita 1 è nulla o comunque fintantoché presenta valori relativamente bassi inferiori alla soglia di scatto dell'invertitore logico 42, l'uscita 18 dell'invertitore logico 42 assume un livello logico alto e quindi il transistor PMOS 40 è spento ed il transistor PMOS 38 opera come un diodo, impedendo che il rumore di commutazione presente sulla linea di alimentazione venga trasferito sull'uscita 18 del buffer di uscita 1.

Quando la tensione di uscita V_{OUT} del buffer di uscita 1 supera la soglia di scatto dell'invertitore logico 42 (dipendente dalle caratteristiche dell'invertitore logico 42 stesso), l'uscita dell'invertitore logico 42 commuta ad un livello logico basso, comandando l'accensione del transistor PMOS 40.

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

Il transistoro PMOS 40 cortocircuita quindi il transistoro PMOS 38 e permette alla tensione di uscita V_{OUT} di raggiungere, a fine transitorio, un valore pari alla tensione di alimentazione V_{DD} .

5 Nelle figure 3 e 4 sono mostrati gli andamenti della tensione di alimentazione V_{DD} e della tensione di uscita V_{OUT} in un buffer di uscita secondo l'arte nota privo dello stadio di disaccoppiamento unidirezionale 32, e, rispettivamente, nel buffer di uscita 1 secondo
10 la presente invenzione provvisto dello stadio di disaccoppiamento unidirezionale 32.

In particolare, dall'analisi comparata delle figure 3 e 4 risulta immediatamente evidente come in un buffer di uscita secondo l'arte nota privo dello stadio di disaccoppiamento unidirezionale 32 la tensione di uscita
15 V_{OUT} segua le oscillazioni della tensione di alimentazione V_{DD} , mentre nel buffer di uscita 1 secondo la presente invenzione provvisto dello stadio di disaccoppiamento unidirezionale 32 la tensione di uscita
20 V_{OUT} non segua più le oscillazioni presenti sulla tensione di alimentazione V_{DD} .

Dall'analisi comparata delle figure 3 e 4 risulta inoltre immediatamente evidente come la dinamica di uscita del buffer di uscita 1 non risulti in alcun modo
25 ridotta dalla presenza dello stadio di disaccoppiamento

BERGADANO MIRKO
(iscritto all' Albo n. 843B)

unidirezionale 32 e come l'introduzione dello stadio di disaccoppiamento unidirezionale 32 porti ad uno smorzamento delle oscillazioni presenti sulla tensione di alimentazione V_{DD} .

5 Nella figura 5 sono invece mostrati gli andamenti della corrente di uscita I_{OUT} di un buffer di uscita secondo l'arte nota privo dello stadio di disaccoppiamento unidirezionale 32 (linea tratteggiata), e, rispettivamente, del buffer di uscita 1 secondo la
10 presente invenzione provvisto dello stadio di disaccoppiamento unidirezionale 32 (linea continua).

Dall'analisi della figura 5 risulta immediatamente evidente come in un buffer di uscita secondo l'arte nota privo dello stadio di disaccoppiamento unidirezionale 32
15 la corrente di uscita I_{OUT} presenti ampie oscillazioni generate dalle oscillazioni della tensione di alimentazione V_{DD} , mentre come la presenza dello stadio di disaccoppiamento unidirezionale 32 inibisca le oscillazioni della corrente di uscita I_{OUT} .

20 Nella figura 6 è mostrata un'altra possibile implementazione del principio inventivo alla base della presente invenzione, in cui parti identiche a quelle di figura 1 sono indicate con gli stessi numeri di riferimento.

25 In particolare, il buffer di uscita mostrato nella

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

figura 6, indicato qui con 1', differisce dal al buffer di uscita 1 di figura 1 per il solo fatto che lo stadio di disaccoppiamento unidirezionale, qui indicato con 32', è interposto fra la linea di alimentazione 10 ed il terminale di sorgente del transistor di pull-up 6, ed è formato unicamente da un elemento di disaccoppiamento unidirezionale, indicato con 34'.

Nella figura 7 è mostrata una possibile forma di realizzazione dell'elemento di disaccoppiamento unidirezionale 34', in cui parti identiche a quelle di figura 1 sono indicate con gli stessi numeri di riferimento.

In particolare, secondo quanto mostrato nella figura 7, l'elemento di disaccoppiamento unidirezionale 34' è essenzialmente costituito da un cosiddetto diodo ad abbassamento di soglia, ossia un diodo formato da un primo transistor che presenta un collegamento a diodo e che è modificato inserendo nel percorso di reazione un secondo transistor collegato anch'esso a diodo e polarizzato tramite un generatore di corrente. In questo modo, quindi, il primo ed il secondo transistor sono equivalenti ad un transistor avente una tensione di soglia pari alla differenza delle tensioni di soglia del primo e del secondo transistor.

Per una trattazione più dettagliata sui diodi ad

BERGADANO MIRKO
(Iscritto all'Albo n. 843B)

abbassamento di soglia si veda ad esempio la domanda di brevetto europeo EP-A-1071211 a nome della richiedente.

Nell'esempio mostrato nella figura 7, il diodo ad abbassamento di soglia è formato da un transistor PMOS 44, un transistor NMOS 46, ed un generatore di corrente 48. Il transistor PMOS 44 presenta terminali di sorgente e di bulk collegati alla linea di alimentazione 10, terminale di pozzo collegato al terminale di sorgente del transistor di pull-up, e terminale di porta collegato al generatore di corrente 48, il quale è a sua volta collegato alla linea di massa 12.

Il transistor NMOS 46 è collegato a diodo e presenta terminale di sorgente collegato al terminale di porta del transistor PMOS 44, terminali di pozzo e di porta collegati al terminale di pozzo del transistor PMOS 44, e terminale di bulk collegato alla linea di massa 12.

Il funzionamento di un diodo ad abbassamento di soglia è di per sé noto e non verrà quindi descritto in dettaglio.

Si sottolinea unicamente il fatto che avendo il diodo ad abbassamento di soglia una tensione di soglia equivalente relativamente bassa, la limitazione della dinamica di uscita del buffer di uscita 1' derivante dalla sua introduzione è sostanzialmente trascurabile e

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

quindi il diodo ad abbassamento di soglia non necessita di essere cortocircuitato al termine del transitorio di commutazione del buffer di uscita 1', per cui in questa forma di realizzazione l'interruttore 36 di figura 1 non
5 risulta necessario.

L'unico accorgimento da adottare nella forma di realizzazione mostrata nella figura 7 è quello di provvedere, mediante un opportuno stadio di comando, allo spegnimento del generatore di corrente 48 al
10 termine del transitorio di commutazione o quando il buffer di uscita 1' viene disabilitato o messo in una condizione di stand-by al fine di evitare inutili consumi statici di corrente.

Nelle figure 8 e 9 sono mostrate due ulteriori
15 possibili forme di realizzazione della presente invenzione, in cui parti identiche a quelle di figura 1 sono indicate con gli stessi numeri di riferimento.

Il buffer di uscita mostrato nella figura 8, indicato con 1'', differisce dal buffer di uscita 1 di
20 figura 2 per il fatto di comprendere un ulteriore stadio di disaccoppiamento unidirezionale, indicato con 32'', interposto fra l'uscita del buffer di uscita 1'' ed il terminale di pozzo del transistoro di pull-down 8, in modo da evitare tale da evitare che il rumore di
25 commutazione presente sulla linea di massa 12 venga

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

trasferito sull'uscita 18 del buffer di uscita 1".

In particolare, lo stadio di disaccoppiamento unidirezionale 32" presenta una struttura circuitale simile a quella dello stadio di disaccoppiamento unidirezionale 32 di figura 2 e differisce da questo per
5 il fatto di essere formato da transistori aventi tipo di conducibilità opposta rispetto a quella dei transistori dello stadio di disaccoppiamento unidirezionale 32 di figura 2.

10 In dettaglio, lo stadio di disaccoppiamento unidirezionale 32" comprende una coppia di transistori NMOS 50, 52 ed un invertitore logico 54 di retroazione. Il transistore NMOS 50 è collegato a diodo e presentante terminali di porta e di pozzo collegati all'uscita 18
15 del buffer di uscita 1" e terminale di sorgente collegato al terminale di pozzo del transistore di pull-down 8, mentre il transistore NMOS 52 è collegato in parallelo al transistore NMOS 50 e presentante terminale di sorgente collegato al terminale di pozzo del
20 transistore di pull-down 8, terminale di pozzo collegato all'uscita 18 del buffer di uscita 1" e terminale di porta collegato all'uscita dell'invertitore logico 54, il cui ingresso è collegato all'uscita 18 del buffer di uscita 1".

25 Il buffer di uscita mostrato nella figura 9,

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

5 indicato qui con 1'', differisce invece dal buffer di uscita 1' di figura 7 per il fatto di comprendere un ulteriore stadio di disaccoppiamento unidirezionale, indicato con 32'', interposto fra il terminale di sorgente del transistoro di pull-down 8 e la linea di massa 12, in modo da evitare tale da evitare che il rumore di commutazione presente sulla linea di massa venga trasferito sull'uscita del buffer di uscita.

10 In particolare, lo stadio di disaccoppiamento unidirezionale 32'' di figura 9 presenta una struttura circuitale simile a quella dello stadio di disaccoppiamento unidirezionale 32' di figura 7 e differisce da questo per il fatto per il fatto di essere formato da transistori aventi tipo di conducibilità opposta rispetto a quella dei transistori dello stadio di disaccoppiamento unidirezionale 32' di figura 7.

20 In dettaglio, lo stadio di disaccoppiamento unidirezionale 32'' è essenzialmente costituito da un diodo ad abbassamento di soglia formato da un transistoro NMOS 56, un transistoro PMOS 58, e da un generatore di corrente 60. Il transistoro NMOS 56 presenta terminale di pozzo collegato al terminale di sorgente del transistoro di pull-down 8, terminale di sorgente collegato alla linea di massa 12, e terminale di porta collegato al generatore di corrente 60, il

BERGADANO MIRKO
(scritto all'Albo n. 843B)

quale è a sua volta collegato alla linea di alimentazione 10.

Il transistor PMOS 58 è collegato a diodo e presenta terminale di sorgente collegato al terminale di porta del transistor NMOS 56, e terminali di pozzo e di porta collegati all'uscita 18 del buffer di uscita 1''.

Da un esame delle caratteristiche della presente invenzione sono evidenti i vantaggi che essa consente di ottenere.

In particolare, il disaccoppiamento dell'uscita del buffer di uscita dall'alimentazione durante la commutazione del buffer di uscita stesso ottenuto mediante l'inserimento di un componente elettronico con caratteristiche di unidirezionalità in serie ai transistori di pull-up e di pull-down dello stadio finale del buffer di uscita stesso, costituisce un modo semplice ed economico per evitare che il rumore di commutazione presente sulla linea di alimentazione venga trasferito sull'uscita del buffer di uscita, senza peggiorare i tempi di commutazione del buffer di uscita.

Inoltre, cortocircuitando il componente elettronico unidirezionale al termine del transitorio di commutazione del buffer di uscita evita che quest'ultimo limiti la dinamica di uscita del buffer di uscita.

Risulta infine chiaro che ai buffer di uscita qui

BERGADANO MIRKO
(Iscritto all'Albo n. 843B)

descritti ed illustrati possono essere apportate modifiche e varianti senza per questo uscire dall'ambito protettivo della presente invenzione, come definito nelle rivendicazioni allegate.

5 Ad esempio, il buffer di uscita potrebbe essere provvisto anche di un solo stadio di disaccoppiamento unidirezionale per disaccoppiare la propria uscita dalla sola linea di massa, e tale stadio di disaccoppiamento potrebbe essere disposto o fra l'uscita del buffer di
10 uscita ed il terminale di pozzo del transistoro di pull-down o fra il terminale di sorgente di quest'ultimo e la linea di massa.

Inoltre, il disaccoppiamento dell'uscita del buffer di uscita sia dalla linea di alimentazione che dalla
15 linea di massa può anche essere ottenuto attraverso combinazioni degli stadi di disaccoppiamento unidirezionali 32, 32', 32" e 32''' unidirezionale differenti da quelle mostrate nelle figure 8 e 9, ossia utilizzando uno stadio di disaccoppiamento
20 unidirezionale interposto fra il transistoro di pull-up 6 e l'uscita 18 del buffer di uscita ed uno stadio di disaccoppiamento unidirezionale interposto fra il transistoro di pull-down 8 e la linea di massa 12, oppure utilizzando uno stadio di disaccoppiamento
25 unidirezionale interposto fra il transistoro di pull-up

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

6 e la linea di alimentazione 10 ed uno stadio di disaccoppiamento unidirezionale interposto fra l'uscita 18 del buffer di uscita ed il transistor di pull-down 8.

5 Inoltre, ciascuno dei due diodi ad abbassamento di soglia precedentemente descritti può essere formato anche da una coppia di transistori aventi lo stesso tipo di conducibilità e collegati nel modo indicato nella suddetta domanda di brevetto europeo.

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

R I V E N D I C A Z I O N I

1. Buffer di uscita (1; 1'; 1"; 1''') per un
dispositivo di memoria (2), comprendente uno stadio
finale (4) formato da un primo e da un secondo
5 transistore (6, 8) collegati in serie fra una prima
linea (10) posta ad un primo potenziale (V_{DD}) ed una
seconda linea (12) posta ad un secondo potenziale (V_{GND})
e presentanti un nodo intermedio collegato ad una uscita
(18) di detto buffer di uscita (1; 1'; 1"; 1''');
10 caratterizzato dal fatto di comprendere inoltre mezzi di
disaccoppiamento unidirezionali (32; 32'; 32"; 32''')
disposti in serie a detti primo e secondo transistore
(6, 8) fra dette prima e seconda linea (10, 12) per
disaccoppiare l'uscita (18) di detto buffer di uscita
15 (1; 1'; 1"; 1''') da almeno una di dette prima e seconda
linea (10, 12) durante un transitorio di commutazione
del buffer di uscita (1; 1'; 1"; 1''') stesso.

2. Buffer di uscita secondo la rivendicazione 1,
caratterizzato dal fatto che detti mezzi di
20 disaccoppiamento unidirezionali comprendono almeno uno
stadio di disaccoppiamento unidirezionale (32; 32'')
interposto fra detto primo transistore (6, 8) e l'uscita
(18) di detto buffer di uscita (1; 1'').

3. Buffer di uscita secondo la rivendicazione 1 o
25 2, caratterizzato dal fatto che detto stadio di

BERGADANO MIRKO
(iscritto all' Albo n. 8438)

disaccoppiamento unidirezionale (32; 32") comprende mezzi unidirezionali (34, 36) interposti fra l'uscita (18) di detto buffer di uscita (1; 1") e detto primo transistorore (6, 8).

5 5. Buffer di uscita secondo la rivendicazione 4, caratterizzato dal fatto che detti mezzi unidirezionali (34, 36) comprendono un terzo ed un quarto transistorore (38, 40; 50, 52) e mezzi invertitori (42; 54), detto terzo transistorore (38; 50) essendo collegato a diodo ed
10 essendo interposto fra l'uscita (18) di detto buffer di uscita (1; 1") e detto primo transistorore (6, 8), detto quarto transistorore (40; 52) essendo collegato in parallelo a detto terzo transistorore (38; 50), e detti mezzi invertitori (42; 54) avendo un ingresso collegato
15 all'uscita (18) controllo di detto buffer di uscita (1; 1"), ed una uscita collegata ad un terminale di controllo di detto quarto transistorore (40; 52).

6. Buffer di uscita secondo una qualsiasi delle rivendicazioni da 2 a 5, caratterizzato dal fatto che
20 detti mezzi di disaccoppiamento unidirezionali (1") comprendono due detti stadi di disaccoppiamento unidirezionale (32, 32") interposti fra l'uscita (18) di detto buffer di uscita (1") e, rispettivamente, detti primo e secondo transistorore (6, 8).

25 7. Buffer di uscita secondo la rivendicazione 1,

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

caratterizzato dal fatto che detti mezzi di disaccoppiamento unidirezionali (1'; 1''') comprendono almeno stadio di disaccoppiamento unidirezionale (32' 32''') interposto fra detta prima linea (10, 12) e detto
5 primo transistor (6, 8).

8. Buffer di uscita secondo la rivendicazione 7, caratterizzato dal fatto che detto stadio di disaccoppiamento unidirezionale (32'; 32''') comprende mezzi unidirezionali (34') interposti fra detta prima
10 linea (10, 12) e detto primo transistor (6, 8).

9. Buffer di uscita secondo la rivendicazione 8, caratterizzato dal fatto che detti mezzi unidirezionali (34') comprendono mezzi a diodo ad abbassamento di soglia (44, 46, 48; 56, 58, 60).

15 10. Buffer di uscita secondo la rivendicazione 9, caratterizzato dal fatto che detti mezzi a diodo ad abbassamento di soglia (44, 46, 48; 56, —58, 60) comprendono un quinto transistor (44; 56) avente un primo ed un secondo terminale collegati rispettivamente
20 a detta prima linea (10, 12) e a detto primo transistor (6, 8); un sesto transistor (46; 58) collegato a diodo ed interposto fra detto primo transistor (6, 8) ed un terminale di controllo di detto quinto transistor (44; 56); e mezzi generatori di corrente (48; 60) collegati a
25 detto terminale di controllo di detto quinto transistor

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

(44; 56).

11. Buffer di uscita secondo una qualsiasi delle rivendicazioni da 7 a 10, caratterizzato dal fatto che detti mezzi di disaccoppiamento unidirezionali (1'')
5 comprendono due detti stadi di disaccoppiamento unidirezionale (32'; 32'') interposti fra detta prima linea (10, 12) e detto primo transistor (6, 8) e, rispettivamente, fra detta seconda linea (10, 12) e detto secondo transistor (6, 8).

10 12. Buffer di uscita secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detta prima linea è una linea di alimentazione (10) posta ad un potenziale di alimentazione (V_{DD}), e detta seconda linea è una linea di massa (12) posta ad un
15 potenziale di massa (V_{GND}).

13. Buffer di uscita secondo una qualsiasi delle rivendicazioni da 1 a 11, caratterizzato dal fatto che detta prima linea è una linea di massa (12) posta ad un potenziale di massa (V_{GND}), e detta seconda linea è una
20 linea di alimentazione (10) posta ad un potenziale di alimentazione (V_{DD}).

14. Buffer di uscita secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detto primo transistor è un transistor di pull-up (6)
25 e che detto secondo transistor è un transistor di

BERGADANO MIRKO
(iscritto all' Albo n. 843B)

pull-down (8).

15. Buffer di uscita secondo una qualsiasi delle rivendicazioni da 1 a 13, caratterizzato dal fatto che detto primo transistor è un transistor di pull-down (8) e che detto secondo transistor è un transistor di pull-up (6).

16. Dispositivo di memoria (2), caratterizzato dal fatto di comprendere un buffer di uscita (1; 1'; 1"; 1''') secondo una qualsiasi delle rivendicazioni precedenti.

17. Buffer di uscita per una memoria non volatile, sostanzialmente come descritto con riferimento ai disegni allegati.

18. Dispositivo di memoria, sostanzialmente come descritto con riferimento ai disegni allegati.

p.i.: STMICROELECTRONICS S.R.L.

BERGADANO MIRKO
(iscritto all' Albo n. 843B)

BERGADANO MIRKO
(iscritto all' Albo n. 843B)

TO 2001A 000530

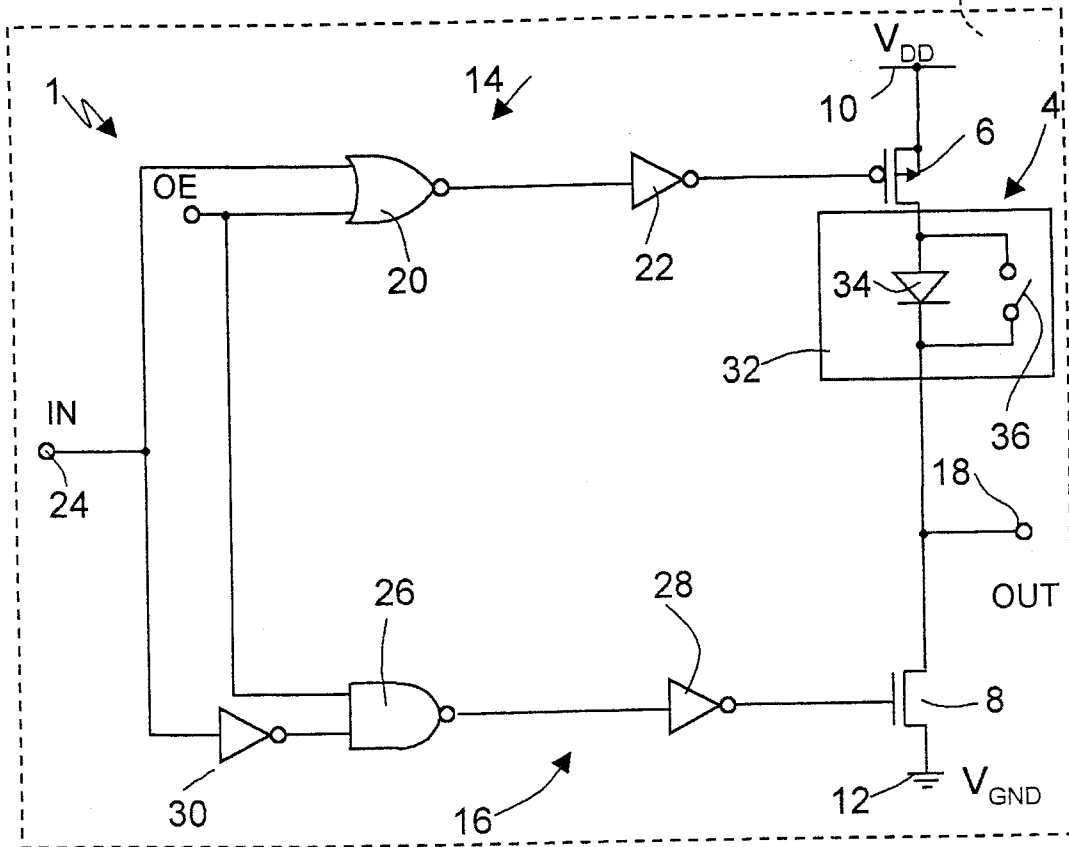


Fig.1

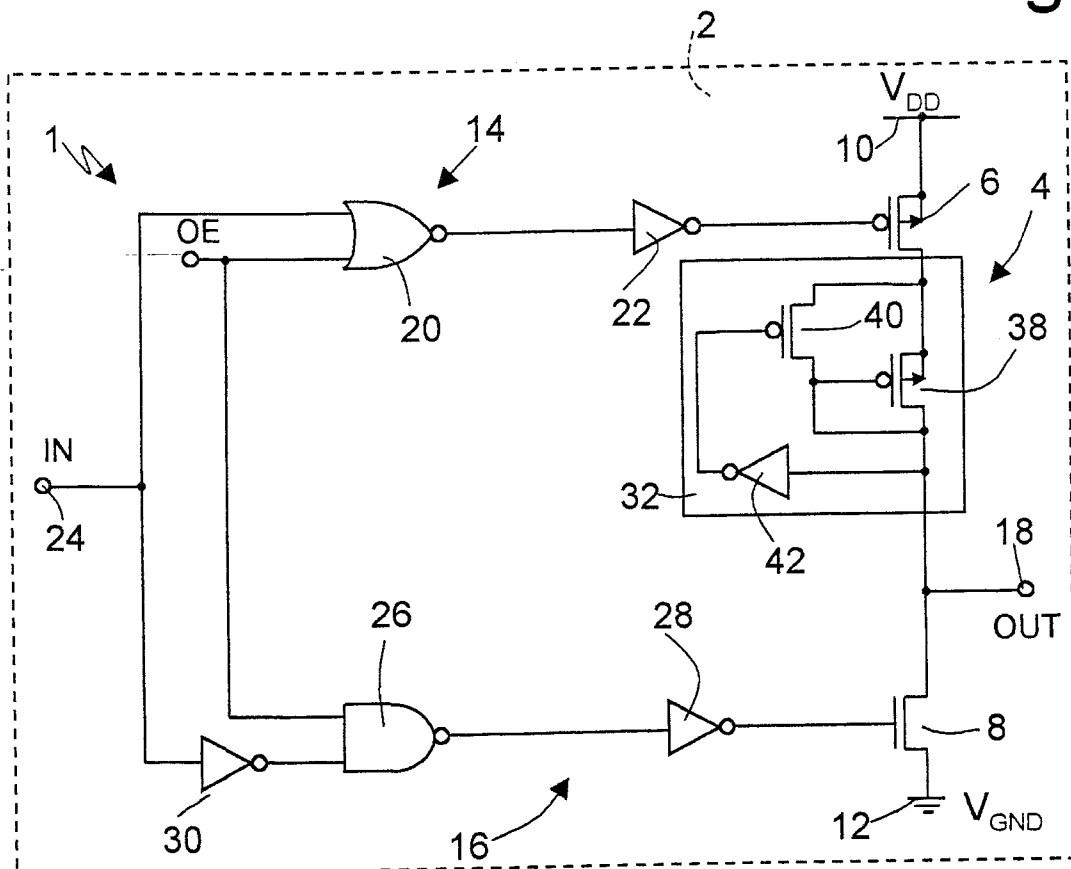


Fig.2

IO 2003A 000580

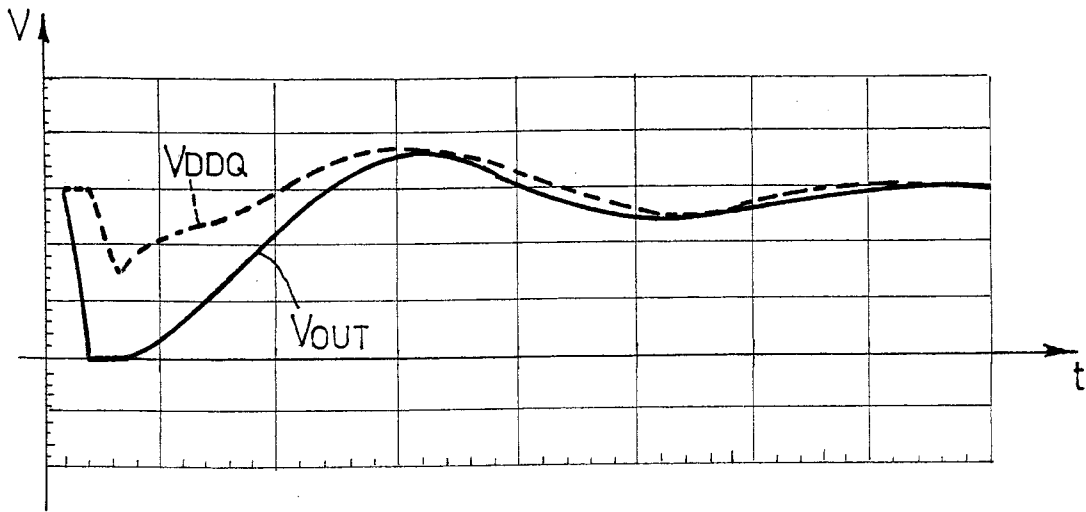


Fig.3

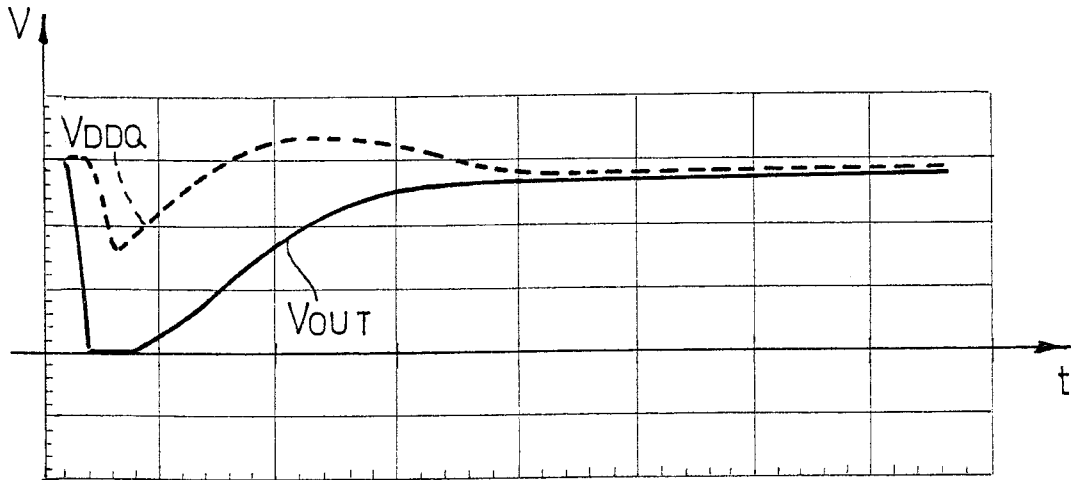


Fig.4

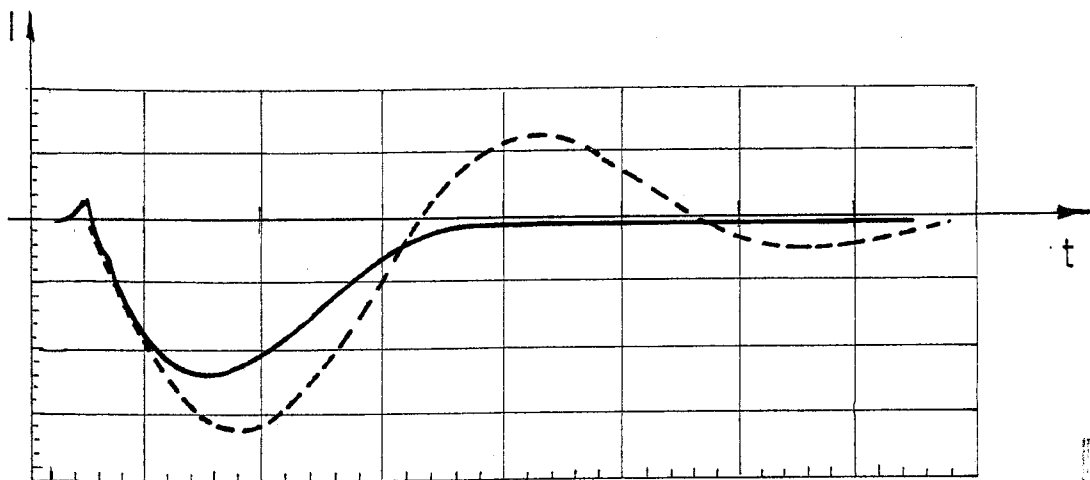


Fig.5

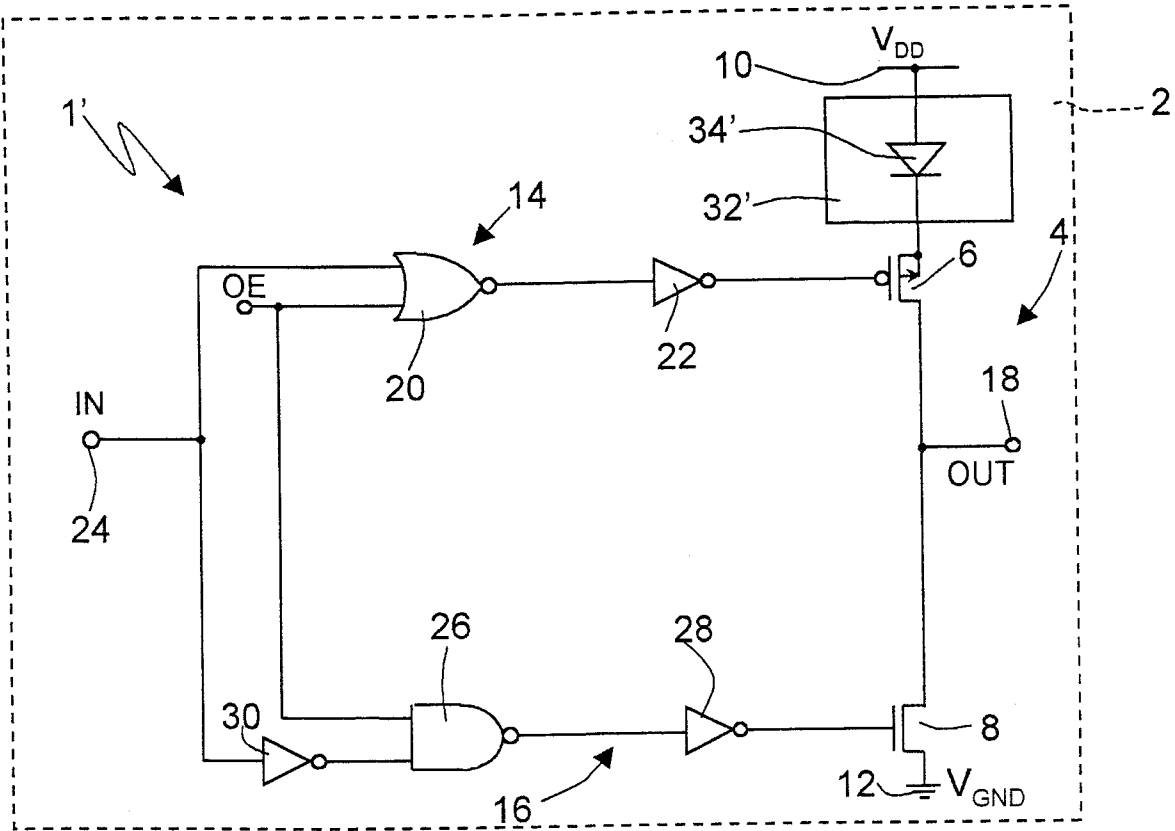


Fig. 6

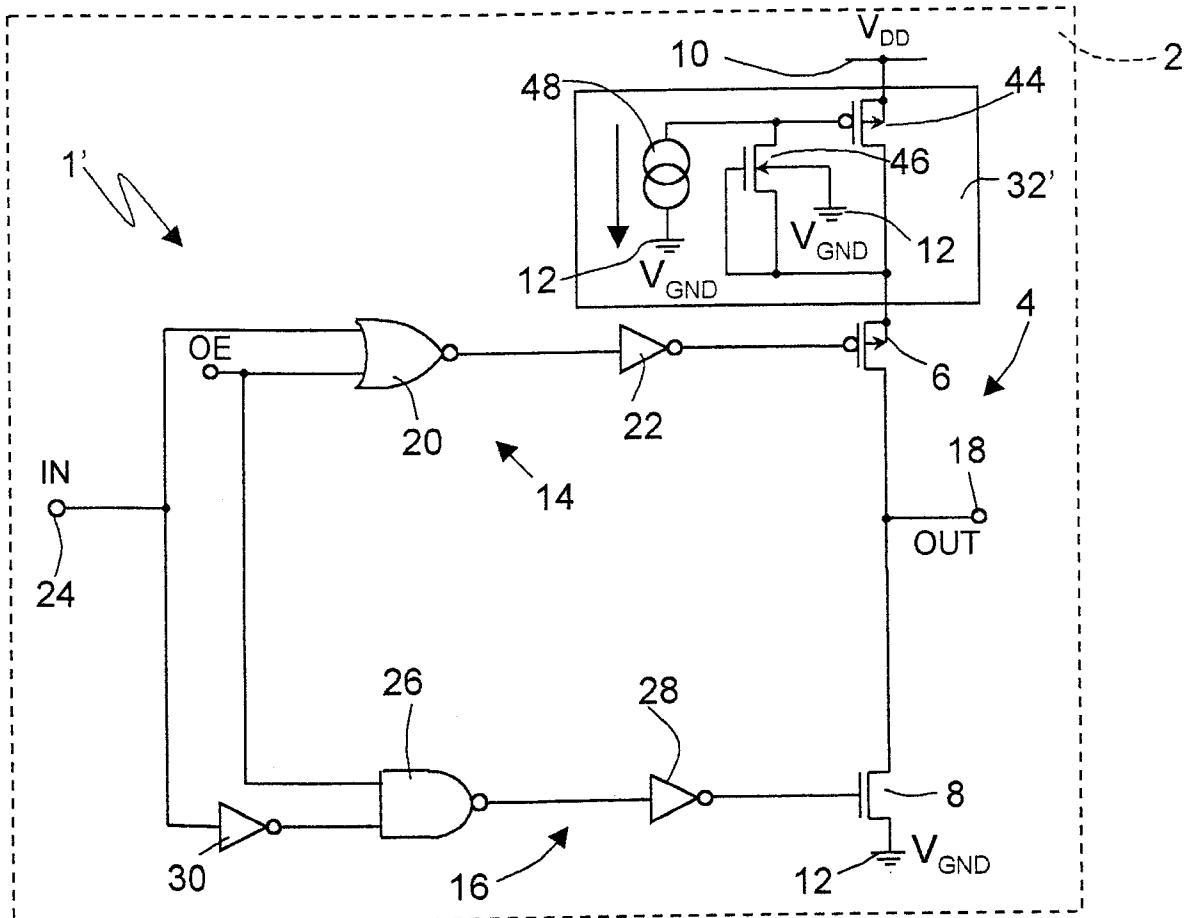


Fig. 7

TO 2001A 000530

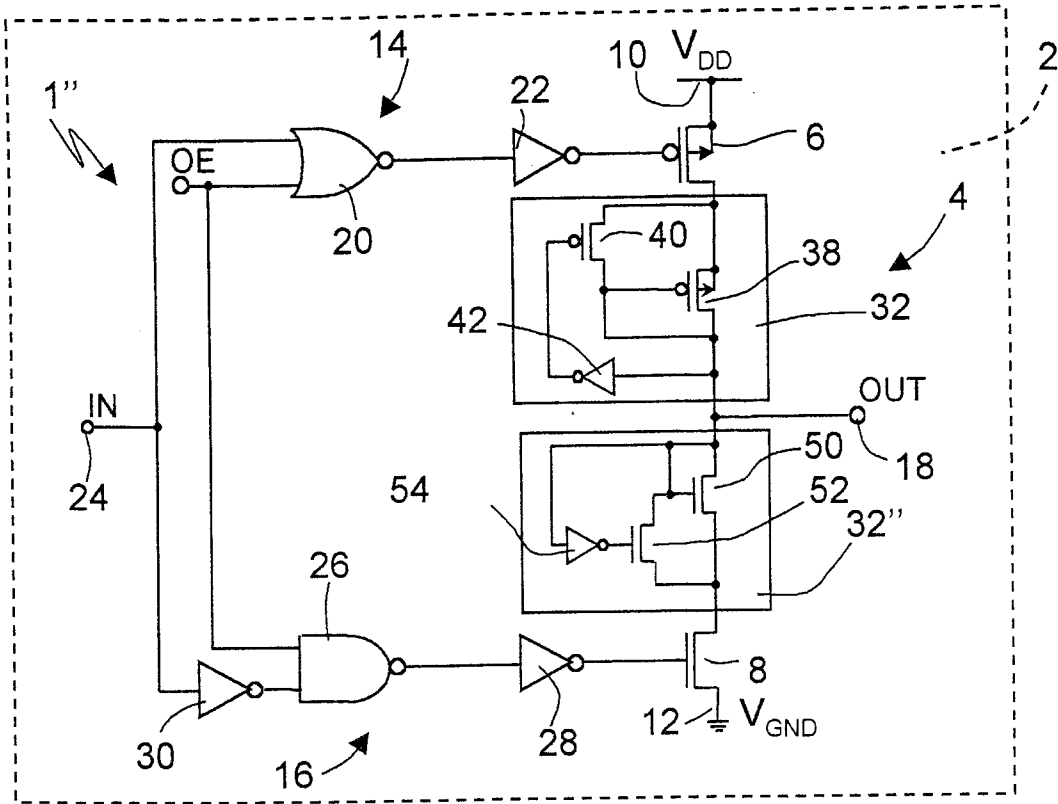


Fig.8

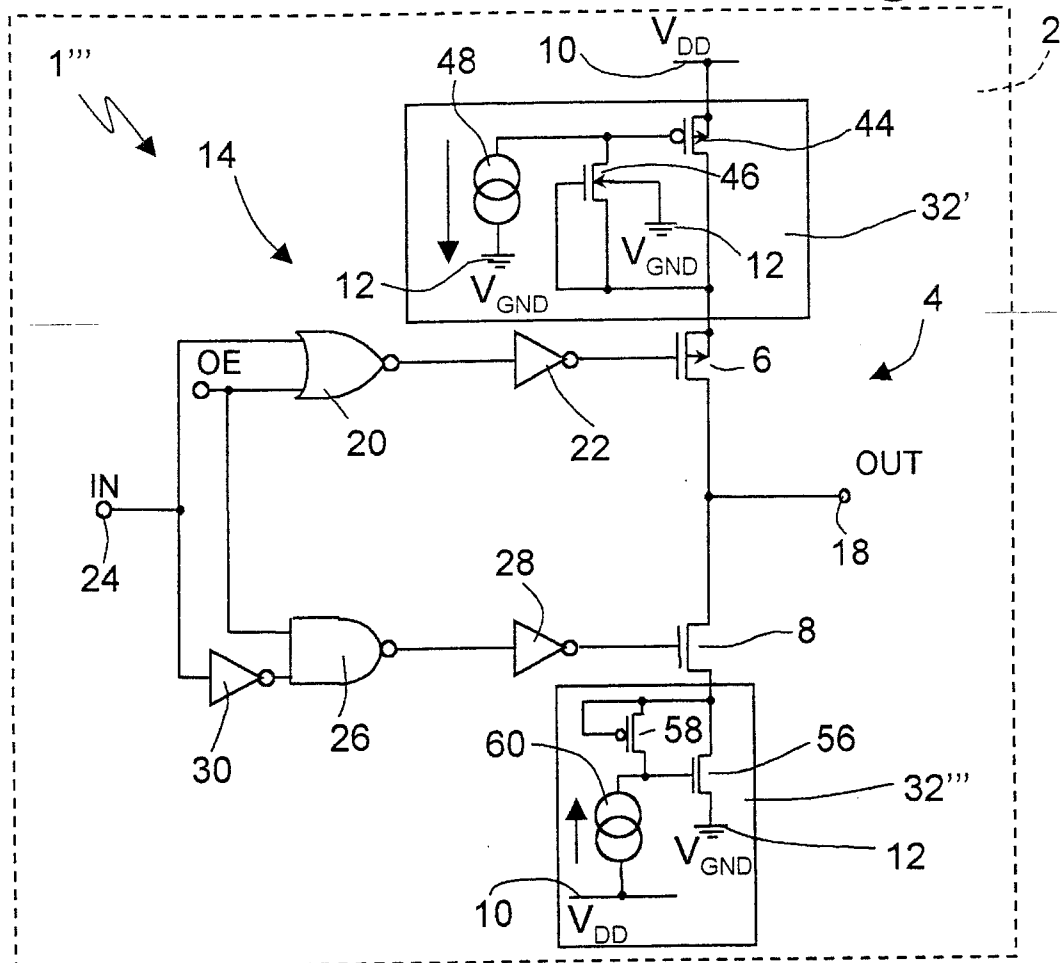


Fig.9