

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-71239

(P2019-71239A)

(43) 公開日 令和1年5月9日(2019.5.9)

|                      |                  |                      |          |                  |
|----------------------|------------------|----------------------|----------|------------------|
| (51) Int.Cl.         |                  | F I                  |          | テーマコード (参考)      |
| <b>H 0 1 H 33/59</b> | <b>(2006.01)</b> | <b>H 0 1 H 33/59</b> | <b>D</b> | <b>5 G 0 0 4</b> |
| <b>H 0 2 H 3/08</b>  | <b>(2006.01)</b> | <b>H 0 2 H 3/08</b>  | <b>L</b> | <b>5 G 0 2 8</b> |

審査請求 未請求 請求項の数 6 O L (全 19 頁)

|           |                              |          |                              |
|-----------|------------------------------|----------|------------------------------|
| (21) 出願番号 | 特願2017-197305 (P2017-197305) | (71) 出願人 | 000006105                    |
| (22) 出願日  | 平成29年10月11日 (2017.10.11)     |          | 株式会社明電舎                      |
|           |                              |          | 東京都品川区大崎2丁目1番1号              |
|           |                              | (74) 代理人 | 100086232                    |
|           |                              |          | 弁理士 小林 博通                    |
|           |                              | (74) 代理人 | 100092613                    |
|           |                              |          | 弁理士 富岡 潔                     |
|           |                              | (74) 代理人 | 100104938                    |
|           |                              |          | 弁理士 鶴澤 英久                    |
|           |                              | (74) 代理人 | 100210240                    |
|           |                              |          | 弁理士 太田 友幸                    |
|           |                              | (72) 発明者 | 大井 一伸                        |
|           |                              |          | 東京都品川区大崎2丁目1番1号 株式会<br>社明電舎内 |

最終頁に続く

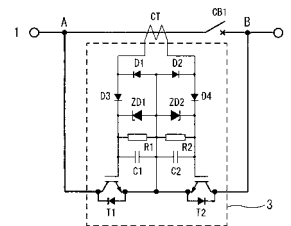
(54) 【発明の名称】 直流遮断装置

(57) 【要約】

【課題】 直流遮断装置において、半導体スイッチング素子のゲート回路用の電源を別途設けることなく、機械遮断器のアークのレベルに関係なくゲート回路用の電源を確立する。

【解決手段】 第1機械遮断器C B 1に対して補助回路3を並列接続する。交流変流器C Tは、1次側が第1系統1と第2系統2との間に接続され、2次側が補助回路3に接続される。補助回路3は、第1系統1と第2系統2間に第1、第2半導体スイッチング素子T 1、T 2を逆直列接続する。交流変流器C Tが短絡電流を検出したとき、交流変流器の2次側の出力電流を第1、第2半導体スイッチング素子T 1、T 2のゲート端子に入力する。また、第1、第2半導体スイッチング素子T 1、T 2のゲート端子とエミッタ端子間に第1、第2コンデンサC 1、C 2を接続する。第1、第2コンデンサC 1、C 2に充電された電荷を放電する第1、第2抵抗R 1、R 2を接続する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 系統と第 2 系統との間に接続された第 1 機械遮断器と、  
前記第 1 機械遮断器に対して並列接続された補助回路と、  
1 次側が前記第 1 系統と前記第 2 系統との間に接続され、2 次側が前記補助回路に接続され、前記 1 次側が短絡電流を検出したとき、2 次側が前記補助回路に電流を出力する交流変流器と、を備え、  
前記補助回路は、  
前記第 1 系統と前記第 2 系統間に逆直列接続され、前記交流変流器が短絡電流を検出したとき、前記交流変流器の 2 次側の出力電流をゲート端子に入力する第 1、第 2 半導体スイッチング素子と、  
前記第 1 半導体スイッチング素子のゲート端子とエミッタ端子間に接続された第 1 コンデンサと、  
前記第 2 半導体スイッチング素子のゲート端子とエミッタ端子間に接続された第 2 コンデンサと、  
前記第 1、第 2 コンデンサに充電された電荷を放電する抵抗と、  
を備えたことを特徴とする直流遮断装置。

10

## 【請求項 2】

第 1 系統と第 2 系統との間に接続された第 1 機械遮断器と、  
前記第 1 機械遮断器に対して並列接続された補助回路と、  
1 次側が前記第 1 系統と前記補助回路の共通接続点と前記第 2 系統と前記補助回路の共通接続点との間に接続され、2 次側が前記補助回路に接続された交流変流器と、を備え、  
前記補助回路は、  
前記第 1 系統と前記第 1 機械遮断器の共通接続点にコレクタ端子が接続されたノーマリーオフの第 1 半導体スイッチング素子と、  
前記第 2 系統と前記第 1 機械遮断器の共通接続点にコレクタ端子が接続され、エミッタ端子が前記第 1 半導体スイッチング素子のエミッタ端子に接続されたノーマリーオフの第 2 半導体スイッチング素子と、  
前記交流変流器の 2 次側の一端にカソード端子が接続された第 1 ダイオードと、  
前記交流変流器の 2 次側の他端にカソード端子が接続され、アノード端子が前記第 1 ダイオードのアノード端子に接続され、その共通接続点が前記第 1、第 2 半導体スイッチング素子のエミッタ端子に接続された第 2 ダイオードと、  
前記交流変流器の 2 次側の一端にアノード端子が接続され、カソード端子が前記第 1 半導体スイッチング素子のゲート端子に接続された第 3 ダイオードと、  
前記交流変流器の 2 次側の他端にアノード端子が接続され、カソード端子が前記第 2 半導体スイッチング素子のゲート端子に接続された第 4 ダイオードと、  
前記第 1 半導体スイッチング素子のゲート端子にカソード端子が接続され、前記第 1 半導体スイッチング素子のエミッタ端子にアノード端子が接続された第 1 ツェナーダイオードと、  
前記第 1 ツェナーダイオードに対して並列に接続された第 1 抵抗と、  
前記第 1 ツェナーダイオード、および、前記第 1 抵抗に対して並列に接続された第 1 コンデンサと、  
前記第 2 半導体スイッチング素子のゲート端子にカソード端子が接続され、前記第 2 半導体スイッチング素子のエミッタ端子にアノード端子が接続された第 2 ツェナーダイオードと、  
前記第 2 ツェナーダイオードに対して並列に接続された第 2 抵抗と、  
前記第 2 ツェナーダイオード、および、前記第 2 抵抗に対して並列に接続された第 2 コンデンサと、  
を備えたことを特徴とする直流遮断装置。

20

30

40

## 【請求項 3】

50

第 1 系統と第 2 系統との間に接続された第 1 機械遮断器と、  
前記第 1 機械遮断器に対して並列接続された補助回路と、

1 次側が前記第 1 機械遮断器と前記補助回路の共通接続点と前記第 1 系統との間、または、前記第 1 機械遮断器と前記補助回路の共通接続点と前記第 2 系統との間に接続され、  
2 次側が前記補助回路に接続された交流変流器と、を備え、

前記補助回路は、

前記第 1 系統と前記第 1 機械遮断器の共通接続点にコレクタ端子が接続されたノーマリーオフの第 1 半導体スイッチング素子と、

前記第 2 系統と前記第 1 機械遮断器の共通接続点にコレクタ端子が接続され、エミッタ端子が前記第 1 半導体スイッチング素子のエミッタ端子に接続されたノーマリーオフの第 2 半導体スイッチング素子と、

10

前記交流変流器の 2 次側の一端と他端との間に接続された第 1 スイッチと、

前記交流変流器の 2 次側の一端にカソード端子が接続された第 1 ダイオードと、

前記交流変流器の 2 次側の他端にカソード端子が接続され、アノード端子が前記第 1 ダイオードのアノード端子に接続され、その共通接続点が前記第 1、第 2 半導体スイッチング素子のエミッタ端子に接続された第 2 ダイオードと、

前記交流変流器の 2 次側の一端にアノード端子が接続され、カソード端子が前記第 1 半導体スイッチング素子のゲート端子に接続された第 3 ダイオードと、

前記交流変流器の 2 次側の他端にアノード端子が接続され、カソード端子が前記第 2 半導体スイッチング素子のゲート端子に接続された第 4 ダイオードと、

20

前記第 1 半導体スイッチング素子のゲート端子にカソード端子が接続され、前記第 1 半導体スイッチング素子のエミッタ端子にアノード端子が接続された第 1 ツェナーダイオードと、

前記第 1 ツェナーダイオードに対して並列に接続された第 1 抵抗と、

前記第 1 ツェナーダイオード、および、前記第 1 抵抗に対して並列に接続された第 1 コンデンサと、

前記第 2 半導体スイッチング素子のゲート端子にカソード端子が接続され、前記第 2 半導体スイッチング素子のエミッタ端子にアノード端子が接続された第 2 ツェナーダイオードと、

前記第 2 ツェナーダイオードに対して並列に接続された第 2 抵抗と、

30

前記第 2 ツェナーダイオード、および、前記第 2 抵抗に対して並列に接続された第 2 コンデンサと、

を備えたことを特徴とする直流遮断装置。

#### 【請求項 4】

第 1 系統と第 2 系統との間に接続された第 1 機械遮断器と、

前記第 1 機械遮断器に対して並列接続された補助回路と、

1 次側が前記第 1 系統と前記補助回路の共通接続点と前記第 2 系統と前記補助回路の共通接続点との間、または、前記第 1 機械遮断器と前記補助回路の共通接続点と前記第 1 系統との間、または、前記第 1 機械遮断器と前記補助回路の共通接続点と前記第 2 系統との間に接続され、2 次側が前記補助回路に接続された交流変流器と、を備え、

40

前記補助回路は、

前記第 1 系統と前記第 1 機械遮断器の共通接続点にコレクタ端子が接続されたノーマリーオフの第 1 半導体スイッチング素子と、

前記第 2 系統と前記第 1 機械遮断器の共通接続点にコレクタ端子が接続され、エミッタ端子が前記第 1 半導体スイッチング素子のエミッタ端子に接続されたノーマリーオフの第 2 半導体スイッチング素子と、

前記交流変流器の 2 次側の一端にカソード端子が接続された第 1 ダイオードと、

前記交流変流器の 2 次側の他端にカソード端子が接続され、アノード端子が前記第 1 ダイオードのアノード端子に接続され、その共通接続点が前記第 1、第 2 半導体スイッチング素子のエミッタ端子に接続された第 2 ダイオードと、

50

前記交流変流器の２次側の一端にアノード端子が接続され、カソード端子が前記第１半導体スイッチング素子のゲート端子に接続された第３ダイオードと、

前記交流変流器の２次側の他端にアノード端子が接続され、カソード端子が前記第２半導体スイッチング素子のゲート端子に接続された第４ダイオードと、

前記第１半導体スイッチング素子のゲート端子にカソード端子が接続され、前記第１半導体スイッチング素子のエミッタ端子にアノード端子が接続された第１ツェナーダイオードと、

前記第１ツェナーダイオードに対して並列に接続された第１抵抗と、

前記第１ツェナーダイオード、および、前記第１抵抗に対して並列に接続された第１コンデンサと、

前記第１半導体スイッチング素子のゲート端子にアノード端子が接続された第５ダイオードと、

前記第２半導体スイッチング素子のゲート端子にカソード端子が接続され、前記第２半導体スイッチング素子のエミッタ端子にアノード端子が接続された第２ツェナーダイオードと、

前記第２ツェナーダイオードに対して並列に接続された第２抵抗と、

前記第２ツェナーダイオード、および、前記第２抵抗に対して並列に接続された第２コンデンサと、

前記第２半導体スイッチング素子のゲート端子にアノード端子が接続され、カソード端子が前記第５ダイオードのカソード端子に接続された第６ダイオードと、

前記第５、第６ダイオードの共通接続点と前記第１、第２半導体スイッチング素子のエミッタ端子との間に直列接続された第３抵抗および第２スイッチと、

を備えたことを特徴とする直流遮断装置。

#### 【請求項５】

前記第１、第２半導体スイッチング素子に対して並列に、第４抵抗および第５コンデンサの直列回路を接続したことを特徴とする請求項３記載の直流遮断装置。

#### 【請求項６】

第１系統と第２系統との間に接続された第１機械遮断器と、

前記第１機械遮断器に対して並列接続された補助回路と、

１次側が前記補助回路の通過電流を検出し、２次側が前記補助回路に接続された交流変流器と、

前記補助回路の通過電流を遮断する第２機械遮断器と、  
を備え、

前記補助回路は、

前記第１系統と前記第１機械遮断器の共通接続点にドレイン端子が接続されたノーモリーオンの第１半導体スイッチング素子と、

前記第２系統と前記第１機械遮断器との共通接続点にドレイン端子が接続され、ソース端子が前記第１半導体スイッチング素子のソース端子に接続されたノーモリーオンの第２半導体スイッチング素子と、

前記交流変流器の２次側の一端にアノード端子が接続された第１ダイオードと、

前記交流変流器の２次側の他端にアノード端子が接続され、カソード端子が前記第１ダイオードのカソード端子に接続され、その共通接続点が前記第１、第２半導体スイッチング素子のソース端子に接続された第２ダイオードと、

前記交流変流器の２次側の一端にカソード端子が接続された第３ダイオードと、

前記交流変流器の２次側の他端にカソード端子が接続された第４ダイオードと、

前記第３ダイオードのアノード端子と前記第１半導体スイッチング素子のゲート端子との間に直列接続された第１リアクトルと第５抵抗と、

前記第４ダイオードのアノード端子と前記第２半導体スイッチング素子のゲート端子との間に直列接続された第２リアクトルと第６抵抗と、

前記第３ダイオードのアノード端子と前記第４ダイオードのアノード端子との間に直列

10

20

30

40

50

接続され、その共通接続点が前記第 1、第 2 半導体スイッチング素子のソース端子に接続された第 3、第 4 コンデンサと、

前記第 1 半導体スイッチング素子のゲート端子にアノード端子が接続され、前記第 1 半導体スイッチング素子のソース端子にカソード端子が接続された第 1 ツェナーダイオードと、

前記第 1 ツェナーダイオードに対して並列に接続された第 1 抵抗と、

前記第 1 ツェナーダイオード、および、前記第 1 抵抗に対して並列に接続された第 1 コンデンサと、

前記第 2 半導体スイッチング素子のゲート端子にアノード端子が接続され、前記第 2 半導体スイッチング素子のソース端子にカソード端子が接続された第 2 ツェナーダイオードと、

前記第 2 ツェナーダイオードに対して並列に接続された第 2 抵抗と、

前記第 2 ツェナーダイオード、および、前記第 2 抵抗に対して並列に接続された第 2 コンデンサと、

を備えたことを特徴とする直流遮断装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、双方向の直流電流を遮断できる直流遮断装置に関する。

【背景技術】

【0002】

系統に短絡事故等が発生した時の電路を遮断する遮断装置として、機械遮断器と、機械遮断器に並列接続された半導体スイッチング素子を有する補助回路と、を備えたハイブリット遮断器が特許文献 1、2 に開示されている。

【0003】

特許文献 1 には交流遮断装置の例が、特許文献 2、3 には直流遮断装置の例が示されている。直流電流には交流電流とは異なり零点が生じないため、機械遮断器を開極した際に発生するアークを消弧できないという課題がある。特許文献 2 は機械遮断器開極時の電流を半導体スイッチング素子からなる補助回路に迂回させることで零点を作り出し、アークを消弧する。

【0004】

半導体スイッチング素子は、ゲート信号によってオンオフされる。通常、ゲート信号を生成するゲート駆動回路用の電源は、スイッチング電源装置などによって別途設けられる。一方、特許文献 1、2 等では、個別の半導体スイッチング素子のゲート駆動用電源を設けない回路構成とし、ハイブリット遮断器の小形化を図っている。

【0005】

特許文献 1、2 の遮断装置では半導体スイッチング素子のゲート駆動用電源を不要としている点に、特許文献 3 では機械遮断器用電源を不要としている点に特長がある。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開平 09-274833 号公報

【特許文献 2】特開 2015-50080 号公報

【特許文献 3】特開 2010-103048 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献 1 の遮断装置は、機械遮断器と半導体スイッチング素子（サイリスタ）を併用したハイブリッド遮断器である。サイリスタのゲート電源は、交流変流器を用いて供給する。ハイブリッド遮断器は、遮断時において機械遮断器の通過電流をサイリスタに転流さ

10

20

30

40

50

せる。しかし、特許文献 1 は交流系統への適用を前提としている。

【0008】

直流系統では電流に零点が生じないため、サイリスタをいったん ON して直流電流を流すとサイリスタを OFF にする手段が存在せず、電流を遮断することができない。よって、特許文献 1 の遮断装置は、直流遮断装置には適用できない。また、特許文献 1 ではサイリスタを操作するための信号を外部から入力する必要がある、そのための制御装置を必要とする。

【0009】

特許文献 2 は、直流系統に対応したハイブリッド遮断器である。機械遮断器を開極した際に発生するアーク電圧を半導体スイッチング素子のゲート端子に印加し駆動する。

10

【0010】

半導体スイッチング素子に IGBT を用いた場合、一般的にターン ON にはゲート端子に 15 V 程度の電圧を印加する。よって、アーク電圧が 15 V 以上となる機械遮断器を選定する必要がある。

【0011】

また、アークにより機械遮断器の接点摩耗が進めばアーク電圧が変わる恐れもある。例えば、気中遮断器では大電流になるほどアーク電圧が下がる。そのため、大電流では IGBT を ON できず遮断に失敗してしまうおそれがある。

【0012】

逆に、真空遮断器では大電流になるほどアーク電圧は上がる。一例では電流 4 kA においてアーク電圧は 15 V となり、それ以下の遮断短絡電流では IGBT を ON できないおそれがある。

20

【0013】

真空遮断器を使用する場合、電流が半導体スイッチング素子に転流し始めるとアーク電圧が下がり、半導体スイッチング素子が OFF し始めてしまうおそれがある。半導体スイッチング素子の OFF スピードが早いと半導体スイッチング素子に転流した電流が機械遮断器に戻り、遮断に失敗する恐れがある。

【0014】

半導体スイッチング素子の OFF スピードを遅くすれば遮断失敗の恐れを低減できるが、遮断に時間がかかりその間に短絡電流が増加してしまう。その結果、半導体スイッチング素子の導通損失・ターン OFF 損失が増加してしまい、半導体スイッチング素子が熱で破壊される恐れが高くなる。

30

【0015】

特許文献 3 の構成では、交流変流器を用いて機械遮断器の制御回路に電源を供給する。しかし、特許文献 3 の回路はハイブリッド遮断器ではない。そのため、開極した際に発生するアークを消弧できない、アークにより機械遮断器の寿命が低下するという問題がある。

【0016】

以上示したようなことから、直流遮断装置において、半導体スイッチング素子のゲート回路用の電源を別途設けることなく、機械遮断器のアークのレベルに関係なくゲート回路の電源を確立することが課題となる。

40

【課題を解決するための手段】

【0017】

本発明は、前記従来の問題に鑑み、案出されたもので、その一態様は、第 1 系統と第 2 系統との間に接続された第 1 機械遮断器と、前記第 1 機械遮断器に対して並列接続された補助回路と、1 次側が前記第 1 系統と前記第 2 系統との間に接続され、2 次側が前記補助回路に接続され、前記 1 次側が短絡電流を検出したとき、2 次側が前記補助回路に電流を出力する交流変流器と、を備え、前記補助回路は、前記第 1 系統と前記第 2 系統間に逆直列接続され、前記交流変流器が短絡電流を検出したとき、前記交流変流器の 2 次側の出力電流をゲート端子に inputs する第 1、第 2 半導体スイッチング素子と、前記第 1 半導体ス

50

ッティング素子のゲート端子とエミッタ端子間に接続された第1コンデンサと、前記第2半導体スイッチング素子のゲート端子とエミッタ端子間に接続された第2コンデンサと、前記第1、第2コンデンサに充電された電荷を放電する抵抗と、を備えたことを特徴とする。

#### 【0018】

また、他の態様として、第1系統と第2系統との間に接続された第1機械遮断器と、前記第1機械遮断器に対して並列接続された補助回路と、1次側が前記第1系統と前記補助回路の共通接続点と前記第2系統と前記補助回路の共通接続点との間に接続され、2次側が前記補助回路に接続された交流変流器と、を備え、前記補助回路は、前記第1系統と前記第1機械遮断器の共通接続点にコレクタ端子が接続されたノーマリーオフの第1半導体  
10 スwitching素子と、前記第2系統と前記第1機械遮断器の共通接続点にコレクタ端子が接続され、エミッタ端子が前記第1半導体スイッチング素子のエミッタ端子に接続されたノーマリーオフの第2半導体スイッチング素子と、前記交流変流器の2次側の一端にカソード端子が接続された第1ダイオードと、前記交流変流器の2次側の他端にカソード端子が接続され、アノード端子が前記第1ダイオードのアノード端子に接続され、その共通接続点が前記第1、第2半導体スイッチング素子のエミッタ端子に接続された第2ダイオードと、前記交流変流器の2次側の一端にアノード端子が接続され、カソード端子が前記第1半導体スイッチング素子のゲート端子に接続された第3ダイオードと、前記交流変流器の2次側の他端にアノード端子が接続され、カソード端子が前記第2半導体スイッチング素子のゲート端子に接続された第4ダイオードと、前記第1半導体スイッチング素子のゲ  
20 ート端子にカソード端子が接続され、前記第1半導体スイッチング素子のエミッタ端子にアノード端子が接続された第1ツェナーダイオードと、前記第1ツェナーダイオードに対して並列に接続された第1抵抗と、前記第1ツェナーダイオード、および、前記第1抵抗に対して並列に接続された第1コンデンサと、前記第2半導体スイッチング素子のゲート端子にカソード端子が接続され、前記第2半導体スイッチング素子のエミッタ端子にアノード端子が接続された第2ツェナーダイオードと、前記第2ツェナーダイオードに対して並列に接続された第2抵抗と、前記第2ツェナーダイオード、および、前記第2抵抗に対して並列に接続された第2コンデンサと、を備えたことを特徴とする。

#### 【0019】

また、他の態様として、第1系統と第2系統との間に接続された第1機械遮断器と、前記第1機械遮断器に対して並列接続された補助回路と、1次側が前記第1機械遮断器と前記補助回路の共通接続点と前記第1系統との間、または、前記第1機械遮断器と前記補助回路の共通接続点と前記第2系統との間に接続され、2次側が前記補助回路に接続された交流変流器と、を備え、前記補助回路は、前記第1系統と前記第1機械遮断器の共通接続点にコレクタ端子が接続されたノーマリーオフの第1半導体スイッチング素子と、前記第2系統と前記第1機械遮断器の共通接続点にコレクタ端子が接続され、エミッタ端子が前記第1半導体スイッチング素子のエミッタ端子に接続されたノーマリーオフの第2半導体  
30 スwitching素子と、前記交流変流器の2次側の一端と他端との間に接続された第1スイッチと、前記交流変流器の2次側の一端にカソード端子が接続された第1ダイオードと、前記交流変流器の2次側の他端にカソード端子が接続され、アノード端子が前記第1ダイ  
40 オードのアノード端子に接続され、その共通接続点が前記第1、第2半導体スイッチング素子のエミッタ端子に接続された第2ダイオードと、前記交流変流器の2次側の一端にアノード端子が接続され、カソード端子が前記第1半導体スイッチング素子のゲート端子に接続された第3ダイオードと、前記交流変流器の2次側の他端にアノード端子が接続され、カソード端子が前記第2半導体スイッチング素子のゲート端子に接続された第4ダイオードと、前記第1半導体スイッチング素子のゲート端子にカソード端子が接続され、前記第1半導体スイッチング素子のエミッタ端子にアノード端子が接続された第1ツェナーダイオードと、前記第1ツェナーダイオードに対して並列に接続された第1抵抗と、前記第1ツェナーダイオード、および、前記第1抵抗に対して並列に接続された第1コンデンサと、前記第2半導体スイッチング素子のゲート端子にカソード端子が接続され、前記第2  
50

半導体スイッチング素子のエミッタ端子にアノード端子が接続された第2ツェナーダイオードと、前記第2ツェナーダイオードに対して並列に接続された第2抵抗と、前記第2ツェナーダイオード、および、前記第2抵抗に対して並列に接続された第2コンデンサと、を備えたことを特徴とする。

#### 【0020】

また、他の態様として、第1系統と第2系統との間に接続された第1機械遮断器と、前記第1機械遮断器に対して並列接続された補助回路と、1次側が前記第1系統と前記補助回路の共通接続点と前記第2系統と前記補助回路の共通接続点との間、または、前記第1機械遮断器と前記補助回路の共通接続点と前記第1系統との間、または、前記第1機械遮断器と前記補助回路の共通接続点と前記第2系統との間に接続され、2次側が前記補助回路に接続された交流変流器と、を備え、前記補助回路は、前記第1系統と前記第1機械遮断器の共通接続点にコレクタ端子が接続されたノーマリーオフの第1半導体スイッチング素子と、前記第2系統と前記第1機械遮断器の共通接続点にコレクタ端子が接続され、エミッタ端子が前記第1半導体スイッチング素子のエミッタ端子に接続されたノーマリーオフの第2半導体スイッチング素子と、前記交流変流器の2次側の一端にカソード端子が接続された第1ダイオードと、前記交流変流器の2次側の他端にカソード端子が接続され、アノード端子が前記第1ダイオードのアノード端子に接続され、その共通接続点が前記第1、第2半導体スイッチング素子のエミッタ端子に接続された第2ダイオードと、前記交流変流器の2次側の一端にアノード端子が接続され、カソード端子が前記第1半導体スイッチング素子のゲート端子に接続された第3ダイオードと、前記交流変流器の2次側の他端にアノード端子が接続され、カソード端子が前記第2半導体スイッチング素子のゲート端子に接続された第4ダイオードと、前記第1半導体スイッチング素子のゲート端子にカソード端子が接続され、前記第1半導体スイッチング素子のエミッタ端子にアノード端子が接続された第1ツェナーダイオードと、前記第1ツェナーダイオードに対して並列に接続された第1抵抗と、前記第1ツェナーダイオード、および、前記第1抵抗に対して並列に接続された第1コンデンサと、前記第1半導体スイッチング素子のゲート端子にアノード端子が接続された第5ダイオードと、前記第2半導体スイッチング素子のゲート端子にカソード端子が接続され、前記第2半導体スイッチング素子のエミッタ端子にアノード端子が接続された第2ツェナーダイオードと、前記第2ツェナーダイオードに対して並列に接続された第2抵抗と、前記第2ツェナーダイオード、および、前記第2抵抗に対して並列に接続された第2コンデンサと、前記第2半導体スイッチング素子のゲート端子にアノード端子が接続され、カソード端子が前記第5ダイオードのカソード端子に接続された第6ダイオードと、前記第5、第6ダイオードの共通接続点と前記第1、第2半導体スイッチング素子のエミッタ端子との間に直列接続された第3抵抗および第2スイッチと、を備えたことを特徴とする。

#### 【0021】

また、その一態様として、前記第1、第2半導体スイッチング素子に対して並列に、第4抵抗および第5コンデンサの直列回路を接続したことを特徴とする。

#### 【0022】

また、他の態様として、第1系統と第2系統との間に接続された第1機械遮断器と、前記第1機械遮断器に対して並列接続された補助回路と、1次側が前記補助回路の通過電流を検出し、2次側が前記補助回路に接続された交流変流器と、前記補助回路の通過電流を遮断する第2機械遮断器と、を備え、前記補助回路は、前記第1系統と前記第1機械遮断器の共通接続点にドレイン端子が接続されたノーマリーオンの第1半導体スイッチング素子と、前記第2系統と前記第1機械遮断器との共通接続点にドレイン端子が接続され、ソース端子が前記第1半導体スイッチング素子のソース端子に接続されたノーマリーオンの第2半導体スイッチング素子と、前記交流変流器の2次側の一端にアノード端子が接続された第1ダイオードと、前記交流変流器の2次側の他端にアノード端子が接続され、カソード端子が前記第1ダイオードのカソード端子に接続され、その共通接続点が前記第1、第2半導体スイッチング素子のソース端子に接続された第2ダイオードと、前記交流変流

器の２次側の一端にカソード端子が接続された第３ダイオードと、前記交流変流器の２次側の他端にカソード端子が接続された第４ダイオードと、前記第３ダイオードのアノード端子と前記第１半導体スイッチング素子のゲート端子との間に直列接続された第１リアクトルと第５抵抗と、前記第４ダイオードのアノード端子と前記第２半導体スイッチング素子のゲート端子との間に直列接続された第２リアクトルと第６抵抗と、前記第３ダイオードのアノード端子と前記第４ダイオードのアノード端子との間に直列接続され、その共通接続点が前記第１、第２半導体スイッチング素子のソース端子に接続された第３、第４コンデンサと、前記第１半導体スイッチング素子のゲート端子にアノード端子が接続され、前記第１半導体スイッチング素子のソース端子にカソード端子が接続された第１ツェナーダイオードと、前記第１ツェナーダイオードに対して並列に接続された第１抵抗と、前記第１ツェナーダイオード、および、前記第１抵抗に対して並列に接続された第１コンデンサと、前記第２半導体スイッチング素子のゲート端子にアノード端子が接続され、前記第２半導体スイッチング素子のソース端子にカソード端子が接続された第２ツェナーダイオードと、前記第２ツェナーダイオードに対して並列に接続された第２抵抗と、前記第２ツェナーダイオード、および、前記第２抵抗に対して並列に接続された第２コンデンサと、を備えたことを特徴とする。

【発明の効果】

【００２３】

本発明によれば、直流遮断装置において、半導体スイッチング素子のゲート回路用の電源を別途設けることなく、機械遮断器のアークのレベルに関係なくゲート回路の電源を確立することが可能となる。

【図面の簡単な説明】

【００２４】

【図１】実施形態１における直流遮断装置を示す回路構成図。

【図２】実施形態１における直流遮断装置の電流遮断動作を示す図。

【図３】実施形態２における直流遮断装置を示す回路構成図。

【図４】実施形態３における直流遮断装置を示す回路構成図。

【図５】実施形態４における直流遮断装置を示す回路構成図。

【図６】実施形態４における直流遮断装置の電流遮断動作を示す図。

【発明を実施するための形態】

【００２５】

以下、本願発明における直流遮断装置の実施形態１～４を図１～図６に基づいて詳述する。

【００２６】

〔実施形態１〕

図１に本実施形態１の直流遮断装置を示す。本実施形態１の直流遮断装置は、第１機械遮断器ＣＢ１と、第１機械遮断器ＣＢ１の通過電流を検出する変流器ＣＴと、第１機械遮断器ＣＢ１の開極時に電流を転流させる補助回路３と、を有する。

【００２７】

なお、図１では、第１系統１と第１機械遮断器ＣＢ１の共通接続点をＡ点、第２系統２と第１機械遮断器ＣＢ１の共通接続点をＢ点とする。

【００２８】

Ａ点とＢ点との間には、第１機械遮断器ＣＢ１と、その第１機械遮断器ＣＢ１の通過電流を検出する変流器ＣＴの１次側が接続される。図１では、Ａ点側に変流器ＣＴ、Ｂ点側に第１機械遮断器ＣＢ１を接続しているが、変流器ＣＴと第１機械遮断器ＣＢ１の接続順序は逆でも良い。

【００２９】

補助回路３は、第１、第２半導体スイッチング素子Ｔ１、Ｔ２と、第１～第４ダイオードＤ１～Ｄ４と、第１、第２ツェナーダイオードＺＤ１、ＺＤ２と、第１、第２抵抗Ｒ１、Ｒ２と、第１、第２コンデンサＣ１、Ｃ２と、を備える。

10

20

30

40

50

## 【0030】

第1、第2半導体スイッチング素子T1、T2はノーマリーオフ型であり、第1機械遮断器CB1に対して並列に接続される。第1半導体スイッチング素子T1のコレクタ端子はA点に接続される。第1半導体スイッチング素子T1のエミッタ端子は第2半導体スイッチング素子のエミッタ端子に接続される。第2半導体スイッチング素子T2のコレクタ端子はB点に接続される。

## 【0031】

変流器CTの2次側は補助回路3に接続される。変流器CTの2次側の左側端子は第1ダイオードD1のカソード端子に接続される。変流器CTの2次側の右側端子は第2ダイオードD2のカソード端子に接続される。第1、第2ダイオードD1、D2のアノード端子同士は接続され、その共通接続点は第1、第2半導体スイッチング素子T1、T2のエミッタ端子に接続される。

10

## 【0032】

変流器CTの2次側の左側端子には、第3ダイオードD3のアノード端子が接続される。第3ダイオードD3のカソード端子は第1半導体スイッチング素子T1のゲート端子に接続される。変流器CTの2次側の右側端子には、第4ダイオードD4のアノード端子が接続される。第4ダイオードD4のカソード端子は第2半導体スイッチング素子T2のゲート端子に接続される。

## 【0033】

第1半導体スイッチング素子T1のゲート端子とエミッタ端子の間には、第1コンデンサC1、第1抵抗R1、第1ツェナーダイオードZD1が並列に接続される。

20

## 【0034】

第1ツェナーダイオードZD1のカソード端子は第1半導体スイッチング素子T1のゲート端子に接続され、第1ツェナーダイオードZD1のアノード端子は第1半導体スイッチング素子T1のエミッタ端子に接続される。

## 【0035】

第2半導体スイッチング素子T2のゲート端子とエミッタ端子の間には、第2コンデンサC2、第2抵抗R2、第2ツェナーダイオードZD2が並列に接続される。

## 【0036】

第2ツェナーダイオードZD2のカソード端子は第2半導体スイッチング素子T2のゲート端子に接続され、第2ツェナーダイオードZD2のアノード端子は第2半導体スイッチング素子T2のエミッタ端子に接続される。

30

## 【0037】

電流が変流器CTの1次側の左から右に流れた場合、変流器CTの2次側の左側端子から電流が出力され、右側端子に電流が流れ込む。

## 【0038】

図2(a)、(b)に短絡電流の遮断動作を示す。図2(a)は短絡発生から第1半導体スイッチング素子T1ターンONまでの様子である。この図2(a)では、短絡電流は左から右に流れている。

## 【0039】

変流器CTは、短絡電流を検出し、2次側に電流を出力する。変流器CTの2次側の出力電流は、第3ダイオードD3、第1半導体スイッチング素子T1のゲート容量(第1半導体スイッチング素子T1のゲート端子、エミッタ端子間)、および、第1コンデンサC1、第2ダイオードD2を経由する。

40

## 【0040】

第1コンデンサC1と第1半導体スイッチング素子T1のゲート容量(第1半導体スイッチング素子T1のゲート端子、エミッタ端子間の容量)が充電され、第1半導体スイッチング素子T1のゲート電圧(すなわち、第1コンデンサC1印加電圧)がターンONレベルとなり、第1半導体スイッチング素子T1がONする。第1半導体スイッチング素子T1がONした後、変流器CTの2次側の出力電流は第1半導体スイッチング素子T1の

50

ゲート容量と第1コンデンサC1の代わりに第1ツェナーダイオードZD1を通過し、第1半導体スイッチング素子T1のゲートの過充電を防ぐ。

【0041】

図2(b)は第1機械遮断器CB1を開極し、第1半導体スイッチング素子T1がOFFされるまでの動作である。なお、第1機械遮断器CB1の開極は、変流器CTとは別の電流センサ(図示省略)等によって短絡状態を検出して、短絡状態と判定した上位コントローラからの第1機械遮断器CB1の開極指令によって行われる。(実施形態2~4も同様である。)

第1機械遮断器CB1の開極動作には時間遅れが生じるため、第1機械遮断器CB1を開極する時点で第1半導体スイッチング素子T1はすでにON状態である。そのため、短絡電流は第1、第2半導体スイッチング素子T1、T2からなる補助回路3に容易に転流でき、第1機械遮断器CB1開極時のアークを抑えることができる。

【0042】

短絡電流の転流が完了すると、変流器CTの検出電流は零になり、変流器CTの2次側の出力電流も零になる。第1半導体スイッチング素子T1のゲート容量および第1コンデンサC1に充電された電荷は第1抵抗R1を通して放電される。

【0043】

放電が進むと、第1半導体スイッチング素子T1のゲート電圧(すなわち、第1コンデンサC1の印加電圧)がターンOFFレベルまで下がり、第1半導体スイッチング素子T1はターンOFFし、短絡電流を遮断することができる。

【0044】

本実施形態1の直流遮断装置は、双方向の電流遮断が可能である。短絡電流が右から左に流れる場合は、第2半導体スイッチング素子T2のゲート容量が充電され第2半導体スイッチング素子T2がONし、短絡電流は補助回路3に転流する。その後、第2抵抗R2により第2半導体スイッチング素子T2のゲート容量が放電され、第2半導体スイッチング素子T2は短絡電流を遮断することができる。

【0045】

本実施形態1では、変流器CTとして交流変流器を用いることを想定している。交流変流器を用いても問題ない理由を説明する。交流変流器では、直流電流を検出することはできない。しかし、短絡電流は系統電圧に比例・系統インダクタンスに反比例した傾きで増加する交流値が重畳されたものであるため、交流変流器で検出でき、第1、第2半導体スイッチング素子T1、T2をONすることができる。

【0046】

第1機械遮断器CB1が開極すると変流器CTの1次側電流は急減するため、変流器CTの2次側には、図2(a)に示す変流器CTの2次電流の向きとは逆向きの電流が発生する可能性がある。しかし、この電流は図2(b)に示すように第2半導体スイッチング素子T2をONする。左から右に流れる短絡電流に対して第2半導体スイッチング素子T2のON/OFFは無関係であるため、直流遮断装置の動作には影響しない。(この場合、短絡電流は第2半導体スイッチング素子T2に逆並列接続されているダイオードに流れる。)

変流器CTが交流変流器であれば、一定の直流電流が流れても変流器CTの2次側には電流が流れない。そのため、正常時に一定の直流電流が流れている状態において、変流器CTの2次回路に発生する定常損失を零にすることができる。

【0047】

本実施形態1の直流遮断装置の設計上の注意点について説明する。系統に一定の定格電流が流れ続け、変流器CTの2次側から電流が出力されない場合、第1半導体スイッチング素子T1のゲート容量および第1コンデンサC1は完全に放電した状態となる。本実施形態1の直流遮断装置は、この状態から短絡が発生して系統電流が遮断しきい値に達するまでに第1半導体スイッチング素子T1のゲート容量および第1コンデンサC1の充電が完了することが求められる。この条件を満たすよう変流器CTの変流比と第1コンデン

10

20

30

40

50

サ C 1 の容量を決定する。

【0048】

設計によっては、系統電流が零から定格まで急増したときに第 1 半導体スイッチング素子 T 1 が誤点弧を起こす可能性がある。しかし、本実施形態 1 の直流遮断装置は、短絡が発生し、第 1 機械遮断器 C B 1 を開極する段階で第 1 半導体スイッチング素子 T 1 が ON していればよい。短絡していない状態で第 1 半導体スイッチング素子 T 1 が誤点弧しても、第 1 機械遮断器 C B 1 のインピーダンスはほぼ零である一方で補助回路 3 には第 1 半導体スイッチング素子 T 1 および第 2 半導体スイッチング素子 T 2 の逆並列ダイオードの電圧降下分のインピーダンスがあるため、ほとんどの電流は第 1 機械遮断器 C B 1 を通過する。さらに、第 1 機械遮断器 C B 1 に定常損失はほとんど発生しないため、本実施形態 1 の直流遮断装置には定常損失はほとんど発生しない。

10

【0049】

短絡が発生して第 1 機械遮断器 C B 1 を開極した後における第 1 半導体スイッチング素子 T 1 のターン OFF 速度は、ゲート端子の放電速度、すなわち、第 1 コンデンサ C 1 と第 1 抵抗 R 1 の時定数に依存する。

【0050】

この時定数は、短絡電流が第 1 機械遮断器 C B 1 から補助回路 3 への転流にかかる時間よりも長くしなければならない。時定数が長い場合、第 1 半導体スイッチング素子 T 1 のターン OFF により発生するサージ電圧を低減できる反面、ターン OFF 速度減少によりスイッチング損失が増加し、第 1 半導体スイッチング素子 T 1 の熱責務が増加する。また、第 1 機械遮断器 C B 1 による短絡箇所の切り離しが遅れれば短絡電流が増加し、第 1 半導体スイッチング素子 T 1 の導通損失が増加するだけでなく、周囲の装置への悪影響も懸念される。

20

【0051】

第 1 コンデンサ C 1、第 1 抵抗 R 1 の時定数が短すぎると第 1 半導体スイッチング素子 T 1 のターン OFF 時のサージ電圧が増加し、第 1 半導体スイッチング素子 T 1 が過電圧破壊される恐れが生じる。また、補助回路 3 への転流が完了する前に第 1 半導体スイッチング素子 T 1 のターン OFF が始まると、短絡電流は再び第 1 機械遮断器 C B 1 に戻り遮断に失敗してしまう。そのため、適切な第 1 コンデンサ C 1、第 1 抵抗 R 1 を設定する必要がある。

30

【0052】

第 1 ツェナーダイオード Z D 1 は、ゲート過充電を防ぐためのものである。例えば、第 1 半導体スイッチング素子 T 1 が定格ゲート電圧 ON 電圧 = 15 V の I G B T ならば、降伏電圧 15 V のツェナーダイオードを使用する。

【0053】

上記の遮断動作が完了し、短絡事故の発生要因を取り除いて直流系統を正常状態とした後に、再度第 1 機械遮断器 C B 1 を閉極する。(実施形態 2、3 も同様)

以上示したように、本実施形態 1 によれば、双方向の電流遮断が可能となる。また、アークをほとんど発生せず直流電流を遮断することができる。また、系統容量に合わせた変流器 C T を用いることで系統容量の大小に関係せず短絡電流を遮断することができる。さらに、第 1、第 2 半導体スイッチング素子 T 1、T 2 のゲート駆動用電源が不要であり、直流遮断装置の小型化、低コスト化を図ることが可能となる。

40

【0054】

また、変流器 C T に交流変流器を使用することにより、一定の負荷に対する定常損失を小さく抑えることができる。また、第 1、第 2 半導体スイッチング素子 T 1、T 2 に並列に接続した第 1、第 2 抵抗 R 1、R 2、第 1、第 2 コンデンサ C 1、C 2 の時定数を適切に設計することにより、確実に短絡電流を遮断することができる。

【0055】

また、特許文献 1 とは異なり、必要な機械遮断器や変流器が少ないためコストを低減できる。さらに、特許文献 1 とは異なり、第 1、第 2 半導体スイッチング素子 T 1、T 2 の

50

ゲート回路を共通化でき、部品点数を削減できる。よって、直流遮断装置の小型化、低コスト化を図ることが可能となる。

【0056】

また、特許文献1とは異なり、第1, 第2半導体スイッチング素子T1, T2用のゲート信号を外部から入力する必要がなく、第1, 第2半導体スイッチング素子T1, T2用の制御装置が不要である。よって、外部から入力する信号にノイズが重畳して第1, 第2半導体スイッチング素子T1, T2が誤動作することを抑制することができる。これにより、直流遮断装置の信頼性が向上する。また、直流遮断装置の小型化、低コスト化を図ることが可能となる。

【0057】

また、特許文献2とは異なり、第1, 第2半導体スイッチング素子T1, T2の動作に第1機械遮断器CB1の遮断動作時に発生するアークを必要としないため、発生するアークの大小に関係なく確実に遮断動作を行うことができる。さらに、特許文献2とは異なり、第1機械遮断器CB1の遮断動作時に発生するアークが15V以上である必要がなく、第1機械遮断器CB1の選定が容易になる。

【0058】

また、後述する実施形態2, 3とは異なり補助回路3内にスイッチを用いていないため、スイッチ用の制御装置が不要である。よって、直流遮断装置の小型化、低コスト化を図ることが可能となる。

【0059】

〔実施形態2〕

図3に本実施形態2の直流遮断装置を示す。実施形態1と同様の箇所は同じ符号を付して、その説明を省略する。本実施形態2は変流器CTの1次側の位置を、B点と第2系統2との間に変更している。なお、図3では、変流器CTの1次側をB点と第2系統2との間に接続しているが、変流器CTの1次側はA点と第1系統1の間に接続しても良い。本実施形態2の変流器CTは、第1機械遮断器CB1の通過電流ではなく、第1機械遮断器CB1の通過電流と第1, 第2半導体スイッチング素子T1, T2の通過電流の合計(系統電流)を検出する。

【0060】

また、変流器CTの2次側の左側端子と右側端子との間には、第1, 第2ダイオードD1, D2に対して並列に第1スイッチSW1を追加している。

【0061】

本実施形態2では、実施形態1に対して変流器CTの位置を移動している。これにより、第1機械遮断器CB1を含む、図3のA点～B点間の経路から変流器CTに含まれる寄生インダクタンス成分を除去することができる。そのため、短絡電流は第1機械遮断器CB1から補助回路3に転流しやすくなり、より確実に電流を遮断することができる。

【0062】

また、本実施形態2は第1機械遮断器CB1を開極した後も、変流器CTが短絡電流を検出し続け、変流器CTの2次側からの出力電流が維持される。その結果、第1半導体スイッチング素子T1はターンOFFしなくなる。そのため、第1コンデンサC1, 第1抵抗R1の時定数を短く設定しても短絡電流が第1機械遮断器CB1から補助回路3への転流を完了する前に第1半導体スイッチング素子T1がOFFし始めることがなくなる。

【0063】

ただし、このままでは第1半導体スイッチング素子T1はターンOFFできず短絡電流の遮断ができない。そこで、第1スイッチSW1を変流器CTの2次側に並列に接続する。

【0064】

短絡電流が第1機械遮断器CB1から補助回路3へ転流完了した段階で第1スイッチSW1をONすれば、変流器CTの出力電流は第1スイッチSW1を流れ、第1半導体スイッチング素子T1のゲート容量への充電が停止する。その後は、第1抵抗R1により第1

10

20

30

40

50

半導体スイッチング素子T 1のゲート電荷が放電され、第1半導体スイッチング素子T 1のゲート電圧（すなわち、第1コンデンサC 1の印加電圧）がターンOFFレベルまで下がり、第1半導体スイッチング素子T 1をOFFすることができる。

【0065】

第1コンデンサC 1、第1抵抗R 1の時定数を短く設定すれば第1半導体スイッチング素子T 1のターンOFF速度が増加し、第1半導体スイッチング素子T 1のスイッチング損失を低減でき、熱責務が減少する。また、遮断にかかる時間を短くできるため、周囲の装置への悪影響を抑えることができる。

【0066】

第1スイッチSW 1をONするタイミングは、第1機械遮断器CB 1を開極した後あらかじめ定めた時間経過後とする。また、第1機械遮断器CB 1の通過電流を検出し零になったことを確認してからとしてもよい。

【0067】

以上示したように、本実施形態2の直流遮断装置も実施形態1と同様に双方向の電流遮断が可能となり、実施形態1と同様の作用効果を奏する。

【0068】

また、本実施形態2は、第1機械遮断器CB 1の経路（図3のA点～B点間）から変流器CTに起因する寄生インダクタンスが除去されるため、短絡電流が補助回路3に転流しやすくなり、短絡発生から遮断までの時間を短縮できる。

【0069】

また、第1、第2抵抗R 1、R 2の抵抗値を小さくしても第1、第2半導体スイッチング素子T 1、T 2をより確実にONでき、短絡電流をより確実に遮断できる。

【0070】

また、第1、第2抵抗R 1、R 2の抵抗値を小さくすることで補助回路3の電流遮断速度を増加し、第1、第2半導体スイッチング素子T 1、T 2の損失を低減できる。また、より高速な遮断を行うことで短絡故障による周囲の装置への被害を抑えることができる。

【0071】

〔実施形態3〕

図4に本実施形態3の直流遮断装置を示す。実施形態1、2と同様の箇所は同一の符号を付して、その説明を省略する。

【0072】

図4では、実施形態2と同様に、変流器CTの1次側をB点と第2系統2との間に接続しているが、A点と第1系統1との間に接続しても良く、また、実施形態1のように、A点とB点との間に接続しても良い。

【0073】

本実施形態3の直流遮断装置は、実施形態2の第1スイッチSW 1を除去している。補助回路3の第1半導体スイッチング素子T 1のゲート端子に第5ダイオードD 5のアノード端子が接続される。また、第2半導体スイッチング素子T 2のゲート端子に第6ダイオードD 6のアノード端子が接続される。第5、第6ダイオードD 5、D 6のカソード端子同士は接続され、その共通接続点は、第3抵抗R 3の一端が接続される。第3抵抗R 3の他端には、第2スイッチSW 2の一端が接続され、第2スイッチSW 2の他端は第1、第2半導体スイッチング素子T 1、T 2のエミッタ端子に接続される。なお、第3抵抗R 3と第2スイッチSW 2の接続順序は逆でも良い。

【0074】

また、第1、第2半導体スイッチング素子T 1、T 2に対して並列に、第4抵抗R 4と第5コンデンサC 5を接続する。

【0075】

本実施形態3では、実施形態2に対して第1スイッチSW 1を除去し、第5、第6ダイオードD 5、D 6、第3抵抗R 3、第2スイッチSW 2からなるゲート放電回路を追加したものである。

10

20

30

40

50

## 【0076】

第2スイッチSW2を投入するタイミングは、実施形態2の第1スイッチSW1と同じであり、第1機械遮断器CB1を開極した後あらかじめ定めた時間経過後、または、第1機械遮断器CB1の電流を検出し、零になったことを確認した後である。第2スイッチSW2を投入すると、変流器CTの2次側の出力電流は第1、第2半導体スイッチング素子T1、T2のゲートには流れず、第3抵抗R3を流れるようになり、ゲート充電が停止する。

## 【0077】

また、第1、第2半導体スイッチング素子T1、T2のゲート電荷は第3抵抗R3を介して放電されるため、第1、第2半導体スイッチング素子T1、T2のゲート電圧がターンOFFレベルまで下がり、第1、第2半導体スイッチング素子T1、T2はターンOFFされる。

10

## 【0078】

実施形態1、2では、ターンOFF速度を増加しようとして第1、第2抵抗R1、R2の抵抗値を小さくすると、ゲート充電電流が第1、第2抵抗R1、R2にも流れてしまう。その結果、第1機械遮断器CB1の開極時にゲート充電が不十分となり第1、第2半導体スイッチング素子T1、T2がONせず転流に失敗してしまう恐れが生じる。対策として、変流器CTの2次側出力電流を増加させると、変流器CTの大型化、定常損失の増加など別の問題が生じる。

## 【0079】

20

しかし、本実施形態3ではターンOFF速度を第3抵抗R3の抵抗値で決めることができ、第1、第2抵抗R1、R2はターンOFF動作とは無関係になる。第1、第2抵抗R1、R2の抵抗値を大きく設定することで短絡発生時に確実に第1、第2半導体スイッチング素子T1、T2をターンONできるようになり、第3抵抗R3の抵抗値を小さくすることでターンOFF速度を増加できる。

## 【0080】

ただし、ターンOFF速度を速くすると、第1、第2半導体スイッチング素子T1、T2のコレクタ、エミッタ間に発生するサージ電圧が大きくなって過電圧破壊しやすくなる問題があるため、第4抵抗R4、第5コンデンサC5の直列接続回路から成るサージ電圧吸収回路（スナバ回路）を追加した。サージ電圧が第1、第2半導体スイッチング素子T1、T2の過電圧破壊電圧レベル未満に収まるのならば、第4抵抗R4、第5コンデンサC5は接続しなくともよい。

30

## 【0081】

なお、第1、第2抵抗R1、R2は第1機械遮断器CB1開極時に半導体スイッチング素子やスナバ回路を通過する漏れ電流による第1、第2半導体スイッチング素子T1、T2の誤点弧を防止する。

## 【0082】

以上示したように、本実施形態3の直流遮断装置も実施形態1と同様に双方向の電流遮断が可能であり、実施形態1、2と同様の作用効果を奏する。また、本実施形態3は実施形態2と比較して、第1、第2抵抗R1、R2の抵抗値を大きくすることができ、短絡電流をさらに確実に遮断できる。また、放電回路により補助回路3の電流遮断速度を第1、第2抵抗R1、R2とは独立して調整でき、実施形態2よりも遮断をさらに高速にすることができる。

40

## 【0083】

[実施形態4]

図5に、本実施形態4の直流遮断装置を示す。実施形態1～3と同様の箇所は同一の符号を付して、その説明は省略する。本実施形態4は実施形態1に対し以下の点が異なる。

## 【0084】

第1、第2半導体スイッチング素子T1、T2はノーモリーオン型の半導体スイッチング素子とする。変流器CTの1次側をA点と第1半導体スイッチング素子T1との間に移

50

動し、第1機械遮断器CB1の通過電流ではなく、補助回路3の電流を検出するようにする。

【0085】

なお、図5の第1、第2半導体スイッチング素子T1、T2にはFETを用いている。FETは、図1の第1、第2半導体スイッチング素子T1、T2に用いられているIGBTとは一部端子の名称が異なる。IGBTのコレクタ端子がFETのドレイン端子に対応する。IGBTのエミッタ端子がFETのソース端子に対応する。

【0086】

第1～第4ダイオードD1～D4のアノード端子、カソード端子の向きを反対にする。

【0087】

第1～第4ダイオードD1～D4の出力に、第1、第2リアクトルL1、L2、第3、第4コンデンサC3、C4、第5、第6抵抗R5、R6からなるローパスフィルタを接続する。

【0088】

具体的には、第3ダイオードD3のアノード端子と第1半導体スイッチング素子T1のゲート端子との間に第1リアクトルL1と第5抵抗R5が直列接続される。第4ダイオードD4のアノード端子と第2半導体スイッチング素子T2のゲート端子との間に第2リアクトルL2と第6抵抗R6が直列接続される。第3ダイオードD3のアノード端子と第4ダイオードD4のアノード端子との間に第3、第4コンデンサC3、C4が直列接続され、その共通接続点が第1、第2半導体スイッチング素子T1、T2のソース端子に接続される。

【0089】

第1、第2ツェナーダイオードZD1、ZD2の向きを反対にする。

【0090】

B点と第2半導体スイッチング素子T2との間に第2機械遮断器CB2を接続する。

【0091】

本実施形態4では、第1、第2半導体スイッチング素子T1、T2としてノーモリリーオン型の半導体スイッチング素子を使用する。待機状態では第1、第2半導体スイッチング素子T1、T2のゲート電圧が零であり、第1、第2半導体スイッチング素子T1、T2はON状態を維持している。そのため、第1機械遮断器CB1を開極すればアークはほとんど発生せず短絡電流は補助回路3に転流する。また、第1、第2機械遮断器CB1、CB2は、短絡電流が発生していない正常時は閉極しておく。

【0092】

本実施形態4では、短絡発生後に、まず第1機械遮断器CB1を開極する。図6に第1機械遮断器CB1開極後の動作を示す。変流器CTは補助回路3に転流した短絡電流を検出し、変流器CTの2次側から電流が出力され、第1半導体スイッチング素子T1のゲートを逆電圧で充電する。

【0093】

ゲート充電が完了すると第1半導体スイッチング素子T1のゲート電圧（すなわち、第1コンデンサC1の印加電圧）がターンOFFレベルとなり、第1半導体スイッチング素子T1はターンOFFし、短絡電流を遮断することができる。

【0094】

短絡電流を遮断した後は、第2機械遮断器CB2を開極し、遮断動作が完了する。このとき第2機械遮断器CB2には電流が流れていないため、アークは発生しない。その後、第1半導体スイッチング素子T1のゲート電荷は第1抵抗R1によって放電され、第1半導体スイッチング素子T1のゲート電圧がターンONレベルまで下がり、第1半導体スイッチング素子T1はONする。

【0095】

本実施形態4の直流遮断装置も、実施形態1～3と同様に双方向の電流遮断が可能となる。短絡電流が右から左に流れる場合は、第1機械遮断器CB1を開極し、短絡電流が補

10

20

30

40

50

助回路 3 に転流した後、第 2 半導体スイッチング素子 T 2 のゲート容量が逆電圧で充電され第 2 半導体スイッチング素子 T 2 がターン OFF し短絡電流を遮断することができる。

【0096】

なお、図 5 において、変流器 C T の 1 次側は第 2 半導体スイッチング素子 T 2 と B 点間に設けてもよい。同様に、第 2 機械遮断器 C B 2 は第 1 半導体スイッチング素子 T 1 と A 点間に設けてもよい。

【0097】

本実施形態 4 の直流遮断装置の設計上の注意点について説明する。短絡電流が第 1 機械遮断器 C B 1 から補助回路 3 に転流し始めると、変流器 C T の 2 次側出力電流により第 1 半導体スイッチング素子 T 1、または、第 2 半導体スイッチング素子 T 2 のゲート容量への逆電圧充電が開始される。転流が完了する前にゲート充電が進むと第 1、第 2 半導体スイッチング素子 T 1、T 2 のターン OFF が始まり、短絡電流は再び第 1 機械遮断器 C B 1 を流れ始め、遮断に失敗してしまう。

【0098】

本実施形態 4 では第 1、第 2 リアクトル L 1、L 2、第 3、第 4 コンデンサ C 3、C 4、第 5、第 6 抵抗 R 5、R 6 からなるローパスフィルタを追加し、変流器 C T の 2 次側から電流が出力されてからゲートが充電されるまでに遅れが生じるようにしている。フィルタの遅れ時間は、転流にかかる時間よりも少し長く設定する。

【0099】

上記の遮断動作が完了し、短絡事故の発生要因を取り除いて直流系統を正常状態とした後に、再度、第 1 機械遮断器 C B 1 を閉極し、その後、第 2 機械遮断器 C B 2 を閉極する。

【0100】

以上示したように、本実施形態 4 によれば、双方向の電流遮断が可能であり、実施形態 1～3 と同様の作用効果を奏する。また、本実施形態 4 により、実施形態 1 に以下の効果が追加される。

【0101】

第 1 機械遮断器 C B 1 が閉極している通常状態では、電流は補助回路 3 を通過せず、変流器 C T の 2 次側にも電流が流れない。そのため、変流器 C T の 2 次回路には損失が発生しない。よって、負荷変動が頻発する系統においても定常損失をほぼ零にできる。

【0102】

以上、本発明において、記載された具体例に対してのみ詳細に説明したが、本発明の技術思想の範囲で多彩な変形および修正が可能であることは、当業者にとって明白なことであり、このような変形および修正が特許請求の範囲に属することは当然のことである。

【符号の説明】

【0103】

1、2…第 1、第 2 系統

3…補助回路

C B 1、C B 2…第 1、第 2 機械遮断器

C T…(交流)変流器

T 1、T 2…第 1、第 2 半導体スイッチング素子

D 1～D 6…第 1～第 6 ダイオード

Z D 1、Z D 2…第 1、第 2 ツェナーダイオード

R 1～R 6…第 1～第 6 抵抗

C 1～C 5…第 1～第 5 コンデンサ

S W 1、S W 2…第 1、第 2 スイッチ

L 1、L 2…第 1、第 2 リアクトル

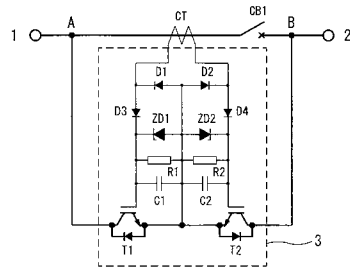
10

20

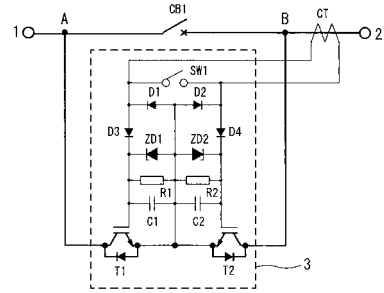
30

40

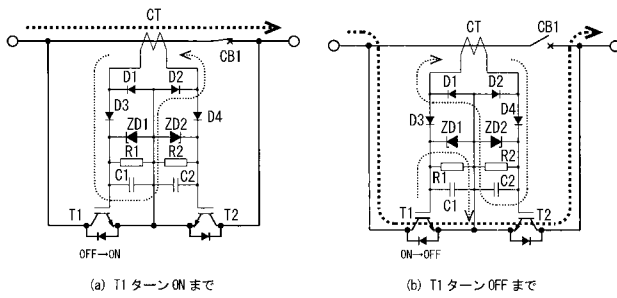
【図 1】



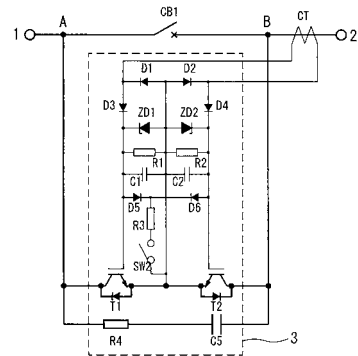
【図 3】



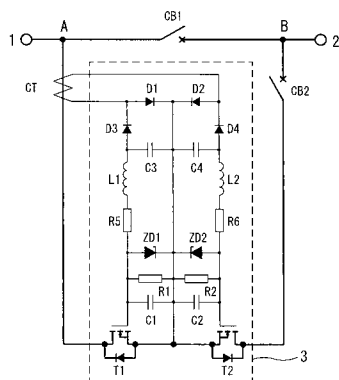
【図 2】



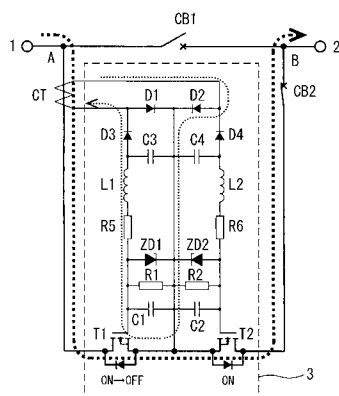
【図 4】



【図 5】



【図 6】



---

フロントページの続き

(72)発明者 漆畑 正太

東京都品川区大崎2丁目1番1号 株式会社明電舎内

Fターム(参考) 5G004 AA04 AB01 BA01 BA03 DA01 EA01 FA02

5G028 AA22 FB06 FD04