(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-178457
(P2012-178457A)
(43)公開日　平成24年9月13日(2012.9.13)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 27/146	(2006.01)	H01L	27/14	A	4M118
H04N 5/369	(2011.01)	H04N	5/335	690	5C024
H04N 5/374	(2011.01)	H04N	5/335	740	

審査請求 未請求　請求項の数 11　ＯＬ　（全 37 頁）

(21)出願番号　特願2011-40531(P2011-40531)
(22)出願日　平成23年2月25日(2011.2.25)

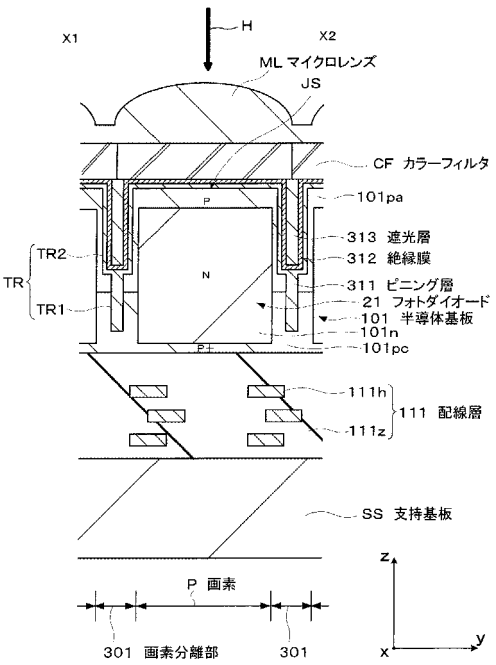
(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　榎本　貴幸
東京都港区港南１丁目７番１号　ソニー株式会社内

Ｆターム(参考)　4M118 AB01 BA14 CA02 CA04 DD04
DD12 EA01 EA14 FA06 FA25
FA26 FA27 FA28 FA33 GA02
GB02 GB06 GB07 GB11 GC07
GC08 GC14 GD03 GD04 GD07
5C024 AX01 CX11 CY47 EX52 GX03

(54)【発明の名称】固体撮像装置、および、その製造方法、電子機器

(57)【要約】
【課題】「混色」の発生などを防止して、撮像画像の画像品質を向上させる。
【解決手段】第１トレンチＴＲ１と、半導体基板１０１において第１トレンチよりも浅い部分において、第１トレンチＴＲ１よりも幅が広い第２トレンチＴＲ２とを、トレンチＴＲとして形成する。そして、第１トレンチＴＲ１の内部を埋め込むと共に、第２トレンチＴＲ２の内側の面を被覆するようにピニング層３１１を形成する。そして、少なくともピニング層３１１を介して第２トレンチＴＲ２の内部を埋め込むように、遮光層３１３を形成する。
【選択図】図３

＜実施形態1＞



【特許請求の範囲】
【請求項１】
半導体基板の内部において複数の画素のそれぞれに対応して複数が設けられており、入射光を受光面で受光する光電変換部と、
前記半導体基板の内部において前記複数の画素の間に設けられており、前記複数の画素の間を電気的に分離する画素分離部と
を有し、
前記画素分離部には、前記半導体基板にて前記入射光が入射する入射面の側において、前記光電変換部の側部に設けられたトレンチの内部に、ピニング層と遮光層とが少なくとも設けられており、
前記トレンチは、
第１トレンチと、
前記半導体基板にて前記第１トレンチよりも浅い部分において、前記第１トレンチよりも幅が広くなるように形成されている第２トレンチと
を含み、
前記ピニング層は、前記第１トレンチの内部に形成されると共に前記第２トレンチの内側の面を被覆するように形成され、
前記遮光層は、少なくとも前記ピニング層を介して前記第２トレンチの内部を埋め込むように形成されている、
固体撮像装置。
【請求項２】
前記ピニング層は、前記第１トレンチの内部の全体を埋め込むように形成されている、
請求項１に記載の固体撮像装置。
【請求項３】
前記ピニング層を介して前記第２トレンチの内側の面を被覆するように形成された絶縁膜
を含み、
前記遮光層は、前記ピニング層と共に前記絶縁膜を介して、前記第２トレンチの内部を埋め込むように形成されている、
請求項２に記載の固体撮像装置。
【請求項４】
前記ピニング層を介して前記第２トレンチの内側の面を被覆するように形成された絶縁膜
を含み、
前記ピニング層は、前記第１トレンチの内側の面を被覆するように形成されており、
前記絶縁膜は、前記ピニング層を介して、前記第１トレンチの内部を埋め込むように形成されており、
前記遮光層は、前記ピニング層と共に前記絶縁膜を介して、前記第２トレンチの内部を埋め込むように形成されている、
請求項１に記載の固体撮像装置。
【請求項５】
前記ピニング層は、負の固定電荷を有する材料で形成されている、
請求項１に記載の固体撮像装置。
【請求項６】
前記ピニング層は、酸化ハフニウム、五酸化タンタル、または、酸化アルミニウムを用いて形成されている、
請求項１に記載の固体撮像装置。
【請求項７】
前記遮光層は、アルミニウムまたはタングステンを用いて形成されている、
請求項１に記載の固体撮像装置。

【請求項８】
前記半導体基板において前記入射面とは反対側の面に設けられており、前記光電変換部で生成された信号電荷を電気信号として出力する画素トランジスタと、
前記半導体基板において前記入射面とは反対側の面にて、前記画素トランジスタを被覆するように設けられている配線層と
を有する、
請求項１に記載の固体撮像装置。
【請求項９】
前記入射光が前記受光面へ透過するカラーフィルタ
を含み、
前記カラーフィルタは、
互いに異なる波長範囲の光について透過率が高い複数種のフィルタ層が、前記複数の画素のそれぞれに対応して互いに隣接して配置されており、
前記トレンチは、前記複数の画素のうち、前記複数種のフィルタ層において最も長波長な波長範囲の光について透過率が高いフィルタ層が配置された画素の周囲の部分が、他の部分よりも深く形成されている、
請求項１に記載の固体撮像装置。
【請求項１０】
入射光を受光面で受光する複数の光電変換部を、半導体基板において複数の画素に対応するように設ける光電変換部形成工程と、
前記複数の画素の間を電気的に分離する画素分離部を、前記半導体基板の内部において前記複数の画素の間に形成する画素分離部形成工程と
を有し、
前記画素分離部形成工程は、
前記半導体基板にて前記入射光が入射する入射面の側において、前記光電変換部の側部に設けたトレンチの内部に、ピニング層と遮光層とが少なくとも設ける工程
を含み、
第１トレンチと、前記半導体基板にて前記第１トレンチよりも浅い部分において、前記第１トレンチよりも幅が広い第２トレンチとを、前記トレンチとして形成し、
前記第１トレンチの内部と共に、前記第２トレンチの内側の面を被覆するように、前記ピニング層を形成し、
少なくとも前記ピニング層を介して前記第２トレンチの内部を埋め込むように、前記遮光層を形成する、
固体撮像装置の製造方法。
【請求項１１】
半導体基板の内部において複数の画素のそれぞれに対応して複数が設けられており、入射光を受光面で受光する光電変換部と、
前記半導体基板の内部において前記複数の画素の間に設けられており、前記複数の画素の間を電気的に分離する画素分離部と
を有し、
前記画素分離部には、前記半導体基板にて前記入射光が入射する入射面の側において、前記光電変換部の側部に設けられたトレンチの内部に、ピニング層と遮光層とが少なくとも設けられており、
前記トレンチは、
第１トレンチと、
前記半導体基板にて前記第１トレンチよりも浅い部分において、前記第１トレンチよりも幅が広くなるように形成されている第２トレンチと
を含み、
前記ピニング層は、前記第１トレンチの内部に形成されると共に前記第２トレンチの内側の面を被覆するように形成され、

前記遮光層は、少なくとも前記ピニング層を介して前記第２トレンチの内部を埋め込むように形成されている、
電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】
本技術は、固体撮像装置、および、その製造方法、電子機器に関する。
【背景技術】
【０００２】
デジタルビデオカメラ、デジタルスチルカメラなどの電子機器は、固体撮像装置を含む。たとえば、固体撮像装置として、ＣＭＯＳ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）型イメージセンサ、ＣＣＤ（Ｃｈａｒｇｅ Ｃｏｕｐｌｅｄ Ｄｅｖｉｃｅ）型イメージセンサを含む。
【０００３】
固体撮像装置は、基板の画素領域に複数の画素が配列されている。各画素においては、光電変換部が設けられている。光電変換部は、たとえば、フォトダイオードであり、入射光を受光面で受光し光電変換することによって、信号電荷を生成する。
【０００４】
固体撮像装置のうち、ＣＣＤ型イメージセンサは、画素領域において、垂直方向に並ぶ複数の画素の列の間に、垂直転送部が設けられている。垂直転送部は、垂直転送チャネル領域にゲート絶縁膜を介して対面するように複数の転送電極が設けられており、電荷読出し部によって光電変換部から読み出された信号電荷を、垂直方向へ転送するように構成されている。
【０００５】
これに対して、ＣＭＯＳ型イメージセンサは、光電変換部のほかに、画素トランジスタを含むように、画素が構成されている。画素トランジスタは、光電変換部で生成された信号電荷を読み出して、信号線へ電気信号として出力するように構成されている。
【０００６】
固体撮像装置では、一般に、基板において、複数の配線が積層された多層配線層が設けられた表面側に設けられており、その表面側から入射する光を、光電変換部が受光面で受光する。
【０００７】
この「表面照射型」の場合には、マイクロレンズと受光面との間に、厚い多層配線層が介在している。このため、受光面に対して傾斜して光が入射したときには、その多層配線層に含まれる配線に、その光が遮られて、受光面ＪＳに到達しない場合がある。また、入射光が、その直下の画素のフォトダイオードに入射せずに、他の画素のフォトダイオードに入射する場合がある。よって、撮像画像においては、シェーディングや混色などの不具合の発生が生ずる場合がある。また、この他に、感度を向上させることが困難な場合がある。
【０００８】
このため、基板において多層配線層が設けられた表面とは反対側の裏面側から入射する光を、光電変換部が受光する「裏面照射型」が提案されている。しかし、「裏面照射型」においても、一の画素に入射した入射光が、その一の画素のフォトダイオードに入射せずに、隣接する他の画素のフォトダイオードに入射する場合がある。このため、このような光学的な現象に起因して信号にノイズが含まれることになり、「混色」などの不具合が撮像画像に発生して、撮像画像の画像品質が低下する場合がある。このような不具合の発生を抑制するために、複数の画素の間に遮光膜を設けている（たとえば、特許文献１，２参照）。
【０００９】
また、固体撮像装置においては、光電変換部が設けられた半導体基板の界面準位に起因

して暗電流が発生することを抑制するために、光電変換部をＨＡＤ（Ｈｏｌｅ　Ａｃｃｕｍｕｌａｔｉｏｎ　Ｄｉｏｄｅ）構造にすることが知られている。ＨＡＤ構造では、ｎ型の電荷蓄積領域の受光面上に正電荷蓄積（ホール）蓄積領域を形成することで、暗電流の発生を抑制している。

【００１０】

そして、この正電荷蓄積領域を光電変換部の界面部分に形成するために、「負の固定電荷を有する膜」をピニング層として設けて、暗電流の発生を抑制することが提案されている。たとえば、酸化ハフニウム膜（HfO_2膜）のような高誘電体膜を、「負の固定電荷を有する膜」として用いている（たとえば、特許文献３などを参照）。

【００１１】

また、固体撮像装置においては、各画素から出力される信号に電気的なノイズが混在することを防止するために、複数の画素の間を電気的に分離する画素分離部が設けられている。たとえば、高濃度の不純物を半導体基板にイオン注入されて形成された高濃度不純物領域が、画素分離部に設けられている。

【先行技術文献】

【特許文献】

【００１２】

【特許文献１】特開２０１０－１０９２９５号公報

【特許文献２】特開２０１０－１８６８１８号公報

【特許文献３】特開２００８－３０６１５４号公報

【発明の概要】

【発明が解決しようとする課題】

【００１３】

図２３は、「裏面照射型」のＣＭＯＳイメージセンサにおいて、画素Ｐの要部を示す断面図である。

【００１４】

図２３に示すように、「裏面照射型」のＣＭＯＳイメージセンサは、半導体基板１０１の内部において画素分離部１０１ｐｂで区画された部分に、フォトダイオード２１が設けられている。フォトダイオード２１は、ｎ型半導体領域１０１ｎが電荷蓄積領域として形成されている。フォトダイオード２１は、ＨＡＤ構造であり、ｎ型半導体領域１０１ｎが、半導体基板１０１の深さ方向ｚにおいてｐ型半導体領域１０１ｐａ，１０１ｐｃで挟まれるように形成されている。そして、画素分離部１０１ｐｂは、半導体基板１０１にｐ型不純物が高濃度にイオン注入されて形成されている。

【００１５】

図２３では図示していないが、この半導体基板１０１の表面（図２３では、下面）には、画素トランジスタが設けられており、図２３に示すように、その画素トランジスタを被覆するように配線層１１１が設けられている。配線層１１１は、配線１１１ｈが絶縁層１１１ｚで覆われるように形成されている。そして、配線層１１１の表面（下面）には支持基板ＳＳが設けられている。

【００１６】

これに対して、半導体基板１０１の裏面（図２３では上面）には、遮光膜６０、カラーフィルタＣＦ、マイクロレンズＭＬが設けられており、この各部を介して入射する入射光Ｈを、フォトダイオード２１が受光するように構成されている。

【００１７】

ここでは、遮光膜６０は、図２３に示すように、たとえば、シリコン酸化膜である絶縁膜ＳＺを介して、半導体基板１０１の上面に形成されている。遮光膜６０は、半導体基板１０１の内部に設けられた画素分離部１０１ｐｂの上方に設けられている。たとえば、遮光膜６０は、金属などの遮光材料を用いて形成されている。

【００１８】

そして、遮光膜６０は、平坦化膜ＨＴによって、上面が被覆されており、その平坦化膜

ＨＴの上面には、カラーフィルタＣＦと、マイクロレンズＭＬが設けられている。カラーフィルタＣＦは、たとえば、３原色の各フィルタ層がベイヤー配列で画素Ｐごとに配列されている。

【００１９】

しかし、上述の構造の場合には、遮光膜６０を設けるために、受光面ＪＳとマイクロレンズＭＬとの間の距離が長くなる。このため、マイクロレンズＭＬによる集光特性が悪化する場合があるので、撮像画像の画像品質が低下する場合がある。

【００２０】

また、遮光膜６０を形成しているが、一の画素Ｐに入射した入射光Ｈが、その遮光膜６０の下方を透過して、隣接する他の画素Ｐのフォトダイオード２１に入射する場合があるために、撮像画像の画像品質が低下する場合がある。

【００２１】

特に、入射光Ｈが大きく傾斜して入射した場合には、高濃度の不純物のイオン注入によって形成された画素分離部１０１ｐｂを、その入射光Ｈが通過して、隣接する他の画素Ｐのフォトダイオード２１に入射する場合がある。このため、いわゆる「混色」が発生して、撮像したカラー画像において色再現性が低下する場合がある。また。これと共に、「シェーディング」の発生によって、撮像画像の画像品質が低下する場合がある。

【００２２】

このように、固体撮像装置においては、斜め光の漏れによる光学的なノイズの発生によって、撮像画像の画像品質を十分に向上させることが困難な場合がある。

【００２３】

この他に、画素分離部１０１ｐｂを不純物のイオン注入によって形成する場合には、不純物の拡散などを考慮すると、画素分離部１０１ｐｂの幅が広くなる。このため、フォトダイオード２１の占有面積を広くすることが困難になる場合がある。よって、フォトダイオード２１の飽和電荷蓄積量（Ｑｓ）が低下して、撮像画像の画像品質を向上させることが困難になる場合がある。

【００２４】

上述した不具合は、「裏面照射型」の場合に限らず、「表面照射型」の固体撮像装置の場合にも発生し得る。

【００２５】

このように、固体撮像装置においては、種々の要因によって、撮像画像の画像品質を向上させることが困難な場合がある。

【００２６】

したがって、本技術は、撮像画像の画像品質等を向上可能な、固体撮像装置、および、その製造方法、電子機器を提供する。

【課題を解決するための手段】

【００２７】

本技術の固体撮像装置、電子機器は、半導体基板の内部において複数の画素のそれぞれに対応して複数が設けられており、入射光を受光面で受光する光電変換部と、前記半導体基板の内部において前記複数の画素の間に設けられており、前記複数の画素の間を電気的に分離する画素分離部とを有し、前記画素分離部には、前記半導体基板にて前記入射光が入射する入射面の側において、前記光電変換部の側部に設けられたトレンチの内部に、ピニング層と遮光層とが少なくとも設けられており、前記トレンチは、第１トレンチと、前記半導体基板にて前記第１トレンチよりも浅い部分において、前記第１トレンチよりも幅が広くなるように形成されている第２トレンチとを含み、前記ピニング層は、前記第１トレンチの内部に形成されると共に前記第２トレンチの内側の面を被覆するように形成され、前記遮光層は、少なくとも前記ピニング層を介して前記第２トレンチの内部を埋め込むように形成されている。

【００２８】

本技術の固体撮像装置の製造方法は、入射光を受光面で受光する複数の光電変換部を、

半導体基板において複数の画素に対応するように設ける光電変換部形成工程と、前記複数の画素の間を電気的に分離する画素分離部を、前記半導体基板の内部において前記複数の画素の間に形成する画素分離部形成工程とを有し、前記画素分離部形成工程は、前記半導体基板にて前記入射光が入射する入射面の側において、前記光電変換部の側部に設けたトレンチの内部に、ピニング層と遮光層とが少なくとも設ける工程を含み、第１トレンチと、前記半導体基板にて前記第１トレンチよりも浅い部分において、前記第１トレンチよりも幅が広い第２トレンチとを、前記トレンチとして形成し、前記第１トレンチの内部と共に、前記第２トレンチの内側の面を被覆するように、前記ピニング層を形成し、少なくとも前記ピニング層を介して前記第２トレンチの内部を埋め込むように、前記遮光層を形成する。

【００２９】

本技術では、第１トレンチと、半導体基板において第１トレンチよりも浅い部分において、第１トレンチよりも幅が広い第２トレンチとを、トレンチとして、画素分離部に形成する。そして、第１トレンチの内部にピニング層を形成すると共に、第２トレンチの内側の面を被覆するようにピニング層を形成する。そして、少なくともピニング層を介して第２トレンチの内部を埋め込むように、遮光層を形成する。このように画素分離部を構成することで、複数の画素の間を画素分離部が電気的および光学的に分離する。

【発明の効果】

【００３０】

本技術によれば、撮像画像の画像品質等を向上可能な、固体撮像装置、および、その製造方法、電子機器を提供することができる。

【図面の簡単な説明】

【００３１】

【図１】図１は、実施形態１において、カメラの構成を示す構成図である。
【図２】図２は、実施形態１において、固体撮像装置の全体構成を示す図である。
【図３】図３は、実施形態１において、固体撮像装置の要部を示す図である。
【図４】図４は、実施形態１において、固体撮像装置の要部を示す図である。
【図５】図５は、実施形態１において、固体撮像装置の要部を示す図である。
【図６】図６は、実施形態１において、撮像を実施する際に、画素の画素トランジスタへ送信する制御信号を示すタイミングチャートである。
【図７】図７は、実施形態１において、固体撮像装置の製造方法を示す図である。
【図８】図８は、実施形態１において、固体撮像装置の製造方法を示す図である。
【図９】図９は、実施形態１において、固体撮像装置の製造方法を示す図である。
【図１０】図１０は、実施形態１において、固体撮像装置の製造方法を示す図である。
【図１１】図１１は、実施形態１において、固体撮像装置の製造方法を示す図である。
【図１２】図１２は、実施形態１において、固体撮像装置の製造方法を示す図である。
【図１３】図１３は、実施形態１において、固体撮像装置の製造方法を示す図である。
【図１４】図１４は、実施形態２において、固体撮像装置の製造方法を示す図である。
【図１５】図１５は、実施形態２において、固体撮像装置の製造方法を示す図である。
【図１６】図１６は、実施形態３において、固体撮像装置の要部を示す図である。
【図１７】図１７は、実施形態３において、固体撮像装置の製造方法を示す図である。
【図１８】図１８は、実施形態３において、固体撮像装置の製造方法を示す図である。
【図１９】図１９は、実施形態４において、固体撮像装置の要部を示す図である。
【図２０】図２０は、実施形態４において、固体撮像装置の要部を示す図である。
【図２１】図２１は、実施形態４において、固体撮像装置の要部を示す図である。
【図２２】図２２は、実施形態５において、固体撮像装置の要部を示す図である。
【図２３】図２３は、「裏面照射型」のＣＭＯＳイメージセンサにおいて、画素Ｐの要部を示す断面図である。

【発明を実施するための形態】

【００３２】

本発明の実施形態について、図面を参照して説明する。

【００３３】

なお、説明は、下記の順序で行う。

１．実施形態１（裏面照射型の場合）

２．実施形態２（実施形態１と製法が一部異なる場合）

３．実施形態３（下段のトレンチ内に絶縁膜とピニング層とが設けられた場合）

４．実施形態４（受光する光の波長に応じてトレンチの深さが異なる場合）

５．実施形態５（表面照射型の場合）

６．その他

【００３４】

＜１．実施形態１＞

（Ａ）装置構成

（Ａ－１）カメラの要部構成

図１は、実施形態１において、カメラ４０の構成を示す構成図である。

【００３５】

図１に示すように、カメラ４０は、固体撮像装置１と、光学系４２と、制御部４３と、信号処理部４４とを有する。各部について、順次、説明する。

【００３６】

固体撮像装置１は、光学系４２を介して被写体像として入射する入射光Ｈを撮像面ＰＳで受光し光電変換して信号電荷を生成する。ここでは、固体撮像装置１は、制御部４３から出力される制御信号に基づいて駆動することで信号電荷を読み出し、電気信号を出力する。

【００３７】

光学系４２は、結像レンズや絞りなどの光学部材を含み、入射光Ｈを、固体撮像装置１の撮像面ＰＳへ集光するように配置されている。

【００３８】

制御部４３は、各種の制御信号を固体撮像装置１と信号処理部４４とに出力し、固体撮像装置１と信号処理部４４とを制御して駆動させる。

【００３９】

信号処理部４４は、固体撮像装置１から出力された電気信号をローデータとして信号処理を実施することによって、被写体像についてデジタル画像を生成するように構成されている。

【００４０】

（Ａ－２）固体撮像装置の要部構成

固体撮像装置１の全体構成について説明する。

【００４１】

図２は、実施形態１において、固体撮像装置１の全体構成を示す図である。

【００４２】

本実施形態の固体撮像装置１は、ＣＭＯＳ型イメージセンサであり、図２に示すように、半導体基板１０１を含む。半導体基板１０１は、たとえば、単結晶シリコン基板が薄膜化されたものであり、画素領域ＰＡと、周辺領域ＳＡとが面に設けられている。

【００４３】

画素領域ＰＡは、図２に示すように、矩形形状であり、複数の画素Ｐが水平方向ｘと垂直方向ｙとのそれぞれに配置されている。つまり、画素Ｐがマトリクス状に並んでいる。

【００４４】

画素領域ＰＡにおいて、画素Ｐは、入射光を受光して信号電荷を生成するように構成されている。そして、その生成した信号電荷が、画素トランジスタ（図示なし）によって読み出されて電気信号として出力される。画素Ｐの詳細な構成については、後述する。

【００４５】

周辺領域ＳＡは、図２に示すように、画素領域ＰＡの周囲に位置している。そして、こ

の周辺領域ＳＡにおいては、周辺回路が設けられている。

【００４６】

具体的には、図２に示すように、垂直駆動回路１３と、カラム回路１４と、水平駆動回路１５と、外部出力回路１７と、タイミングジェネレータ（ＴＧ）１８と、シャッター駆動回路１９とが、周辺回路として設けられている。

【００４７】

垂直駆動回路１３は、図２に示すように、周辺領域ＳＡにおいて、画素領域ＰＡの側部に設けられており、画素領域ＰＡの画素Ｐを行単位で選択して駆動させるように構成されている。

【００４８】

カラム回路１４は、図２に示すように、周辺領域ＳＡにおいて、画素領域ＰＡの下端部に設けられており、列単位で画素Ｐから出力される信号について信号処理を実施する。ここでは、カラム回路１４は、ＣＤＳ（Ｃｏｒｒｅｌａｔｅｄ Ｄｏｕｂｌｅ Ｓａｍｐｌｉｎｇ；相関二重サンプリング）回路（図示なし）を含み、固定パターンノイズを除去する信号処理を実施する。

【００４９】

水平駆動回路１５は、図２に示すように、カラム回路１４に電気的に接続されている。水平駆動回路１５は、たとえば、シフトレジスタを含み、カラム回路１４において画素Ｐの列ごとに保持されている信号を、順次、外部出力回路１７へ出力させる。

【００５０】

外部出力回路１７は、図２に示すように、カラム回路１４に電気的に接続されており、カラム回路１４から出力された信号について信号処理を実施後、外部へ出力する。外部出力回路１７は、ＡＧＣ（Ａｕｔｏｍａｔｉｃ Ｇａｉｎ Ｃｏｎｔｒｏｌ）回路１７ａとＡＤＣ回路１７ｂとを含む。外部出力回路１７においては、ＡＧＣ回路１７ａが信号にゲインをかけた後に、ＡＤＣ回路１７ｂがアナログ信号からデジタル信号へ変換して、外部へ出力する。

【００５１】

タイミングジェネレータ１８は、図２に示すように、垂直駆動回路１３、カラム回路１４、水平駆動回路１５，外部出力回路１７，シャッター駆動回路１９のそれぞれに電気的に接続されている。タイミングジェネレータ１８は、各種のタイミング信号を生成し、垂直駆動回路１３、カラム回路１４、水平駆動回路１５，外部出力回路１７，シャッター駆動回路１９に出力することで、各部について駆動制御を行う。

【００５２】

シャッター駆動回路１９は、画素Ｐを行単位で選択して、画素Ｐにおける露光時間を調整するように構成されている。

【００５３】

（Ａ－３）固体撮像装置の詳細構成

本実施形態にかかる固体撮像装置の詳細内容について説明する。

【００５４】

図３～図５は、実施形態１において、固体撮像装置の要部を示す図である。

【００５５】

図３は、画素Ｐの断面図である。そして、図４は、画素Ｐの上面図である。また、図５は、画素Ｐの回路構成を示している。なお、図３は、図４に示すＸ１－Ｘ２部分の断面を示している。また、図４では、説明の都合で、破線などの実線以外の線を用いて、各部材を示している部分がある。

【００５６】

図３に示すように、固体撮像装置１は、半導体基板１０１の内部にフォトダイオード２１と画素分離部３０１とが設けられている。ここでは、薄膜化された単結晶シリコンの半導体基板１０１に設けられている。

【００５７】

半導体基板１０１の裏面（図３では上面）には、カラーフィルタＣＦ、マイクロレンズＭＬなどの部材が設けられている。

【００５８】

これに対して、半導体基板１０１の表面（図３では、下面）には、図３では図示していないが、図５に示す画素トランジスタＴｒが設けられている。そして、図３に示すように、その画素トランジスタＴｒを被覆するように配線層１１１が設けられており、配線層１１１において、半導体基板１０１の側に対して反対側の面には、支持基板ＳＳが設けられている。

【００５９】

つまり、本実施形態の固体撮像装置１は、「裏面照射型ＣＭＯＳイメージセンサ」であって、裏面（上面）側から入射する入射光Ｈを、フォトダイオード２１が受光し、カラー画像を撮像によって生成するように構成されている。

【００６０】

各部の詳細について順次説明する。

【００６１】

（ａ）フォトダイオード２１について

固体撮像装置１において、フォトダイオード２１は、図２に示した複数の画素Ｐに対応するように複数が画素領域ＰＡに配置されている。つまり、撮像面（ｘｙ面）において、水平方向ｘと、この水平方向ｘに対して直交する垂直方向ｙとのそれぞれに並んで設けられている。

【００６２】

フォトダイオード２１は、入射光Ｈを受光し光電変換することによって信号電荷を生成して蓄積するように構成されている。

【００６３】

ここでは、図３に示すように、半導体基板１０１の裏面（図３では上面）側から入射する入射光Ｈをフォトダイオード２１が受光する。フォトダイオード２１の上方には、図３に示すように、カラーフィルタＣＦ，マイクロレンズＭＬが設けられており、各部を順次介して入射した入射光Ｈを、受光面ＪＳで受光して光電変換が行われる。

【００６４】

図３に示すように、フォトダイオード２１は、半導体基板１０１内に設けられている。

【００６５】

たとえば、フォトダイオード２１は、ｎ型半導体領域１０１ｎが、電荷（電子）を蓄積する電荷蓄積領域として形成されている。フォトダイオード２１においては、ｎ型半導体領域１０１ｎは、半導体基板１０１のｐ型半導体領域１０１ｐａ，１０１ｐｃの内部に設けられている。ここでは、ｎ型半導体領域１０１ｎにおいて、半導体基板１０１の表面（下面）側には、裏面（上面）側よりも不純物濃度が高いｐ型半導体領域１０１ｐｃが設けられている。つまり、フォトダイオード２１は、ＨＡＤ構造であり、ｎ型半導体領域１０１ｎの上面側と下面側との各界面において、暗電流が発生することを抑制するように、ｐ型半導体領域１０１ｐａ，１０１ｐｃが形成されている。

【００６６】

半導体基板１０１の内部には、図３に示すように、複数の画素Ｐの間を電気的に分離する画素分離部３０１が設けられており、フォトダイオード２１は、この画素分離部３０１で区画された画素Ｐの領域内に設けられている。たとえば、図４に示すように、画素分離部３０１が複数の画素Ｐの間に介在するように格子状に形成されており、フォトダイオード２１は、この画素分離部１０１ｐｂで区画された画素Ｐの領域内に形成されている。

【００６７】

そして、図５に示すように、各フォトダイオード２１は、アノードが接地されており、蓄積した信号電荷（ここでは、電子）が、画素トランジスタＴｒによって読み出され、電気信号として垂直信号線２７へ出力されるように構成されている。

【００６８】

（ｂ）カラーフィルタＣＦについて
固体撮像装置１において、カラーフィルタＣＦは、図３に示すように、半導体基板１０１の裏面（図３では上面）の側に設けられている。
【００６９】
カラーフィルタＣＦは、図４に示すように、赤色フィルタ層ＣＦＲと、緑色フィルタ層ＣＦＧと、青色フィルタ層ＣＦＢとを含む。赤色フィルタ層ＣＦＲと、緑色フィルタ層ＣＦＧと、青色フィルタ層ＣＦＢとのそれぞれは、隣接して配置されており、いずれかが、複数の画素Ｐのそれぞれに対応して設けられている。
【００７０】
ここでは、図４に示すように、赤色フィルタ層ＣＦＲと、緑色フィルタ層ＣＦＧと、青色フィルタ層ＣＦＢとのそれぞれが、ベイヤー配列で並ぶように配置されている。すなわち、複数の緑色フィルタ層ＣＦＧが市松状になるように、対角方向へ並んで配置されている。そして、赤色フィルタ層ＣＦＲと青色フィルタ層ＣＦＢとが、複数の緑色フィルタ層ＣＦＧにおいて、対角方向に並ぶように配置されている。
【００７１】
カラーフィルタＣＦにおいて、赤色フィルタ層ＣＦＲは、赤色に対応する波長帯域（たとえば、６２５～７４０ｎｍ）で光透過率が高い。つまり、赤色フィルタ層ＣＦＲは、入射光Ｈが赤色に着色されて受光面ＪＳへ透過するように形成されている。
【００７２】
また、カラーフィルタＣＦにおいて、緑色フィルタ層ＣＦＧは、緑色に対応する波長帯域（たとえば、５００～５６５ｎｍ）で光透過率が高い。つまり、緑色フィルタ層ＣＦＧは、赤色フィルタ層ＣＦＲよりも短い波長範囲の光について光透過率が高く、入射光Ｈが緑色に着色されて受光面ＪＳへ透過するように形成されている。
【００７３】
また、カラーフィルタＣＦにおいて、青色フィルタ層ＣＦＢは、青色に対応する波長帯域（たとえば、４５０～４８５ｎｍ）で光透過率が高い。つまり、青色フィルタ層ＣＦＢは、緑色フィルタ層ＣＦＧよりも短い波長範囲の光について光透過率が高く、入射光が青色に着色されて受光面ＪＳへ透過するように形成されている。
【００７４】
このように、カラーフィルタＣＦは、互いに異なる波長範囲の光について透過率が高い複数種のフィルタ層ＣＦＲ，ＣＦＧ，ＣＦＢが、複数の画素Ｐのそれぞれに対応し、互いに隣接して配置されている。
【００７５】
（ｃ）マイクロレンズＭＬについて
固体撮像装置１において、マイクロレンズＭＬは、図３に示すように、半導体基板１０１の裏面（図３では上面）の側において、カラーフィルタＣＦの上面に設けられている。
【００７６】
マイクロレンズＭＬは、各画素Ｐに対応するように複数が配置されている。マイクロレンズＭＬは、半導体基板１０１の裏面側において凸状に突き出した凸レンズであり、各画素Ｐのフォトダイオード２１へ入射光Ｈを集光するように構成されている。たとえば、マイクロレンズＭＬは、樹脂などの有機材料を用いて形成されている。
【００７７】
（ｄ）画素分離部３０１について
固体撮像装置１において、画素分離部３０１は、図３，図４に示すように、半導体基板１０１の内部において、複数の画素Ｐの間を区画するように形成されている。そして、画素分離部３０１は、複数の画素Ｐのそれぞれの間を電気的に分離している。つまり、各画素Ｐのフォトダイオード２１の間を電気的に分離している。
【００７８】
図３に示すように、複数の画素Ｐの間に位置する画素分離部３０１においては、フォトダイオード２１の電荷蓄積領域を構成するｎ型半導体領域１０１ｎの間に、ｐ型半導体領

域１０１ｐａ，１０１ｐｃが設けられている。
【００７９】
そして、図３に示すように、半導体基板１０１において入射光Ｈが入射する裏面（上面）の側にであって、フォトダイオード２１の側部に位置する部分に、トレンチＴＲが設けられている。
【００８０】
具体的には、図３に示すように、第１トレンチＴＲ１と第２トレンチＴＲ２とを含むように、トレンチＴＲが形成されている。
【００８１】
ここでは、第１トレンチＴＲ１が、半導体基板１０１において深い部分に設けられている。
【００８２】
そして、第２トレンチＴＲ２が、半導体基板１０１において第１トレンチＴＲ１よりも浅い部分に形成されている。つまり、第２トレンチＴＲ２が半導体基板１０１の裏面（上面）から下方へ側面が垂直に延在しており、第１トレンチＴＲ１が、その第２トレンチＴＲ２の底面の中心部分から下方へ側面が垂直に延在するように形成されている。そして、第２トレンチＴＲ２は、第１トレンチＴＲ１よりも幅が広くなるように形成されている。
【００８３】
また、トレンチＴＲは、複数の画素Ｐの間においては、半導体基板１０１の裏面（上面）に沿った方向（ｙ方向（ｘ方向も同様））において対称になるように形成されている。
【００８４】
そして、画素分離部３０１は、図３に示すように、ピニング層３１１と、絶縁膜３１２と、遮光層３１３とを含み、これらの各部が、上記のトレンチＴＲの内部に設けられている。
【００８５】
図４に示すように、画素分離部３０１は、平面形状が格子状であって、複数の画素Ｐの間に介在している。そして、この画素分離部３０１に、トレンチＴＲが格子状に形成されている。ここでは、第１トレンチＴＲ１と第２トレンチＴＲ２とのそれぞれが、格子状に形成されている。そして、そのトレンチＴＲの内部に、ピニング層３１１と、絶縁膜３１２と、遮光層３１３とが設けられている。そして、この格子状の画素分離部１０１ｐｂで区画された矩形の領域内に、フォトダイオード２１が形成されている。
【００８６】
画素分離部３０１を構成する各部の詳細について説明する。
【００８７】
（ｄ－１）ピニング層３１１
ピニング層３１１は、図３に示すように、半導体基板１０１の深い部分において、第１トレンチＴＲ１の内部に設けられている。ここでは、ピニング層３１１は、第１トレンチＴＲ１の内部全体を埋め込むように形成されている。
【００８８】
そして、ピニング層３１１は、半導体基板１０１の浅い部分においては、第１トレンチＴＲ１の上方に形成された第２トレンチＴＲ２の内側の面を被覆するように形成されている。ここでは、ピニング層３１１は、第２トレンチＴＲ２の内側部分においては、その内側の面が絶縁膜３１２によって被覆されている。そして、ピニング層３１１は、その絶縁膜３１２で被覆された内側部分が、遮光層３１３で埋め込まれている。
【００８９】
これと共に、ピニング層３１１は、画素分離部３０１の他に、半導体基板１０１の裏面（上面）において、入射光Ｈが入射する受光面ＪＳを被覆するように形成されている。
【００９０】
特に、ピニング層３１１は、半導体基板１０１との界面部分において正電荷（ホール）蓄積領域が形成されて暗電流の発生が抑制されるように、負の固定電荷を有する高誘電体

を用いて形成されている。負の固定電荷を有するようにピニング層３１１を形成することで、その負の固定電荷によって、半導体基板１０１との界面に電界が加わるので、正電荷（ホール）蓄積領域が形成される。

【００９１】

このように、ピニング層３１１は、絶縁膜３１２よりも高い誘電率の材料であり、たとえば、酸化ハフニウム（HfO_2）によって形成されている。この他に、二酸化ジルコニウム（ZrO_2）、五酸化タンタル（Ta_2O_5）で、ピニング層３１１を形成しても好適である。

【００９２】

（ｄ－２）絶縁膜３１２

絶縁膜３１２は、図３に示すように、半導体基板１０１の浅い部分において、第１トレンチＴＲ１の上方に形成された第２トレンチＴＲ２の内側の面を被覆するように形成されている。

【００９３】

これと共に、絶縁膜３１２は、画素分離部３０１の他に、半導体基板１０１の裏面（上面）においては、ピニング層３１１を介して、受光面ＪＳを被覆するように形成されている（図４参照）。

【００９４】

絶縁膜３１２は、ピニング層３１１よりも低い誘電率の材料で形成されており、たとえば、SiO_2などの材料を用いて形成されている

【００９５】

（ｄ－３）遮光層３１３

遮光層３１３は、図３に示すように、半導体基板１０１の浅い部分において、ピニング層３１１と絶縁膜３１２とを介して、第２トレンチＴＲ２の内部を埋め込むように形成されている。

【００９６】

ここでは、遮光層３１３は、図４に示すように、平面形状が格子状になるように形成されている。

【００９７】

遮光層３１３は、光を遮光する遮光材料で形成されている。たとえば、タングステン（Ｗ），などの金属材料を用いて、遮光層３１３が形成されている。タングステン（Ｗ）の他に、アルミニウム（Ａｌ）を用いて遮光層３１３を形成しても好適である。

【００９８】

（ｅ）画素トランジスタＴｒについて

固体撮像装置１において、画素トランジスタＴｒは、図２に示した複数の画素Ｐに対応するように複数が設けられている。

【００９９】

画素トランジスタＴｒは、図５に示すように、転送トランジスタ２２と増幅トランジスタ２３と選択トランジスタ２４とリセットトランジスタ２５とを含み、フォトダイオード２１から信号電荷を読み出して電気信号として出力するように構成されている。

【０１００】

画素トランジスタＴｒを構成する各トランジスタ２２～２５は、図３では図示していないが、半導体基板１０１において配線層１１１が設けられる表面に設けられている。たとえば、各トランジスタ２２～２５は、ＮチャネルのＭＯＳトランジスタであって、各ゲートが、たとえば、ポリシリコンを用いて形成されている。そして、各トランジスタ２２～２５は、配線層１１１で被覆されている。

【０１０１】

画素トランジスタＴｒにおいて、転送トランジスタ２２は、図５に示すように、フォトダイオード２１で生成された信号電荷を、フローティング・ディフュージョンＦＤに転送するように構成されている。具体的には、転送トランジスタ２２は、図５に示すように、

フォトダイオード２１のカソードと、フローティング・ディフュージョンＦＤとの間に設けられている。そして、転送トランジスタ２２は、ゲートに転送線２６が電気的に接続されている。転送トランジスタ２２では、転送線２６からゲートに送信される転送信号ＴＧに基づいて、フォトダイオード２１において蓄積された信号電荷を、フローティング・ディフュージョンＦＤに転送する。

【０１０２】

画素トランジスタＴｒにおいて、増幅トランジスタ２３は、図５に示すように、フローティング・ディフュージョンＦＤにおいて、電荷から電圧へ変換された電気信号を増幅して出力するように構成されている。具体的には、増幅トランジスタ２３は、図５に示すように、ゲートが、フローティング・ディフュージョンＦＤに電気的に接続されている。また、増幅トランジスタ２３は、ドレインが電源供給線Ｖｄｄに電気的に接続され、ソースが選択トランジスタ２４に電気的に接続されている。増幅トランジスタ２３は、選択トランジスタ２４がオン状態になるように選択されたときには、定電流源Ｉから定電流が供給されて、ソースフォロアとして動作する。このため、増幅トランジスタ２３では、選択トランジスタ２４に選択信号が供給されることによって、フローティング・ディフュージョンＦＤにおいて、電荷から電圧へ変換された電気信号が増幅される。

【０１０３】

画素トランジスタＴｒにおいて、選択トランジスタ２４は、図５に示すように、選択信号に基づいて、増幅トランジスタ２３によって出力された電気信号を、垂直信号線２７へ出力するように構成されている。具体的には、選択トランジスタ２４は、図５に示すように、選択信号が供給されるアドレス線２８にゲートが接続されている。そして、選択トランジスタ２４は、選択信号が供給された際にはオン状態になり、上記のように増幅トランジスタ２３によって増幅された出力信号を、垂直信号線２７に出力する。

【０１０４】

画素トランジスタＴｒにおいて、リセットトランジスタ２５は、図５に示すように、リセットトランジスタ２５は、増幅トランジスタ２３のゲート電位をリセットするように構成されている。具体的には、リセットトランジスタ２５は、図５に示すように、リセット信号が供給されるリセット線２９にゲートが電気的に接続されている。また、リセットトランジスタ２５は、ドレインが電源供給線Ｖｄｄに電気的に接続され、ソースがフローティング・ディフュージョンＦＤに電気的に接続されている。そして、リセットトランジスタ２５は、リセット線２９から送信されたリセット信号に基づいて、フローティング・ディフュージョンＦＤを介して、増幅トランジスタ２３のゲート電位を、電源電圧にリセットする。

【０１０５】

図６は、実施形態１において、撮像を実施する際に、画素Ｐの画素トランジスタＴｒへ送信する制御信号を示すタイミングチャートである。

【０１０６】

図６において、（ａ）は、選択トランジスタ２４のゲートへ入力する選択信号ＳＥＬを示している。そして、（ｂ）は、リセットトランジスタ２５のゲートへ入力するリセット信号ＲＳＴを示している。そして、（ｃ）は、転送トランジスタ２２のゲートへ入力する転送信号ＴＧを示している。（図５参照）。

【０１０７】

図６に示すように、撮像を実施する際には、第１の時点ｔ１において、選択信号ＳＥＬをハイレベルとして、選択トランジスタ２４をオン状態にする。そして、第２の時点ｔ２において、リセット信号ＲＳＴをハイレベルとして、リセットトランジスタ２５をオン状態にする。これにより、増幅トランジスタ２３のゲート電位をリセットする（図５参照）。

【０１０８】

そして、図６に示すように、第３の時点ｔ３においては、リセット信号ＲＳＴをローレベルにして、リセットトランジスタ２５をオフ状態にする。そして、この後、リセットレ

ベルに対応した電圧を、出力信号として、カラム回路１４へ読み出す（図２，図５参照）。

【０１０９】

そして、図６に示すように、第４の時点ｔ４においては、転送信号ＴＧをハイレベルにして、転送トランジスタ２２をオン状態にする。これにより、フォトダイオード２１で蓄積された信号電荷をフローティングディフュージョンＦＤへ転送する（図５参照）。

【０１１０】

そして、図６に示すように、第５の時点ｔ５においては、転送信号ＴＧをローレベルにして、転送トランジスタ２２をオフ状態にする。この後、その蓄積された信号電荷の量に応じた信号レベルの電圧を、出力信号として、カラム回路４へ読み出す（図２，図５参照）。

【０１１１】

カラム回路１４においては、先に読み出したリセットレベルの信号と、後に読み出した信号レベルの信号とを差分処理して信号を蓄積する（図２，図５参照）。

【０１１２】

これにより、画素Ｐごとに設けられた各トランジスタのＶｔｈのバラツキ等によって発生する固定的なパターンノイズが、キャンセルされる。

【０１１３】

上記のように画素Ｐを駆動する動作は、各トランジスタ２２，２４，２５の各ゲートが、水平方向ｘに並ぶ複数の画素Ｐからなる行単位で接続されていることから、その行単位に並ぶ複数の画素Ｐについて同時に行われる。

【０１１４】

具体的には、上述した垂直駆動回路１３によって供給される選択信号によって、水平ライン（画素行）単位で垂直な方向に順次選択される。そして、タイミングジェネレータ１８から出力される各種タイミング信号によって各画素Ｐのトランジスタが制御される。これにより、各画素における信号が垂直信号線２７を通して画素Ｐの列毎にカラム回路１４に読み出される（図２，図５参照）。

【０１１５】

そして、カラム回路１４で蓄積された信号が、水平駆動回路１５によって選択されて、外部出力回路１７へ順次出力される（図２，図５参照）。

【０１１６】

そして、この撮像で得た信号を信号処理部４４がローデータとして信号処理を実施して、デジタル画像を生成する（図１参照）。

【０１１７】

（ｆ）配線層１１１について

固体撮像装置１において、配線層１１１は、図３に示すように、半導体基板１０１のうち、カラーフィルタＣＦ、マイクロレンズＭＬなどの各部が設けられた裏面（上面）とは反対側の表面（下面）に設けられている。

【０１１８】

配線層１１１は、配線１１１ｈと絶縁層１１１ｚとを含み、絶縁層１１１ｚ内において、配線１１１ｈが各素子に電気的に接続するように形成されている。配線層１１１は、いわゆる多層配線であり、絶縁層１１１ｚを構成する層間絶縁膜と配線１１１ｈとが交互に複数回積層されて形成されている。ここでは、配線１１１ｈは、図５で示した、転送線２６，アドレス線２８，垂直信号線２７，リセット線２９などの各配線として機能するように、複数が絶縁層１１１ｚを介して積層して形成されている。

【０１１９】

そして、配線層１１１において、半導体基板１０１が位置する側に対して反対側の面には、支持基板ＳＳが設けられている。たとえば、厚みが数百μｍのシリコン半導体からなる基板が、支持基板ＳＳとして設けられている。

【０１２０】

（Ｂ）製造方法
上記の固体撮像装置１を製造する製造方法の要部について説明する。
【０１２１】
図７～図１３は、実施形態１において、固体撮像装置の製造方法を示す図である。
【０１２２】
各図は、図３と同様に、断面を示している。
【０１２３】
本実施形態では、各図に示す工程（ａ）～（ｇ）を順次経て、図３等に示した固体撮像装置１について製造をする。
【０１２４】
各工程の詳細について、順次、示す。
【０１２５】
（ａ）フォトダイオード２１等の形成
まず、図７に示すように、フォトダイオード２１等の形成を実施する。
【０１２６】
ここでは、単結晶シリコン半導体からなる半導体基板１０１の表面から不純物をイオン注入することで、フォトダイオード２１等の各部を形成する。たとえば、半導体基板１０１の全面に、ｐ型半導体領域１０１ｐａを形成後、これよりも不純物濃度が高いｐ型半導体領域１０１ｐｃを形成する。そして、半導体基板１０１においてフォトダイオード２１を形成する部分に、ｎ型半導体領域１０１ｎを形成する。
【０１２７】
そして、その半導体基板１０１の表面に、画素トランジスタＴｒ（図７では図示なし）を形成後、その画素トランジスタＴｒを被覆するように、配線層１１１を形成する。そして、配線層１１１の表面に支持基板ＳＳを貼り合わせる。
【０１２８】
この後、半導体基板１０１を、薄膜化する。たとえば、下記の条件になるように、薄膜化を実施することが好適である。
・薄膜化後の半導体基板１０１の厚み：２．０～１０μｍ
・方法：化学機械研磨（ＣＭＰ）法（その他、ドライエッチング、ウットエッチングでも可）
【０１２９】
なお、ＳＯＩ基板（図示無し）の半導体層にフォトダイオード２１，画素トランジスタＴｒ等の部材を形成し、上記と同様に、配線層１１１，支持基板ＳＳを設けた後に、薄膜化処理を実施しても良い。
【０１３０】
（ｂ）第２トレンチＴＲ２の形成
つぎに、図８に示すように、第２トレンチＴＲ２を形成する。
【０１３１】
ここでは、半導体基板１０１において、複数の画素Ｐの間に位置する画素分離部３０１に、第２トレンチＴＲ２を形成する。
【０１３２】
具体的には、図８に示すように、ハードマスクＨＭを半導体基板１０１の裏面（上面）上にパターン加工で形成する。たとえば、ＨＤＰ，Ｐ－ＴＥＯＳなどのSiO_2膜を厚みが０．１～０．５μｍになるように設けることで、ハードマスクＨＭを形成する。
【０１３３】
たとえば、下記条件のドライエッチング処理の実施によって、ハードマスクＨＭにパターン加工する。
・チャンバー圧：１０～２００ｍＴｏｒｒ
・ソースパワー：５００～３０００Ｗ（６０Ｈｚ）
・バイアスパワー：５００～２０００Ｗ（２ＭＨｚ）

・CF_4ガスフロー：１０～２００ｓｃｃｍ
【０１３４】
その後、そのハードマスクＨＭを用いて、半導体基板１０１について加工することで、第２トレンチＴＲ２を形成する。
【０１３５】
たとえば、下記条件で、シリコン（Ｓｉ）の半導体基板１０１についてドライエッチング処理を実施して、第２トレンチＴＲ２を形成する。
・チャンバー圧：５～１００ｍＴｏｒｒ
・ソースパワー：５００～２０００Ｗ
・バイアスパワー：１００～１０００Ｗ
・Cl_2ガスフロー：１０～３００ｓｃｃｍ
・O_2ガスフロー：１～５０ｓｃｃｍ
【０１３６】
分光特性の観点から、たとえば、下記の条件になるように、第２トレンチＴＲ２を形成することが好適である。
・深さ：０．２～４μｍ（好ましくは、１．０μｍ以上）
・幅：０．０４～５μｍ（反射性能の確保のために、左記の下限値が好適。）
【０１３７】
なお、本工程では、上記の他に、Ｐ－ＳｉＮなどのＳｉＮ膜でハードマスクＨＭを形成してもよい。
【０１３８】
（ｃ）第１トレンチＴＲ１の形成
つぎに、図９に示すように、第１トレンチＴＲ１を形成する。
【０１３９】
ここでは、半導体基板１０１の画素分離部３０１において、第２トレンチＴＲ２の底面部分に、第１トレンチＴＲ１を形成する。
【０１４０】
具体的には、図９に示すように、ハードマスクＨＭの開口部および第２トレンチＴＲ２の内面に、サイドウォールＳＷを形成する。サイドウォールＳＷについては、半導体基板１０１の下方へ向かうに伴って、ハードマスクＨＭの開口部および第２トレンチＴＲ２の幅が狭くなるように、側面を傾斜させる。たとえば、Ｐ－ＳｉＮなどの異種膜を成膜し、ドライエッチング処理を実施することで、このサイドウォールＳＷを形成する。
【０１４１】
そして、そのサイドウォールＳＷが設けられたハードマスクＨＭをマスクとして用いて、半導体基板１０１について加工することで、第１トレンチＴＲ１を形成する。
【０１４２】
たとえば、半導体基板１０１についてドライエッチング加工を実施することで、下記の条件になるように、第１トレンチＴＲ１を形成することが好適である。
・深さ：０．３～１０μｍ（半導体基板１０１の裏面（上面）から。なお、ブルーミング特性から、１．５μｍ以上にすることが好適である。）
・幅：０．０２～５μｍ以上（絶縁性能の確保のため、左記の下限値が好適。なお、０．０５μｍ以上が、さらに好適である。）
【０１４３】
（ｄ）ハードマスクＨＭ、サイドウォールＳＷの除去
つぎに、図１０に示すように、ハードマスクＨＭ、サイドウォールＳＷを除去する。
【０１４４】
ここでは、たとえば、ハードマスクＨＭ、サイドウォールＳＷについてエッチング処理を実施することで、半導体基板１０１の裏面（上面）から両者を除去する。これにより、半導体基板１０１の裏面（上面）が露出された状態になる。
【０１４５】

（ｅ）ピニング層３１１の形成
つぎに、図１１に示すように、ピニング層３１１を形成する。
【０１４６】
ここでは、半導体基板１０１の深い部分においては、第１トレンチＴＲ１の内部全体を埋め込むように、ピニング層３１１を形成する。
【０１４７】
また、半導体基板１０１の浅い部分においては、第１トレンチＴＲ１の上方に形成された第２トレンチＴＲ２の内側の面を被覆するように、ピニング層３１１を形成する。
【０１４８】
さらに、画素分離部３０１の他に、半導体基板１０１の裏面（上面）において、入射光Ｈが入射する受光面ＪＳを被覆するように、ピニング層３１１を形成する。
【０１４９】
ピニング層３１１の形成においては、絶縁膜３１２よりも高い誘電率の絶縁材料であって、負の固定電荷を有する高誘電体を用いる。
【０１５０】
たとえば、下記の条件で、ピニング層３１１を形成する。
・材料：HfO_2
・形成方法：化学気相成長（ＣＶＤ）法
・第２トレンチＴＲ２の内面および半導体基板１０１の上面部分の厚み：１～２００ｎｍ
【０１５１】
ピニング層３１１の形成については、HfO_2の他に、たとえば、Al_2O_3、ZrO_2、TiO_2、Ta_2O_5、MgO_2などの材料を用いても好適である。これらは、絶縁ゲート型電界効果トランジスタのゲート絶縁膜等に用いられている実績があり、そのため、成膜方法が確立されているので容易に成膜することができる。
このうち、特に、酸化ハフニウム（HfO_2）、五酸化タンタル（Ta_2O_5）、酸化アルミニウム（Al_2O_3）を用いることが好適である。これらの材料は、ピニング性能（負の固定電荷量）が高いため、より白点、暗電流抑制に効果が好適に得られる。さらに、プロセス実現性が高く、好適である。
【０１５２】
この他に、酸化ランタン（La_2O_3）、酸化プラセオジム（Pr_2O_3）、酸化セリウム（CeO_2）、酸化ネオジム（Nd_2O_3）、酸化プロメチウム（Pm_2O_3）、酸化サマリウム（Sm_2O_3）、酸化ユウロピウム（Eu_2O_3）、酸化ガドリニウム（Gd_2O_3）、酸化テルビウム（Tb_2O_3）、酸化ジスプロシウム（Dy_2O_3）、酸化ホルミウム（Ho_2O_3）、酸化エルビウム（Er_2O_3）、酸化ツリウム（Tm_2O_3）、酸化イッテルビウム（Yb_2O_3）、酸化ルテチウム（Lu_2O_3）、酸化イットリウム（Y_2O_3）などの材料を用いることができる。さらに、窒化ハフニウム膜、窒化アルミニウム膜、酸窒化ハフニウム膜または酸窒化アルミニウム膜を用いて形成することも可能である。
【０１５３】
また、化学気相成長（ＣＶＤ）法の他に、スパッタリング法、原子層蒸着（ＡＬＤ）法などの各種成膜法によって、ピニング層３１１を形成してもよい。
【０１５４】
たとえば、酸化ハフニウム（HfO_2）膜を有機金属化学気相成長法（ＭＯＣＶＤ法）によって形成する場合には、下記のプリカーサーを用いて、下記の製造条件で成膜を実施する。
・プリカーサー：ＴＥＭＡ－Ｈｆ（Ｔｅｔｒａｋｉｓ　ｅｔｈｙｌｍｅｔｈｙｌａｍｉｄｏ　ｈａｆｎｉｕｍ）、ＴＤＭＡ－Ｈｆ（Ｔｅｔｒａｋｉｓ　ｄｉｍｅｔｈｙｌａｍｉｄｏ　ｈａｆｎｉｕｍ）もしくはＴＤＥＡ－Ｈｆ（Ｔｅｔｒａｋｉｓ　ｄｉｅｔｈｙｌａｍｉｄｏ　ｈａｆｎｉｕｍ）

・成膜基板温度：２００℃～６００℃
・プリカーサーの流量：１０ｃｍ^3／ｍｉｎ～５００ｃｍ^3　／ｍｉｎ
・プリカーサーの照射時間：１秒～１５秒
・オゾン（O_3）流量：５ｃｍ^3／ｍｉｎ～５０ｃｍ^3／ｍｉｎ
【０１５５】
　また、酸化ハフニウム膜を原子層蒸着法（ＡＬＤ法）で形成する場合には、下記のプリカーサーを用いて、下記の製造条件で成膜を実施する。
・プリカーサー：ＴＥＭＡ－Ｈｆ（Ｔｅｔｒａｋｉｓ　ｅｔｈｙｌｍｅｔｈｙｌａｍｉｄｏ　ｈａｆｎｉｕｍ）、ＴＤＭＡ－Ｈｆ（Ｔｅｔｒａｋｉｓ　ｄｉｍｅｔｈｙｌａｍｉｄｏ　ｈａｆｎｉｕｍ）もしくはＴＤＥＡ－Ｈｆ（Ｔｅｔｒａｋｉｓ　ｄｉｅｔｈｙｌａｍｉｄｏ　ｈａｆｎｉｕｍ）
・成膜基板温度：２００℃～５００℃
・プリカーサーの流量：１０ｃｍ^3／ｍｉｎ～５００ｃｍ^3／ｍｉｎ
・プリカーサーの照射時間：１秒～１５秒
・オゾン（O_3）流量：５ｃｍ^3／ｍｉｎ～５０ｃｍ^3／ｍｉｎ
【０１５６】
　原子層蒸着法では、成膜中に界面準位を低減するSiO_2層を同時に１ｎｍ程度形成することができるので好適である。
【０１５７】
　その他、ピニング層３１１に反射防止膜を積層しても良い。
【０１５８】
（ｆ）絶縁膜３１２の形成
　つぎに、図１２に示すように、絶縁膜３１２を形成する。
【０１５９】
　ここでは、半導体基板１０１の浅い部分において、第１トレンチＴＲ１の上方に形成された第２トレンチＴＲ２の内側の面を被覆するように、絶縁膜３１２を形成する。
【０１６０】
　これと共に、画素分離部３０１の他に、半導体基板１０１の裏面（上面）において、絶縁膜３１２がピニング層３１１を介して受光面ＪＳを被覆するように、絶縁膜３１２を形成する。
【０１６１】
　絶縁膜３１２の形成においては、ピニング層３１１よりも低い誘電率の材料を用いて形成する。
【０１６２】
　たとえば、下記の条件で、絶縁膜３１２を形成することが好適である。
　・材料：SiO_2
　・形成方法：ＣＶＤ法
　・厚み：５μｍ以下（感度確保のため）
【０１６３】
（ｇ）遮光層３１３の形成
　つぎに、図１３に示すように、遮光層３１３を形成する。
【０１６４】
　ここでは、半導体基板１０１の浅い部分において、ピニング層３１１と絶縁膜３１２とを介して、第２トレンチＴＲ２の内部を埋め込むように、遮光層３１３を形成する。
【０１６５】
　遮光層３１３の形成においては、光を遮光する遮光材料を用いる。
【０１６６】
　たとえば、下記の条件で、遮光層３１３を形成することが好適である。
　・材料：タングステン（Ｗ）
　・形成方法：スパッタリング法

【０１６７】
本工程では、第２トレンチＴＲ２の内部を埋め込むように、半導体基板１０１の裏面（上面）に、遮光層３１３を成膜する。その後、遮光層３１３のうち、半導体基板１０１の裏面（上面）上に設けられた部分を除去する。これにより、遮光層３１３が受光面ＪＳ上に形成されておらず、第２トレンチＴＲ２の内部に埋め込まれた状態になり、複数の画素Ｐの間に、画素分離部３０１が形成される。
【０１６８】
なお、ＣＶＤ法などの他の成膜方法で他の遮光材料を成膜することで、遮光層３１３を形成してもよい。
遮光層３１３については、タングステン（Ｗ）の他に、アルミニウム（Ａｌ）を用いて形成することが好適である。アルミニウムとタングステン以外の金属（たとえば、Ｃｕ）を用いた場合には、一部の可視光域における反射性能が低下する場合がある。また、アルミニウムとタングステン以外に、シリコン中への拡散係数が大きい金属を用いた場合には、その金属がシリコンの半導体基板１０１へ拡散する場合があるので、暗電流の発生が大きくなる場合がある。
【０１６９】
（ｈ）カラーフィルタＣＦ，マイクロレンズＭＬの形成
つぎに、図３に示したように、カラーフィルタＣＦ，マイクロレンズＭＬの各部材を形成する。
【０１７０】
ここでは、半導体基板１０１の裏面（上面）にカラーフィルタＣＦを形成する。
【０１７１】
たとえば、顔料や染料などの色素と感光性樹脂とを含む塗布液を、スピンコート法などのコーティング方法によって塗布して塗膜を形成後、リソグラフィ技術によって、その塗膜をパターン加工する。このようにして、各フィルタ層ＣＦＲ，ＣＦＧ，ＣＦＢを形成することで、カラーフィルタＣＦを設ける。
【０１７２】
この後、カラーフィルタＣＦの上面に、マイクロレンズＭＬを設ける。
【０１７３】
たとえば、感光性樹脂膜をフォトリソグラフィ技術でパターン加工した後に、リフロー処理でレンズ形状に変形させることで、マイクロレンズＭＬを形成する。この他に、レンズ材膜上にレンズ形状のレジストパターンを形成後、そのレジストパターンをマスクとしてエッチバック処理を実施することで、マイクロレンズＭＬを形成しても良い。
【０１７４】
このように各工程を順次実施することで、「裏面照射型」のＣＭＯＳ型イメージセンサを完成させる。
【０１７５】
（Ｃ）まとめ
以上のように、本実施形態では、入射光Ｈを受光面ＪＳで受光する複数のフォトダイオード２１が複数の画素Ｐのそれぞれに対応して半導体基板１０１の内部に設けられている。また、複数の画素Ｐの間には、画素分離部３０１が半導体基板１０１の内部に設けられている（図３参照）。
【０１７６】
上述したように、本実施形態と異なり、半導体基板１０１の表面（下面）側から高濃度の不純物をイオン注入して画素分離部１０１ｐｂを形成した場合（図２３参照）には、斜め光の漏れによる光学的なノイズの発生で、画像品質が低下する場合がある。たとえば、「混色」が発生して、撮像したカラー画像において色再現性が低下する場合がある。また、これと共に、「シェーディング」の発生によって、画像品質が低下する場合がある。
【０１７７】
この他に、画素分離部１０１ｐｂ（図２３参照）を高濃度の不純物のイオン注入によっ

て形成する場合には、不純物の拡散などを考慮すると、画素分離部１０１ｐｂの幅が広くなる。特に、「裏面照射型」の場合には、半導体基板１０１の裏面（上面）側において、画素分離部１０１ｐｂの幅が広くなる。このため、フォトダイオード２１の占有面積を広くすることが困難になる場合がある。よって、フォトダイオード２１の飽和電荷蓄積量（Ｑｓ）が低下して、撮像画像の画像品質を向上させることが困難になる場合がある。

【０１７８】

また、単結晶シリコン半導体からなる半導体基板１０１では、より短波長の光が、その入射した裏面（上面）の近傍で吸収されるので、特に、青色のような短波長の光を受光する画素との間の「混色」が顕著に発生する場合がある。

【０１７９】

しかしながら、本実施形態では、半導体基板１０１にて入射光Ｈが入射する裏面（入射面）の側において、フォトダイオード２１の側部に設けられたトレンチＴＲ内に、ピニング層３１１、絶縁層３１２、遮光層３１３が埋め込まれている（図３参照）。これにより、画素分離部３０１では、複数の画素Ｐの間を遮光して光学的に分離すると共に、複数の画素Ｐの間を絶縁して電気的に分離させている。このため、画素分離部３０１では、画素間遮光と、素子分離との両機能が発現されるので、本実施形態は、分光特性と、ブルーミング特性とが向上可能である。

【０１８０】

また、本実施形態では、高濃度の不純物をイオン注入することで画素分離部３０１を形成していないので、飽和電荷蓄積量（Ｑｓ）の低下が無く、撮像画像の画像品質を容易に向上させることができる。

【０１８１】

この他に、本実施形態では、第１トレンチＴＲ１と、第２トレンチＴＲ２とを含む多段構造のトレンチＴＲを、画素分離部３０１に設けている。ここでは、第２トレンチＴＲ２は、半導体基板１０１において第１トレンチＴＲ１よりも浅い部分において、第１トレンチＴＲ１よりも幅が広くなるように形成されている。

【０１８２】

そして、本実施形態では、第１トレンチＴＲ１の内部を埋め込むと共に、第２トレンチＴＲ２の内側の面を被覆するように、ピニング層３１１が形成されている。また、ピニング層３１１を介して第２トレンチＴＲ２の内側の面を被覆するように、絶縁膜３１２が形成されている。これと共に、ピニング層３１１および絶縁膜３１２を介して第２トレンチＴＲ２の内部を埋め込むように、遮光層３１３が形成されている。

【０１８３】

このように、本実施形態では、画素分離部３０１がピニング層３１１を含むので、暗電流の発生を抑制し、撮像画像に白点が発生することを防止できる。また、ピニング層３１１が負の固定電荷を有するので、裏面にトレンチを形成するときに発生するキャリア（電子、ホール）を、その固定電荷で保持できる。

【０１８４】

さらに、本実施形態では、多段構造のトレンチＴＲにおいて、深い位置の第１トレンチＴＲ１には、金属材料を埋め込まず、最上段の浅い位置に設けた第２トレンチＴＲ２の内部に金属材料を埋め込んで、遮光層３１３を形成している。このため、ボイド無く、均一に金属材料を第２トレンチＴＲ２に埋め込んで、遮光層３１３を形成できる。よって、複数の画素Ｐの間を遮光層３１３が効果的に遮光するので、「混色」の発生、および、「シェーディング」の発生を防止できる。つまり、深いトレンチ（たとえば、深さが０．５μｍ以上）に金属材料を遮光材料として埋め込んだ場合には、ボイドが発生し、均一に埋め込むことが容易ではないので、「混色」，「シェーディング」の発生の防止が困難であるが、本実施形態では、この不具合を解消可能である。

【０１８５】

したがって、本実施形態においては、撮像画像の画像品質を向上できる。

【０１８６】

＜２．実施形態２＞
（Ａ）製造方法
図１４，図１５は、実施形態２において、固体撮像装置の製造方法を示す図である。
【０１８７】
各図は、図３と同様に、断面を示している。
【０１８８】
本実施形態の固体撮像装置の製造においては、実施形態１の場合と同様に、フォトダイオード２１等の形成（図７参照）、第２トレンチＴＲ２の形成（図８参照）を実施する。その後、図１４，図１５で示す工程（ａ），（ｂ）を順次経て、第１トレンチＴＲ１を形成する。そして、実施形態１の場合と同様に、ピニング層３１１の形成（図１１参照）、絶縁膜３１２の形成（図１２参照）、遮光層３１３の形成（図１３参照）、カラーフィルタＣＦ，マイクロレンズＭＬの形成（図３参照）を実施する。
【０１８９】
図１４～図１５に示すように、本実施形態においては、第１トレンチＴＲ１を形成する工程が、実施形態１と異なる。この点、および、これに関連する点を除き、本実施形態は、実施形態１と同様である。このため、重複する部分については、適宜、記載を省略する。
【０１９０】
下記より各工程の詳細について順次示す。
【０１９１】
（ａ）フォトレジストパターンＰＲの形成
第２トレンチＴＲ２の形成（図８参照）後は、図１４に示すように、フォトレジストパターンＰＲを形成する。
【０１９２】
ここでは、ハードマスクＨＭが形成された半導体基板１０１の裏面（上面）に、フォトレジスト膜（図示無し）を成膜後、リソグラフィ技術を用いて、フォトレジスト膜（図示無し）をパターン加工することで、フォトレジストパターンＰＲを形成する。
【０１９３】
具体的には、半導体基板１０１の裏面（上面）側において、第１トレンチＴＲ２を形成する部分が開口し、他の部分を被覆したパターン形状になるように、フォトレジストパターンＰＲを形成する。つまり、第２トレンチＴＲ２の底面において第１トレンチＴＲ２を形成する部分が露出し、第２トレンチＴＲ２の他の内面が被覆された状態になるように、フォトレジストパターンＰＲを形成する。
【０１９４】
（ｂ）第１トレンチＴＲ１の形成
つぎに、図１５に示すように、第１トレンチＴＲ１を形成する。
【０１９５】
ここでは、半導体基板１０１の画素分離部３０１であって、実施形態１の場合と同様に、第２トレンチＴＲ２の底面部分に、第１トレンチＴＲ１を形成する。
【０１９６】
そして、フォトレジストパターンＰＲ、ハードマスクＨＭを、半導体基板１０１の裏面（上面）側から除去し、その裏面を露出させる。
【０１９７】
この後、実施形態１の場合と同様に、各工程を経て、「裏面照射型」のＣＭＯＳ型イメージセンサを完成させる。
【０１９８】
（Ｂ）まとめ
以上のように、本実施形態では、実施形態１の場合と同様な構成の固体撮像装置を形成できる。
【０１９９】

したがって、本実施形態においては、実施形態１の場合と同様な効果を好適に奏することができる。

【０２００】

＜３．実施形態３＞

（Ａ）装置構成

図１６は、実施形態３において、固体撮像装置の要部を示す図である。

【０２０１】

図１６は、図３と同様に、画素Ｐの断面を示している。

【０２０２】

図１６に示すように、本実施形態においては、ピニング層３１１ｃと絶縁膜３１２ｃとが、実施形態１と異なる。この点、および、これに関連する点を除き、本実施形態は、実施形態１と同様である。このため、重複する部分については、適宜、記載を省略する。

【０２０３】

（ａ）ピニング層３１１ｃ

ピニング層３１１ｃは、図１６に示すように、半導体基板１０１の浅い部分においては、実施形態１の場合と同様に、第１トレンチＴＲ１の上方に形成された第２トレンチＴＲ２の内側の面を被覆するように形成されている。

【０２０４】

しかし、図１６に示すように、半導体基板１０１の深い部分においては、ピニング層３１１ｃは、実施形態１の場合と異なり、第１トレンチＴＲ１の内部全体を埋め込むように形成されていない。

【０２０５】

ここでは、ピニング層３１１ｃは、第１トレンチＴＲ１の内側の面を被覆するように形成されている。

【０２０６】

（ｂ）絶縁膜３１２ｃ

絶縁膜３１２ｃは、図１６に示すように、半導体基板１０１の浅い部分においては、実施形態１の場合と同様に、第１トレンチＴＲ１の上方に形成された第２トレンチＴＲ２の内側の面を、ピニング層３１１ｃを介して被覆するように形成されている。

【０２０７】

しかし、図１６に示すように、半導体基板１０１の深い部分においては、絶縁膜３１２ｃは、実施形態１の場合と異なり、第１トレンチＴＲ１の内部にも設けられている。

【０２０８】

ここでは、絶縁膜３１２ｃは、ピニング層３１１ｃを介して第１トレンチＴＲ１の内部を埋め込むように形成されている。

【０２０９】

（Ｂ）製造方法

上記の固体撮像装置を製造する製造方法の要部について説明する。

【０２１０】

図１７，図１８は、実施形態３において、固体撮像装置の製造方法を示す図である。

【０２１１】

各図は、図１６と同様に、断面を示している。

【０２１２】

本実施形態の固体撮像装置の製造においては、実施形態１の場合と同様に、フォトダイオード２１等の形成、第２トレンチＴＲ２の形成、第１トレンチＴＲ１の形成、ハードマスクＨＭ、サイドウォールＳＷの除去を実施する（図７～図１０参照）。その後、図１７，図１８で示す工程（ａ），（ｂ）を順次経て、図１６等に示した固体撮像装置について製造をする。

【０２１３】

なお、実施形態２の場合と同様な工程を経て、第１トレンチＴＲ１の形成を実施した後

に、図１７，図１８で示す工程（ａ），（ｂ）を順次経て、図１６等に示した固体撮像装置について製造しても良い。

【０２１４】

下記より各工程の詳細について順次示す。

【０２１５】

（ａ）ピニング層３１１ｃ、絶縁層３１２ｃの形成

上記したように、第１トレンチＴＲ１、第２トレンチＴＲ２等の形成後に、図１７に示すように、ピニング層３１１ｃと絶縁層３１２ｃを形成する。

【０２１６】

ここでは、第１トレンチＴＲ１および第２トレンチＴＲ２のそれぞれの内側の面を被覆するように、ピニング層３１１ｃを形成する。

【０２１７】

たとえば、実施形態１の場合と同様に、HfO_2を成膜することで、ピニング層３１１ｃを形成する。

【０２１８】

この後、ピニング層３１１ｃで被覆された第１トレンチＴＲ１の内側部分を埋め込むと共に、第２トレンチＴＲ２の内側の面を被覆するように、絶縁膜３１２ｃを形成する。

【０２１９】

たとえば、実施形態１の場合と同様に、SiO_2を成膜することで、絶縁膜３１２ｃを形成する。

【０２２０】

（ｂ）遮光層３１３の形成

つぎに、図１８に示すように、遮光層３１３を形成する。

【０２２１】

ここでは、実施形態１の場合と同様に、ピニング層３１１ｃと絶縁膜３１２ｃとを介して、第２トレンチＴＲ２の内部を埋め込むように、遮光層３１３を形成する。

【０２２２】

（ｃ）カラーフィルタＣＦ，マイクロレンズＭＬの形成

つぎに、図１６に示したように、カラーフィルタＣＦ，マイクロレンズＭＬの各部材を、実施形態１の場合と同様に、形成する。

【０２２３】

このようにすることで、「裏面照射型」のＣＭＯＳ型イメージセンサを完成させる。

【０２２４】

（Ｃ）まとめ

以上のように、本実施形態では、ピニング層３１１ｃは、実施形態１の場合と同様に、第１トレンチＴＲ１の内部に形成されると共に第２トレンチＴＲ２の内側の面を被覆するように形成されている。絶縁膜３１２ｃは、ピニング層３１１ｃを介して第２トレンチＴＲ２の内側の面を被覆するように形成されている。また、遮光層３１３は、ピニング層３１１ｃと共に絶縁膜３１２ｃを介して第２トレンチＴＲ２の内部を埋め込むように形成されている。

【０２２５】

ここでは、ピニング層３１１ｃは、第１トレンチＴＲ１の内側の面を被覆するように形成されている。そして、絶縁膜３１２ｃは、ピニング層３１１ｃを介して、第１トレンチＴＲ１の内部を埋め込むように形成されている。

【０２２６】

したがって、本実施形態においては、実施形態１の場合と同様に、撮像画像の画像品質を向上できる。

なお、絶縁膜３１２ｃは、ピニング性を補う効果がある。このため、第１トレンチＴＲ１内に、絶縁膜３１２ｃが設けられることにより、より強いピニング性が発現され得る。

【０２２７】

＜４．実施形態４＞
（Ａ）装置構成など
図１９～図２１は、実施形態４において、固体撮像装置の要部を示す図である。
【０２２８】
図１９，図２０は、図１６と同様に、画素Ｐの断面図である。そして、図２１は、画素Ｐの上面図である。
【０２２９】
ここでは、図１９は、図２１に示すＸ１Ｒ－Ｘ２Ｒ部分であって、複数の画素Ｐにおいて、赤色フィルタ層ＣＦＲが設けられた画素Ｐの断面を示している。この部分以外に、赤色フィルタ層ＣＦＲが設けられた画素Ｐの周囲に位置する画素分離部３０１は、図１９に示した場合と同様に形成されている。
【０２３０】
また、図２０は、図２１に示すＸ１Ｂ－Ｘ２Ｂ部分であって、複数の画素Ｐにおいて、青色フィルタ層ＣＦＢが設けられた画素Ｐの断面を示している。この部分以外に、画素分離部３０１において、赤色フィルタ層ＣＦＲが設けられた画素Ｐの周囲に位置するもの以外の部分は、図２１に示した場合と同様に形成されている。
【０２３１】
また、図２１では、図４と同様に、説明の都合で、破線などの実線以外の線を用いて、各部材を示している部分がある。
【０２３２】
各図に示すように、本実施形態においては、画素分離部３０１は、赤色フィルタ層ＣＦＲが設けられた画素Ｐの周囲に位置する部分と、これ以外の部分とにおいて互いに異なっている。つまり、他の実施形態では、画素分離部３０１について、各画素Ｐの間において同じ形態で形成していたが、本実施形態では、各画素Ｐにおいて受光する光の波長範囲に応じて、画素分離部３０１の形態を変えている。この点、および、これに関連する点を除き、本実施形態は、実施形態３と同様である。このため、重複する部分については、適宜、記載を省略する。
【０２３３】
本実施形態では、図１９，図２０に示すように、トレンチＴＲは、赤色フィルタ層ＣＦＲを透過した赤色光を受光する画素Ｐのフォトダイオード２１の周辺部分が、他の緑色および青色の光を受光する画素Ｐの間の部分よりも、深い位置まで形成されている。つまり、トレンチＴＲは、複数の画素Ｐのうち、複数種のフィルタ層ＣＦＲ，ＣＦＧ，ＣＦＢにおいて最も長波長な波長範囲の光について透過率が高いフィルタ層ＣＦＲが配置された画素Ｐの周囲の部分が、他の部分よりも深い。
【０２３４】
ここでは、複数の画素Ｐのうち、最も長い波長範囲である赤色光を受光する画素Ｐの周辺部分の第１トレンチＴＲ１ｄ（図１９）が、他の部分の第１トレンチＴＲ１（図２０）よりも深くなるように形成している。
【０２３５】
たとえば、半導体基板１０１の裏面（上面）からの深さが、下記の条件になるように、第１トレンチＴＲ１，ＴＲ１ｄを形成することが好適である。このようにすることで、ブルーミング特性を好適に確保できる。
・赤色フィルタ層ＣＦＲが設けられた画素Ｐの周囲に位置する部分：０．２μｍ以上（好ましくは、１．５μｍ以上）
・上記以外の部分：０．２μｍ以上（好ましくは、１．０μｍ以上）
【０２３６】
そして、その第１トレンチＴＲ１，ＴＲ１ｄの内側の面を被覆するように、ピニング層３１１ｄが形成されている。また、絶縁膜３１２ｄが、ピニング層３１１ｃを介して第１トレンチＴＲ１の内部を埋め込むように形成されている。
【０２３７】

（Ｂ）まとめ

以上のように、本実施形態では、実施形態３の場合と同様に、ピニング層３１１ｄは、第１トレンチＴＲ１の内部に形成されると共に第２トレンチＴＲ２の内側の面を被覆するように形成されている。絶縁膜３１２ｃｄ、ピニング層３１１ｄを介して第２トレンチＴＲ２の内側の面を被覆するように形成されている。また、遮光層３１３は、ピニング層３１１ｄと共に絶縁膜３１２ｄを介して第２トレンチＴＲ２の内部を埋め込むように形成されている。

【０２３８】

よって、本実施形態においては、実施形態３の場合と同様に、撮像画像の画像品質を向上できる。

【０２３９】

さらに、本実施形態では、複数種のフィルタ層ＣＦＲ，ＣＦＧ，ＣＦＢにおいて最も長波長な波長範囲の光について透過率が高いフィルタ層ＣＦＲが配置された画素Ｐの周囲の部分については、他の画素Ｐの部分よりも、トレンチＴＲが深い。そして、そのトレンチＴＲに、ピニング層３１１ｄ、絶縁膜３１２ｄ、遮光層３１３を設けている。

【０２４０】

単結晶シリコン半導体からなる半導体基板１０１では、青色光のような短波長の光は、その入射した表面の近傍で吸収されるが、赤色光のような長波長の光は、半導体基板１０１の深い部分まで到達する。しかし、本実施形態では、赤色光のように長波長の光を受光するフォトダイオード２１の周囲について、他の短波長な光を受光するフォトダイオード２１の周囲よりも深い位置まで、ピニング層３１１ｄ、絶縁膜３１２ｄが形成されている。

【０２４１】

このため、本実施形態では、長波長の光が半導体基板１０１の深い部分まで到達し電荷が生成された場合であっても、効果的に、画素分離部３０１が複数の画素Ｐの間を電気的に分離できる。

【０２４２】

また、トレンチＴＲは、複数の画素Ｐのうち、最も長波長な波長範囲の光について透過率が高いフィルタ層ＣＦＲが配置された画素の周囲の部分よりも、他の部分が浅く形成されている。深いトレンチＴＲを形成する場合には、エッチング処理などによるダメージが大きくなる場合があるが、浅い部分については、このダメージを低減できる。

【０２４３】

したがって、本実施形態においては、さらに撮像画像の画像品質を向上できる。

【０２４４】

なお、上記の実施形態においては、実施形態３の場合と同様に、第１トレンチＴＲ１，ＴＲ１ｄの内部にピニング層３１１ｄと絶縁膜３１２ｄとを設ける場合について示したが、これに限定されない。実施形態１、実施形態２の場合と同様に、ピニング層３１１のみを第１トレンチＴＲ１，ＴＲ１ｄの内部に設けても良い。

【０２４５】

また、本実施形態では、上段の第２トレンチＴＲ２については、下段の第１トレンチＴＲ１，ＴＲ１ｄと異なり、赤色光を受光する画素Ｐの周辺部分と、他の部分とが同じ深さであるが、これに限定されない。上段の第２トレンチＴＲ２についても、下段の第１トレンチＴＲ１，ＴＲ１ｄと同様に、赤色光を受光する画素Ｐの周辺部分が、他の部分よりも深くなるように形成しても良い。

【０２４６】

たとえば、半導体基板１０１の裏面（上面）からの深さが、下記の条件になるように、第２トレンチＴＲ２を形成することが好適である。

・赤色フィルタ層ＣＦＲが設けられた画素Ｐの周囲に位置する部分：０．２～４μｍ（好ましくは、１．０μｍ以上）

・上記以外の部分：０．２～４μｍ以上（好ましくは、０．５μｍ以上）

【０２４７】
＜５．実施形態５＞
（Ａ）装置構成など
図２２は、実施形態５において、固体撮像装置の要部を示す図である。
【０２４８】
図２２は、図３と同様に、画素Ｐの断面を示している。
【０２４９】
図２２に示すように、本実施形態の固体撮像装置は、「表面照射型」である。つまり、半導体基板１０１の表面（図２２では上面）側に配線層１１１が設けられており、その表面側から入射する入射光Ｈを受光面ＪＳで受光する。そして、画素分離部３０１が、半導体基板１０１の表面（上面）側に設けられている。また、半導体基板１０１が薄膜化されておらず、支持基板ＳＳ（図３参照）が設けられていない。この点、および、これに関連する点を除き、本実施形態は、実施形態１と同様である。このため、重複する部分については、適宜、記載を省略する。
【０２５０】
本実施形態では、図２２に示すように、固体撮像装置は、半導体基板１０１の内部にフォトダイオード２１と画素分離部３０１とが設けられている。
【０２５１】
フォトダイオード２１は、図２２に示すように、半導体基板１０１の表面（上面）側において、ｎ型半導体領域１０１ｎがｐ型半導体領域１０１ｐａ，１０１ｐｃの内部に位置するように設けられている。
【０２５２】
画素分離部３０１は、図２２に示すように、実施形態１と同様に構成されている。つまり、画素分離部３０１は、ピニング層３１１と、絶縁膜３１２と、遮光層３１３とを含み、これらの各部が、トレンチＴＲの内部に設けられている。
【０２５３】
配線層１１１は、配線１１１ｈが絶縁層１１１ｚ中において、受光面ＪＳの上方以外の部分に設けられている。
【０２５４】
そして、その配線層１１１の上面に、カラーフィルタＣＦ、マイクロレンズＭＬが、実施形態１と同様に設けられている。
【０２５５】
図２２では図示していないが、半導体基板１０１の表面（上面）には、図５に示した画素トランジスタＴｒが設けられている。そして、配線層１１１が、その画素トランジスタＴｒを被覆するように設けられている。
【０２５６】
本実施形態において固体撮像装置を製造する際には、実施形態１と同様に、半導体基板１０１の表面から不純物をイオン注入することで、ｐ型半導体領域１０１ｐａ、ｐ型半導体領域１０１ｐｃ、ｎ型半導体領域１０１ｎを形成する。そして、半導体基板１０１の表面側に、実施形態１と同様に、トレンチＴＲ形成する。そして、そのトレンチＴＲ内に、ピニング層３１１、絶縁膜３１２、遮光層３１３を、実施形態１と同様に形成する。そして、その半導体基板１０１の表面に、画素トランジスタＴｒを形成後、その画素トランジスタＴｒを被覆するように、配線層１１１を形成する。そして、カラーフィルタＣＦ，マイクロレンズＭＬの形成を実施して、「表面照射型」のＣＭＯＳ型イメージセンサを完成させる。
【０２５７】
（Ｂ）まとめ
以上のように、本実施形態では、実施形態１の場合と同様に、画素分離部３０１は、ピニング層３１１と、絶縁膜３１２と、遮光層３１３とを含み、これらの各部が、トレンチＴＲの内部に設けられている（図２２参照）。

【０２５８】
よって、本実施形態では、実施形態１と同様に、撮像画像の画像品質を向上可能である。
【０２５９】
本実施形態の固体撮像装置は、上記のように、「表面照射型」である。「表面照射型」の場合において、半導体基板にて入射光が入射する表面側から高濃度の不純物をイオン注入して画素分離部を設ける場合には、特に、赤色のように長波長の光について受光する画素の飽和電荷蓄積量（Ｑｓ）を向上させることが困難である。これは、不純物の拡散を考慮すると、半導体基板１０１の裏面（下面）側において、高濃度の不純物領域からなる画素分離部の幅が広くなりやすいことに起因する。
【０２６０】
しかし、本実施形態においては、画素分離部３０１は、半導体基板１０１において、フォトダイオード２１の側部に設けられたトレンチＴＲの内部に埋め込まれている。このため、受光面ＪＳに対して深い領域で画素Ｐを分離できるので、特に、赤色の光を受光するフォトダイオード２１について、飽和電荷蓄積量（Ｑｓ）を大きくすることが可能であり、ダイナミックレンジを改善可能である。
【０２６１】
なお、本実施形態においては、実施形態１の場合と同様にして、画素分離部３０１を構成する場合について示したが、これに限定されず、他の実施形態のように、画素分離部３０１を構成してもよい。
【０２６２】
＜６．その他＞
本技術の実施に際しては、上記した実施形態に限定されるものではなく、種々の変形例を採用することができる。
【０２６３】
上記の実施形態においては、カメラに本技術を適用する場合について説明したが、これに限定されない。スキャナーやコピー機などのように、固体撮像装置を備える他の電子機器に、本技術を適用しても良い。
【０２６４】
上記の実施形態では、転送トランジスタと増幅トランジスタと選択トランジスタとリセットトランジスタとの４種を、画素トランジスタとして設ける場合について説明したが、これに限定されない。たとえば、転送トランジスタと増幅トランジスタとリセットトランジスタとの３種を、画素トランジスタとして設ける場合に適用しても良い。
【０２６５】
上記の実施形態では、１つのフォトダイオードに対して、転送トランジスタと増幅トランジスタと選択トランジスタとリセットトランジスタとのそれぞれを１つずつ設ける場合について説明したが、これに限定されない。たとえば、複数のフォトダイオードに対して、増幅トランジスタと選択トランジスタとリセットトランジスタのそれぞれを１つずつ設ける場合に適用しても良い。
【０２６６】
また、ＣＭＯＳ型イメージセンサの他に、ＣＣＤ型イメージセンサに本技術を適用しても良い。
【０２６７】
また、上記の実施形態では、画素分離部３０１が絶縁膜３１２を含む場合について説明したが、これに限定されない。絶縁膜３１２については、設けなくても良い。
【０２６８】
また、上記の固体撮像装置の製造において、画素分離部３０１の形成する部分にトレンチＴＲを形成する際には、他の部分についても、同時に、トレンチを形成しても良い。たとえば、配線層１１１において配線１１１ｈと同様に形成されたパッド電極（図示無し）について表面を露出させる際に、その表面の上方に、上記と同一工程でトレンチを形成し

ても良い。このようにすることで、さらに、製造効率を向上させることができる。

【０２６９】

また、上記においては、トレンチＴＲを２段構造にした場合について示したが、これに限定されない。３段以上でトレンチＴＲを構成しても良い。この場合には、たとえば、最上段に遮光層を埋め込み、その最上段以外の段にピニング層や絶縁膜を埋め込むことで、画素分離部を設ける。

【０２７０】

その他、上記の各実施形態を、適宜、組み合わせても良い。

【０２７１】

つまり、本技術は、下記のような構成も取ることができる。

【０２７２】

（１）

半導体基板の内部において複数の画素のそれぞれに対応して複数が設けられており、入射光を受光面で受光する光電変換部と、

前記半導体基板の内部において前記複数の画素の間に設けられており、前記複数の画素の間を電気的に分離する画素分離部と

を有し、

前記画素分離部には、前記半導体基板にて前記入射光が入射する入射面の側において、前記光電変換部の側部に設けられたトレンチの内部に、ピニング層と遮光層とが少なくとも設けられており、

前記トレンチは、

第１トレンチと、

前記半導体基板にて前記第１トレンチよりも浅い部分において、前記第１トレンチよりも幅が広くなるように形成されている第２トレンチと

を含み、

前記ピニング層は、前記第１トレンチの内部に形成されると共に前記第２トレンチの内側の面を被覆するように形成され、

前記遮光層は、少なくとも前記ピニング層を介して前記第２トレンチの内部を埋め込むように形成されている、

固体撮像装置。

【０２７３】

（２）

前記ピニング層は、前記第１トレンチの内部の全体を埋め込むように形成されている、

上記（１）に記載の固体撮像装置。

【０２７４】

（３）

前記ピニング層を介して前記第２トレンチの内側の面を被覆するように形成された絶縁膜

を含み、

前記遮光層は、前記ピニング層と共に前記絶縁膜を介して、前記第２トレンチの内部を埋め込むように形成されている、

上記（２）に記載の固体撮像装置。

【０２７５】

（４）

前記ピニング層を介して前記第２トレンチの内側の面を被覆するように形成された絶縁膜

を含み、

前記ピニング層は、前記第１トレンチの内側の面を被覆するように形成されており、

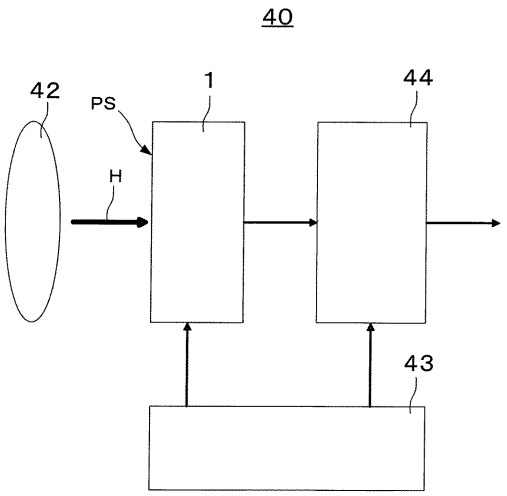
前記絶縁膜は、前記ピニング層を介して、前記第１トレンチの内部を埋め込むように形成されており、

前記遮光層は、前記ピニング層と共に前記絶縁膜を介して、前記第２トレンチの内部を埋め込むように形成されている、
上記（１）に記載の固体撮像装置。
【０２７６】
（５）
前記ピニング層は、負の固定電荷を有する材料で形成されている、
上記（１）～（４）のいずれかに記載の固体撮像装置。
【０２７７】
（６）
前記ピニング層は、酸化ハフニウム、五酸化タンタル、または、酸化アルミニウムを用いて形成されている、
上記（１）～（５）のいずれかに記載の固体撮像装置。
【０２７８】
（７）
前記遮光層は、アルミニウムまたはタングステンを用いて形成されている、
上記（１）～（６）のいずれかに記載の固体撮像装置。
【０２７９】
（８）
前記半導体基板において前記入射面とは反対側の面に設けられており、前記光電変換部で生成された信号電荷を電気信号として出力する画素トランジスタと、
前記半導体基板において前記入射面とは反対側の面にて、前記画素トランジスタを被覆するように設けられている配線層と
を有する、
上記（１）～（７）のいずれかに記載の固体撮像装置。
【０２８０】
（９）
前記入射光が前記受光面へ透過するカラーフィルタ
を含み、
前記カラーフィルタは、
互いに異なる波長範囲の光について透過率が高い複数種のフィルタ層が、前記複数の画素のそれぞれに対応して互いに隣接して配置されており、
前記トレンチは、前記複数の画素のうち、前記複数種のフィルタ層において最も長波長な波長範囲の光について透過率が高いフィルタ層が配置された画素の周囲の部分が、他の部分よりも深く形成されている、
上記（１）～（８）のいずれかに記載の固体撮像装置。
【０２８１】
（１０）
入射光を受光面で受光する複数の光電変換部を、半導体基板において複数の画素に対応するように設ける光電変換部形成工程と、
前記複数の画素の間を電気的に分離する画素分離部を、前記半導体基板の内部において前記複数の画素の間に形成する画素分離部形成工程と
を有し、
前記画素分離部形成工程は、
前記半導体基板にて前記入射光が入射する入射面の側において、前記光電変換部の側部に設けたトレンチの内部に、ピニング層と遮光層とが少なくとも設ける工程
を含み、
第１トレンチと、前記半導体基板にて前記第１トレンチよりも浅い部分において、前記第１トレンチよりも幅が広い第２トレンチとを、前記トレンチとして形成し、
前記第１トレンチの内部と共に、前記第２トレンチの内側の面を被覆するように、前記ピニング層を形成し、

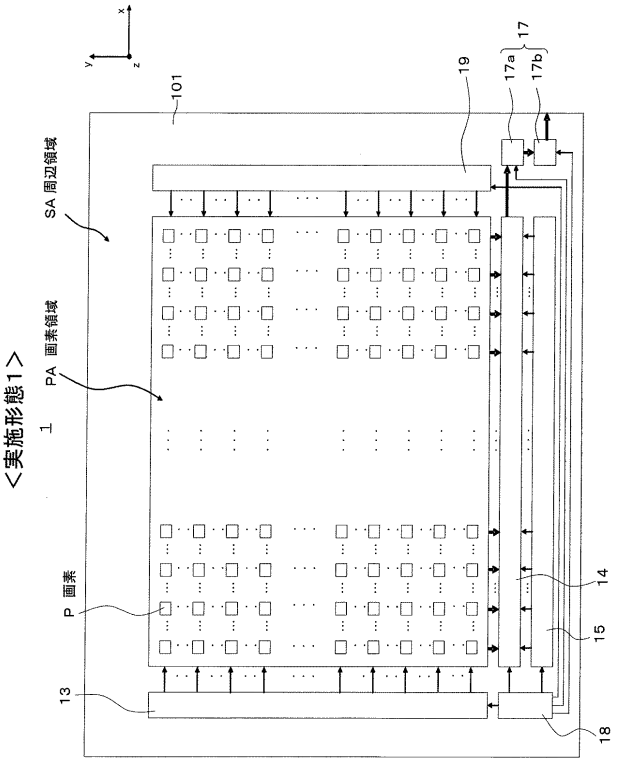
少なくとも前記ピニング層を介して前記第２トレンチの内部を埋め込むように、前記遮光層を形成する、
固体撮像装置の製造方法。
【０２８２】
（１１）
半導体基板の内部において複数の画素のそれぞれに対応して複数が設けられており、入射光を受光面で受光する光電変換部と、
前記半導体基板の内部において前記複数の画素の間に設けられており、前記複数の画素の間を電気的に分離する画素分離部と
を有し、
前記画素分離部には、前記半導体基板にて前記入射光が入射する入射面の側において、前記光電変換部の側部に設けられたトレンチの内部に、ピニング層と遮光層とが少なくとも設けられており、
前記トレンチは、
第１トレンチと、
前記半導体基板にて前記第１トレンチよりも浅い部分において、前記第１トレンチよりも幅が広くなるように形成されている第２トレンチと
を含み、
前記ピニング層は、前記第１トレンチの内部に形成されると共に前記第２トレンチの内側の面を被覆するように形成され、
前記遮光層は、少なくとも前記ピニング層を介して前記第２トレンチの内部を埋め込むように形成されている、
電子機器。
【０２８３】
なお、上記の実施形態において、フォトダイオード２１は、光電変換部の一例である。また、上記の実施形態において、カメラ４０は、電子機器の一例である。
【符号の説明】
【０２８４】
１：固体撮像装置、１３：垂直駆動回路、１４：カラム回路、１５：水平駆動回路、１７：外部出力回路、１７ａ：ＡＧＣ回路、１７ｂ：ＡＤＣ回路、１８：タイミングジェネレータ、１９：シャッター駆動回路、２１：フォトダイオード、２２：転送トランジスタ、２３：増幅トランジスタ、２４：選択トランジスタ、２５：リセットトランジスタ、２６：転送線、２７：垂直信号線、２８：アドレス線、２９：リセット線、４０：カメラ、４２：光学系、４３：制御部、４４：信号処理部、１０１：半導体基板、１０１ｎ：ｎ型半導体領域、１０１ｐａ：ｐ型半導体領域、１０１ｐｂ：画素分離部、１０１ｐｃ：ｐ型半導体領域、１１１：配線層、１１１ｈ：配線、１１１ｚ：絶縁層、３０１：画素分離部、３１１，３１１ｃ，３１１ｄ：ピニング層、３１２，３１２ｃ，３１２ｄ：絶縁膜、３１３：遮光層、ＣＦ：カラーフィルタ、ＣＦＢ：青色フィルタ層、ＣＦＧ：緑色フィルタ層、ＣＦＲ：赤色フィルタ層、ＦＤ：フローティング・ディフュージョン、Ｈ：入射光、ＨＭ：ハードマスク、ＨＴ：平坦化膜、Ｉ：定電流源、ＪＳ：受光面、ＭＬ：マイクロレンズ、Ｐ：画素、ＰＡ：画素領域、ＰＳ：撮像面、ＳＡ：周辺領域、ＳＳ：支持基板、ＳＺ、絶縁膜、ＴＲ：トレンチ、ＴＲ１，ＴＲ１ｄ：第１トレンチ、ＴＲ２：第２トレンチ、Ｔｒ：画素トランジスタ

【図１】

<実施形態1>

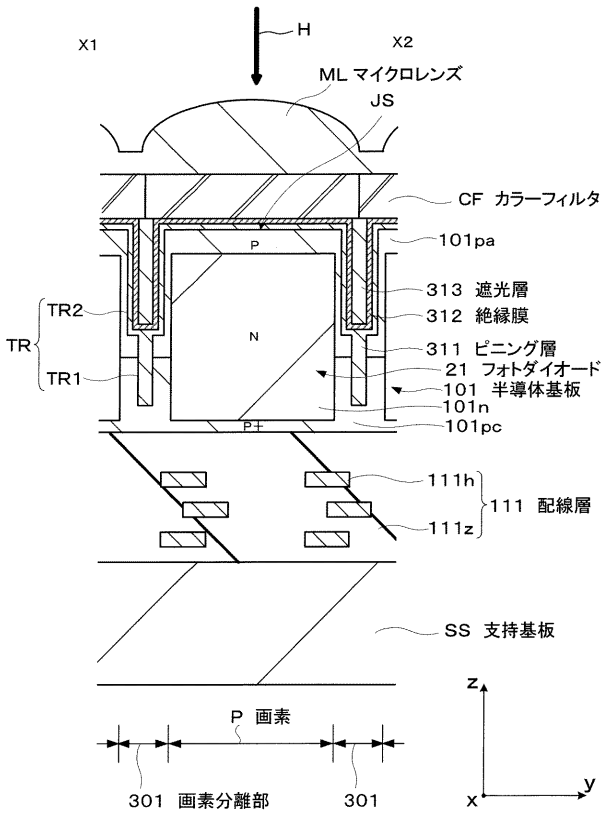


【図２】



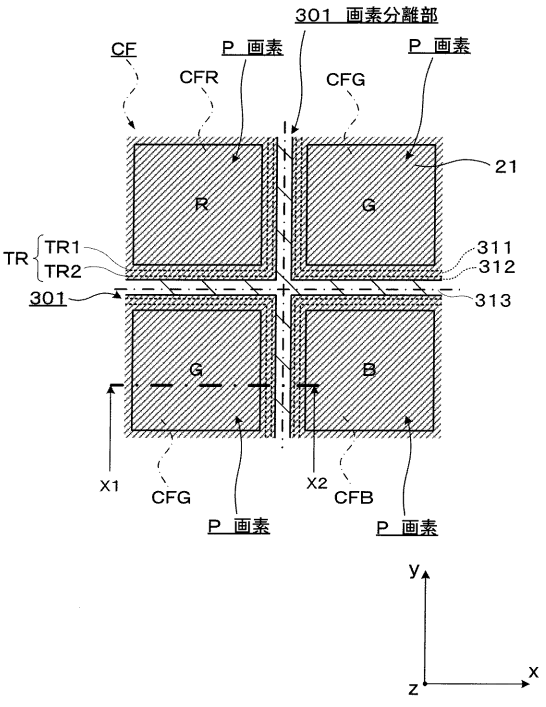
【図３】

<実施形態1>



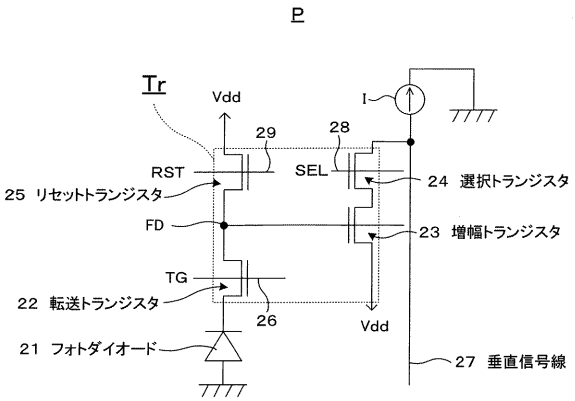
【図４】

<実施形態1>



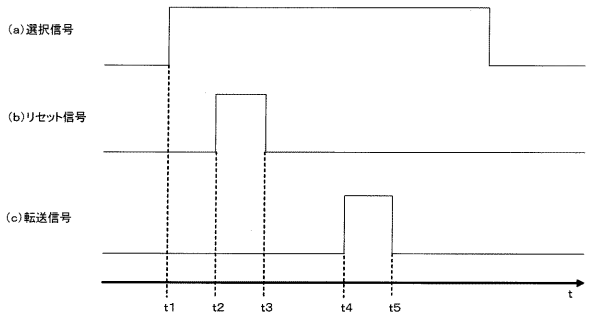
【図５】

<実施形態1>



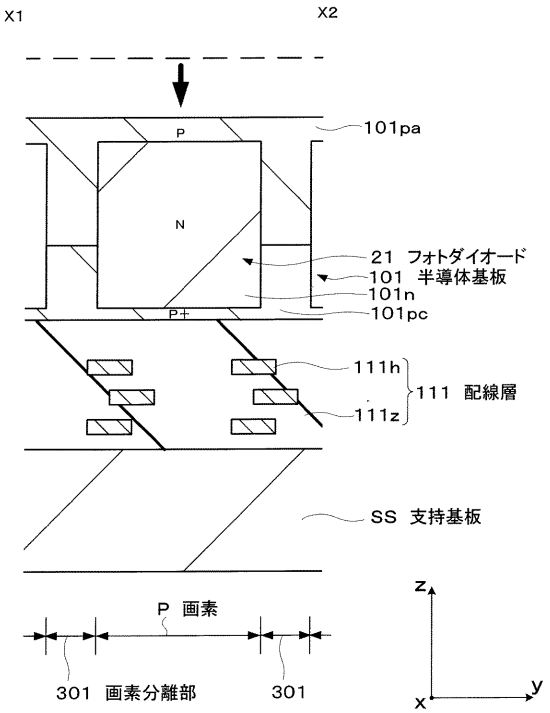
【図６】

<実施形態1>



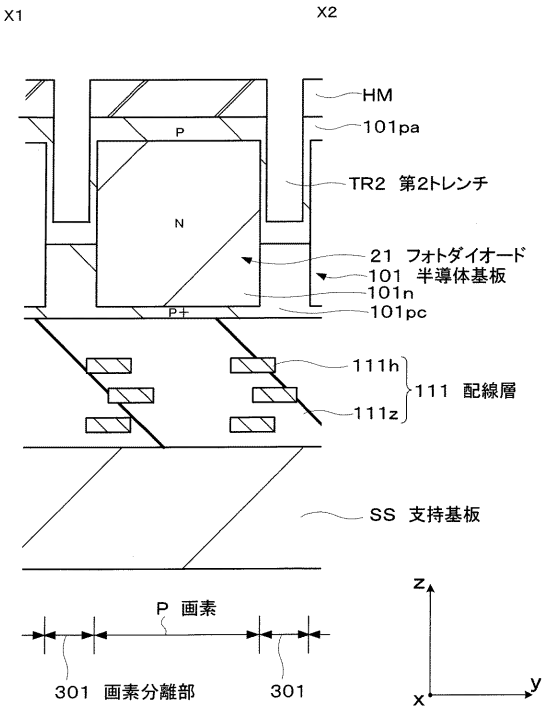
【図７】

<実施形態1>
(a)



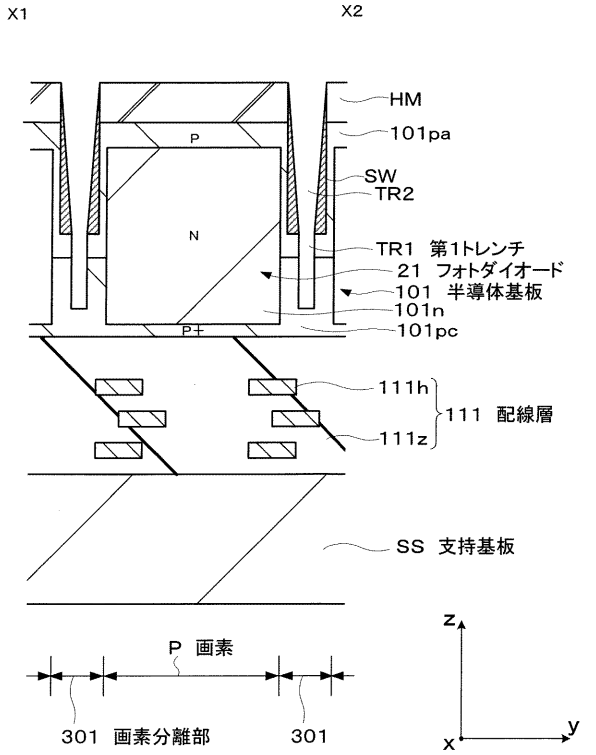
【図８】

<実施形態1>
(b)



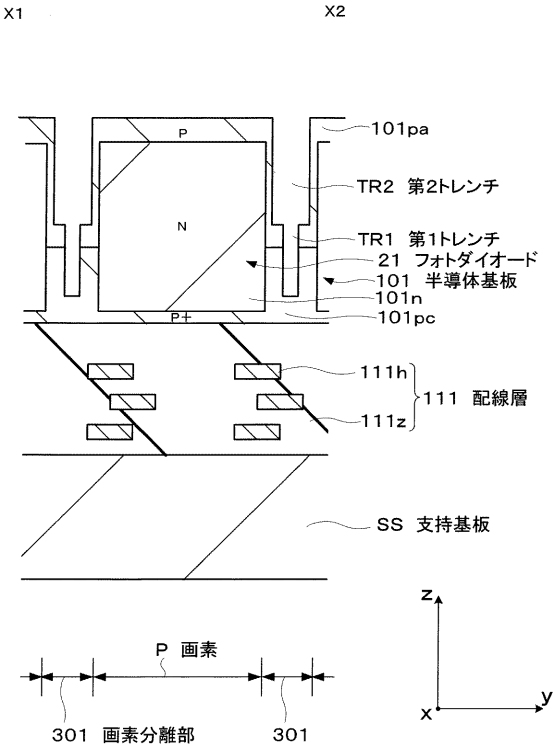
【図９】

<実施形態1>
(c)



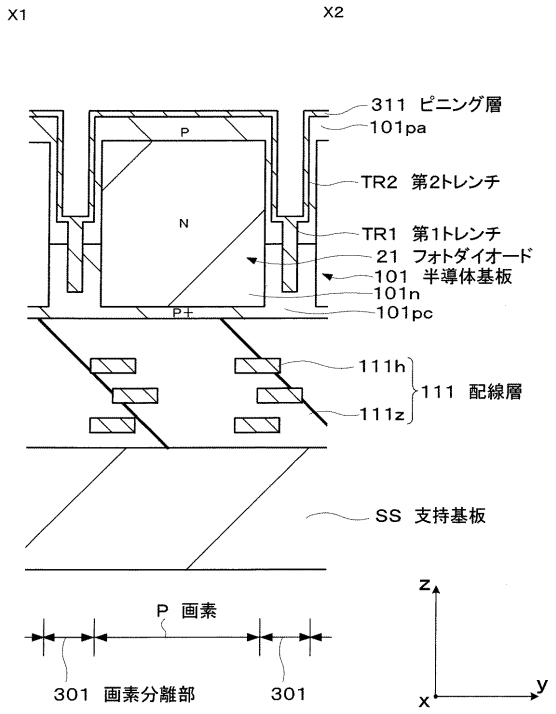
【図１０】

<実施形態1>
(d)



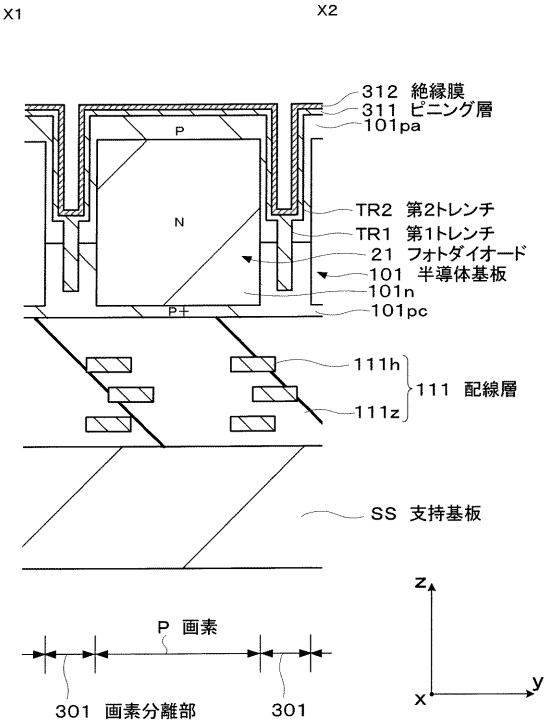
【図１１】

<実施形態1>
(e)

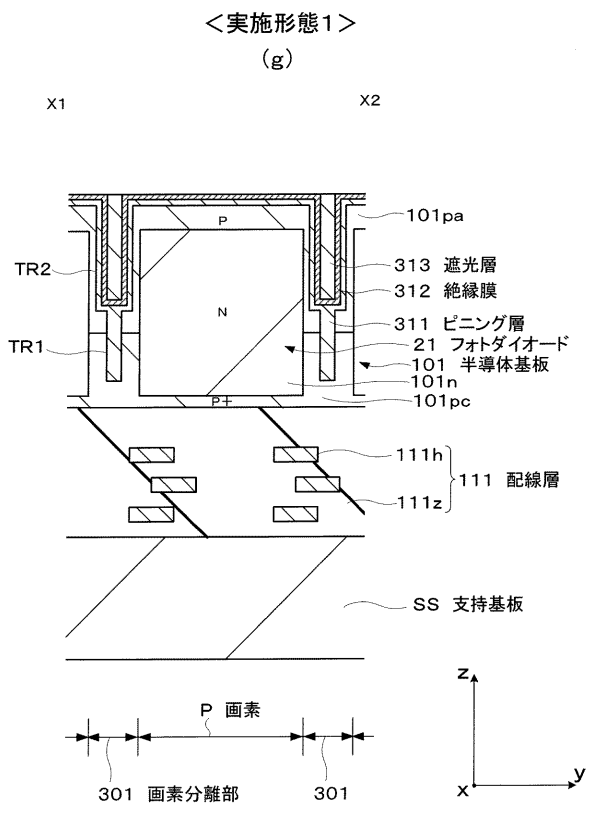


【図１２】

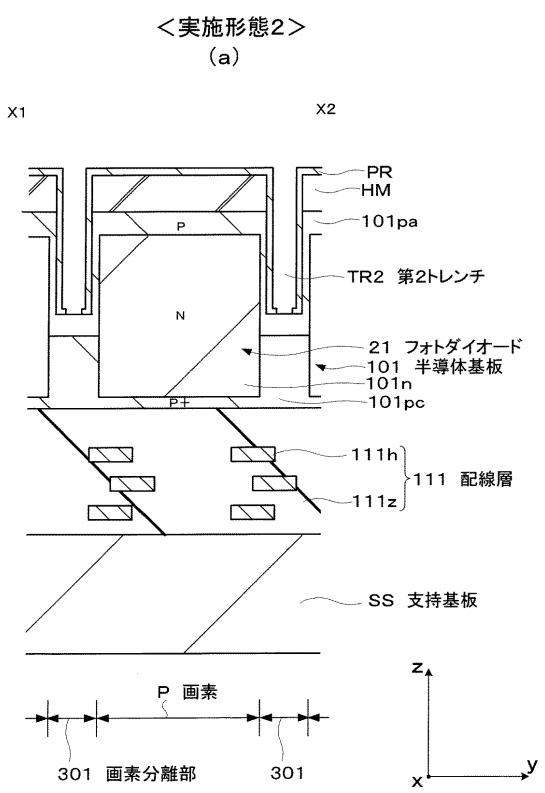
<実施形態1>
(f)



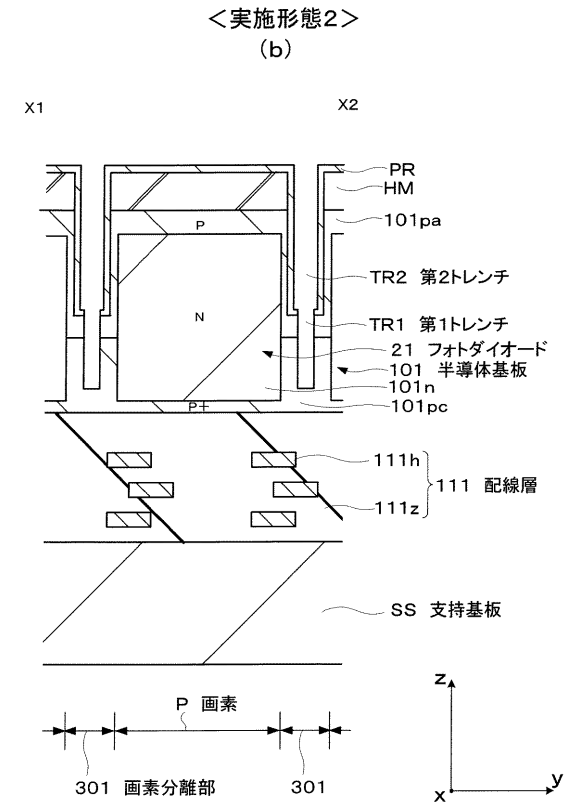
【図１３】



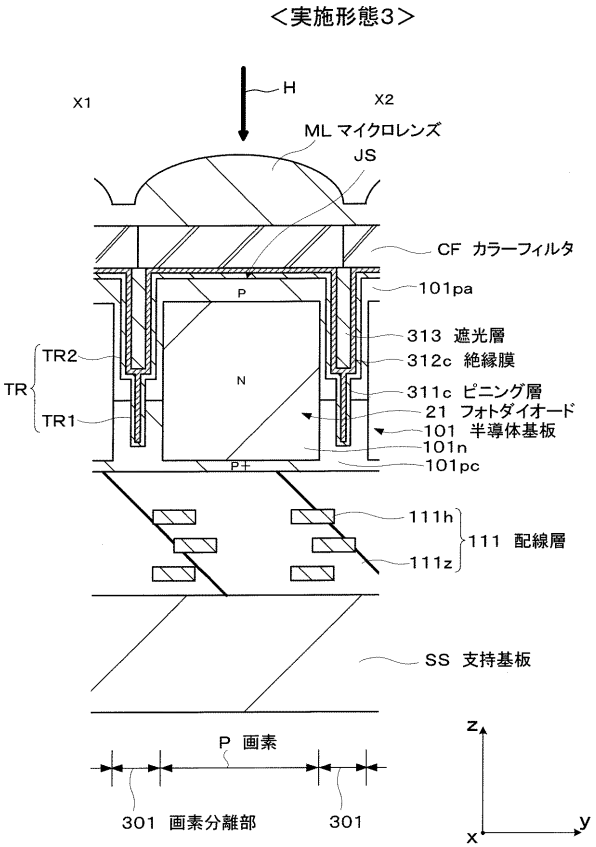
【図１４】



【図１５】



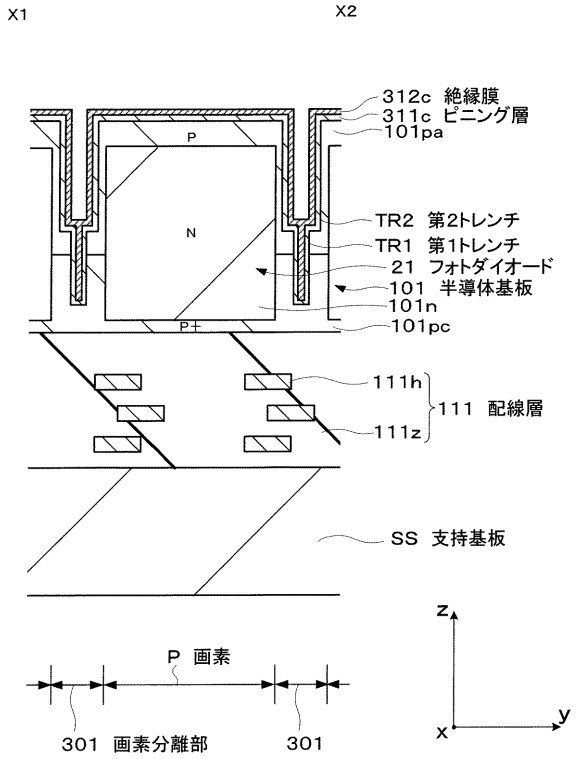
【図１６】



【図１７】

<実施形態3>

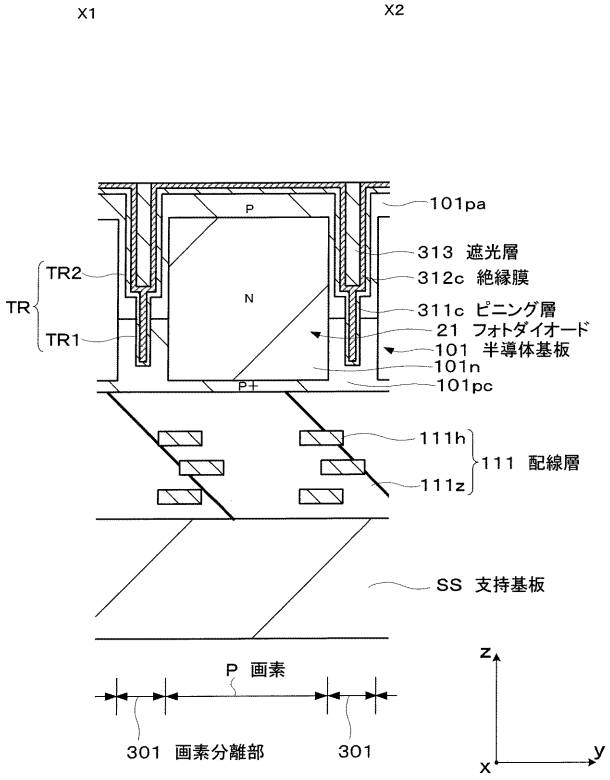
(a)



【図１８】

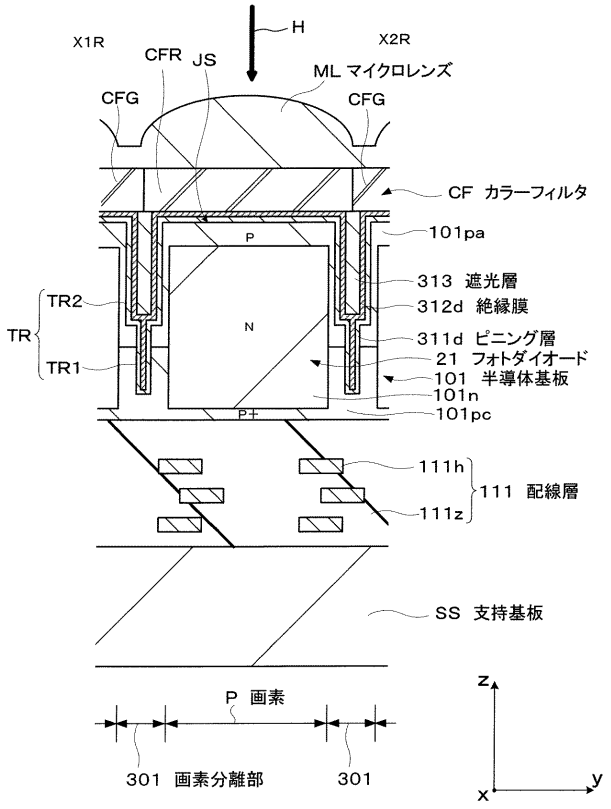
<実施形態3>

(b)



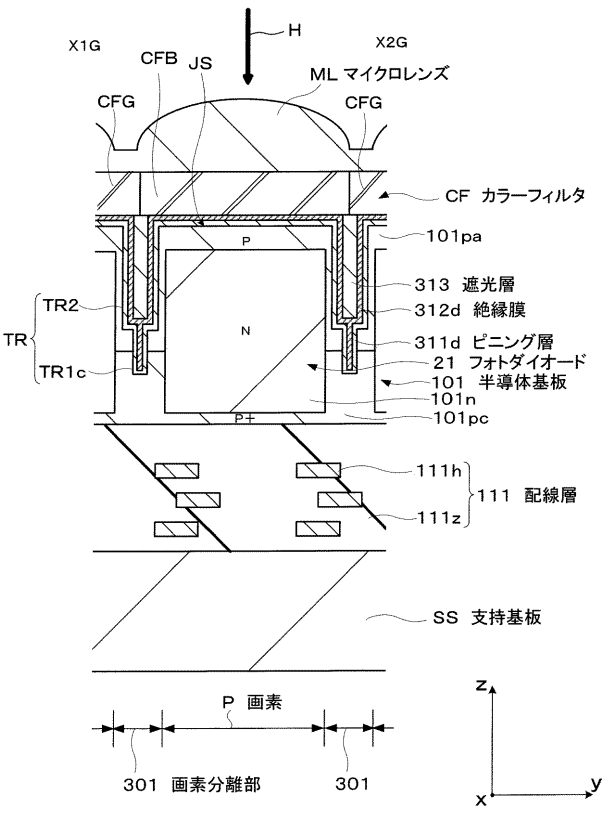
【図１９】

<実施形態4>



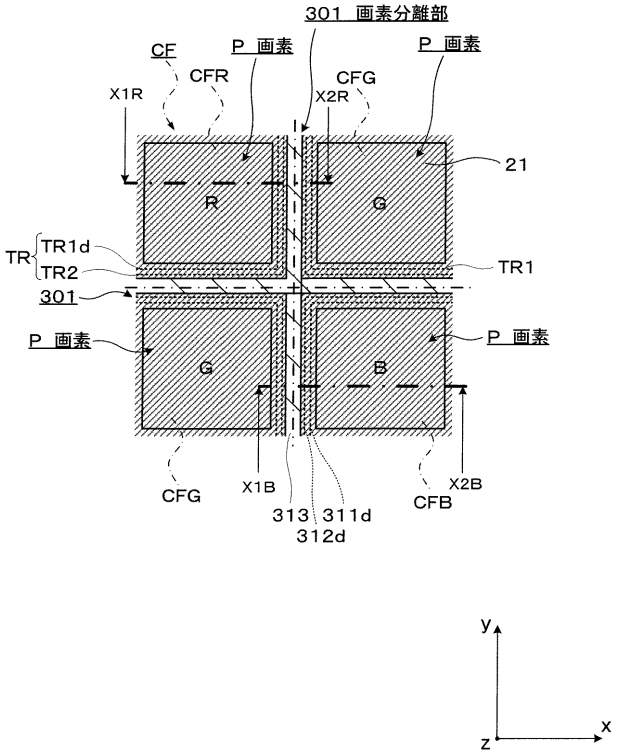
【図２０】

<実施形態4>



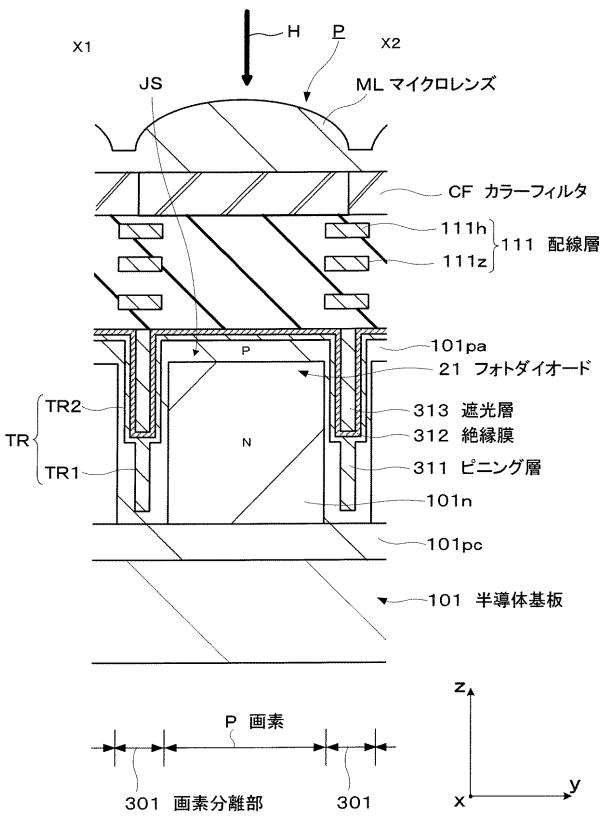
【図２１】

<実施形態3>



【図２２】

<実施形態5>



【図２３】

