(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年3月11日(11.03.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/044701 A1

(51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)

(21) 国際出願番号： PCT/JP2020/023637

(22) 国際出願日： 2020年6月16日(16.06.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-161538 2019年9月4日(04.09.2019) JP

(71) 出願人:株式会社ジャパンディスプレイ(**JAPAN DISPLAY INC.**) [JP/JP]; 〒1050003 東京都港区西新橋三丁目７番１号 Tokyo (JP).

(72) 発明者: 二藤部 隆太郎 (**NITOBE, Ryutaro**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP).

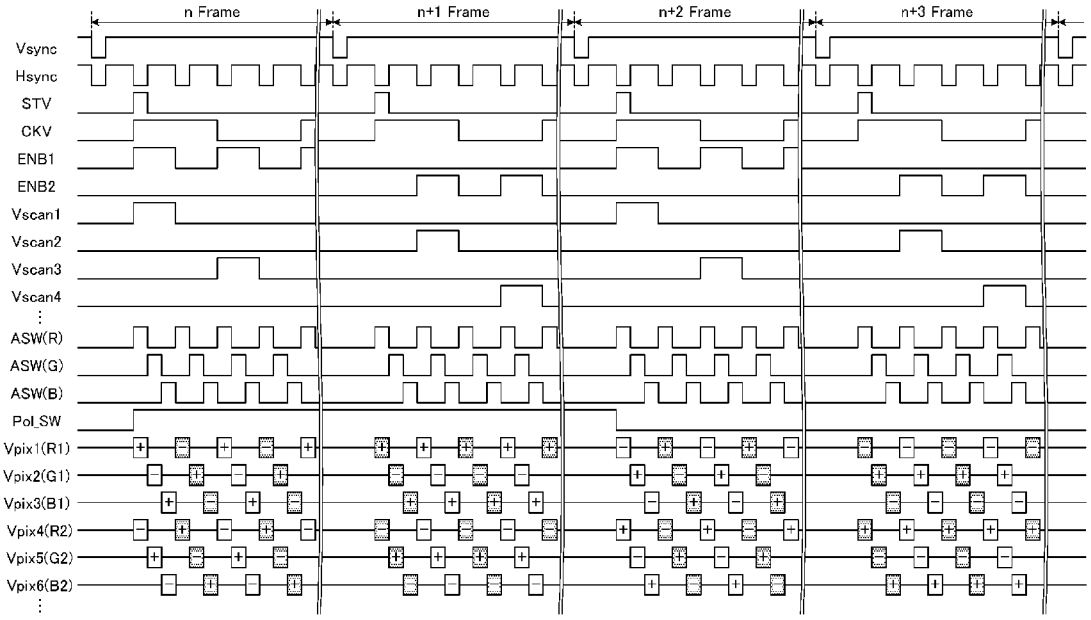
(74) 代理人: 特許業務法人酒井国際特許事務所 (**SAKAI INTERNATIONAL PATENT OFFICE**); 〒1000013 東京都千代田区霞が関３丁目８番１号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,

(54) **Title:** DISPLAY DEVICE

(54) 発明の名称： 表示装置

[図8]



(57) **Abstract:** Provided is a display device wherein when performing a display operation using an interlaced method: in odd numbered frames, a first scan line selection circuit supplies a scan signal to scan lines in odd numbered rows and a second scan line selection circuit stops supplying a scan signal to scan lines in even numbered columns; and in even numbered frames, the first scan line selection circuit stops supplying a scan signal to the scan lines in odd numbered rows and the second scan line selection circuit supplies a scan signal to the scan lines in even numbered columns.

WO 2021/044701 A1

[続葉有]

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:表示装置は、インターレース方式で表示動作を行う場合に、奇数フレームにおいて、第1走査線選択回路は、奇数行の走査線に走査信号を供給し、第2走査線選択回路は、偶数列の走査線への走査信号の供給を停止し、偶数フレームにおいて、第1走査線選択回路は、奇数行の走査線への走査信号の供給を停止し、第2走査線選択回路は、偶数列の走査線に走査信号を供給する。

明　細　書

発明の名称 ： 表示装置

技術分野

[0001] 本発明は、表示装置に関する。

背景技術

[0002] 例えば、スマートフォン等の携帯型情報端末機器に用いられる表示装置では、インターレース方式で送信された映像信号を表示する態様が一般的である。下記特許文献には、ノンインターレースの映像信号をインターレース方式で表示することを前提とした画像処理装置及び画像処理装置の制御方法が開示されている（例えば、特許文献１参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１２－０９５０３５号公報

発明の概要

発明が解決しようとする課題

[0004] 近年、スマートフォン等の携帯型情報端末機器において、例えばゲームアプリケーション等のように、動画の描画品位の向上を目的として、通常の６０ｆｐｓ（ｆｒａｍｅｓ　ｐｅｒ　ｓｅｃｏｎｄ）よりも高いフレームレート（例えば、９０ｆｐｓや１２０ｆｐｓ）での表示を要求するコンテンツの利用率が高まっているが、高フレームレート化に伴いパネルの消費電力が増加するという課題がある。

[0005] 本発明は、高フレームレート化に伴うパネルの消費電力の増加を抑制することができる表示装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様に係る表示装置は、表示領域にマトリクス状に配置された複数の画素と、前記表示領域において行方向に並ぶ前記各画素に接続され、走査信号が供給される走査線と、前記表示領域において列方向に並ぶ前記各

画素に接続され、画素信号が供給される信号線と、奇数行の走査線に第１走査線選択回路を介して前記走査信号を供給し、偶数行の走査線に第２走査線選択回路を介して前記走査信号を供給するゲートドライバと、画素信号を選択された信号線に供給する信号線選択回路と、前記ゲートドライバ及び前記信号線選択回路を制御する表示制御回路と、を備え、前記表示制御回路は、ノンインターレース方式で表示動作を行う場合に、前記第１走査線選択回路及び前記第２走査線選択回路は、１水平周期ごとに交互に偶数列および奇数列の前記走査線に前記走査信号を供給し、インターレース方式で表示動作を行う場合に、奇数フレームにおいて、前記第１走査線選択回路は、奇数行の前記走査線に前記走査信号を供給し、前記第２走査線選択回路は、偶数列の前記走査線への前記走査信号の供給を停止し、偶数フレームにおいて、前記第１走査線選択回路は、奇数行の前記走査線への前記走査信号の供給を停止し、前記第２走査線選択回路は、偶数列の前記走査線に前記走査信号を供給する。

[0007] 本発明の一態様に係る表示装置は、表示領域にマトリクス状に配置された複数の画素と、前記表示領域において行方向に並ぶ前記各画素に接続され、走査信号が供給される走査線と、前記表示領域において列方向に並ぶ前記各画素に接続され、画素信号が供給される信号線と、奇数行の走査線に第１走査線選択回路を介して前記走査信号を供給する第１ゲートドライバと、偶数行の走査線に第２走査線選択回路を介して前記走査信号を供給する第２ゲートドライバと、画素信号を選択された信号線に供給する信号線選択回路と、前記第１ゲートドライバ、前記第２ゲートドライバ、及び前記信号線選択回路を制御する表示制御回路と、を備え、前記表示制御回路は、ノンインターレース方式で表示動作を行う場合に、前記第１走査線選択回路及び前記第２走査線選択回路は、１水平周期ごとに交互に偶数列および奇数列の前記走査線に前記走査信号を供給し、インターレース方式で表示動作を行う場合に、奇数フレームにおいて、前記第１走査線選択回路は、奇数行の前記走査線に前記走査信号を供給し、前記第２走査線選択回路は、偶数列の前記走査線へ

の前記走査信号の供給を停止し、偶数フレームにおいて、前記第１走査線選択回路は、奇数行の前記走査線への前記走査信号の供給を停止し、前記第２走査線選択回路は、偶数列の前記走査線に前記走査信号を供給する。

図面の簡単な説明

[0008] [図1]図１は、実施形態１に係る表示装置のブロック構成の一例を示す図である。

[図2A]図２Ａは、ゲートドライバの一例を示す第１概略模式図である。

[図2B]図２Ｂは、ゲートドライバの一例を示す第２概略模式図である。

[図3]図３は、信号線選択回路の一例を示す概略模式図である。

[図4]図４は、表示制御回路内のソースアンプ及び極性反転回路の一例を示す概略模式図である。

[図5]図５は、表示制御回路内のソースアンプ及び極性反転回路の一例を示す概略模式図である。

[図6]図６は、実施形態１に係る表示装置のノンインターレース駆動時におけるタイミングチャートの一例を示す図である。

[図7]図７は、実施形態１に係る表示装置のインターレース駆動時におけるタイミングチャートの第１例を示す図である。

[図8]図８は、実施形態１に係る表示装置のインターレース駆動時におけるタイミングチャートの第２例を示す図である。

[図9A]図９Ａは、図６に示すタイミングチャートのｎフレームにおいて各画素に書き込まれる画素信号の極性を示す図である。

[図9B]図９Ｂは、図６に示すタイミングチャートのｎ＋１フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。

[図9C]図９Ｃは、図６に示すタイミングチャートのｎ＋２フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。

[図9D]図９Ｄは、図６に示すタイミングチャートのｎ＋３フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。

[図10A]図１０Ａは、図７に示すタイミングチャートのｎフレームにおいて各

画素に書き込まれる画素信号の極性を示す図である。

[図10B]図１０Ｂは、図７に示すタイミングチャートのｎ＋１フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。

[図10C]図１０Ｃは、図７に示すタイミングチャートのｎ＋２フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。

[図10D]図１０Ｄは、図７に示すタイミングチャートのｎ＋３フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。

[図11A]図１１Ａは、図８に示すタイミングチャートのｎフレームにおいて各画素に書き込まれる画素信号の極性を示す図である。

[図11B]図１１Ｂは、図８に示すタイミングチャートのｎ＋１フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。

[図11C]図１１Ｃは、図８に示すタイミングチャートのｎ＋２フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。

[図11D]図１１Ｄは、図８に示すタイミングチャートのｎ＋３フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。

[図12]図１２は、実施形態２に係る表示装置のブロック構成の一例を示す図である。

[図13A]図１３Ａは、第１ゲートドライバ及び第２ゲートドライバの一例を示す第１概略模式図である。

[図13B]図１３Ｂは、第１ゲートドライバ及び第２ゲートドライバの一例を示す第２概略模式図である。

[図14]図１４は、実施形態２に係る表示装置のノンインターレース駆動時におけるタイミングチャートの一例を示す図である。

[図15]図１５は、実施形態２に係る表示装置のインターレース駆動時におけるタイミングチャートの一例を示す図である。

[図16]図１６は、実施形態３における表示制御回路内の画像処理回路、フラグ生成回路、及びバッファメモリの一例を示す概略模式図である。

[図17]図１７は、実施形態３に係る表示装置の駆動切替タイミングの一例を

示す図である。

[図18]図１８は、実施形態３の変形例に係る表示装置の駆動切替タイミングの一例を示す図である。

[図19]図１９は、実施形態４における表示制御回路内の画像処理回路、フラグ生成回路、及びバッファメモリの一例を示す概略模式図である。

[図20]図２０は、実施形態４に係る表示装置の駆動切替タイミングの一例を示す図である。

[図21]図２１は、実施形態４の変形例に係る表示装置の駆動切替タイミングの一例を示す図である。

[図22]図２２は、実施形態５に係る表示装置のインターレース駆動時におけるタイミングチャートを示す図である。

発明を実施するための形態

[0009] 本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。なお、以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。また、開示はあくまで一例にすぎず、当業者において、発明の主旨を保っての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0010] （実施形態１）

図１は、実施形態１に係る表示装置の概略構成の一例を示す図である。本実施形態に係る表示装置１は、第１基板１１上に、表示領域２１と、ドライバＩＣ３（表示制御回路２４）とを備える。第１基板１１は、絶縁基板であ

って、例えば、ガラス基板や樹脂基板等である。表示装置１に配置されたドライバＩＣ３は、例えばフレキシブルプリント基板（ＦＰＣ：Ｆｌｅｘｉｂｌｅ　Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔ）等で構成される中継基板１２を介して制御装置２と接続される。

[0011] 制御装置２は、例えば、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）及びメモリ等の記憶装置を含み構成され、これらハードウェア資源を用いてプログラムを実行することにより、表示装置１における各種機能を実現することができる。制御装置２は、プログラムの実行結果に応じて、表示装置１に表示させる画像をドライバＩＣ３が画像入力階調の情報として扱えるように制御する。

[0012] 表示装置１は、例えば、表示素子として液晶表示素子を用いた液晶表示デバイスであってもよい。また、表示装置１は、液晶表示デバイスに限らず、例えば、表示素子として有機発光ダイオード（ＯＬＥＤ：Ｏｒｇａｎｉｃ　Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）を用いた有機ＥＬディスプレイであっても良い。また、表示装置１は、表示素子として無機発光ダイオード（マイクロＬＥＤ（ｍｉｃｒｏ　ＬＥＤ））を用いた無機ＥＬディスプレイであっても良い。また、表示装置１は、電気泳動型ディスプレイ（ＥＰＤ：Ｅｌｅｃｔｒｏｐｈｏｒｅｔｉｃ　Ｄｉｓｐｌａｙ）であっても良い。

[0013] また、表示装置１は、例えば静電容量型のタッチセンサが一体化されたタッチ検出機能付き表示装置であっても良い。表示装置１に静電容量型のタッチセンサを内蔵して一体化するとは、例えば、表示用の基板や電極などの一部の部材と、タッチセンサとして使用される基板や電極などの一部の部材とを兼用することを含む。あるいは、表示装置１は、例えば静電容量型のタッチセンサを装着した、いわゆるオンセルタイプのタッチ検出機能付き表示装置であっても良い。表示装置１の態様により本開示が限定されるものではない。

[0014] 本開示において、表示装置１は、カラム反転駆動方式を採用する。

[0015] 本実施形態に係る表示装置１は、表示領域２１と、ゲートドライバ２２と

、信号線選択回路２３と、表示制御回路２４とを備えている。表示制御回路２４は、ゲートドライバ２２、信号線選択回路２３を制御することで表示領域２１における画面表示を制御する。表示制御回路２４は、制御装置２と接続され、制御装置２から映像信号Ｓｏｕｒｃｅ及び各種制御信号ＣＴＲＬを受信する。また、表示制御回路２４は、信号線選択回路２３と制御装置２との間のインターフェース（Ｉ／Ｆ）及びタイミングジェネレータとしての機能を備えている。表示制御装置２４は、第１基板１１上に配置されたドライバＩＣ３に含まれる。また、ゲートドライバ２２及び信号線選択回路２３は、第１基板１１上に形成される。なお、ゲートドライバ２２及び信号線選択回路２３の少なくとも一方は、ドライバＩＣ３に含まれていても良い。また、表示制御回路２４が含まれるドライバＩＣ３は、第１基板１１上に配置されるのではなく、第１基板１１に接続された中継基板１２の上に配置されても良い。

[0016] 表示領域２１は、複数の画素ＰｉｘがＭ行×Ｎ列に配置されたマトリクス（行列状）構成を有している。なお、この明細書において、行とは、一方向に配列されるＮ個の画素Ｐｉｘを有する画素行をいう。また、列とは、行が配列される方向と直交あるいは交差する方向に配列されるＭ個の画素Ｐｉｘを有する画素列をいう。画素Ｐｉｘは、例えば、赤色を表示するための赤画素（画素ＰｉｘＲ）、緑色を表示するための緑画素（画素ＰｉｘＧ）、青色を表示するための青画素（画素ＰｉｘＢ）を含む。本開示では、行方向に画素ＰｉｘＲ、画素ＰｉｘＧ、画素ＰｉｘＢ、・・・の順に並ぶストライプ配列を例示している。画素配列はこれに限るものではない。例えば、画素Ｐｉｘとして、白色を表示するための白画素（画素ＰｉｘＷ）を配置しても良いし、列方向や行方向に対して所定の角度を有する斜め方向のストライプ配列や異なる色を表示する複数の画素群が行方向および列方向のいずれにも周期的に配置される配列としても良い。

[0017] 表示領域２１は、画素ＰｉｘのＭ行Ｎ列の配列に対して、各行ごとに走査線ＳＣＬが配線され、各列ごとに信号線ＤＴＬが配線されている。各走査線

ＳＣＬには、ゲートドライバ２２から走査信号Ｖｓｃａｎ（１，２，３，４，・・・，Ｍ－１，Ｍ）が順次供給される。各信号線ＤＴＬには、信号線選択回路２３からそれぞれ画素信号Ｖｐｉｘ（１，２，３，４，５，６，・・・，Ｎ）が供給される。画素Ｐｉｘは、トランジスタ等のスイッチ素子を有する。画素Ｐｉｘに配置されたスイッチ素子のゲートは、走査線ＳＣＬと接続され、スイッチ素子のソースは、信号線ＤＴＬと接続される。走査信号Ｖｓｃａｎ（１，２，３，４，・・・，Ｍ－１，Ｍ）は、各画素Ｐｉｘを構成するスイッチ素子のゲートに供給される。画素信号Ｖｐｉｘ（１，２，３，４，５，６，・・・，Ｎ）は、各画素Ｐｉｘを構成するスイッチ素子のソースに供給される。

[0018] 図２Ａ及び図２Ｂは、ゲートドライバの一例を示す概略模式図である。ゲートドライバ２２は、シフトレジスタ２２１、第１走査線選択回路２２２－１、及び第２走査線選択回路２２２－２を含む。

[0019] シフトレジスタ２２１は、表示制御回路２４から出力されるスタートパルスＳＴＶ、シフトクロックＣＫＶ等の同期信号に基づき、走査線ＳＣＬに順次供給する走査信号Ｖｓｃａｎ（１，２，３，・・・，Ｍ－１，Ｍ）を生成する回路である。

[0020] 第１走査線選択回路２２２－１及び第２走査線選択回路２２２－２は、表示制御回路２４から出力される走査線選択信号ＥＮＢ１，ＥＮＢ２に基づきオンオフする回路である。言い換えると、第１走査線選択回路２２２－１は、走査線選択信号ＥＮＢ１に基づいて、奇数行の走査線ＳＣＬに選択的に走査信号Ｖｓｃａｎを出力する回路である。また、第２走査線選択回路２２２－２は、走査線選択信号ＥＮＢ２に基づいて、偶数行の走査線ＳＣＬに選択的に走査信号Ｖｓｃａｎを出力する回路である。第１走査線選択回路２２２－１及び第２走査線選択回路２２２－２は、例えば第１基板１１上に設けられるスイッチ素子で構成することができる。図２Ａは、第１走査線選択回路２２２－１がオン制御され、第２走査線選択回路２２２－２がオフ制御された例を示し、図２Ｂは、第１走査線選択回路２２２－１がオフ制御され、第

２走査線選択回路２２２－２がオン制御された例を示している。

[0021] 図４は、信号線選択回路の一例を示す概略模式図である。本開示において、表示装置１は、上述したように、カラム反転駆動方式を採用したストライプ配列の表示デバイスである。すなわち、画素信号Ｖｐｉｘ１（Ｒ１），Ｖｐｉｘ３（Ｂ１），Ｖｐｉｘ５（Ｇ２）と、画素信号Ｖｐｉｘ２（Ｇ１），Ｖｐｉｘ４（Ｒ２），Ｖｐｉｘ６（Ｂ２）とは、互いに極性反転した信号である。例えば、画素信号Ｖｐｉｘ１（Ｒ１），Ｖｐｉｘ３（Ｂ１），Ｖｐｉｘ５（Ｇ２）の極性が「＋」であるとき、画素信号Ｖｐｉｘ２（Ｇ１），Ｖｐｉｘ４（Ｒ２），Ｖｐｉｘ６（Ｂ２）の極性は「－」となる。また、例えば、画素信号Ｖｐｉｘ１（Ｒ１），Ｖｐｉｘ３（Ｂ１），Ｖｐｉｘ５（Ｇ２）の極性が「－」であるとき、画素信号Ｖｐｉｘ２（Ｇ１），Ｖｐｉｘ４（Ｒ２），Ｖｐｉｘ６（Ｂ２）の極性は「＋」となる。

[0022] 画素ＰｉｘＲ、画素ＰｉｘＧ、画素ＰｉｘＢを１つの画素群ＰＢとすると、奇数列の画素群ＰＢ１には、画素ＰｉｘＲ１、画素ＰｉｘＧ１、画素ＰｉｘＢ１が含まれ、偶数列の画素群ＰＢ２には、画素ＰｉｘＲ２、画素ＰｉｘＧ２、画素ＰｉｘＢ２が含まれる。表示制御回路２４は、制御装置２からの映像信号Ｓｏｕｒｃｅを、奇数列の画素群ＰＢ１の画素ＰｉｘＲ１、偶数列の画素群ＰＢ２の画素ＰｉｘＧ２、奇数列の画素群ＰＢ１の画素ＰｉｘＢ１のそれぞれに対応する画素信号Ｖｐｉｘを時分割多重化した画像信号Ｖｓｉｇ１（Ｒ１，Ｇ２，Ｂ１）に変換して出力する。また、表示制御回路２４は、制御装置２からの映像信号Ｓｏｕｒｃｅを、偶数列の画素群ＰＢ２の画素ＰｉｘＲ２、奇数列の画素群ＰＢ１の画素ＰｉｘＧ１、偶数列の画素群ＰＢ２の画素ＰｉｘＢ２のそれぞれに対応する画素信号Ｖｐｉｘを時分割多重化した画像信号Ｖｓｉｇ２（Ｒ２，Ｇ１，Ｂ２）に変換して出力する。

[0023] 信号線選択回路２３は、表示制御回路２４から出力される信号線選択制御信号ＡＳＷ（Ｒ），ＡＳＷ（Ｇ），ＡＳＷ（Ｂ）に基づきオンオフする回路である。言い換えると、信号線選択回路２３は、信号線選択制御信号ＡＳＷ（Ｒ），ＡＳＷ（Ｇ），ＡＳＷ（Ｂ）に基づき、表示制御回路２４と接続さ

れる信号線ＤＴＬを選択し、選択された信号線ＤＴＬに画素信号Ｖｐｉｘを供給する回路である。信号線選択回路２３は、例えば第１基板１１上に設けられるスイッチ素子で構成することができる。図４は、信号線選択制御信号ＡＳＷ（Ｒ）によって画像信号Ｖｓｉｇ１（Ｒ１，Ｇ２，Ｂ１）及び画像信号Ｖｓｉｇ２（Ｒ２，Ｇ１，Ｂ２）にそれぞれ時分割で並べられた画素信号Ｖｐｉｘ１（Ｒ１）及び画素信号Ｖｐｉｘ４（Ｒ２）が出力される例を示している。

[0024] 図４及び図５は、表示制御回路内のソースアンプ及び極性反転回路の一例を示す概略模式図である。表示制御回路２４は、ソースアンプとして、バッファアンプ２４１と反転バッファアンプ２４２とを含む。また、表示制御回路２４は、極性反転回路としてスイッチＳＷ１、ＳＷ２、ＳＷ３、及びＳＷ４を含む。

[0025] スイッチＳＷ１、ＳＷ２、ＳＷ３、及びＳＷ４は、表示制御回路２４内で生成される極性切替信号Ｐｏｌ＿ＳＷに基づき、バッファアンプ２４１及び反転バッファアンプ２４２の入出力を切り替える。図４では、画像信号Ｖｓｉｇ１（Ｒ１，Ｇ２，Ｂ１）がバッファアンプ２４１を経由して出力され、画像信号Ｖｓｉｇ２（Ｒ２，Ｇ１，Ｂ２）が反転バッファアンプ２４２を経由することで極性反転して出力される例を示している。図５では、画像信号Ｖｓｉｇ２（Ｒ２，Ｇ１，Ｂ２）がバッファアンプ２４１を経由して出力され、画像信号Ｖｓｉｇ１（Ｒ１，Ｇ２，Ｂ１）が反転バッファアンプ２４２を経由することで極性反転して出力される例を示している。

[0026] 以下、上述のように構成された実施形態１に係る表示装置１の動作について、図６から図８を参照して説明する。

[0027] 図６は、実施形態１に係る表示装置のノンインターレース駆動時におけるタイミングチャートの一例を示す図である。図７は、実施形態１に係る表示装置のインターレース駆動時におけるタイミングチャートの第１例を示す図である。図８は、実施形態１に係る表示装置のインターレース駆動時におけるタイミングチャートの第２例を示す図である。図６から図８の各図におい

て、各画素信号Ｖｐｉｘに示した「＋」「－」の記号は、各画素信号Ｖｐｉｘの極性を示している。また、図７及び図８の各図において、当該フレームにおいて各画素Ｐｉｘに書き込まれない各画素信号Ｖｐｉｘをグレー表示している。

[0028] 本実施形態において、表示装置１は、第１フレームレート（例えば、６０ｆｐｓ）ではノンインターレース方式で表示動作を行い、第１フレームレートよりも高い第２フレームレート（例えば、１２０ｆｐｓ）ではインターレース方式で表示動作を行う。

[0029] 具体的に、図６に示すように、ノンインターレース方式で表示動作を行う場合、表示制御回路２４は、走査線選択信号ＥＮＢ１，ＥＮＢ２により１水平周期ごとに交互に第１走査線選択回路２２２－１及び第２走査線選択回路２２２－２のオンオフ制御を行う。すなわち、奇数行の走査線ＳＣＬに走査信号Ｖｓｃａｎ（１，３，・・・，Ｍ－１）を供給する場合には、図３Ａに示すように、第１走査線選択回路２２２－１をオン制御し第２走査線選択回路２２２－２をオフ制御する。また、偶数行の走査線ＳＣＬに走査信号Ｖｓｃａｎ（２，４，・・・，Ｍ）を供給する場合には、図３Ｂに示すように、第１走査線選択回路２２２－１をオフ制御し第２走査線選択回路２２２－２をオン制御する。

[0030] 図９Ａは、図６に示すタイミングチャートのｎフレームにおいて各画素に書き込まれる画素信号の極性を示す図である。図９Ｂは、図６に示すタイミングチャートのｎ＋１フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。図９Ｃは、図６に示すタイミングチャートのｎ＋２フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。図９Ｄは、図６に示すタイミングチャートのｎ＋３フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。図９Ａ、図９Ｂ、図９Ｃ、図９Ｄにおいて、各画素Ｐｉｘに示した「＋」「－」の記号は、各フレームにおいて各画素Ｐｉｘに書き込まれる画素信号Ｖｐｉｘ（１，２，３，４，５，６，・・・，Ｎ）の極性を示している。

[0031] ノンインターレース方式で表示動作を行う場合、図６に示すように、１フレームごとに、図５に示す極性切替信号Ｐｏｌ＿ＳＷを反転させる。これにより、図９Ａ、図９Ｂ、図９Ｃ、図９Ｄに示すように、１フレームごとに各画素Ｐｉｘに書き込む画素信号Ｖｐｉｘ（１，２，３，４，５，６，・・・，Ｎ）の極性が反転するカラム反転駆動方式によりノンインターレース方式での表示動作が行われる。

[0032] また、図７及び図８に示すように、インターレース方式で表示動作を行う場合、表示制御回路２４は、奇数フレーム（ｎフレーム、ｎ＋２フレーム）では、第２走査線選択回路２２２－２を常時オフ制御し、偶数フレーム（ｎ＋１フレーム、ｎ＋３フレーム）では、第１走査線選択回路２２２－１を常時オフ制御する。すなわち、奇数フレームでは、奇数行の走査線ＳＣＬにのみ走査信号Ｖｓｃａｎ（１，３，・・・，Ｍ－１）が供給され、偶数フレームでは、偶数行の走査線ＳＣＬにのみ走査信号Ｖｓｃａｎ（２，４，・・・，Ｍ）が供給される。

[0033] 図１０Ａは、図７に示すタイミングチャートのｎフレームにおいて各画素に書き込まれる画素信号の極性を示す図である。図１０Ｂは、図７に示すタイミングチャートのｎ＋１フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。図１０Ｃは、図７に示すタイミングチャートのｎ＋２フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。図１０Ｄは、図７に示すタイミングチャートのｎ＋３フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。図１０Ａ、図１０Ｂ、図１０Ｃ、図１０Ｄにおいて、グレー表示した各画素Ｐｉｘに示した「＋」「－」の記号は、それぞれ前フレームにおいて各画素Ｐｉｘに書き込まれて保持された画素信号Ｖｐｉｘ（１，２，３，４，５，６，・・・，Ｎ）の極性を示している。

[0034] インターレース方式で表示動作を行う際、図７に示すように、１フレームごとに、図５に示す極性切替信号Ｐｏｌ＿ＳＷを反転させると、図１０Ａ、図１０Ｂ、図１０Ｃ、図１０Ｄに示すように、各画素Ｐｉｘに書き込まれる

画素信号Ｖｐｉｘ（１，２，３，４，５，６，・・・，Ｎ）の極性が「＋」あるいは「－」のまま不変となり、表示装置１の画面の焼き付きが生じる懸念があるため好ましくない。

[0035] 図１１Ａは、図８に示すタイミングチャートのｎフレームにおいて各画素に書き込まれる画素信号の極性を示す図である。図１１Ｂは、図８に示すタイミングチャートのｎ＋１フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。図１１Ｃは、図８に示すタイミングチャートのｎ＋２フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。図１１Ｄは、図８に示すタイミングチャートのｎ＋３フレームにおいて各画素に書き込まれる画素信号の極性を示す図である。

[0036] インターレース方式で表示動作を行う際、図８に示すように、２フレームごとに、図５に示す極性切替信号Ｐｏｌ＿ＳＷを反転させると、図１１Ａ、図１１Ｂ、図１１Ｃ、図１１Ｄに示すように、２フレームごとに各画素Ｐｉｘに書き込まれる画素信号Ｖｐｉｘ（１，２，３，４，５，６，・・・，Ｎ）の極性が反転する。これにより、２フレームごとに各画素Ｐｉｘに書き込む画素信号Ｖｐｉｘ（１，２，３，４，５，６，・・・，Ｎ）の極性が反転するカラム反転駆動方式によりインターレース方式での表示動作が行われる。なお、本実施例において、２フレームごとに極性を判定させることとしたが、これに限らず、２ｍ（ｍは１以上の整数）フレームごとに極性を反転させても良い。

[0037] 以上説明したように、実施形態１に係る表示装置１は、ノンインターレース方式で表示動作を行う場合に、１水平周期ごとに交互に第１走査線選択回路２２２－１及び第２走査線選択回路２２２－２のオンオフ制御を行い、インターレース方式で表示動作を行う場合に、奇数フレームにおいて、第２走査線選択回路２２２－２を常時オフ制御し、１水平周期ごとに交互に第１走査線選択回路２２２－１のオンオフ制御を行い、偶数フレームにおいて、第１走査線選択回路２２２－１を常時オフ制御し、１水平周期ごとに交互に第２走査線選択回路２２２－２のオンオフ制御を行う。

[0038] 上記構成では、インターレース方式で表示動作を行う場合に、奇数フレームでは、偶数行の画素Ｐｉｘのスイッチ素子のオンオフ動作が停止し、偶数フレームでは、奇数行の画素Ｐｉｘのスイッチ素子のオンオフ動作が停止する。これにより、ノンインターレース方式で表示動作を行う第１フレームレートよりも高い第２フレームレートでインターレース方式で表示動作を行う際の消費電力を抑制することができる。

[0039] また、ノンインターレース方式で表示動作を行う場合に、１フレームごとに画素信号Ｖｐｉｘの極性が反転するカラム反転駆動方式により表示動作を行い、インターレース方式で表示動作を行う場合に、２フレームごとに画素信号Ｖｐｉｘの極性が反転するカラム反転駆動方式により表示動作を行う。

[0040] これにより、インターレース方式で表示動作を行う場合に、表示装置１の画面の焼き付きを抑制することができる。

[0041] 本実施形態により、高フレームレート化に伴うパネルの消費電力の増加を抑制することができる表示装置１を得ることができる。

[0042]（実施形態２）

図１２は、実施形態２に係る表示装置のブロック構成の一例を示す図である。なお、実施形態１と同一の機能を有する構成には同一の符号を付して説明を省略し、実施形態２の表示装置１ａについて実施形態１との相違点を中心に説明する。

[0043] 図１２に示すように、実施形態２に係る表示装置１ａは、第１基板１１上の表示領域２１の対向する２辺に第１ゲートドライバ２２－１及び第２ゲートドライバ２２－２を備えた構成である。第１ゲートドライバ２２－１には、奇数行の走査線ＳＣＬが接続されている。第２ゲートドライバ２２－２には、偶数行の走査線ＳＣＬが接続されている。

[0044] 図１３Ａ及び図１３Ｂは、第１ゲートドライバ及び第２ゲートドライバの一例を示す概略模式図である。第１ゲートドライバ２２－１は、第１シフトレジスタ２２１－１、第１走査線選択回路２２２－１を含む。第２ゲートドライバ２２－２は、第２シフトレジスタ２２１－２、第２走査線選択回路２

２２－２を含む。

[0045] 第１シフトレジスタ２２１－１は、表示制御回路２４ａから出力されるスタートパルスＳＴＶ１、シフトクロックＣＫＶ１等の同期信号に基づき、奇数行の走査線ＳＣＬに順次供給する走査信号Ｖｓｃａｎ（１，３，・・・，Ｍ－１）を生成する回路である。

[0046] 第２シフトレジスタ２２１－２は、表示制御回路２４ａから出力されるスタートパルスＳＴＶ２、シフトクロックＣＫＶ２等の同期信号に基づき、偶数行の走査線ＳＣＬに順次供給する走査信号Ｖｓｃａｎ（２，４，・・・，Ｍ）を生成する回路である。

[0047] 第１走査線選択回路２２２－１は、表示制御回路２４ａから出力される走査線選択信号ＥＮＢ１に基づきオンオフする回路である。第２走査線選択回路２２２－２は、表示制御回路２４ａから出力される走査線選択信号ＥＮＢ２に基づきオンオフする回路である。第１走査線選択回路２２２－１及び第２走査線選択回路２２２－２は、例えば第１基板１１上に設けられるスイッチ素子で構成することができる。図１３Ａは、第１走査線選択回路２２２－１がオン制御され、第２走査線選択回路２２２－２がオフ制御された例を示し、図１３Ｂは、第１走査線選択回路２２２－１がオフ制御され、第２走査線選択回路２２２－２がオン制御された例を示している。

[0048] 以下、上述のように構成された実施形態２に係る表示装置１ａの動作について、図１４及び図１５を参照して説明する。

[0049] 図１４は、実施形態２に係る表示装置のノンインターレース駆動時におけるタイミングチャートの一例を示す図である。図１５は、実施形態２に係る表示装置のインターレース駆動時におけるタイミングチャートの一例を示す図である。

[0050] 本実施形態において、表示装置１ａは、実施形態１と同様に、第１フレームレート（例えば、６０ｆｐｓ）ではノンインターレース方式で表示動作を行い、第１フレームレートよりも高い第２フレームレート（例えば、１２０ｆｐｓ）ではインターレース方式で表示動作を行う。

[0051] 具体的に、図１４に示すように、ノンインターレース方式で表示動作を行う場合、表示制御回路２４ａは、走査線選択信号ＥＮＢ１，ＥＮＢ２により１水平周期ごとに交互に第１走査線選択回路２２２－１及び第２走査線選択回路２２２－２のオンオフ制御を行う。すなわち、奇数行の走査線ＳＣＬに走査信号Ｖｓｃａｎ（１，３，・・・，Ｍ－１）を供給する場合には、図１３Ａに示すように、第１走査線選択回路２２２－１をオン制御し第２走査線選択回路２２２－２をオフ制御する。また、偶数行の走査線ＳＣＬに走査信号Ｖｓｃａｎ（２，４，・・・，Ｍ）を供給する場合には、図１３Ｂに示すように、第１走査線選択回路２２２－１をオフ制御し第２走査線選択回路２２２－２をオン制御する。

[0052] ノンインターレース方式で表示動作を行う場合、図１４に示すように、１フレームごとに、極性切替信号Ｐｏｌ＿ＳＷを反転させる。これにより、１フレームごとに各画素Ｐｉｘに書き込む画素信号Ｖｐｉｘ（１，２，３，４，５，６，・・・，Ｎ）の極性が反転するカラム反転駆動方式によりノンインターレース方式での表示動作が行われる。

[0053] また、図１５に示すように、インターレース方式で表示動作を行う場合、表示制御回路２４は、奇数フレーム（ｎフレーム、ｎ＋２フレーム）では、第２走査線選択回路２２２－２を常時オフ制御し、偶数フレーム（ｎ＋１フレーム、ｎ＋３フレーム）では、第１走査線選択回路２２２－１を常時オフ制御する。すなわち、奇数フレームでは、奇数行の走査線ＳＣＬにのみ走査信号Ｖｓｃａｎ（１，３，・・・，Ｍ－１）が供給され、偶数フレームでは、偶数行の走査線ＳＣＬにのみ走査信号Ｖｓｃａｎ（２，４，・・・，Ｍ）が供給される。

[0054] 図１５に示すタイミングチャートのｎフレームにおいて各画素に書き込まれる画素信号の極性は、図８と同様に、図１１Ａに示される。また、図１５に示すタイミングチャートのｎ＋１フレームにおいて各画素に書き込まれる画素信号の極性は、図８と同様に、図１１Ｂに示される。また、図１５に示すタイミングチャートのｎ＋２フレームにおいて各画素に書き込まれる画素

信号の極性は、図８と同様に、図１１Ｃに示される。また、図１５に示すタイミングチャートのｎ＋３フレームにおいて各画素に書き込まれる画素信号の極性は、図８と同様に、図１１Ｄに示される。

[0055] インターレース方式で表示動作を行う場合、図１５に示すように、２フレームごとに、図５に示す極性切替信号Ｐｏｌ＿ＳＷを反転させる。これにより、２フレームごとに各画素Ｐｉｘに書き込まれる画素信号Ｖｐｉｘ（１，２，３，４，５，６，・・・，Ｎ）の極性が反転するカラム反転駆動方式によりインターレース方式での表示動作が行われる。

[0056] 本実施形態に係る表示装置１ａでは、奇数行の走査線ＳＣＬに走査信号Ｖｓｃａｎ（１，３，・・・，Ｍ－１）を供給する第１ゲートドライバ２２－１と偶数行の走査線ＳＣＬに走査信号Ｖｓｃａｎ（２，４，・・・，Ｍ）を供給する第２ゲートドライバ２２－２とをそれぞれ独立して設けている。このため、奇数行の走査線ＳＣＬに走査信号Ｖｓｃａｎ（１，３，・・・，Ｍ－１）を供給する奇数フレーム（図１５に示すｎフレーム、ｎ＋２フレーム）では、第２ゲートドライバ２２－２を停止させておくことができる。また、偶数行の走査線ＳＣＬに走査信号Ｖｓｃａｎ（２，４，・・・，Ｍ）を供給する偶数フレーム（図１５に示すｎ＋１フレーム、ｎ＋３フレーム）では、第１ゲートドライバ２２－１を停止させておくことができる。これにより、実施形態１よりも高フレームレート化に伴うパネルの消費電力の増加を抑制することができる。

[0057] 本実施形態により、高フレームレート化に伴うパネルの消費電力の増加を抑制することができる表示装置１ａを得ることができる。

[0058]（実施形態３）

実施形態３では、制御装置２からのフレームレート変更信号に基づき、実施形態１，２において説明したインターレース方式での表示動作からノンインターレース方式での表示動作に切り替える構成について説明する。図１６は、実施形態３における表示制御回路内の画像処理回路、フラグ生成回路、及びバッファメモリの一例を示す概略模式図である。図１７は、実施形態３

に係る表示装置の駆動切替タイミングの一例を示す図である。なお、実施形態１，２と同一の機能を有する構成には同一の符号を付して説明を省略し、実施形態３の表示装置について実施形態１，２との相違点を中心に説明する。

[0059] 図１６では、実施形態１，２において説明した表示制御回路２４，２４ａ内に、制御装置２からのフレームレート変更信号ＦＣＣを検出してフレームレート変更フラグＦＣＦを生成するフラグ生成回路２４４を備えた例を示している。

[0060] 画像処理回路２４３は、フレームレート変更フラグＦＣＦに基づき、インターレース方式での表示動作からノンインターレース方式での表示動作に切り替える処理を行う。

[0061] また、図１６では、バッファメモリ２４５に１フレーム分の画像データを保持し、映像信号Ｓｏｕｒｃｅに対して１フレーム分だけ遅れた画像信号Ｖｓｉｇを出力する構成を例示している。バッファメモリ２４５に保持する画像データは、映像信号Ｓｏｕｒｃｅの態様であっても良いし、画像信号Ｖｓｉｇの態様であっても良い。あるいは、画像処理における中間データの態様であっても良い。バッファメモリ２４５に保持する画像データの態様に限定されない。

[0062] フラグ生成回路２４４は、図１７に示すように、インターレース方式での表示動作中において、制御装置２からのフレームレート変更信号ＦＣＣを検出し、フレームレート変更フラグＦＣＦを生成する。図１７では、フラグ生成回路２４４は、制御装置２からのフレームレート変更信号ＦＣＣを検出した時点で、フレームレート変更フラグＦＣＦをロー電位からハイ電位に立ち上げる例を示したがこれに限らない。

[0063] 画像処理回路２４３は、フレームレート変更フラグＦＣＦに基づき、インターレース方式での表示動作から通常のノンインターレース方式での表示動作に切り替える。

[0064] （変形例）

図１８は、実施形態３の変形例に係る表示装置の駆動切替タイミングの一例を示す図である。図１８では、図１７とは異なり、バッファメモリ２４５が１又は複数のフレーム分の映像信号Ｓｏｕｒｃｅを保持することが出来るフレームメモリではなく、１フレームに含まれる１又は複数の画素行に対応する映像信号Ｓｏｕｃｅを保持することが出来るラインメモリを配置する。言い換えると、映像信号Ｓｏｕｒｃｅに対して１フレーム分より短い１又は複数の画素行分だけ遅れた画像信号Ｖｓｉｇが出力される例を示している。この場合には、映像信号Ｓｏｕｒｃｅの入力から入力された映像信号Ｓｏｕｒｃｅに応じた画像信号Ｖｓｉｇが出力されるまでの時間を短縮できるため、制御装置２からのフレームレート変更信号ＦＣＣに基づき、インターレース駆動とノンインターレース駆動を切り替えるまでの期間を短くすることが出来る。なお、バッファメモリ２４５を完全になくして映像信号Ｓｏｕｒｃｅから遅延時間を設けずに画像信号Ｖｓｉｇを出力するようにしても良い。

[0065]（実施形態４）

実施形態４では、映像信号Ｓｏｕｒｃｅに基づき、実施形態１，２において説明したインターレース方式での表示動作から通常のノンインターレース方式での表示動作に切り替える構成について説明する。図１９は、実施形態４における表示制御回路内の画像処理回路、フラグ生成回路、及びバッファメモリの一例を示す概略模式図である。図２０は、実施形態４に係る表示装置の駆動切替タイミングの一例を示す図である。なお、実施形態１，２，３と同一の機能を有する構成には同一の符号を付して説明を省略し、実施形態４の表示装置について実施形態１，２，３との相違点を中心に説明する。

[0066] 本実施形態において、フラグ生成回路２４４ａは、映像信号Ｓｏｕｒｃｅに基づきフレームレート変更フラグＦＣＦを生成する。

[0067] 画像処理回路２４３は、フレームレート変更フラグＦＣＦに基づき、インターレース方式での表示動作から通常のノンインターレース方式での表示動作に切り替える処理を行う。

[0068] また、図１９では、図１６に示す実施形態３の構成と同様に、バッファメ

モリ２４５に１フレーム分の画像データを保持し、映像信号Ｓｏｕｒｃｅに対して１フレーム分だけ遅れた画像信号Ｖｓｉｇを出力する構成を例示している。

[0069] フラグ生成回路２４４ａは、図２０に示すように、インターレース方式での表示動作中において、映像信号Ｓｏｕｒｃｅのブランク期間Ｔｗが、予め設定された所定の閾期間Ｔｗｔｈ以上であること（Ｔｗ≧Ｔｗｔｈ）を検出した場合に、フレームレート変更フラグＦＣＦを生成する。図２０では、Ｔｗ≧Ｔｗｔｈを検出した時点で、フレームレート変更フラグＦＣＦをロー電位からハイ電位に立ち上げ、映像信号Ｓｏｕｒｃｅを検出した時点で、フレームレート変更フラグＦＣＦをハイ電位からロー電位に立ち下げる例を示したがこれに限らない。

[0070]（変形例）

図２１は、実施形態４の変形例に係る表示装置の駆動切替タイミングの一例を示す図である。図２１では、図２０とは異なり、図１８に示した実施形態３の変形例と同様に、バッファメモリ２４５が１又は複数のフレーム分の映像信号Ｓｏｕｒｃｅを保持することが出来るフレームメモリではなく、１フレームに含まれる１又は複数の画素行に対応する映像信号Ｓｏｕｃｅを保持することが出来るラインメモリを配置する。言い換えると、映像信号Ｓｏｕｒｃｅに対して１フレーム分より短い１又は複数の画素行分だけ遅れた画像信号Ｖｓｉｇが出力される例を示している。この場合には、映像信号Ｓｏｕｒｃｅの入力から入力された映像信号Ｓｏｕｒｃｅに応じた画像信号Ｖｓｉｇが出力されるまでの時間を短縮できるため、制御装置２からのフレームレート変更信号ＦＣＣに基づき、インターレース駆動とノンインターレース駆動を切り替えるまでの期間を短くすることが出来る。なお、バッファメモリ２４５を完全になくして映像信号Ｓｏｕｒｃｅから遅延時間を設けずに画像信号Ｖｓｉｇを出力するようにしても良い。

[0071]（実施形態５）

図２２は、実施形態５に係る表示装置のインターレース駆動時におけるタ

イミングチャートを示す図である。なお、実施形態１と同一の機能を有する構成には同一の符号を付して説明を省略し、実施形態４の表示装置について実施形態１との相違点を中心に説明する。

[0072] 実施形態１において説明したように、インターレース方式で表示動作を行う場合、表示制御回路２４は、奇数フレーム（ｎフレーム、ｎ＋２フレーム）では、第２走査線選択回路２２２－２を常時オフ制御し、偶数フレーム（ｎ＋１フレーム、ｎ＋３フレーム）では、第１走査線選択回路２２２－１を常時オフ制御する。すなわち、奇数フレームでは、奇数行の走査線ＳＣＬにのみ走査信号Ｖｓｃａｎ（１，３，・・・，Ｍ－１）が供給され、偶数フレームでは、偶数行の走査線ＳＣＬにのみ走査信号Ｖｓｃａｎ（２，４，・・・，Ｍ）が供給される。

[0073] 本実施形態では、図２２に示すように、第２走査線選択回路２２２－２を常時オフ制御している奇数フレーム（ｎフレーム、ｎ＋２フレーム）において、奇数行の走査線ＳＣＬにのみ走査信号Ｖｓｃａｎ（１，３，・・・，Ｍ－１）が供給されている場合のみ、信号線選択制御信号ＡＳＷ（Ｒ），ＡＳＷ（Ｇ），ＡＳＷ（Ｂ）をオンオフ制御する。また、第１走査線選択回路２２２－１を常時オフ制御している偶数フレーム（ｎ＋１フレーム、ｎ＋３フレーム）において、偶数行の走査線ＳＣＬにのみ走査信号Ｖｓｃａｎ（２，４，・・・，Ｍ）が供給されている場合のみ、信号線選択制御信号ＡＳＷ（Ｒ），ＡＳＷ（Ｇ），ＡＳＷ（Ｂ）をオンオフ制御する。すなわち、走査信号Ｖｓｃａｎが供給されていないとき、図２２の破線で示したように、信号線選択制御信号ＡＳＷ（Ｒ），ＡＳＷ（Ｇ），ＡＳＷ（Ｂ）のオンオフ制御を行わない。これにより、画素Ｐｉｘを構成するスイッチ素子の充放電電流を抑制することができる。

[0074] なお、上述した実施形態では、奇数行の走査線ＳＣＬに供給する走査信号Ｖｓｃａｎ（１，３，・・・，Ｍ－１）を制御する走査線選択信号ＥＮＢ１と、偶数行の走査線ＳＣＬに供給する走査信号Ｖｓｃａｎ（２，４，・・・，Ｍ）を制御する走査線選択信号ＥＮＢ２とをそれぞれ１つずつ設けた例を

示したが、これに限らない。奇数行用の走査線選択信号ＥＮＢ１及び偶数行用の走査線選択信号ＥＮＢ２をそれぞれ複数設けた構成であっても良い。

[0075] また、実施形態２において説明した、第１基板１１上の表示領域２１の対向する２辺に第１ゲートドライバ２２－１及び第２ゲートドライバ２２－２を備えた構成では、第１ゲートドライバ２２－１に奇数行の走査線ＳＣＬが接続され、第２ゲートドライバ２２－２に偶数行の走査線ＳＣＬが接続された態様を示したが、全ての走査線ＳＣＬが第１ゲートドライバ２２－１及び第２ゲートドライバ２２－２の双方に接続された態様であっても良い。

[0076] また、実施形態３では、制御装置２からのフレームレート変更信号を検出して生成されたフレームレート変更フラグＦＣＦに基づき、インターレース方式での表示動作からノンインターレース方式での表示動作に切り替える例について説明したが、フレームレート変更フラグＦＣＦに応じて、表示動作の方式を変更するようにしても良い。例えば、ノンインターレース方式での表示動作を行っている場合に、フレームレート変更フラグＦＣＦが立ち上がった場合にインターレース方式での表示動作に切り替えることが出来るようにしても良い。

[0077] また、実施形態４では、映像信号Ｓｏｕｒｃｅのブランク期間が閾期間Ｔｗｔｈ以上であることを検出して生成されたフレームレート変更フラグＦＣＦに基づき、インターレース方式での表示動作からノンインターレース方式での表示動作に切り替える例について説明したが、フレームレート変更フラグＦＣＦに応じて、表示動作の方式を変更するようにしても良い。例えば、ノンインターレース方式での表示動作を行っている場合に、映像信号Ｓｏｕｒｃｅのブランク期間Ｔｗ２が閾期間Ｔｗｔｈ２未満である場合には、フレームレート変更フラグＦＣＦ２が立ち上がり、インターレース方式での表示動作に切り替えることが出来るようにしても良い。また、映像信号Ｓｏｕｒｃｅのブランク期間Ｔｗが閾期間Ｔｗｔｈ未満である場合には、フレームレート変更フラグが生成されない。この場合に、ノンインターレース方式での表示動作からインターレース方式での表示動作に切り替える態様とすれば良

い。

[0078] 上述した実施形態は、各構成要素を適宜組み合わせることが可能である。また、本実施形態において述べた態様によりもたらされる他の作用効果について本明細書記載から明らかなもの、又は当業者において適宜想到し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0079] １，１ａ　表示装置

２　制御装置

３　ドライバＩＣ

１１　第１基板

１２　中継基板

２１　表示領域

２２　ゲートドライバ

２２－１　第１ゲートドライバ

２２－２　第２ゲートドライバ

２３　信号線選択回路

２４　表示制御回路

２２１　シフトレジスタ

２２１－１　第１シフトレジスタ

２２１－２　第２シフトレジスタ

２２２－１　第１走査線選択回路

２２２－２　第２走査線選択回路

２４１　バッファアンプ

２４２　反転バッファアンプ

２４３　画像処理回路

２４４，２４４ａ　フラグ生成回路

２４５　バッファメモリ

ＳＣＬ　走査線

ＤＴＬ　信号線

ＦＣＣ　フレームレート変更信号

ＦＣＦ　フレームレート変更フラグ

Ｐｉｘ　画素

Ｓｏｕｒｃｅ　映像信号

Ｖｓｃａｎ　走査信号

Ｖｓｉｇ　画像信号

Ｖｐｉｘ　画素信号

請求の範囲

[請求項1] 表示領域にマトリクス状に配置された複数の画素と、

前記表示領域において行方向に並ぶ前記各画素に接続され、走査信号が供給される走査線と、

前記表示領域において列方向に並ぶ前記各画素に接続され、画素信号が供給される信号線と、

奇数行の走査線に第１走査線選択回路を介して前記走査信号を供給し、偶数行の走査線に第２走査線選択回路を介して前記走査信号を供給するゲートドライバと、

画素信号を選択された信号線に供給する信号線選択回路と、

前記ゲートドライバ及び前記信号線選択回路を制御する表示制御回路と、

を備え、

前記表示制御回路は、

ノンインターレース方式で表示動作を行う場合に、前記第１走査線選択回路及び前記第２走査線選択回路は、１水平周期ごとに交互に偶数列および奇数列の前記走査線に前記走査信号を供給し、

インターレース方式で表示動作を行う場合に、奇数フレームにおいて、前記第１走査線選択回路は、奇数行の前記走査線に前記走査信号を供給し、前記第２走査線選択回路は、偶数列の前記走査線への前記走査信号の供給を停止し、偶数フレームにおいて、前記第１走査線選択回路は、奇数行の前記走査線への前記走査信号の供給を停止し、前記第２走査線選択回路は、偶数列の前記走査線に前記走査信号を供給する、

表示装置。

[請求項2] 表示領域にマトリクス状に配置された複数の画素と、

前記表示領域において行方向に並ぶ前記各画素に接続され、走査信号が供給される走査線と、

前記表示領域において列方向に並ぶ前記各画素に接続され、画素信号が供給される信号線と、

奇数行の走査線に第１走査線選択回路を介して前記走査信号を供給する第１ゲートドライバと、

偶数行の走査線に第２走査線選択回路を介して前記走査信号を供給する第２ゲートドライバと、

画素信号を選択された信号線に供給する信号線選択回路と、

前記第１ゲートドライバ、前記第２ゲートドライバ、及び前記信号線選択回路を制御する表示制御回路と、

を備え、

前記表示制御回路は、

ノンインターレース方式で表示動作を行う場合に、前記第１走査線選択回路及び前記第２走査線選択回路は、１水平周期ごとに交互に偶数列および奇数列の前記走査線に前記走査信号を供給し、

インターレース方式で表示動作を行う場合に、奇数フレームにおいて、前記第１走査線選択回路は、奇数行の前記走査線に前記走査信号を供給し、前記第２走査線選択回路は、偶数列の前記走査線への前記走査信号の供給を停止し、偶数フレームにおいて、前記第１走査線選択回路は、奇数行の前記走査線への前記走査信号の供給を停止し、前記第２走査線選択回路は、偶数列の前記走査線に前記走査信号を供給する、

表示装置。

[請求項3] 前記表示制御回路は、

ノンインターレース方式で表示動作を行う場合に、１フレームごとに前記画素信号の極性が反転するカラム反転駆動方式により表示動作を行い、

インターレース方式で表示動作を行う場合に、２フレームごとに前記画素信号の極性が反転するカラム反転駆動方式により表示動作を行

う、

請求項１又は２に記載の表示装置。

[請求項4] 前記表示制御回路は、

前記映像信号のフレームレートが第１フレームレートである場合にノンインターレース方式で表示動作を行い、

前記映像信号のフレームレートが前記第１フレームレートよりも高い第２フレームレートである場合にインターレース方式で表示動作を行う、

請求項１又は２に記載の表示装置。

[請求項5] 前記表示制御回路は、外部からのフレームレート変更信号に応じて、ノンインターレース方式での表示動作とインターレース方式での表示動作とを切り替える、

請求項１又は２に記載の表示装置。

[請求項6] 前記表示制御信号は、供給された映像信号に基づいて画素信号を生成し、

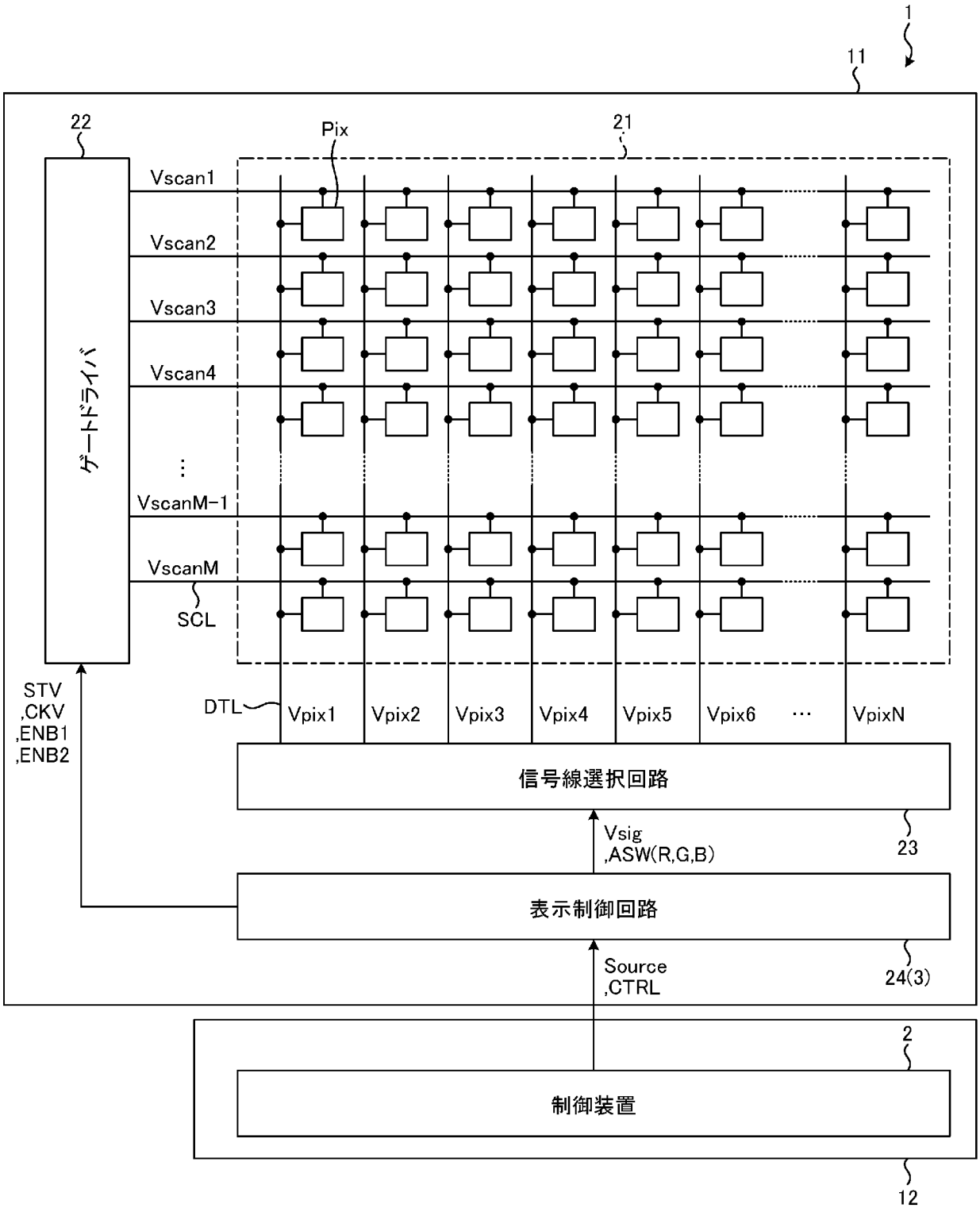
前記表示制御回路は、前記映像信号に応じて、ノンインターレース方式での表示動作とインターレース方式での表示動作とを切り替える、

請求項１又は２に記載の表示装置。

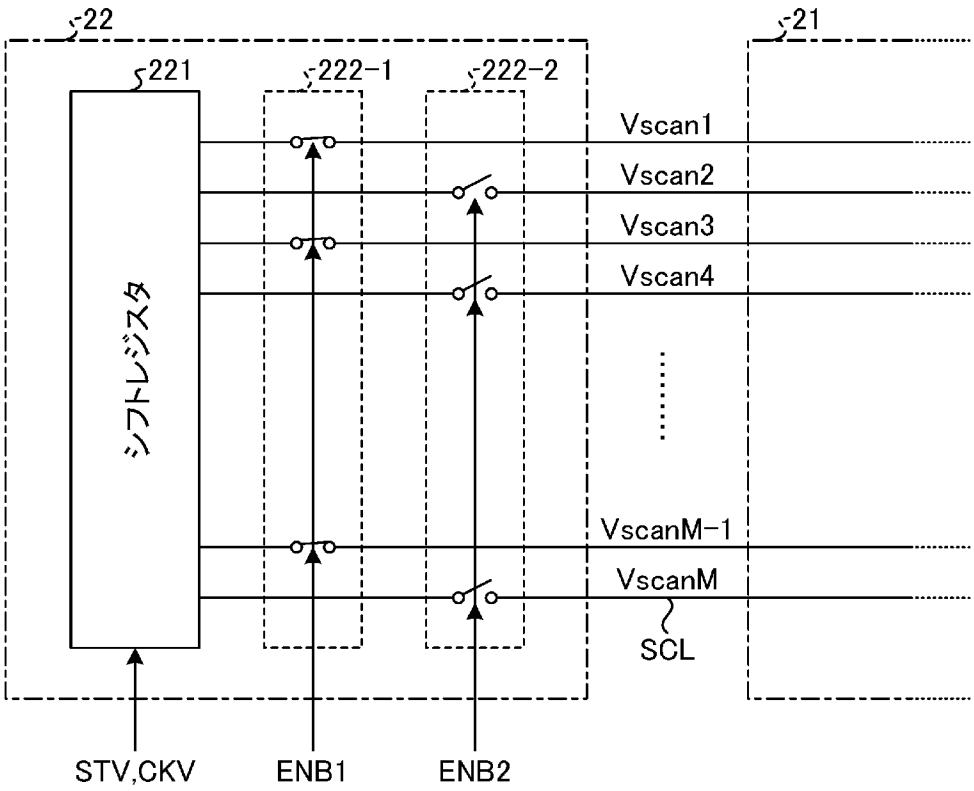
[請求項7] 前記表示制御回路は、前記映像信号のブランク期間が所定の閾期間以上である場合に、インターレース方式での表示動作からノンインターレース方式での表示動作に切り替え、前記映像信号のブランク期間が所定の閾期間未満である場合に、ノンインターレース方式での表示動作からインターレース方式での表示動作に切り替える、

請求項６に記載の表示装置。

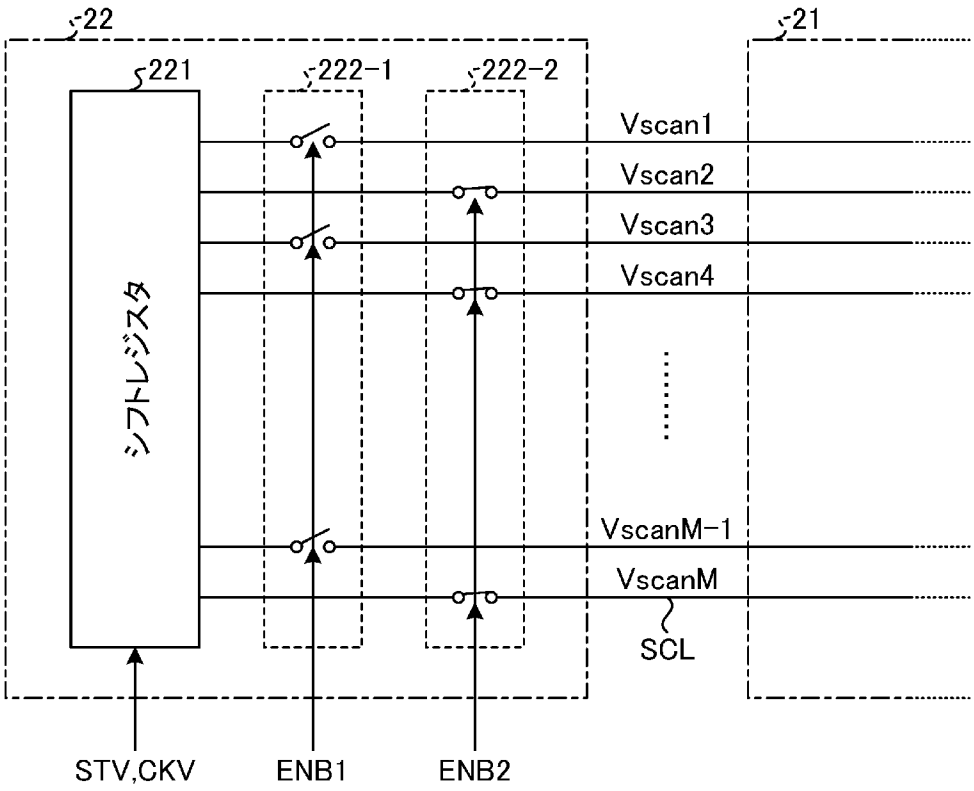
[図1]


1
11
22
Pix
21
Vscan1
Vscan2
Vscan3
Vscan4
VscanM-1
VscanM
SCL
ゲートドライバ
STV
,CKV
,ENB1
,ENB2
DTL
Vpix1
Vpix2
Vpix3
Vpix4
Vpix5
Vpix6
VpixN
信号線選択回路
Vsig
,ASW(R,G,B)
23
表示制御回路
Source
,CTRL
24(3)
2
制御装置
12

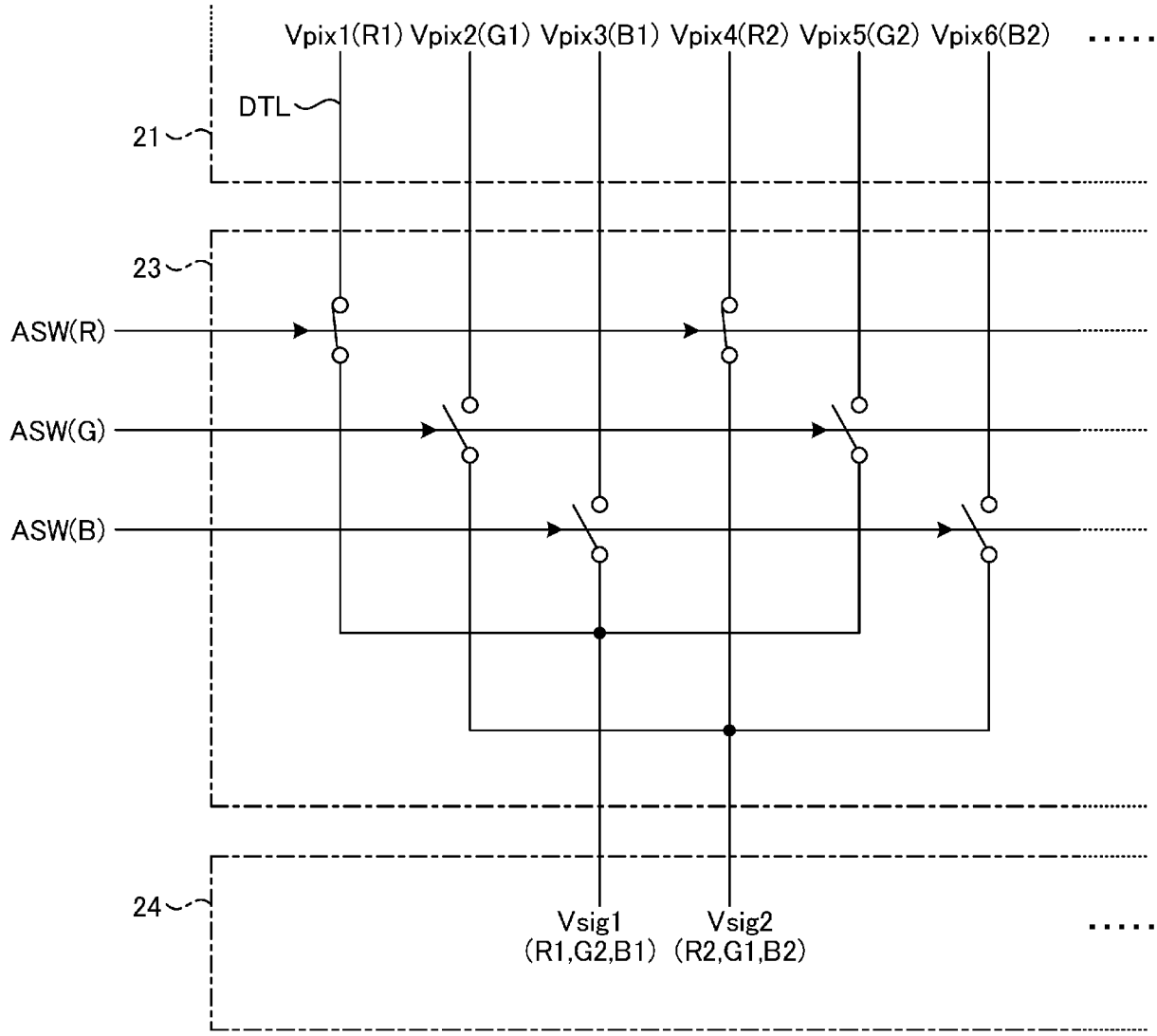
[図2A]


22
21
221
222-1
222-2
シフトレジスタ
Vscan1
Vscan2
Vscan3
Vscan4
VscanM-1
VscanM
SCL
STV,CKV
ENB1
ENB2

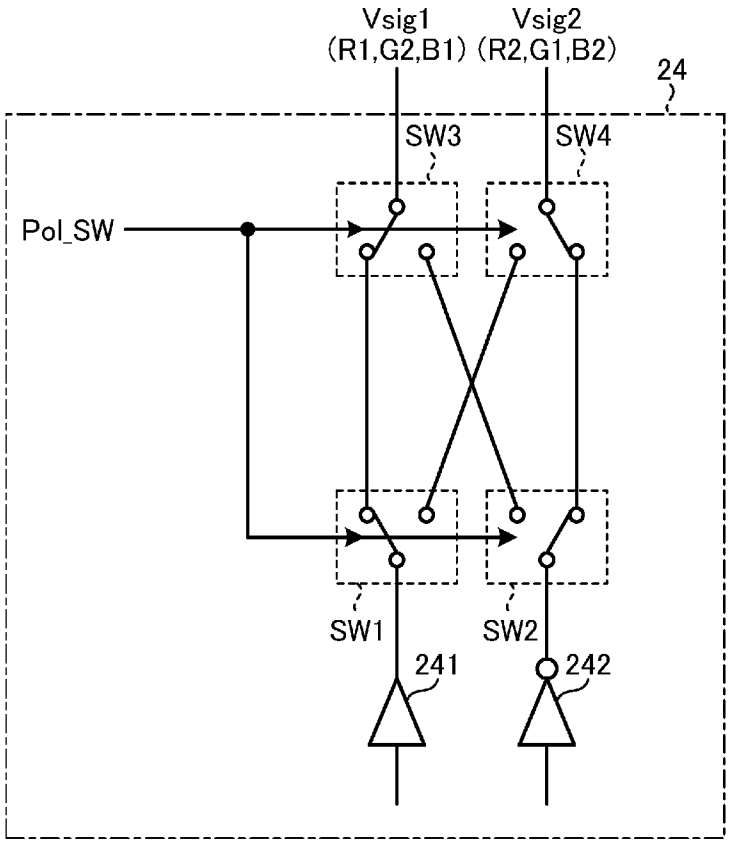
[図2B]


22
21
221
222-1
222-2
シフトレジスタ
Vscan1
Vscan2
Vscan3
Vscan4
VscanM-1
VscanM
SCL
STV,CKV
ENB1
ENB2

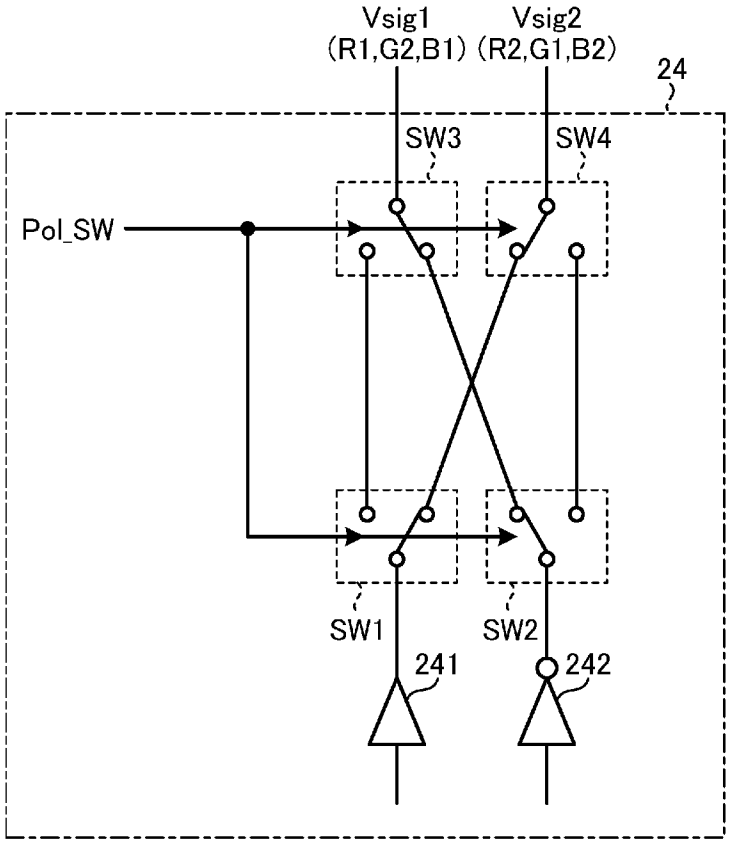
[図3]


Vpix1(R1)
Vpix2(G1)
Vpix3(B1)
Vpix4(R2)
Vpix5(G2)
Vpix6(B2)
DTL
21
23
ASW(R)
ASW(G)
ASW(B)
24
Vsig1
(R1,G2,B1)
Vsig2
(R2,G1,B2)

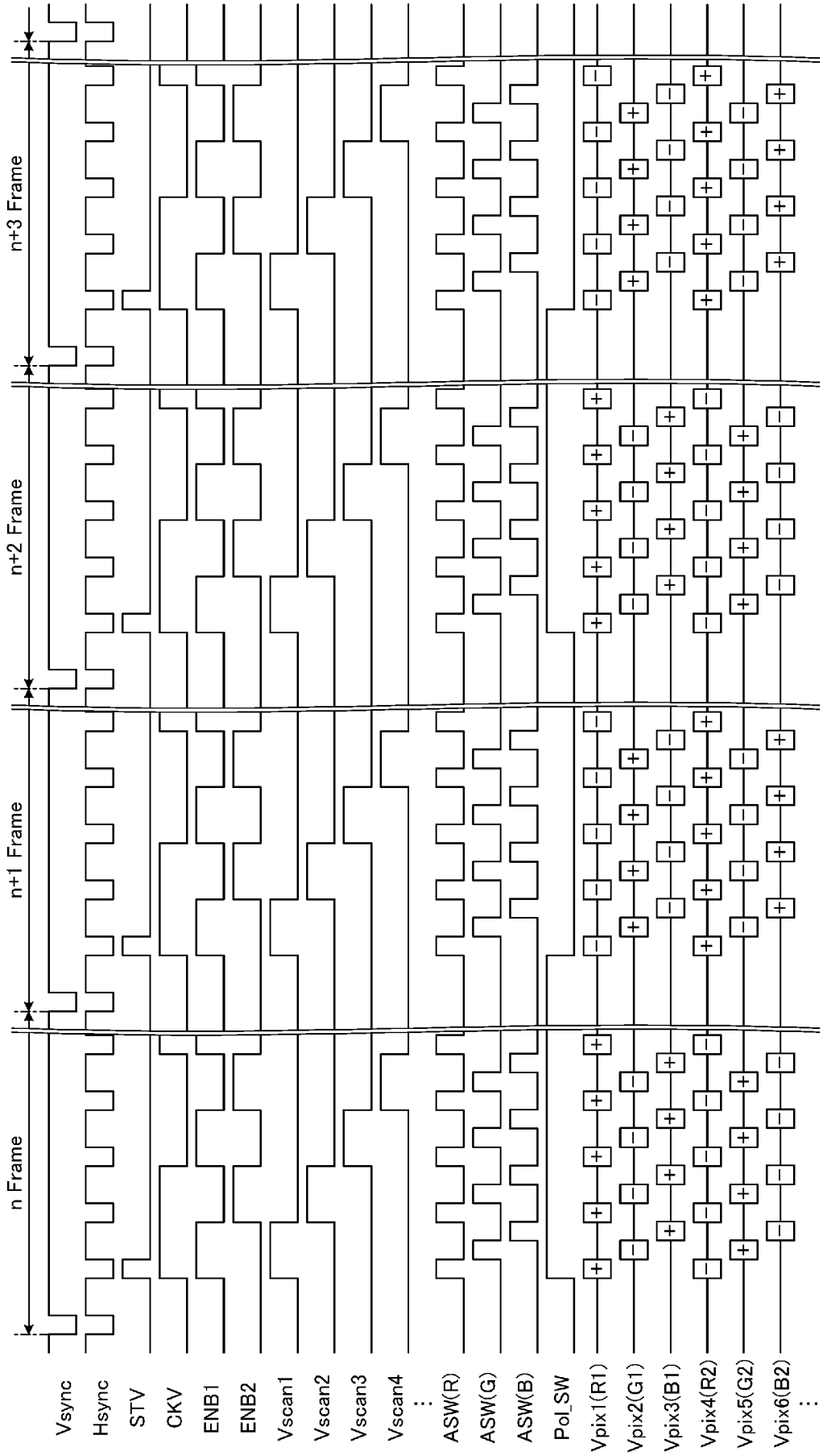
[図4]


Vsig1
(R1,G2,B1)
Vsig2
(R2,G1,B2)
24
SW3
SW4
Pol_SW
SW1
SW2
241
242

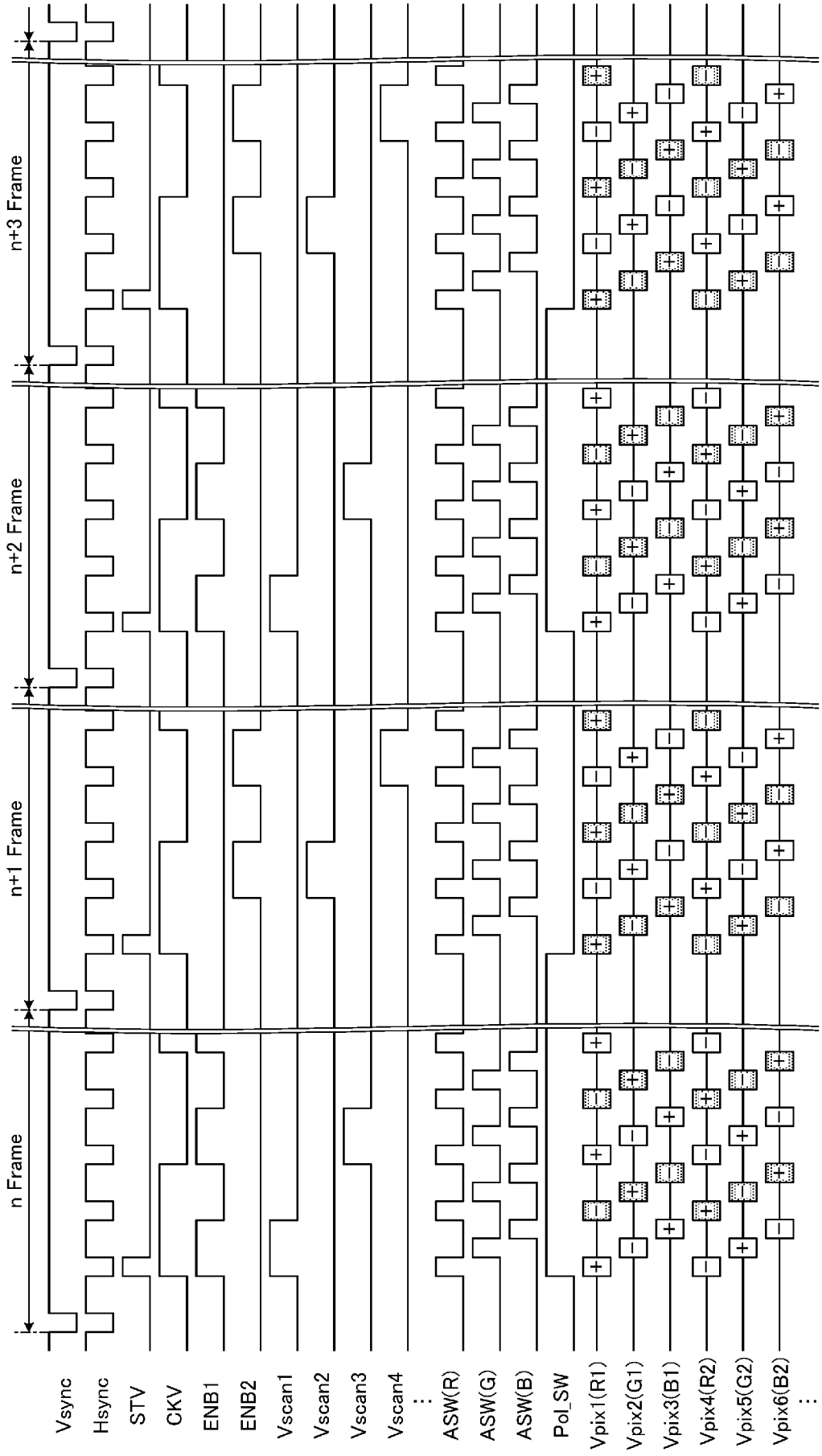
[図5]


Vsig1
(R1,G2,B1)
Vsig2
(R2,G1,B2)
24
SW3
SW4
Pol_SW
SW1
SW2
241
242

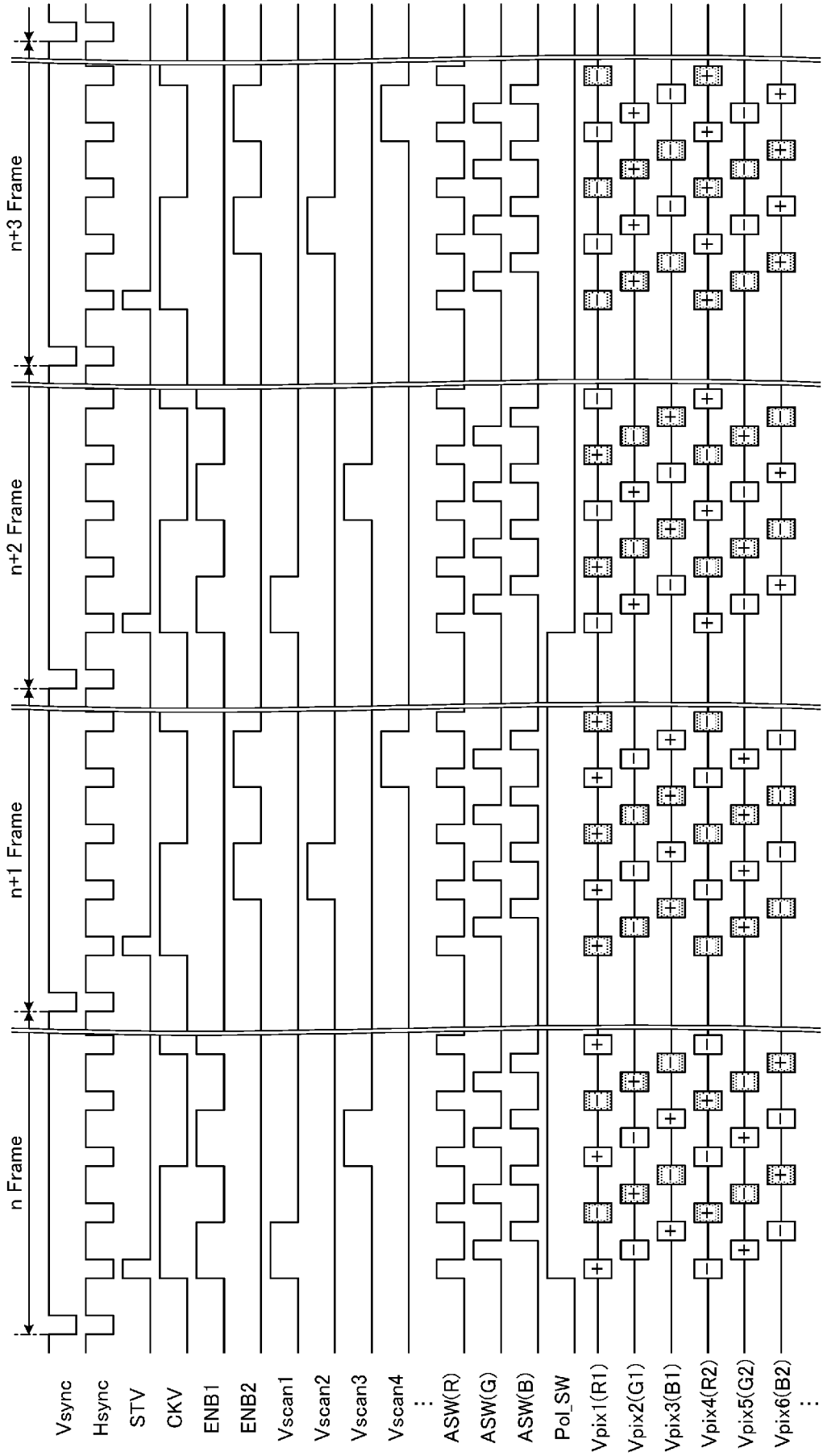
[図6]


n Frame
n+1 Frame
n+2 Frame
n+3 Frame
Vsync
Hsync
STV
CKV
ENB1
ENB2
Vscan1
Vscan2
Vscan3
Vscan4
…
ASW(R)
ASW(G)
ASW(B)
Pol_SW
Vpix1(R1)
Vpix2(G1)
Vpix3(B1)
Vpix4(R2)
Vpix5(G2)
Vpix6(B2)
…

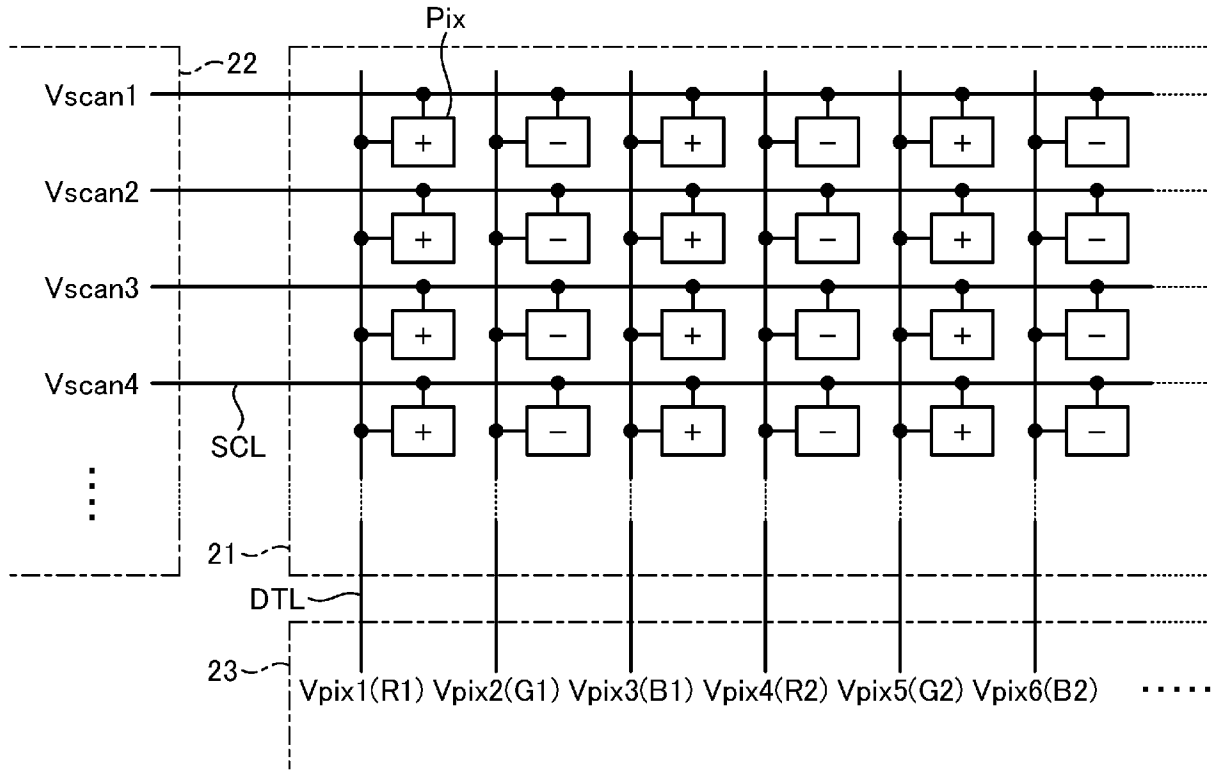
[図7]


n Frame
n+1 Frame
n+2 Frame
n+3 Frame
Vsync
Hsync
STV
CKV
ENB1
ENB2
Vscan1
Vscan2
Vscan3
Vscan4
…
ASW(R)
ASW(G)
ASW(B)
Pol_SW
Vpix1(R1)
Vpix2(G1)
Vpix3(B1)
Vpix4(R2)
Vpix5(G2)
Vpix6(B2)
…

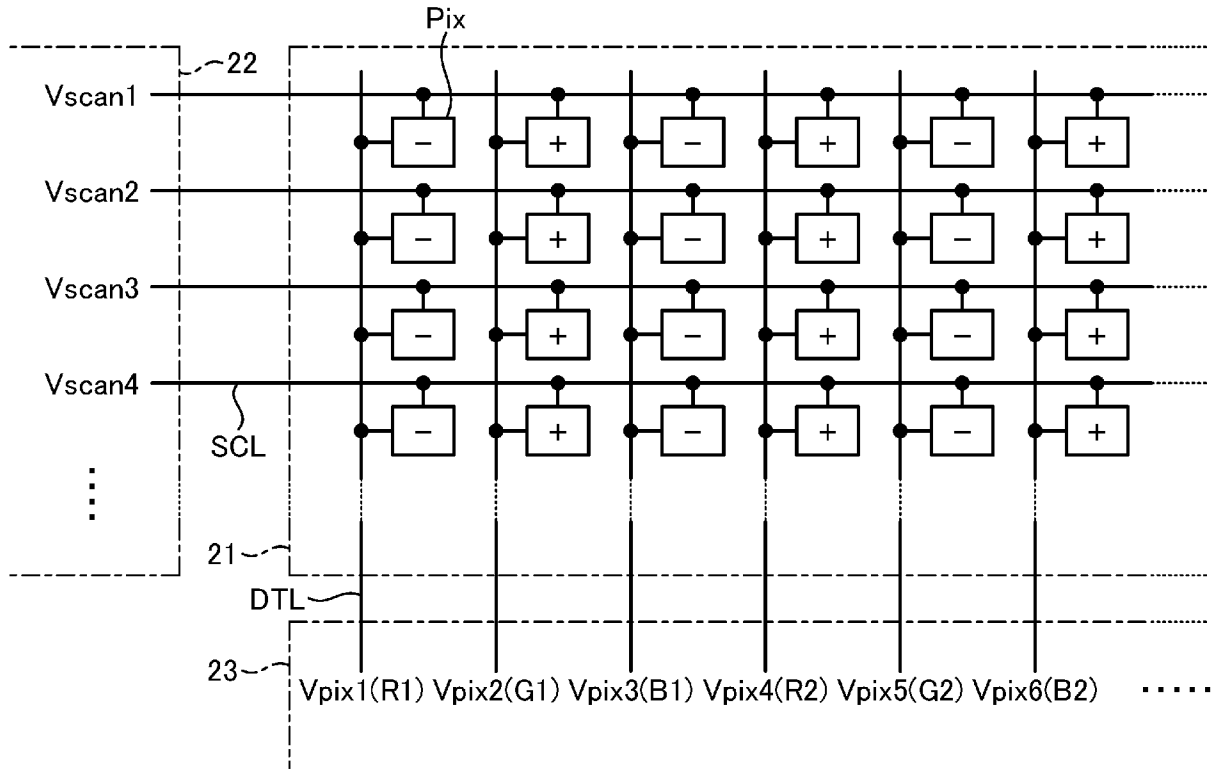
[図8]


n Frame
n+1 Frame
n+2 Frame
n+3 Frame
Vsync
Hsync
STV
CKV
ENB1
ENB2
Vscan1
Vscan2
Vscan3
Vscan4
…
ASW(R)
ASW(G)
ASW(B)
Pol_SW
Vpix1(R1)
Vpix2(G1)
Vpix3(B1)
Vpix4(R2)
Vpix5(G2)
Vpix6(B2)
…

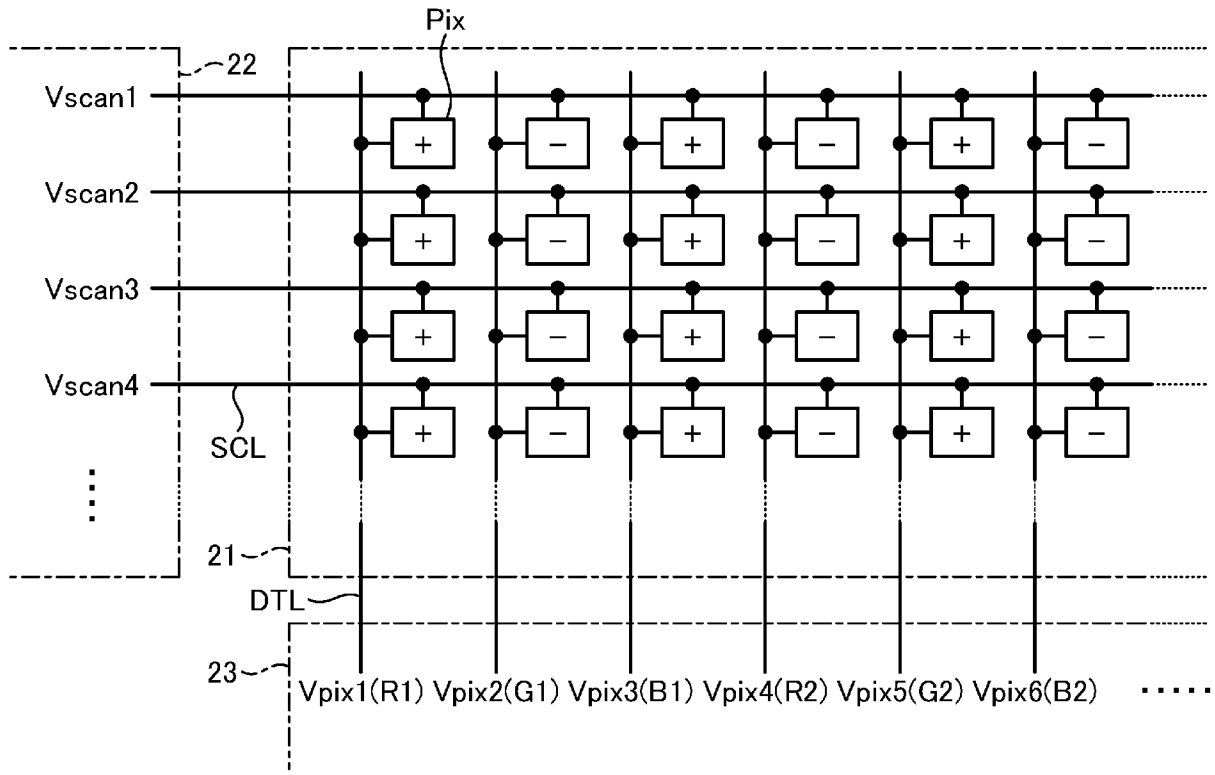
[図9A]


Pix
22
Vscan1
Vscan2
Vscan3
Vscan4
SCL
21
DTL
23
Vpix1(R1) Vpix2(G1) Vpix3(B1) Vpix4(R2) Vpix5(G2) Vpix6(B2)

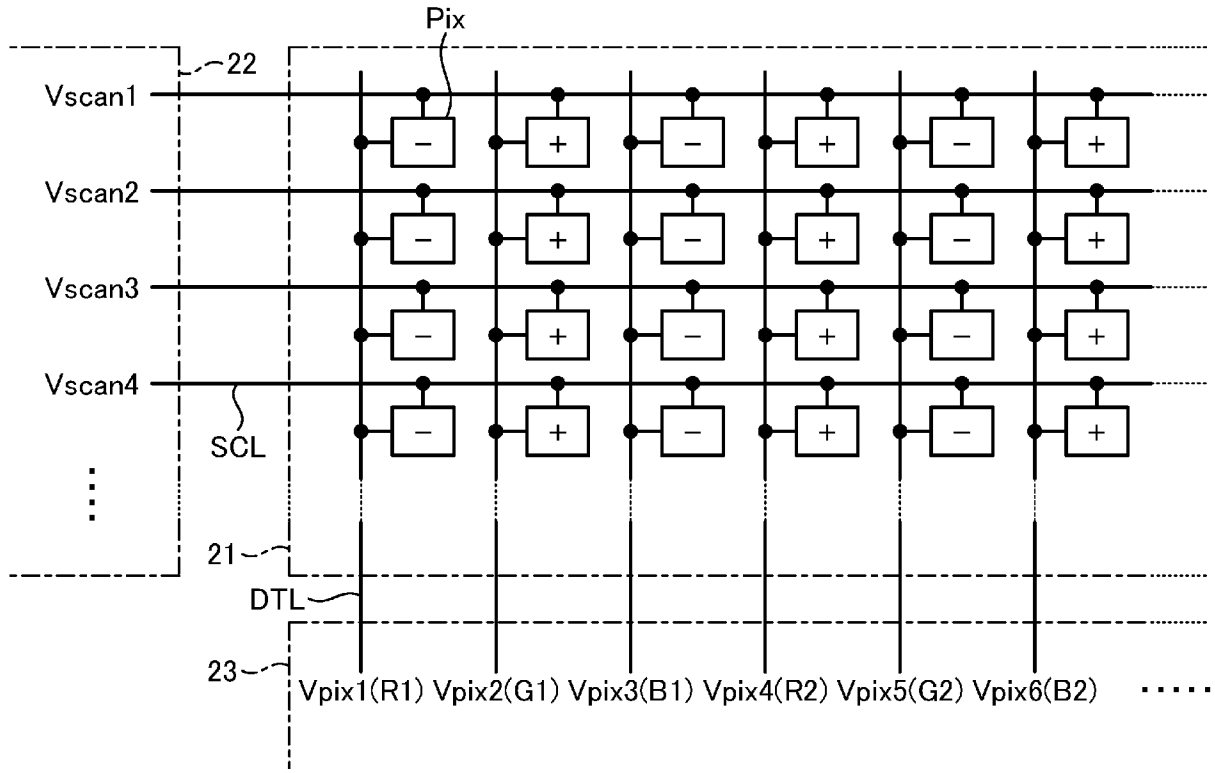
[図9B]


Pix
22
Vscan1
Vscan2
Vscan3
Vscan4
SCL
21
DTL
23
Vpix1(R1) Vpix2(G1) Vpix3(B1) Vpix4(R2) Vpix5(G2) Vpix6(B2)

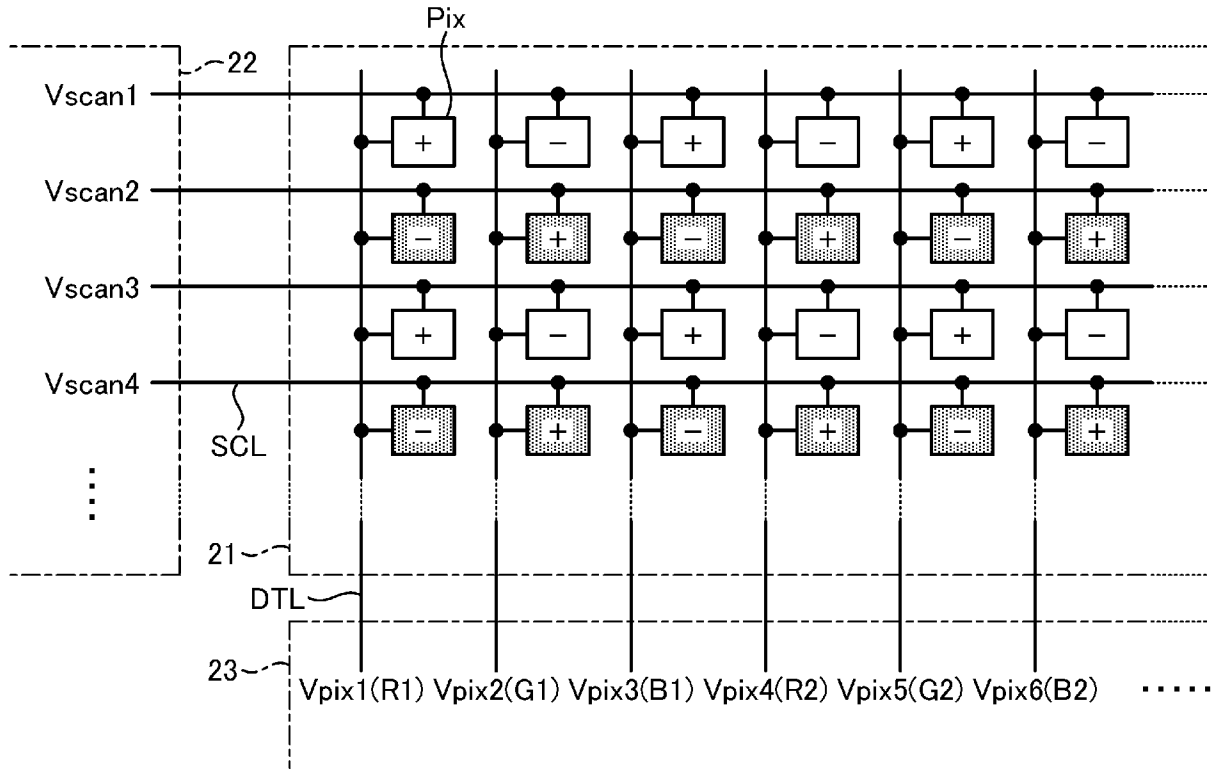
[図9C]


Pix
22
Vscan1
Vscan2
Vscan3
Vscan4
SCL
21
DTL
23
Vpix1(R1) Vpix2(G1) Vpix3(B1) Vpix4(R2) Vpix5(G2) Vpix6(B2)

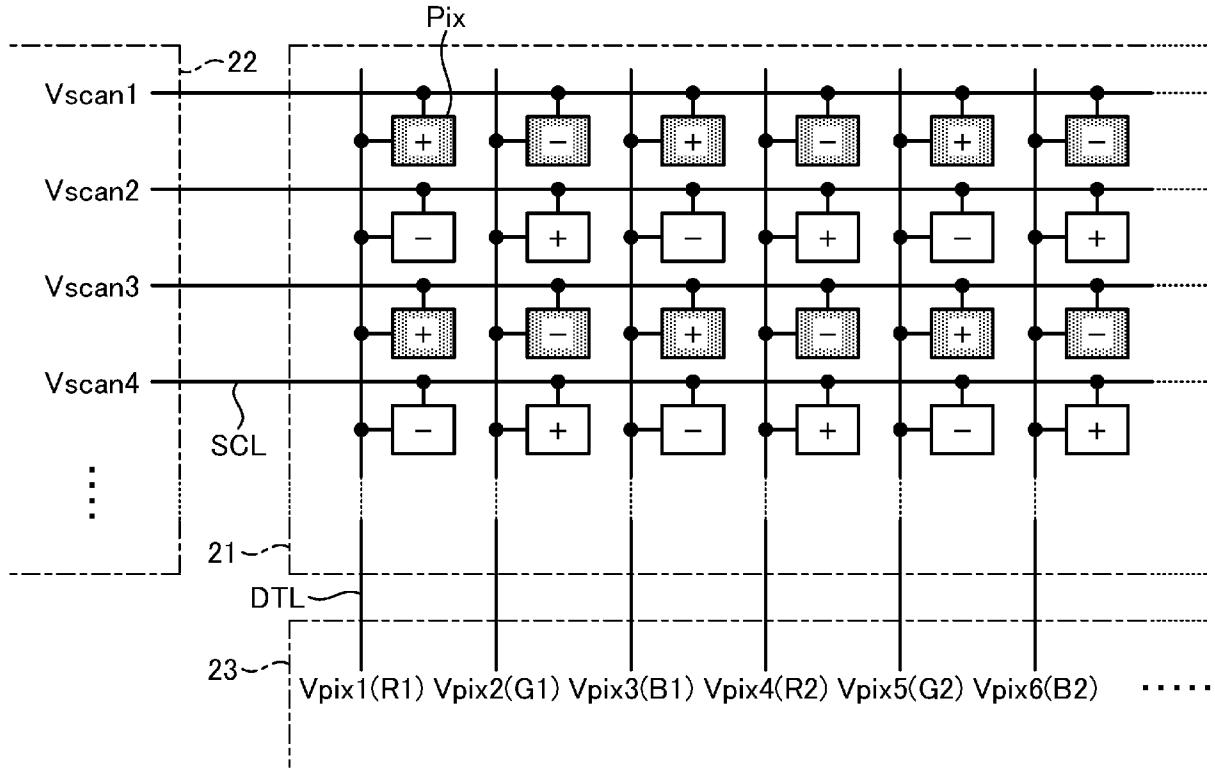
[図9D]


Pix
22
Vscan1
Vscan2
Vscan3
Vscan4
SCL
21
DTL
23
Vpix1(R1) Vpix2(G1) Vpix3(B1) Vpix4(R2) Vpix5(G2) Vpix6(B2)

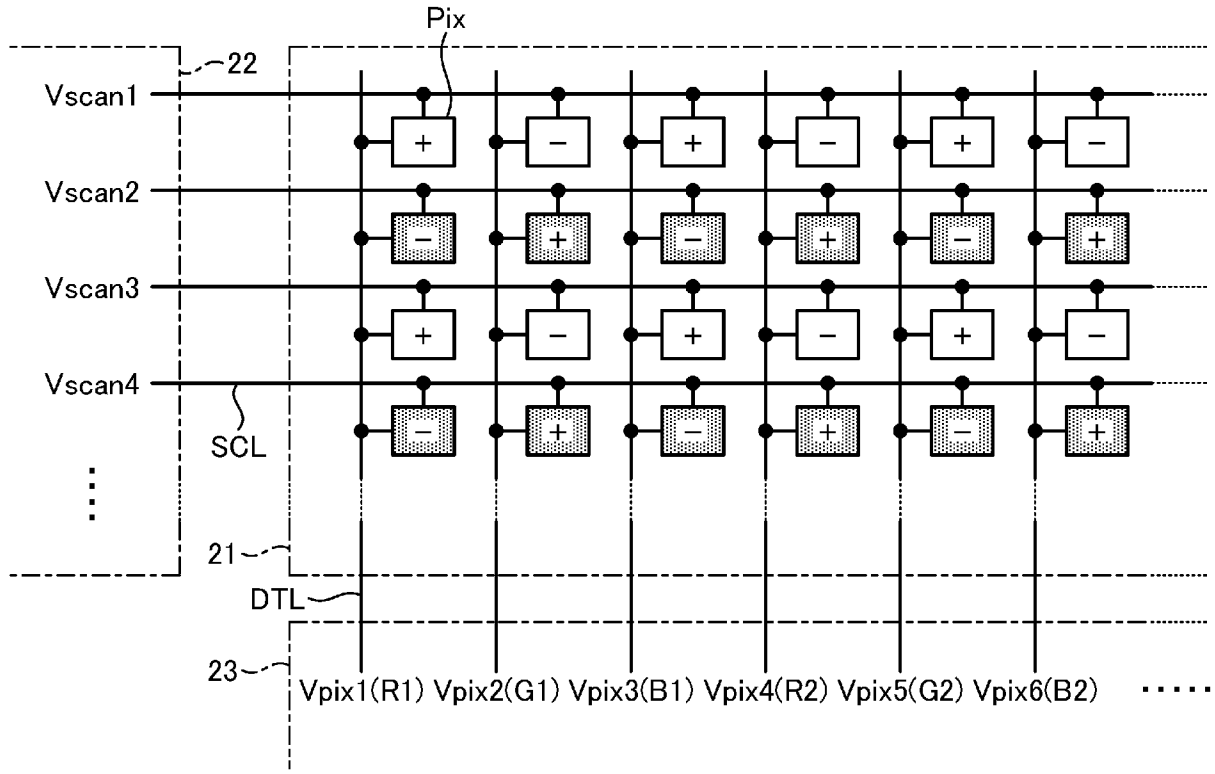
[図10A]


Pix
22
Vscan1
Vscan2
Vscan3
Vscan4
SCL
21
DTL
23
Vpix1(R1) Vpix2(G1) Vpix3(B1) Vpix4(R2) Vpix5(G2) Vpix6(B2)

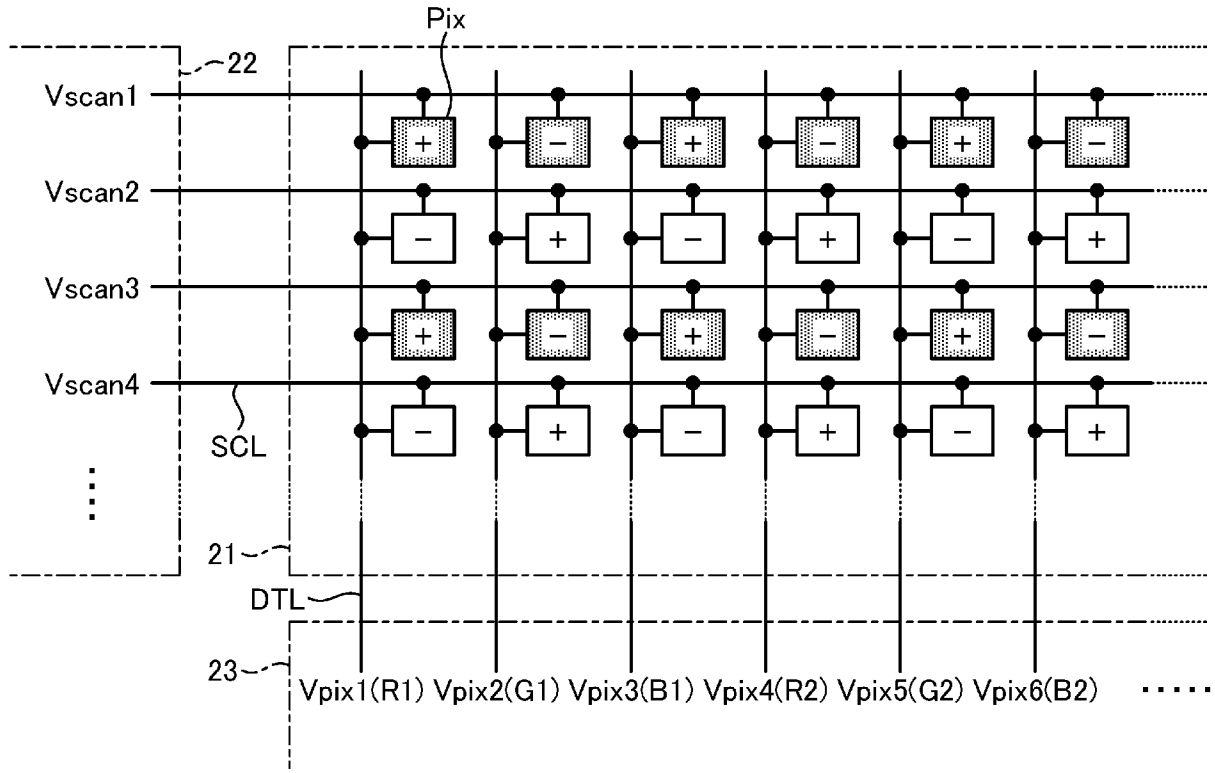
[図10B]


Pix
22
Vscan1
Vscan2
Vscan3
Vscan4
SCL
21
DTL
23
Vpix1(R1) Vpix2(G1) Vpix3(B1) Vpix4(R2) Vpix5(G2) Vpix6(B2)

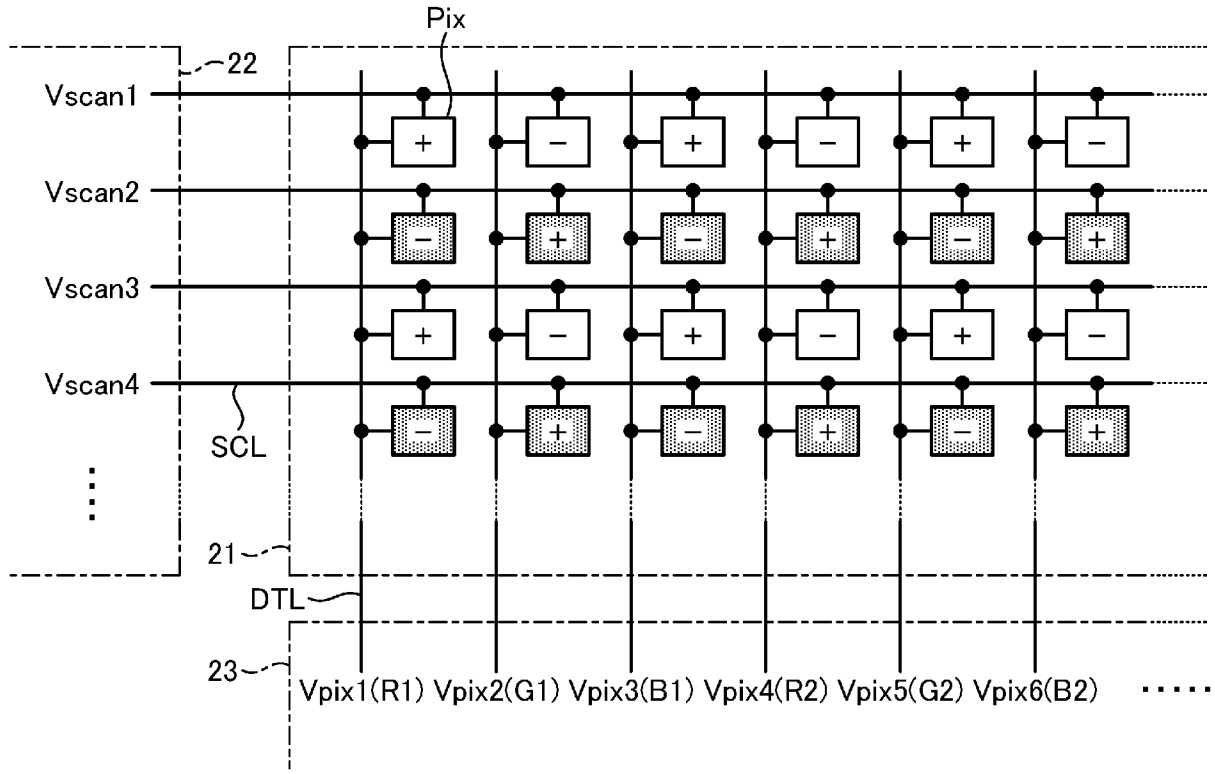
[図10C]


Pix
22
Vscan1
Vscan2
Vscan3
Vscan4
SCL
21
DTL
23
Vpix1(R1) Vpix2(G1) Vpix3(B1) Vpix4(R2) Vpix5(G2) Vpix6(B2)

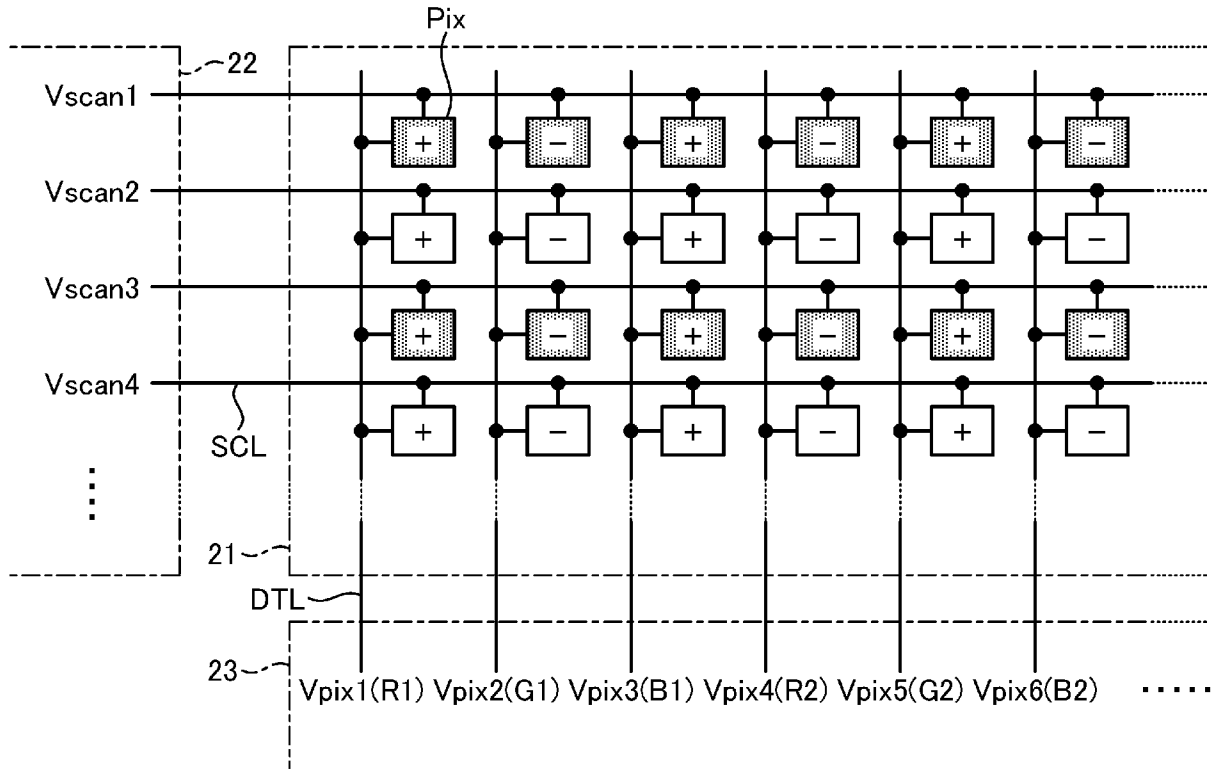
[図10D]


Pix
22
Vscan1
Vscan2
Vscan3
Vscan4
SCL
21
DTL
23
Vpix1(R1) Vpix2(G1) Vpix3(B1) Vpix4(R2) Vpix5(G2) Vpix6(B2)

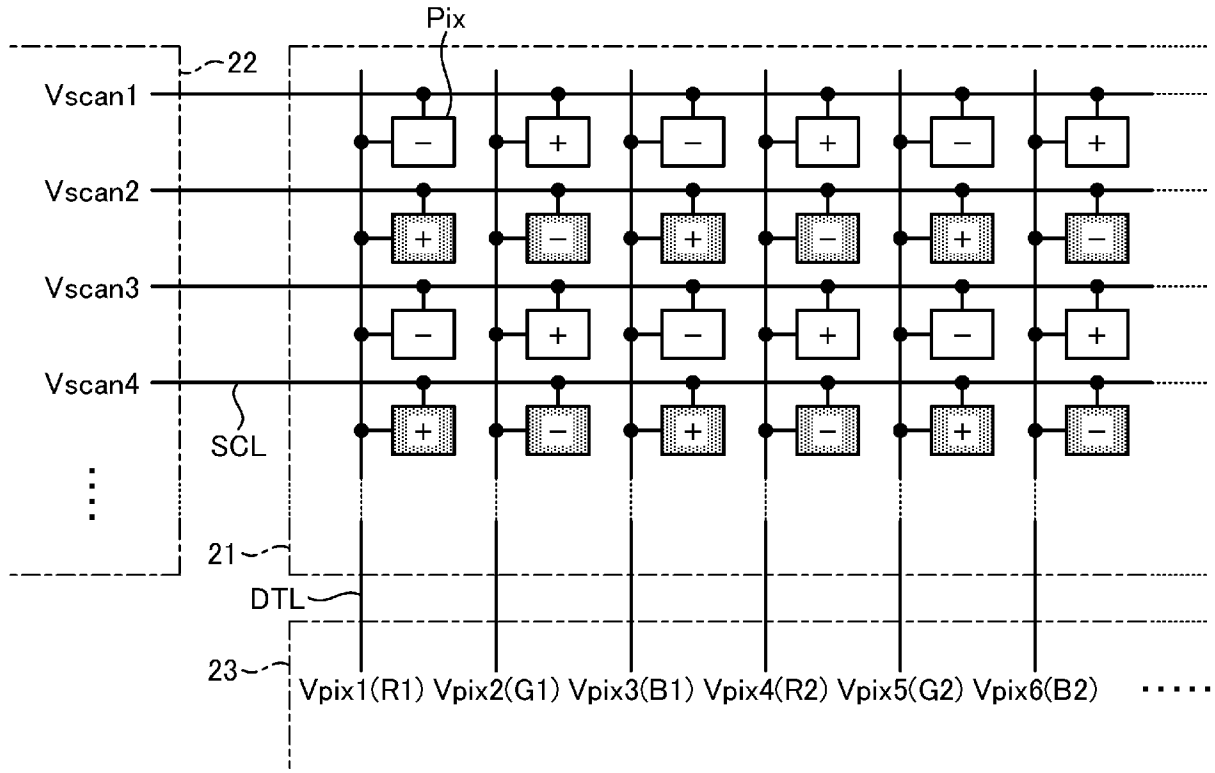
[図11A]


Pix
22
Vscan1
Vscan2
Vscan3
Vscan4
SCL
21
DTL
23
Vpix1(R1) Vpix2(G1) Vpix3(B1) Vpix4(R2) Vpix5(G2) Vpix6(B2)

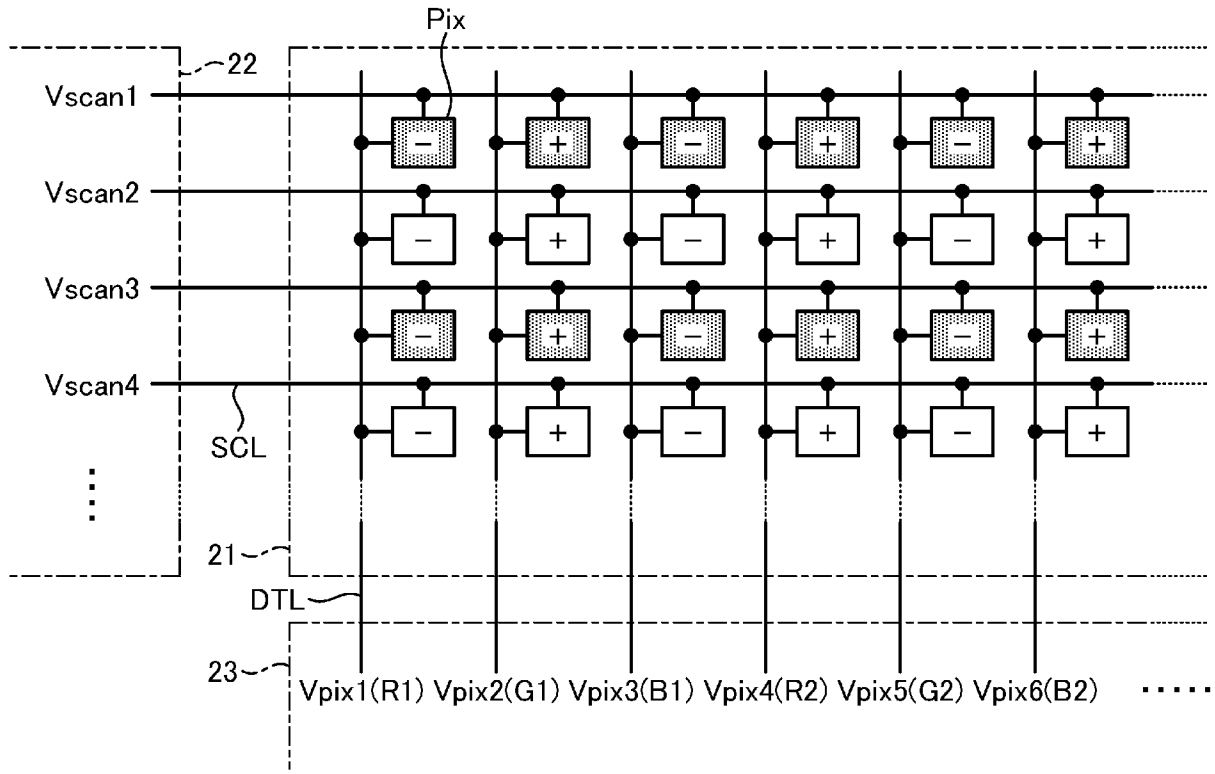
[図11B]


Pix
22
Vscan1
Vscan2
Vscan3
Vscan4
SCL
21
DTL
23
Vpix1(R1) Vpix2(G1) Vpix3(B1) Vpix4(R2) Vpix5(G2) Vpix6(B2)

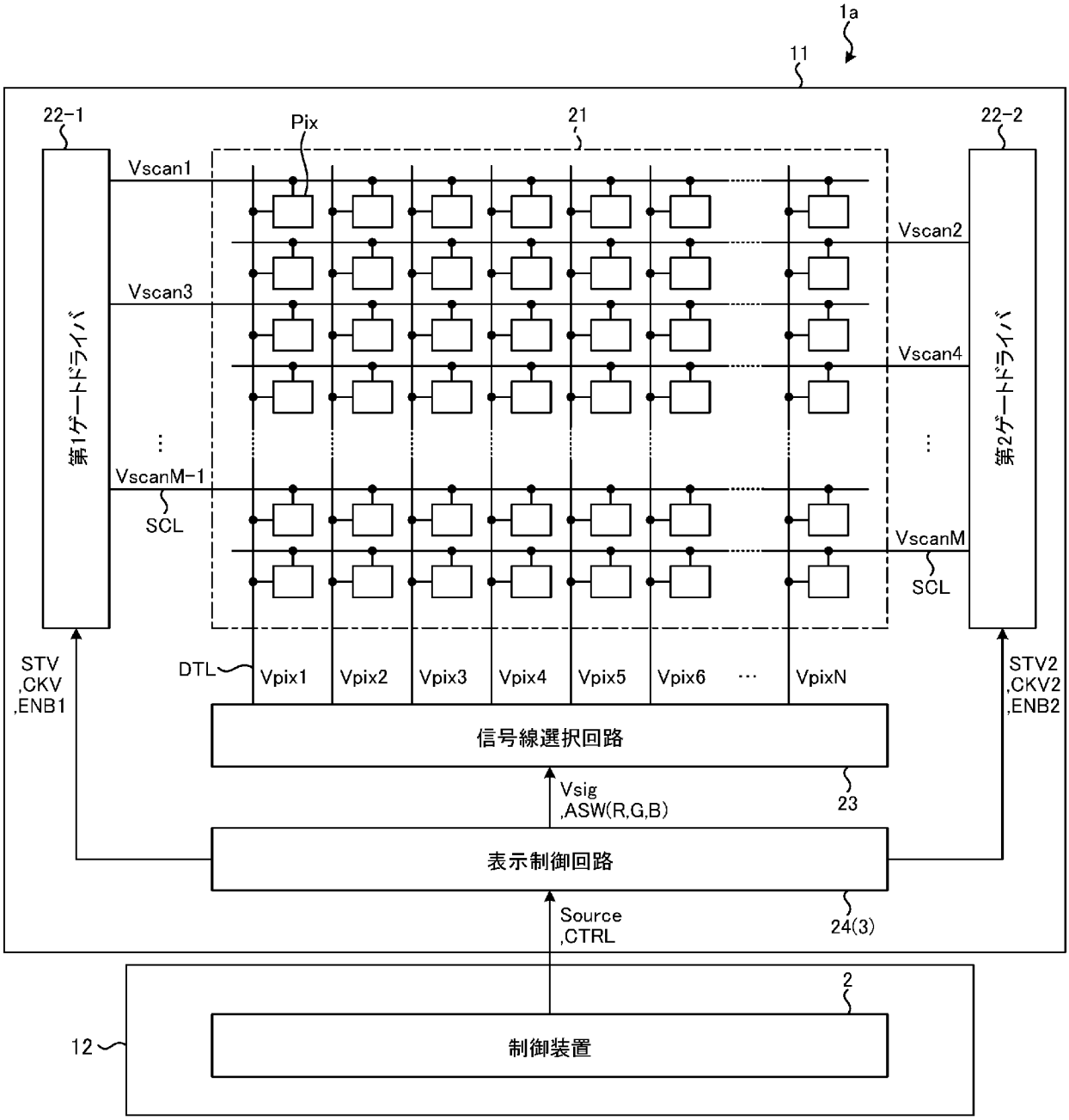
[図11C]


Pix
22
Vscan1
Vscan2
Vscan3
Vscan4
SCL
21
DTL
23
Vpix1(R1) Vpix2(G1) Vpix3(B1) Vpix4(R2) Vpix5(G2) Vpix6(B2)

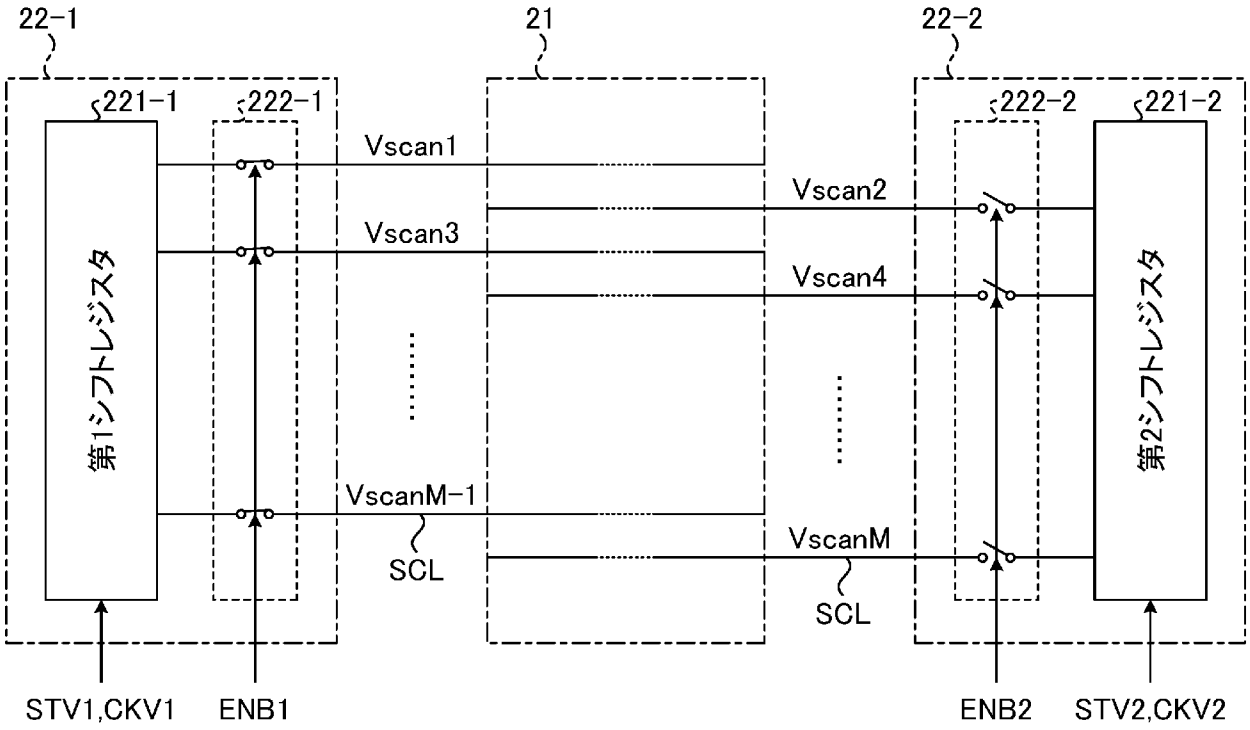
[図11D]


Pix
22
Vscan1
Vscan2
Vscan3
Vscan4
SCL
21
DTL
23
Vpix1(R1) Vpix2(G1) Vpix3(B1) Vpix4(R2) Vpix5(G2) Vpix6(B2)

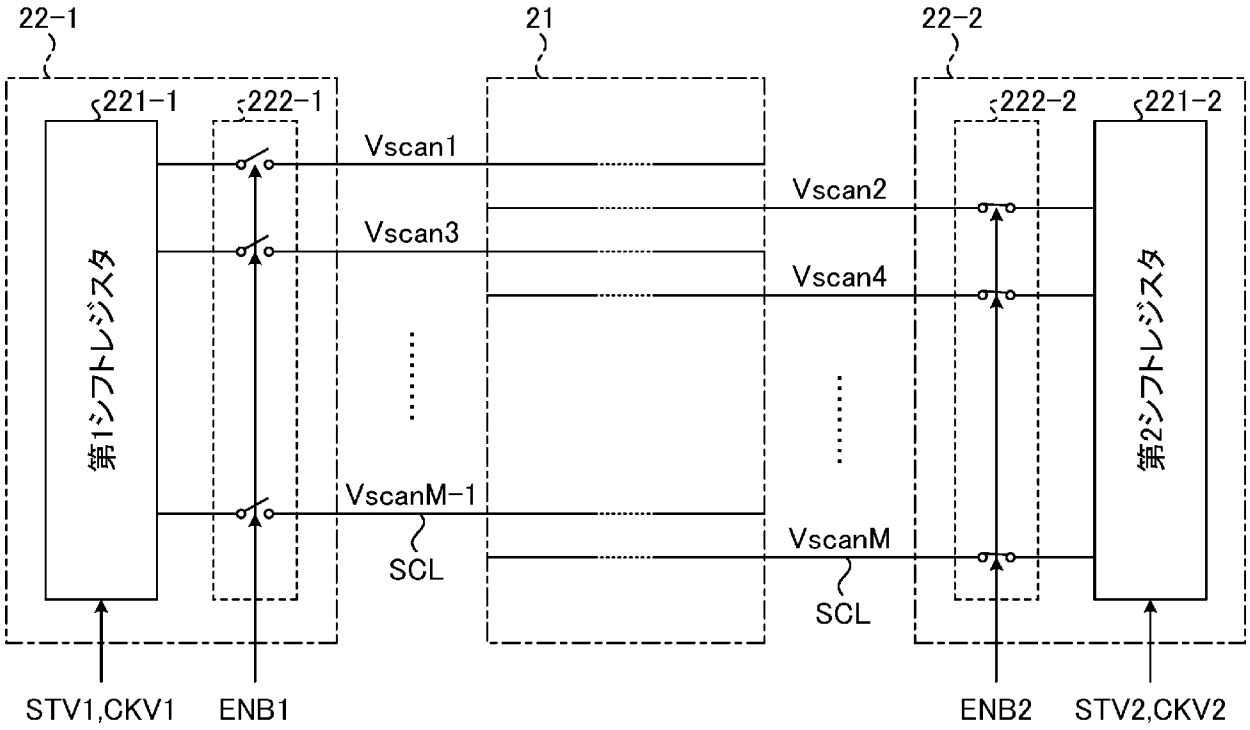
[図12]


1a
11
22-1
Pix
21
22-2
Vscan1
Vscan2
Vscan3
Vscan4
VscanM-1
VscanM
SCL
SCL
第1ゲートドライバ
第2ゲートドライバ
STV
,CKV
,ENB1
DTL
Vpix1
Vpix2
Vpix3
Vpix4
Vpix5
Vpix6
VpixN
STV2
,CKV2
,ENB2
信号線選択回路
Vsig
,ASW(R,G,B)
23
表示制御回路
Source
,CTRL
24(3)
2
12
制御装置

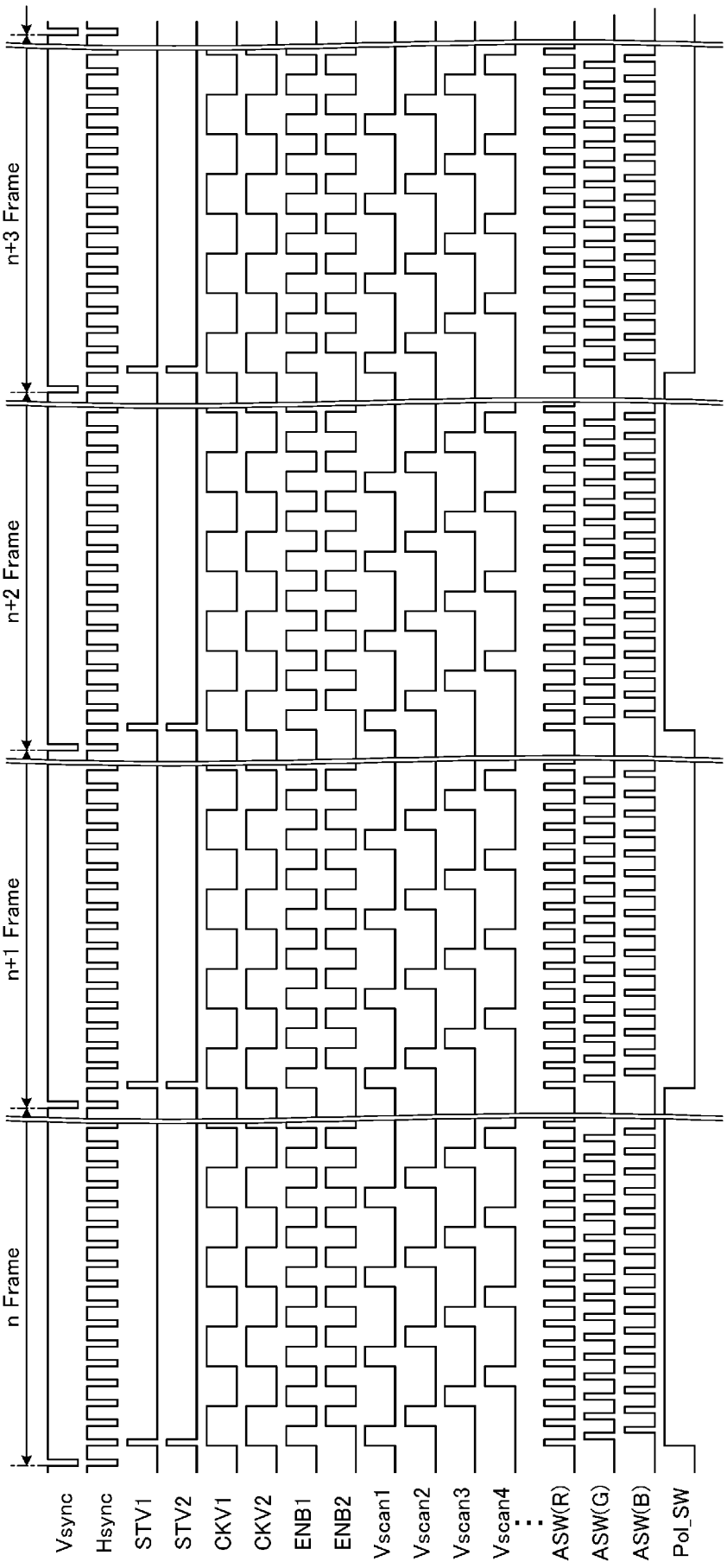
[図13A]


22-1
21
22-2
221-1
222-1
222-2
221-2
第1シフトレジスタ
第2シフトレジスタ
Vscan1
Vscan2
Vscan3
Vscan4
VscanM-1
VscanM
SCL
SCL
STV1,CKV1
ENB1
ENB2
STV2,CKV2

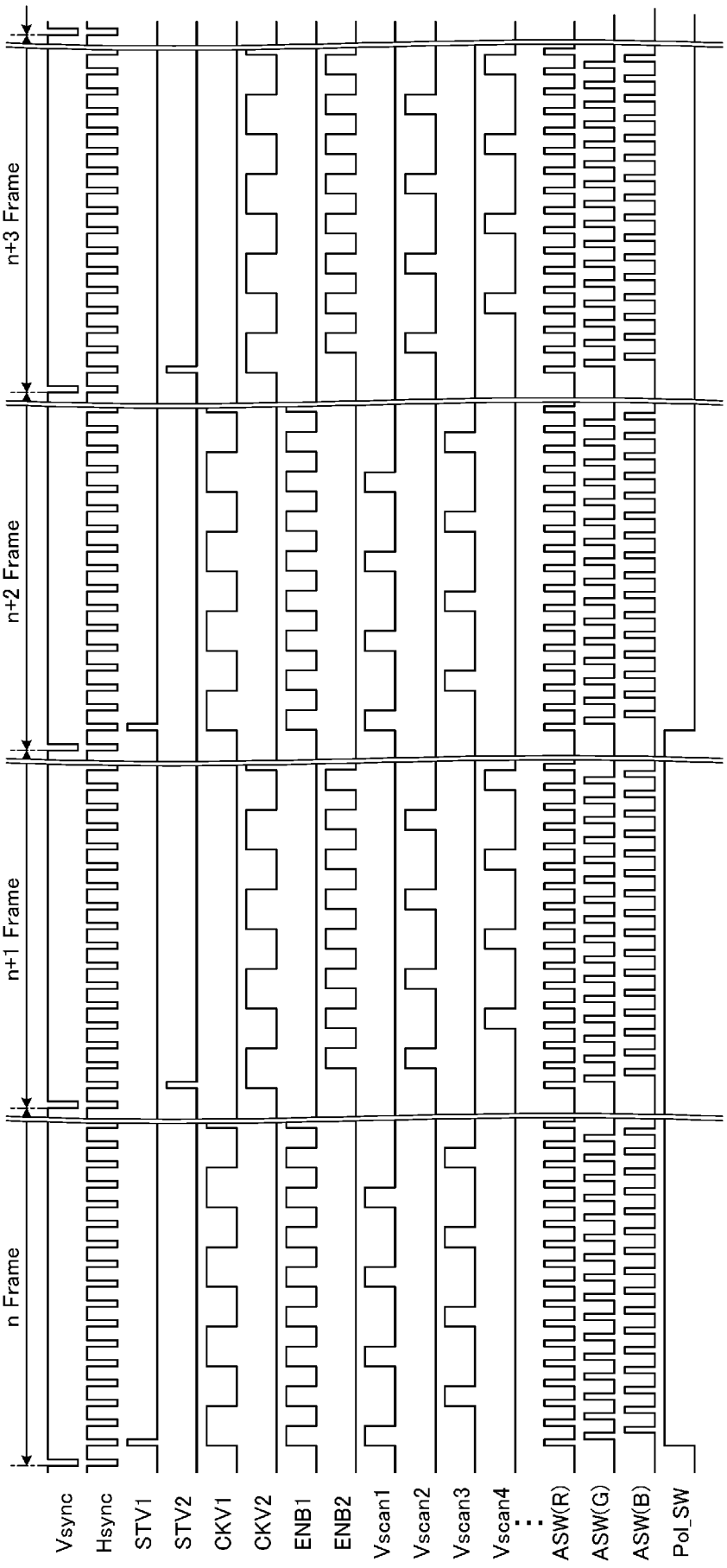
[図13B]


22-1
21
22-2
221-1
222-1
222-2
221-2
第1シフトレジスタ
第2シフトレジスタ
Vscan1
Vscan2
Vscan3
Vscan4
VscanM-1
VscanM
SCL
SCL
STV1,CKV1
ENB1
ENB2
STV2,CKV2

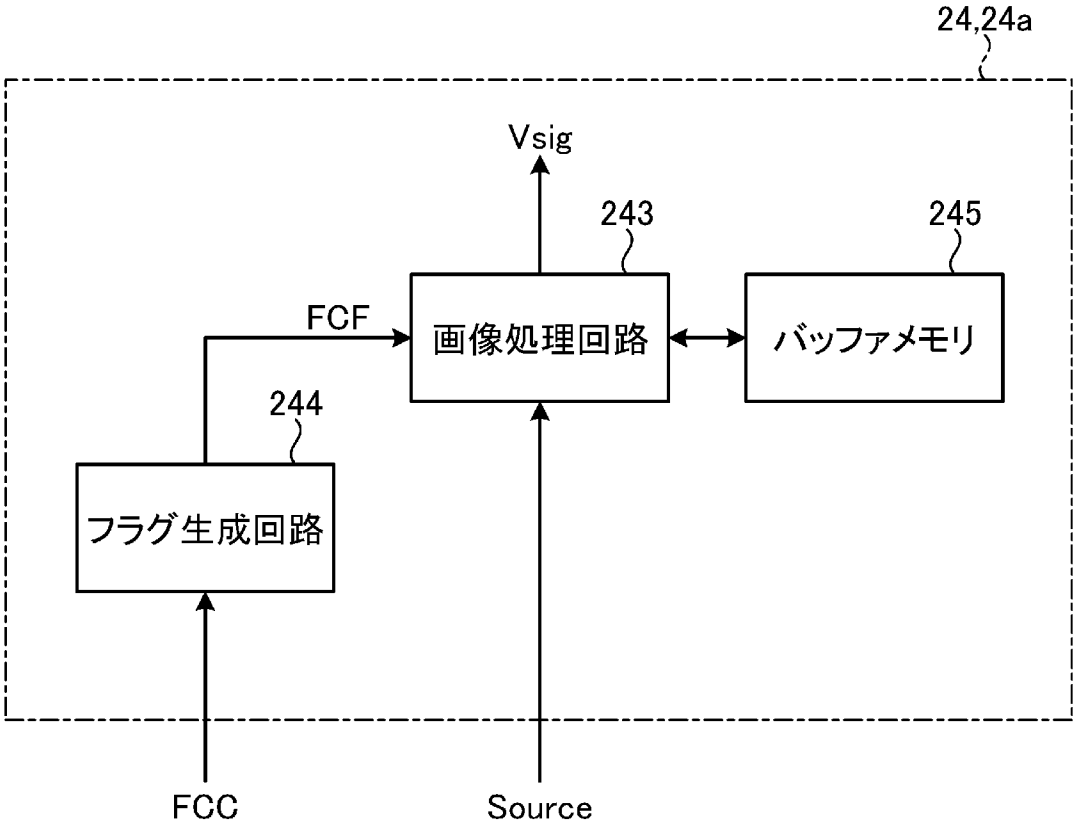
[図14]


n Frame
n+1 Frame
n+2 Frame
n+3 Frame
Vsync
Hsync
STV1
STV2
CKV1
CKV2
ENB1
ENB2
Vscan1
Vscan2
Vscan3
Vscan4
ASW(R)
ASW(G)
ASW(B)
Pol_SW

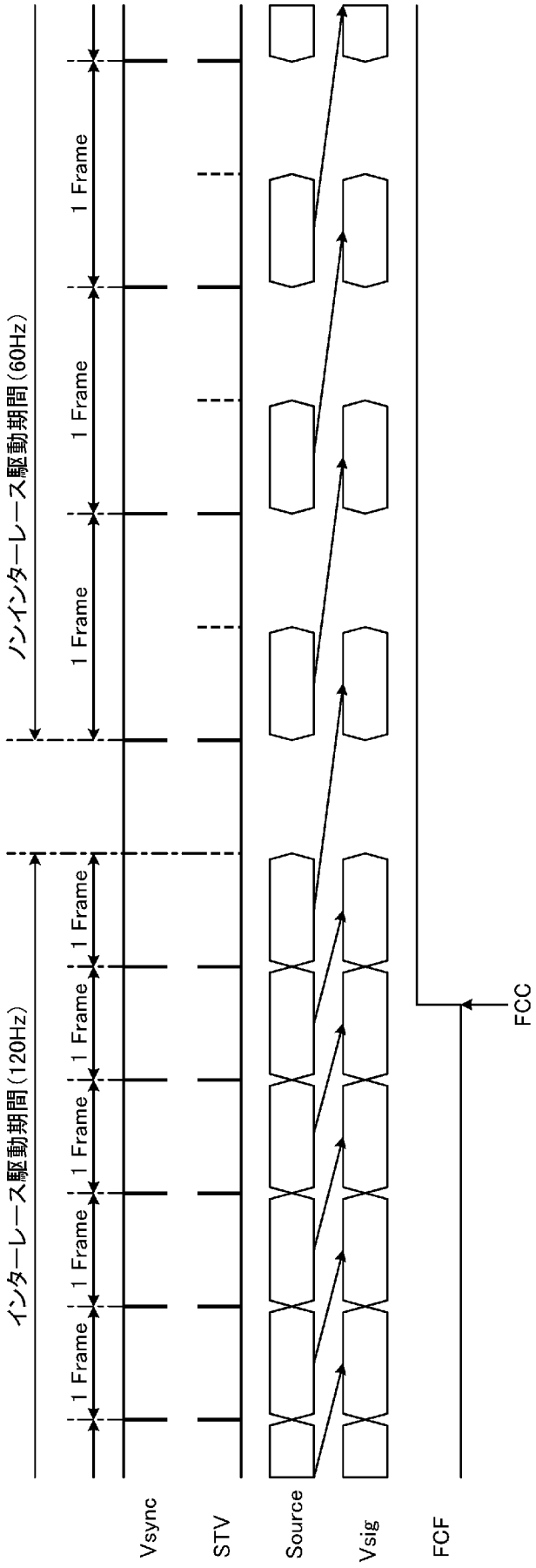
[図15]


n Frame
n+1 Frame
n+2 Frame
n+3 Frame
Vsync
Hsync
STV1
STV2
CKV1
CKV2
ENB1
ENB2
Vscan1
Vscan2
Vscan3
Vscan4
ASW(R)
ASW(G)
ASW(B)
Pol_SW

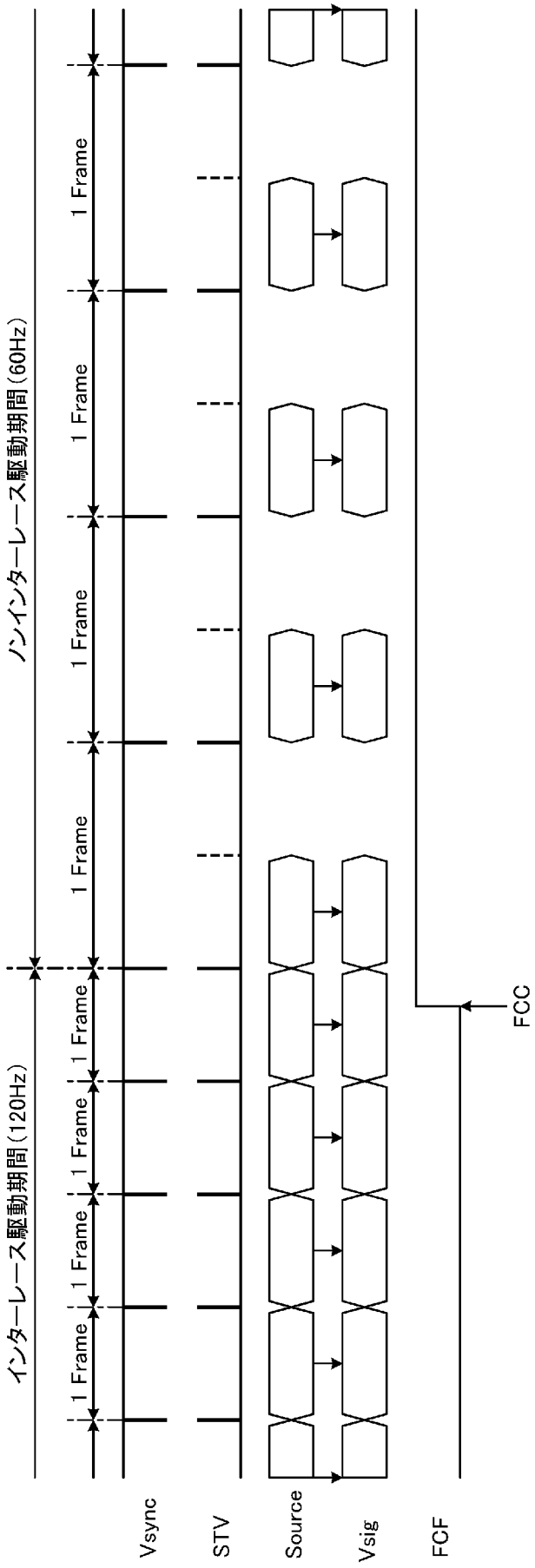
[図16]


24,24a
Vsig
243
245
FCF
画像処理回路
バッファメモリ
244
フラグ生成回路
FCC
Source

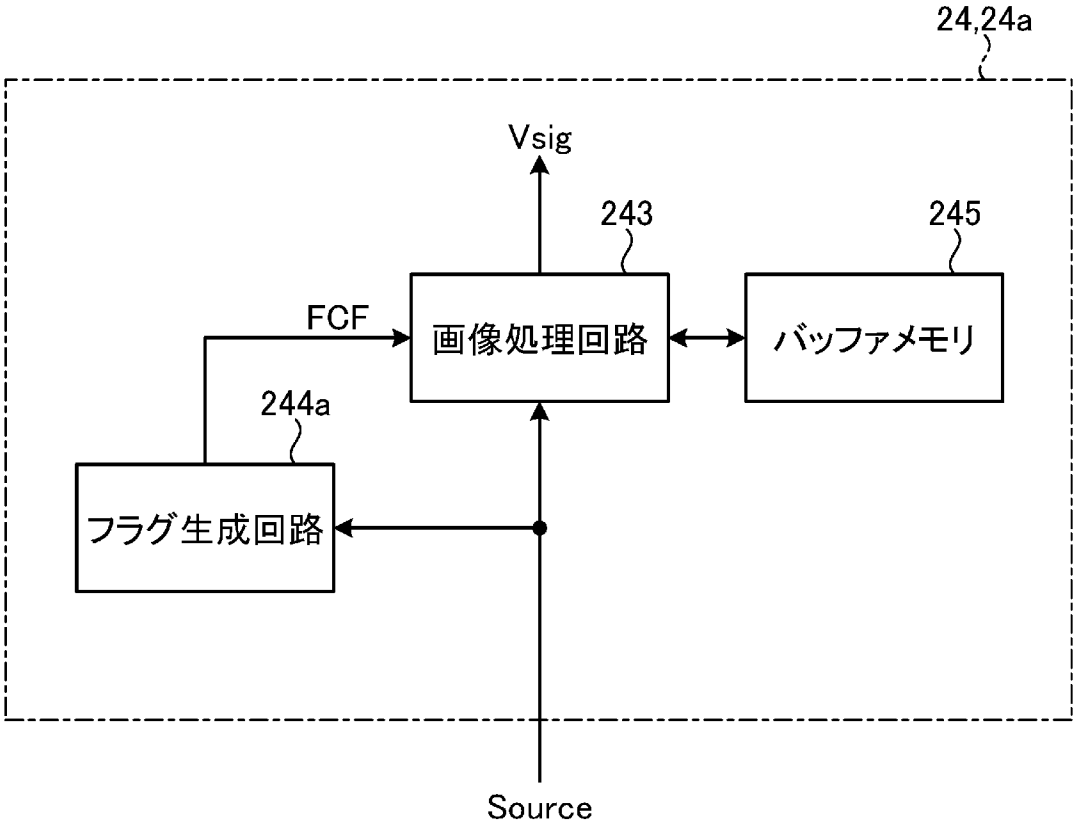
[図17]


インターレース駆動期間(120Hz)
ノンインターレース駆動期間(60Hz)
1 Frame
Vsync
STV
Source
Vsig
FCF
FCC

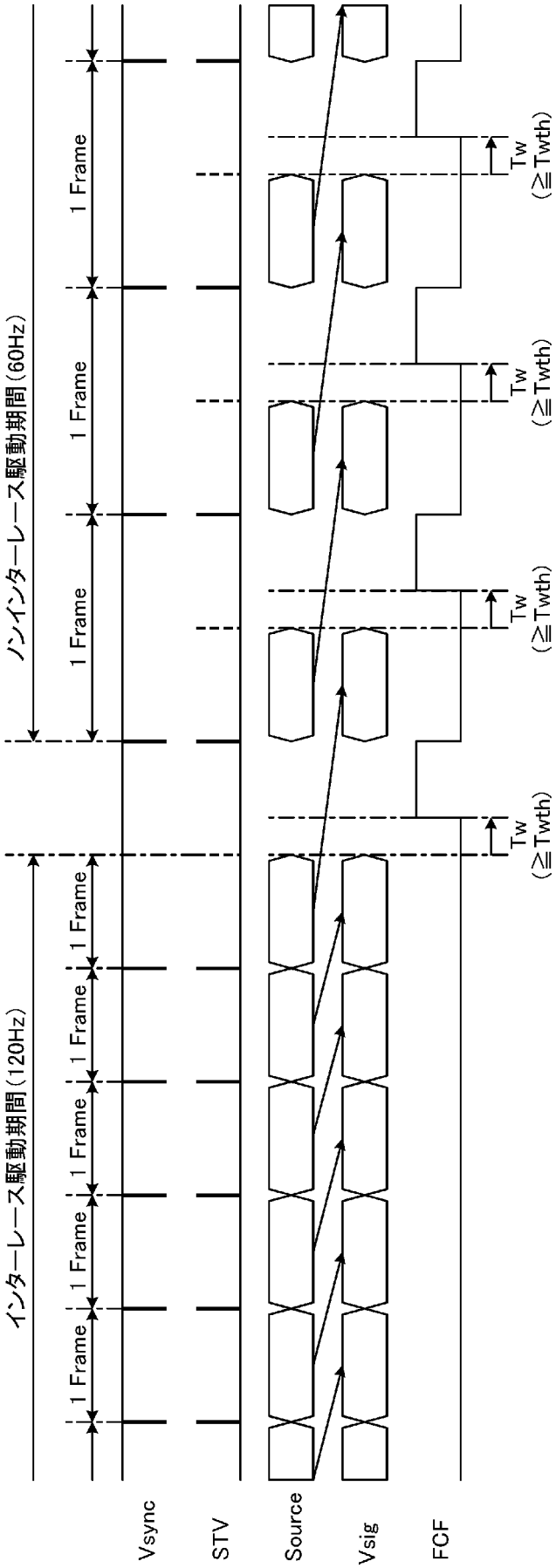
[図18]


インターレース駆動期間(120Hz)
ノンインターレース駆動期間(60Hz)
1 Frame
Vsync
STV
Source
Vsig
FCF
FCC

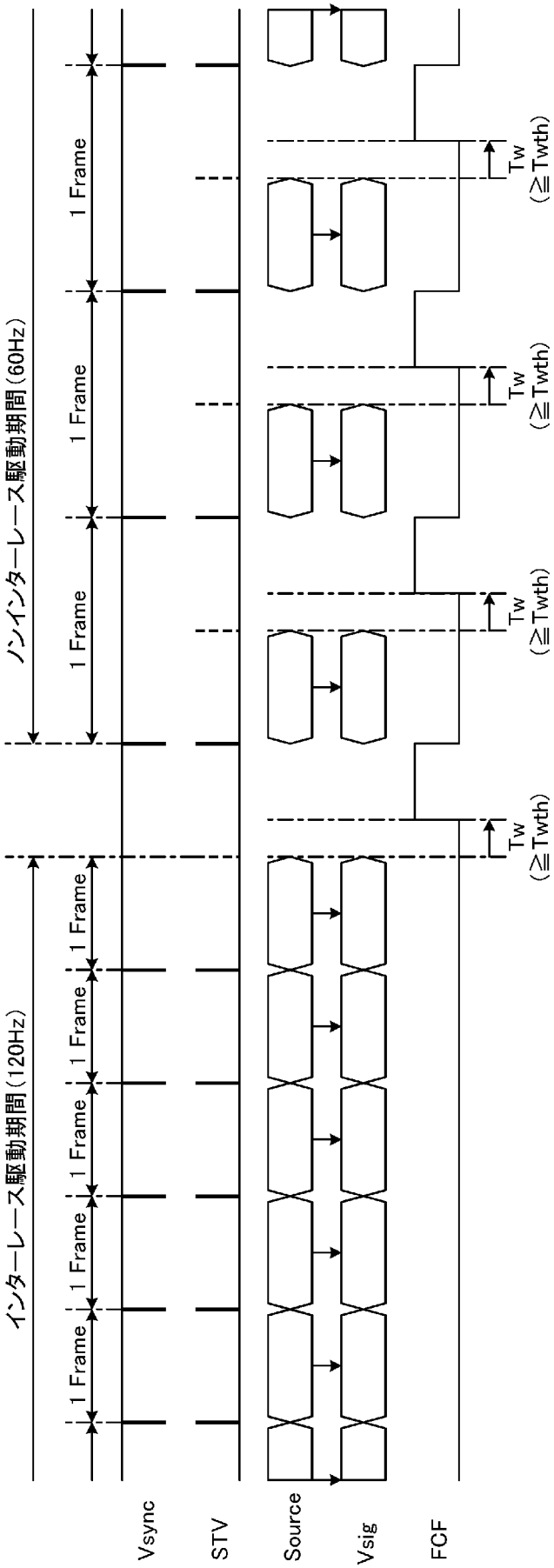
[図19]



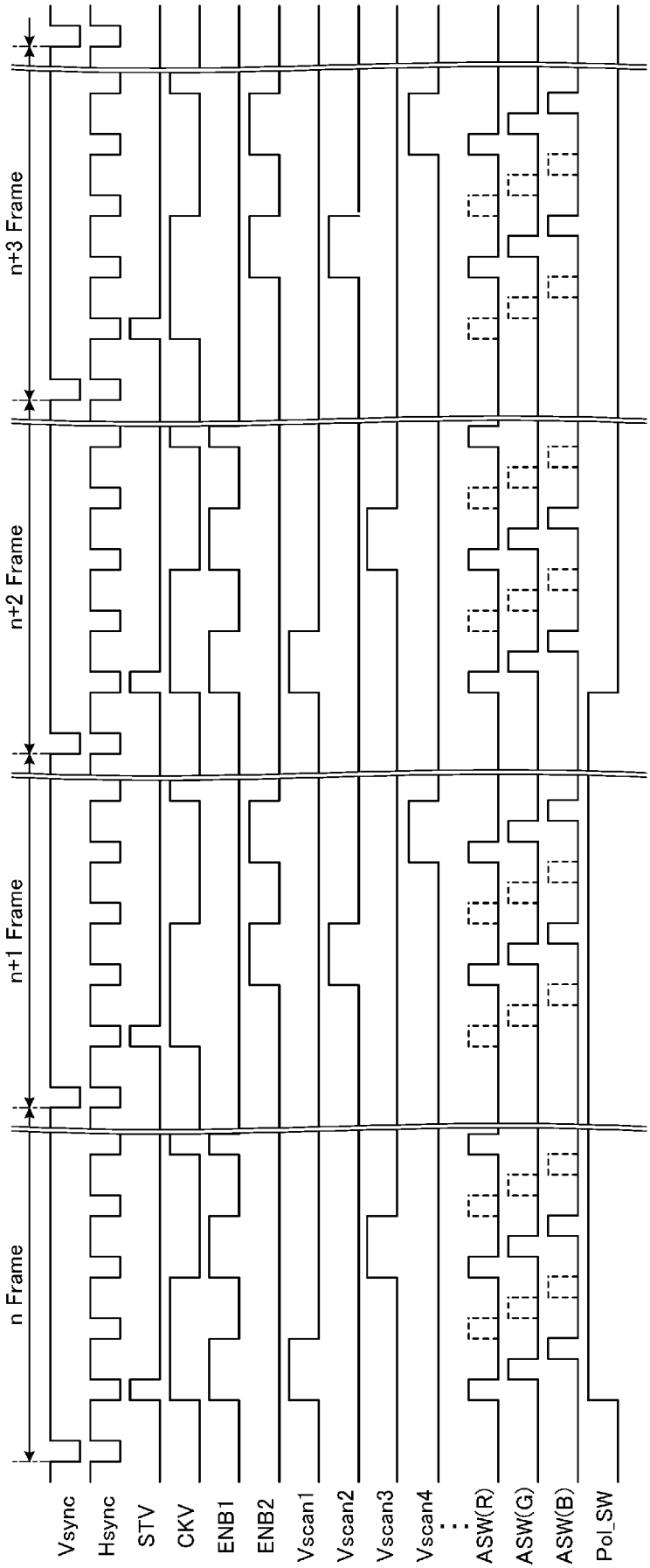
[図20]


インターレース駆動期間（120Hz）
ノンインターレース駆動期間（60Hz）
1 Frame
Tw
（≧Twth）
Vsync
STV
Source
Vsig
FCF

[図21]


インターレース駆動期間（120Hz）
ノンインターレース駆動期間（60Hz）
1 Frame
Tw
（≧Twth）
Vsync
STV
Source
Vsig
FCF

[図22]


n Frame
n+1 Frame
n+2 Frame
n+3 Frame
Vsync
Hsync
STV
CKV
ENB1
ENB2
Vscan1
Vscan2
Vscan3
Vscan4
ASW(R)
ASW(G)
ASW(B)
Pol_SW

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/023637

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i
FI: G09G3/36, G09G3/20622G, G09G3/20622M, G09G3/20622N, G09G3/20621B, G09G3/20621K, G02F1/133550
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2011/070722 A1 (PANASONIC CORPORATION) 16.06.2011 (2011-06-16), paragraphs [0001]-[0430], fig. 1-49	1 2-7
Y	JP 2003-22059 A (SHARP CORPORATION) 24.01.2003 (2003-01-24), paragraphs [0001]-[0155], fig. 1-20	2-7
Y	JP 8-234706 A (CANON INC.) 13.09.1996 (1996-09-13), paragraph [0027]	3
Y	JP 2018-60199 A (SAMSUNG DISPLAY CO., LTD.) 12.04.2018 (2018-04-12), paragraphs [0001]-[0150], fig. 1-21	4-5, 7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04.09.2020	24.09.2020

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

WO 2011/070722 A1	16.06.2011	US 2011/0316823 A1 paragraphs [0001]-[0509], fig. 1-49
JP 2003-22059 A	24.01.2003	(Family: none)
JP 8-234706 A	13.09.1996	US 5883608 A column 5, lines 20-33
JP 2018-60199 A	12.04.2018	US 2018/0103231 A1 paragraphs [0001]-[0196], fig. 1-21 EP 3306604 A1 KR 10-2018-0039232 A CN 107919098 A

国際調査報告

国際出願番号
PCT/JP2020/023637

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G09G 3/36(2006.01)i; G02F 1/133(2006.01)i; G09G 3/20(2006.01)i
FI: G09G3/36; G09G3/20 622G; G09G3/20 622M; G09G3/20 622N; G09G3/20 621B; G09G3/20 621K; G02F1/133 550

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G09G3/36; G02F1/133; G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2011/070722 A1 (パナソニック株式会社) 16.06.2011 (2011-06-16) [0001]-[0430], 図1-図49	1
Y	[0001]-[0430], 図1-図49	2-7
Y	JP 2003-22059 A (シャープ株式会社) 24.01.2003 (2003-01-24) [0001]-[0155], 図1-図20	2-7
Y	JP 8-234706 A (キヤノン株式会社) 13.09.1996 (1996-09-13) [0027]	3
Y	JP 2018-60199 A (三星ディスプレイ株式會社) 12.04.2018 (2018-04-12) [0001]-[0150], 図1-図21	4-5, 7

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
04.09.2020	24.09.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
越川　康弘 2I 9605

電話番号 03-3581-1101 内線 3273

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/023637

引用文献	公表日	パテントファミリー文献	公表日
WO 2011/070722 A1	16.06.2011	US 2011/0316823 A1 [0001]-[0509], 図1-図49	
JP 2003-22059 A	24.01.2003	（ファミリーなし）	
JP 8-234706 A	13.09.1996	US 5883608 A 第5欄第20-33行	
JP 2018-60199 A	12.04.2018	US 2018/0103231 A1 [0001]-[0196], 図1-図21 EP 3306604 A1 KR 10-2018-0039232 A CN 107919098 A	