(19) Deutsches Patent- und Markenamt

(10) **DE 10 2016 000 264 A1** 2017.07.13

(12) # Offenlegungsschrift

(21) Aktenzeichen: **10 2016 000 264.6**
(22) Anmeldetag: **08.01.2016**
(43) Offenlegungstag: **13.07.2017**

(51) Int Cl.: ***H01L 23/488*** (2006.01)
H01L 21/50 (2006.01)
H01L 21/60 (2006.01)
H01L 25/04 (2006.01)
H01L 25/07 (2006.01)

(71) Anmelder:
Infineon Technologies AG, 85579 Neubiberg, DE

(74) Vertreter:
Patentanwälte Lambsdorff & Lange, 81673 München, DE

(72) Erfinder:
Hable, Wolfram, 92318 Neumarkt, DE; Gruber, Martin, 92421 Schwandorf, DE; Högerl, Jürgen, 93053 Regensburg, DE

(56) Ermittelter Stand der Technik:

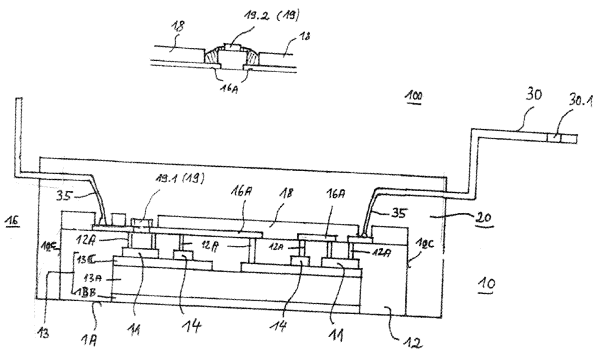
DE	**10 2012 224 355**	**A1**
DE	**10 2013 106 577**	**A1**
DE	**10 2014 111 829**	**A1**
DE	**10 2014 116 382**	**A1**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Halbleiterchipgehäuse, das sich lateral erstreckende Anschlüsse umfasst**

(57) Zusammenfassung: Das Halbleiterchipgehäuse umfasst einen Träger, mehrere auf dem Träger angeordnete Halbleiterchips, eine oberhalb der Halbleiterchips angeordnete erste Verkapselungsschicht, eine oberhalb der ersten Verkapselungsschicht angeordnete Metallisierungsschicht, wobei die Metallisierungsschicht mehrere erste metallische Bereiche umfasst, die elektrische Verbindungen zwischen ausgewählten der Halbleiterchips bilden, eine oberhalb der Lötstoppschicht angeordnete zweite Verkapselungsschicht und mehrere externe Anschlüsse, wobei jeder der externen Anschlüsse mit einem der ersten metallischen Bereiche verbunden ist und sich auswärts durch eine Oberfläche der zweiten Verkapselungsschicht hindurch erstreckt.



Beschreibung

TECHNISCHES GEBIET

[0001] Die vorliegende Offenbarung betrifft allgemein Halbleiterchipgehäuse oder -packages und insbesondere Halbleiterchipgehäuse wie etwa solche, die Halbleitertransistorchips umfassen, und ein Verfahren zur Herstellung eines Halbleiterchipgehäuses.

HINTERGRUND

[0002] In vielen elektronischen Systemen ist es notwendig, Wandler wie DC-DC-Wandler (DC – Gleichstrom), AC-DC-Wandler (AC – Wechselstrom), DC-AC-Wandler, AC-AC-Wandler oder Frequenzwandler einzusetzen, um die Ströme und/oder Spannungen und/oder Frequenzen zu erzeugen, die von einem elektronischen Schaltkreis, wie zum Beispiel einem Motoransteuerungsschaltkreis, zu verwenden sind. Die wie zuvor erwähnten Wandlerschaltkreise umfassen typischerweise einen oder mehrere Halbbrückenschaltkreise, die jeweils durch zwei Halbleiterleistungsschalter, wie etwa z.B. Leistungs-MOSFET-Bauelemente, bereitgestellt sind, und ferner Komponenten, wie etwa zu den Transistorbauelementen parallelgeschaltete Dioden, ferner aktive Komponenten, wie Sensoren oder Prozessoren, und passive Komponenten, wie etwa Induktivitäten und Kapazitäten.

[0003] Die Baugruppe des Wandlerschaltkreises und auch weitere einzelne aktive oder passive Komponenten, die in diesen Baugruppen eingebaut sind, können im Prinzip als einzelne Komponenten bereitgestellt sein, die auf einer Leiterplatte (PCB – Printed Circuit Board) montiert sind. Es besteht jedoch eine allgemeine Tendenz, Platz auf der PCB zu sparen und deswegen integrierte Halbleitermodule mit kurzen Zwischenverbindungen zwischen den einzelnen Komponenten bereitzustellen, um Schaltverluste und parasitäre Induktivitäten zu reduzieren.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0004] Die beiliegenden Zeichnungen sind aufgenommen, um ein eingehenderes Verständnis von Beispielen zu vermitteln, und sind in diese Spezifikation aufgenommen und stellen einen Teil dieser dar. Die Zeichnungen veranschaulichen Beispiele und dienen zusammen mit der Beschreibung der Erläuterung von Prinzipien von Beispielen. Andere Beispiele und viele der beabsichtigten Vorteile von Beispielen lassen sich ohne weiteres verstehen, wenn sie durch Bezugnahme auf die folgende ausführliche Beschreibung besser verstanden werden.

[0005] Die Elemente der Zeichnungen sind nicht notwendigerweise maßstabsgetreu relativ zueinander. Gleiche Bezugszahlen bezeichnen entsprechende ähnliche Teile.

[0006] **Fig.** 1 zeigt eine schematische Querschnittsseitenansichtsdarstellung eines Halbleiterchipgehäuses, das sich auswärts erstreckende externe Anschlüsse und ein zusätzliches elektronisches Bauelement umfasst, gemäß einem Beispiel, wobei der Einsatz ein anderes Beispiel zum Einrichten des elektronischen Bauelements zeigt.

[0007] **Fig.** 2 zeigt ein Flussdiagramm eines Verfahrens zur Herstellung eines Halbleiterchipgehäuses gemäß einem Beispiel.

[0008] **Fig.** 3 zeigt eine schematische Draufsichtdarstellung eines Zwischenprodukts eines Verfahrens zur Herstellung eines Halbleiterchipgehäuses, wobei das Zwischenprodukt mehrere auf einem Träger angeordnete Halbleiterchips zeigt.

[0009] **Fig.** 4 umfasst **Fig.** 4A–**Fig.** 4H und zeigt schematische Querschnittsseitenansichtsdarstellungen zur Veranschaulichung eines Verfahrens zur Herstellung eines Halbleiterchipgehäuses gemäß einem Beispiel.

[0010] **Fig.** 5 umfasst **Fig.** 5A und **Fig.** 5B und zeigt eine schematische Draufsichtdarstellung (A) und eine schematische Querschnittsseitenansichtsdarstellung (B) eines Zwischenprodukts, wie etwa des in **Fig.** 3 gezeigten, wobei das Zwischenprodukt einen Wärmespreizungsbereich, der als ein schraffierter Bereich abgebildet ist, umfasst.

[0011] Fig. 6 zeigt eine schematische Querschnittsseitenansichtsdarstellung eines Teilabschnitts eines Halbleiterchipgehäuses, das einen Wärmespreizungsbereich unterhalb eines elektronischen Bauelements, die oberhalb der Lötstoppschicht angeordnet ist, umfasst.

AUSFÜHRLICHE BESCHREIBUNG

[0012] Die Aspekte und Beispiele werden jetzt mit Bezugnahme auf die Zeichnungen beschrieben, wobei allgemein durchgehend gleiche Bezugszahlen benutzt werden, um auf gleiche Elemente zu verweisen. In der folgenden Beschreibung werden zu Erläuterungszwecken zahlreiche spezielle Einzelheiten dargelegt, um ein eingehendes Verständnis eines oder mehrerer Aspekte der Beispiele zu vermitteln. Es kann jedoch für einen Fachmann ersichtlich sein, dass ein oder mehrere Aspekte der Beispiele mit einem geringeren Grad der speziellen Einzelheiten praktiziert werden können. In anderen Fällen werden bekannte Strukturen und Elemente in schematischer Form gezeigt, um die Beschreibung eines oder mehrerer Aspekte der Beispiele zu erleichtern. Es versteht sich, dass andere Beispiele genutzt und strukturelle oder logische Änderungen vorgenommen werden können, ohne von dem Schutzumfang der vorliegenden Erfindung abzuweichen. Es sollte ferner angemerkt werden, dass die Zeichnungen nicht oder nicht notwendigerweise maßstabsgetreu sind.

[0013] In der folgenden ausführlichen Beschreibung wird auf die beiliegenden Zeichnungen Bezug genommen, die einen Teil hiervon bilden und in denen spezielle Aspekte als Veranschaulichung gezeigt sind, in denen die Erfindung praktiziert werden kann. In dieser Hinsicht kann Richtungsterminologie, wie etwa „Oberseite“, „Unterseite“, „Vorderseite“, „Rückseite“ usw., unter Bezugnahme auf die Orientierung der beschriebenen Figuren verwendet werden. Da Komponenten von beschriebenen Vorrichtungen in einer Reihe verschiedener Orientierungen positioniert werden können, kann die Richtungsterminologie zu Zwecken der Veranschaulichung verwendet werden und ist in keinerlei Weise beschränkend. Es versteht sich, dass andere Aspekte genutzt und strukturelle oder logische Änderungen vorgenommen werden können, ohne von dem Schutzumfang der vorliegenden Erfindung abzuweichen. Die folgende ausführliche Beschreibung ist deshalb nicht in einem beschränkenden Sinn zu verstehen und der Schutzumfang der vorliegenden Erfindung wird durch die beiliegenden Ansprüche definiert.

[0014] Während ein bestimmtes Merkmal oder ein bestimmter Aspekt eines Beispiels bezüglich nur einer von mehreren Implementierungen offenbart sein kann, kann ein solches Merkmal oder ein solcher Aspekt außerdem mit einem oder mehreren anderen Merkmalen oder Aspekten der anderen Implementierungen kombiniert werden, wie es für eine beliebige gegebene oder bestimmte Anwendung erwünscht und vorteilhaft sein kann. Weiterhin sollen in dem Ausmaß, in dem die Ausdrücke „beinhalten“, „aufweisen“, „mit“ oder andere Varianten davon entweder in der ausführlichen Beschreibung oder den Ansprüchen verwendet werden, solche Ausdrücke auf eine Weise ähnlich dem Ausdruck „umfassen“ einschließend sein. Die Ausdrücke „gekoppelt“ und „verbunden“ können, zusammen mit Ableitungen, verwendet werden. Es versteht sich, dass diese Ausdrücke verwendet werden können, um anzugeben, dass zwei Elemente unabhängig davon miteinander zusammenarbeiten oder interagieren, ob sie in direktem physischem oder elektrischem Kontakt stehen oder sie nicht in direktem Kontakt miteinander stehen. Außerdem ist der Ausdruck „beispielhaft“ lediglich als ein Beispiel anstatt das Beste oder Optimale gemeint. Die folgende ausführliche Beschreibung ist deshalb nicht in einem beschränkenden Sinn zu verstehen und der Schutzumfang der vorliegenden Erfindung wird durch die beiliegenden Ansprüche definiert.

[0015] Die Beispiele für ein Halbleitergehäuse oder -packages und für ein Verfahren zur Herstellung eines Halbleitergehäuses können verschiedene Arten von Transistorbauelemente verwenden. Die Beispiele können Transistorbauelemente verwenden, die in Halbleiter-Dies oder Halbleiterchips ausgeführt sind, wobei die Halbleiter-Dies oder Halbleiterchips in Form eines Blocks aus Halbleitermaterial, wie aus einem Halbleiterwafer hergestellt und aus dem Halbleiterwafer herausgetrennt, bereitgestellt sein können oder in einer anderen Form, in der weitere Prozessschritte ausgeführt wurden, wie zum Beispiel Auftragen einer Verkapselungsschicht auf den Halbleiter-Die oder Halbleiterchip. Die Beispiele können auch horizontale oder vertikale Transistorbauelemente verwenden, wobei diese Strukturen in einer Form, in der alle Kontaktelemente der Transistorbauelemente auf einer der Hauptflächen des Halbleiter-Dies (horizontale Transistorstrukturen) bereitgestellt sind, oder in einer Form, in der wenigstens ein elektrisches Kontaktelement auf einer ersten Hauptfläche des Halbleiter-Dies eingerichtet ist und wenigstens ein anderes elektrisches Kontaktelement auf einer zweiten, der Hauptfläche gegenüberliegenden Hauptfläche des Halbleiter-Dies (vertikale Transistorstrukturen) eingerichtet ist, wie zum Beispiel MOS-Transistorstrukturen oder IGBT-Strukturen (IGBT – Insulated Gate Bipolar Transistor, Bipolartransistor mit isoliertem Gate), bereitgestellt sein können. Insofern die Transistorchips als Leistungstransistorchips konfiguriert sind und falls zusätzlich auch Treiberchips in dem Gehäuse integriert sind, können die

weiter unten offenbarten Beispiele für ein Halbleitergehäuse als intelligente Leistungsmodule (IPM – Intelligent Power Module) klassifiziert werden.

[0016] In jedem Fall können die Halbleiter-Dies oder Halbleiterchips Kontaktelemente oder Kontaktpads auf einer oder mehreren ihrer äußeren Oberflächen umfassen, wobei die Kontaktelemente dem elektrischen Kontaktieren der Halbleiter-Dies dienen. Die Kontaktelemente können eine beliebige gewünschte Form oder Gestalt aufweisen. Sie können zum Beispiel die Form von Anschlussflächen aufweisen, d.h. flache Kontaktschichten auf einer äußeren Oberfläche des Halbleiter-Dies. Die Kontaktelemente oder Kontaktpads können aus einem beliebigen elektrisch leitenden Material gefertigt sein, z.B. aus einem Metall, wie zum Beispiel Aluminium, Gold oder Kupfer, oder einer Metalllegierung oder einem elektrisch leitenden organischen Material oder einem elektrisch leitenden Halbleitermaterial. Die Kontaktelemente können auch als Schichtstapel aus einem oder mehreren der oben erwähnten Materialien gebildet sein.

[0017] Die Beispiele für ein Halbleitergehäuse können einen Verkapselungsstoff oder ein Verkapselungsmaterial mit den Halbleitertransistorchips und dem wenigstens einen Halbleitertreiberchip darin eingebettet umfassen. Das Verkapselungsmaterial kann ein beliebiges elektrisch isolierendes Material sein, wie zum Beispiel eine beliebige Art eines Vergussmaterials, eine beliebige Art eines Harzmaterials oder eine beliebige Art eines Epoxidmaterials. Das Verkapselungsmaterial kann auch ein Polymermaterial, ein Polyimidmaterial, ein Thermoplastmaterial, ein Silikonmaterial, ein Keramikmaterial oder ein Glasmaterial sein. Das Verkapselungsmaterial kann auch ein beliebiges der zuvor erwähnten Materialien umfassen und ferner darin eingebettete Füllstoffmaterialien beinhalten, wie zum Beispiel wärmeleitende Zusätze. Diese Füllstoffzusätze können zum Beispiel aus AlO oder Al_2O_3, AlN, BN oder SiN gefertigt sein. Weiterhin können die Füllstoffzusätze die Gestalt von Fasern aufweisen und können zum Beispiel aus Karbonfasern oder -nanoröhren gefertigt sein. Die Beispiele für ein Halbleitergehäuse können auch zwei verschiedene Verkapselungsmaterialien umfassen, wobei eines von diesen die Halbleitertransistorchips darin eingebettet aufweist und das andere von diesen den wenigstens einen Halbleitertreiberchip darin eingebettet aufweist.

[0018] **Fig.** 1 zeigt eine Querschnittsseitenansichtsdarstellung eines Halbleiterchipgehäuses gemäß einem ersten Aspekt. Das Halbleiterchipgehäuse **100** umfasst einen Träger **13**, mehrere auf dem Träger **13** angeordnete Halbleiterchips **11**, eine erste Verkapselungsschicht **12**, die oberhalb der Halbleiterchips **11** und **14** angeordnet ist, eine Metallisierungsschicht **16**, die oberhalb der ersten Verkapselungsschicht **12** angeordnet ist, wobei die Metallisierungsschicht **16** mehrere erste metallische Bereiche **16A** umfasst, die elektrische Verbindungen zwischen ausgewählten der Halbleiterchips **11** und **14** bilden, und möglicherweise auch elektrische Verbindungen zwischen metallischen Bereichen **16A** und Gebieten, wie die als **13C** bezeichneten, und möglicherweise auch Verbindungen zwischen Halbleiterchips **11** und **14** und Gebieten **13C**. Das Halbleiterchipgehäuse **100** kann ferner eine optionale Lötstopplackschicht **18**, die oberhalb der Metallisierungsschicht **16** angeordnet ist, eine zweite Verkapselungsschicht **20**, die oberhalb der Lötstopplackschicht **18** angeordnet ist, und mehrere externe Anschlüsse **30** umfassen, wobei jeder der externen Anschlüsse **30** mit einem der ersten metallischen Bereiche **16A** verbunden ist und sich auswärts durch eine Oberfläche der zweiten Verkapselungsschicht **20** hindurch erstreckt.

[0019] Wie oben angedeutet, kann die wie in **Fig.** 1 gezeigte Lötstopplackschicht **18** auch weggelassen werden. Um Lotmaterial davon abzuhalten, auf die obere Oberfläche der ersten metallischen Bereiche **16A** zu fließen, können alternativ, wenn man zum Beispiel Cu als das Material der Metallisierungsschicht **16** erwägt, bestimmte Gebiete, die mit zum Beispiel Drahtbondungen zu verbinden sind, mit einer metallischen Schicht, wie z.B. einer Au-Schicht, bedeckt sein, so dass diese Gebiete perfekt bondbar werden. Die Umgebungsbereiche dieser bestimmten Gebiete, die nicht mit der Au-Schicht bedeckt sind, neigen dazu, das Lotmaterial abzustoßen und fungieren daher als eine Lötstopplackschicht. Auch andere Fälle können auftreten, in denen das Material der Metallisierungsschicht **16** nicht an sich perfekt lotabstoßend ist, wobei in diesen Fällen eine physikalische und/oder chemische Oberflächenbehandlung ausgeführt werden kann, insbesondere eine Oxidierung oder eine Sulfidierung oder eine Nitridierung von Gebieten der oberen Oberfläche der ersten metallischen Bereiche **16A**, so dass diese Gebiete lotabstoßend werden. Auch andere Fälle können auftreten, in denen aufgrund des Materials der Metallisierungsschicht **16** das Bedecken mit einer Au-Schicht zum Erzeugen von bondbaren Gebieten nicht notwendig ist, da das Material der Metallisierungsschicht an sich perfekt bondbar ist.

[0020] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts sind wenigstens manche erste metallische Bereiche **16A** auf solche Weise gebildet, dass sie bondbare, lötbare oder sinterbare obere Oberflächen umfassen. Insbesondere sind metallische Bereiche **16A**, die an Randteilen einer oberen Oberfläche der ersten Verkapselungsschicht **12** lokalisiert sind, so mit bondbaren oberen Oberflächen gebildet, dass Drahtbondungen mit ihnen verbunden werden können, oder sie sind so mit einer lötbaren oberen Oberfläche

gebildet, dass bestimmte Verbindungselemente an sie gelötet werden können, oder sie sind so mit sinterbaren oberen Oberflächen gebildet, dass bestimmte Verbindungselemente an sie gesintert werden können.

[0021] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts umfasst der Träger **13** eine erste Hauptfläche, eine zweite, der ersten Hauptfläche gegenüberliegende Hauptfläche und Seitenflächen, die die erste und zweite Hauptfläche verbinden, wobei die erste Verkapselungsschicht **12** auf der ersten und zweiten Hauptfläche und den Seitenflächen des Trägers **13** angeordnet ist. Gemäß einem weiteren Beispiel davon ist die zweite Verkapselungsschicht **20** auf einer Hauptfläche der Lötstopplackschicht **18**, falls verfügbar, und auf Seitenflächen der Lötstopplackschicht **18** und auf Seitenflächen der ersten Verkapselungsschicht **12** angeordnet.

[0022] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts umfasst der Träger **13** eine erste Hauptfläche, eine zweite, der ersten Hauptfläche gegenüberliegende Hauptfläche und Seitenflächen, die die erste und zweite Hauptfläche verbinden, und die erste Verkapselungsschicht **12** ist auf der ersten und zweiten Hauptfläche und den Seitenflächen des Trägers **13** angeordnet. Gemäß einem weiteren Beispiel davon ist die zweite Verkapselungsschicht **20** auf einer Hauptfläche der Lötstopplackschicht **18**, falls verfügbar, und auf Seitenflächen der Lötstopplackschicht **18** und auf Seitenflächen der ersten Verkapselungsschicht **12** angeordnet.

[0023] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts erstreckt sich jeder der externen Anschlüsse **30** auswärts durch eine Seitenfläche der zweiten Verkapselungsschicht **20** hindurch. Gemäß einem weiteren Beispiel davon erstrecken sich die externen Anschlüsse **30** auswärts durch zwei gegenüberliegende Seitenflächen der zweiten Verkapselungsschicht **20** hindurch. Gemäß weiteren Beispielen davon erstrecken sich die externen Anschlüsse **30** auswärts durch drei Seitenflächen hindurch oder durch alle vier Seitenflächen der zweiten Verkapselungsschicht **20** hindurch oder sogar alleine durch die obere Oberfläche der zweiten Verkapselungsschicht **20** hindurch oder in Kombination mit einer oder mehreren der vier Seitenflächen hindurch.

[0024] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts sind die externen Anschlüsse **30** Teil eines Leiterrahmens.

[0025] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts sind die externen Anschlüsse **30** jeweils mit den ersten metallischen Bereichen **16A** durch Bonddrähte **35** verbunden. Gemäß einem weiteren Beispiel davon sind bestimmte erste metallische Bereiche **16A** durch nur einen Bonddraht mit einem jeweiligen externen Anschluss **30** verbunden. Gemäß einem anderen Beispiel davon sind bestimmte erste metallische Bereiche **16A** durch mehrere Bonddrähte **35** mit einem jeweiligen externen Anschluss **30** verbunden.

[0026] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts sind die externen Anschlüsse **30** nicht durch Drahtbondungen mit den ersten metallischen Bereichen verbunden, sondern sind stattdessen direkt mit den ersten metallischen Bereichen **16A** verbunden. Gemäß einem weiteren Beispiel davon kann ein Verfahren zum direkten Verbinden der externen Anschlüsse **30** mit den ersten metallischen Bereichen **16A** Löten, Anhaften, Kleben und Sintern beinhalten.

[0027] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts umfasst jeder der externen Anschlüsse **30** einen ersten horizontalen Abschnitt, von dem ein Teil innerhalb der zweiten Verkapselungsschicht **20** angeordnet ist und von dem ein anderer Teil außerhalb der zweiten Verkapselungsschicht **20** angeordnet ist. Gemäß einem weiteren Beispiel dafür liegen die ersten horizontalen Teile von all den externen Anschlüssen **30** in ein und derselben Ebene. Gemäß einem weiteren Beispiel davon umfassen manche der externen Anschlüsse **30** zweite Teile, die an die ersten Teile angrenzen und die sich zum Beispiel in einer vertikalen Richtung erstrecken. Gemäß einem weiteren Beispiel davon umfassen manche der externen Anschlüsse **30** dritte Teile, die an die zweiten Teile angrenzend angeordnet sind und die sich in einer horizontalen Ebene erstrecken, wobei die dritten Teile von allen externen Anschlüssen **30** sich in ein und derselben horizontalen Ebene erstrecken können. Die zweiten und dritten Teile der externen Anschlüsse **30** können durch Biegen der externen Anschlüsse **30** um einen rechten Winkel erzeugt werden. Es sollte jedoch hinzugefügt werden, dass die ersten bis dritten Teile der externen Anschlüsse **30** sich auch in anderen als horizontalen oder vertikalen Ebenen erstrecken können und auch dass die Biegewinkel zum Erzeugen der zweiten und dritten Teile von einander verschieden und verschieden von rechten Winkeln sein können.

[0028] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts umfassen manche der externen Anschlüsse **30** Durchgangslöcher **30.1** zum Beispiel an externen Enden von diesen, so dass das Verbinden des Halbleiterchipgehäuses **100** mit einer beliebigen Art von kundenseitigen Haltemitteln oder Haltesubstraten durch Schraubenkontakte, Einsteckkontakte oder Lötkontakte erleichtert wird.

[0029] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts umfasst das Halbleiterchipgehäuse **100** ferner elektronische Vorrichtungen oder Bauelemente **19**, die oberhalb der Lötstopplackschicht **18**, falls verfügbar, gebildet sind und die mit ausgewählten der ersten metallischen Bereiche **16A** verbunden sind. Gemäß einem weiteren Beispiel davon sind die elektronischen Vorrichtungen **19** aus der Gruppe von passiven Vorrichtungen, aktiven Vorrichtungen, Widerständen, Shunt-Widerständen, NTC-Widerständen, Spulen, Kondensatoren, Sensoren, Stromsensoren, Treibern und Prozessoren ausgewählt. Insbesondere können die elektronischen Vorrichtungen **19** Vorwiderstände sein, die mit Transistoren der Halbleitertransistorchips **11** verbunden sind. Insbesondere können die elektronischen Vorrichtungen **19** erste elektronische Vorrichtungen **19.1** und zweite elektronische Vorrichtungen **19.2** umfassen. Die ersten elektronischen Vorrichtungen **19.1** sind elektronische Vorrichtungen mit geringer Größe, wie zum Beispiel Vorwiderstände, die innerhalb von Lücken der Lötstopplackschicht **18** angeordnet sind und die darin mit metallischen Bereichen **16A** verbunden sind, wobei die zweiten elektronischen Vorrichtungen **19.2** elektronische Vorrichtungen mit großer Größe sind, wie zum Beispiel Shunt-Widerstände, die auf der Lötstopplackschicht **18** angeordnet sind und die mit metallischen Bereichen **16A** durch in der Lötstopplackschicht **18** gebildeten (in dem Einsatz aus **Fig.** 1 gezeigten) Durchkontaktierungen verbunden sind.

[0030] Gemäß einem Beispiel der Halbleiterchipgehäuses **100** des ersten Aspekts umfasst das Halbleiterchipgehäuse **100** ferner zweite metallische Bereiche **15**, die auf einer oberen Hauptfläche der ersten Verkapselungsschicht **12** gebildet sind und die durch Durchkontaktierungsverbindungen mit Gebieten **13C** des Trägers **13** zum Verbessern der Wärmedissipation von den Halbleitervorrichtungen verbunden sind. Die zweiten metallischen Bereiche **15** sind in **Fig.** 1 nicht gezeigt, sondern stattdessen sind sie in **Fig.** 5 gezeigt und werden unten ausführlicher erläutert. Es ist auch möglich, dass die zweiten metallischen Bereiche **15** mit den ersten metallischen Bereichen **16A** verbunden sein können.

[0031] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts umfasst das erste Halbleitermodul **10** einen Träger **13**. Gemäß einem Beispiel umfasst der Träger **13** ein Substrat **13A**, das eine isolierende Dielektrikums- oder Keramikschicht oder -platte umfasst, und eine erste metallische Schicht **13B** auf einer unteren Oberfläche des Substrats **13A** und eine zweite metallische Schicht **13C** auf einer oberen Oberfläche des Substrats **13A**, wobei die zweite metallische Schicht **13C** in verschiedene voneinander separierte Gebiete strukturiert ist. Die Gebiete **13B** sind nicht elektrisch mit den Gebieten **13C** verbunden. Gemäß einem Beispiel kann der Träger **13** ein DCB-Substrat (DCB – Direct Copper Bonded, direkt gebondetes Kupfer) und/oder ein DAB-Substrat (DAB – Direct Aluminium Bonded, direkt gebondetes Aluminium) und/oder ein mit einem aktiven Metall hartgelötetes Substrat umfassen, wobei das Substrat eine Keramikschicht, insbesondere eine oder mehrere einer AlO-, AlN-, Al_2O_3- oder einer Dielektrikumsschicht, insbesondere Si_3N_4, umfassen kann. Gemäß einem Beispiel kann der Träger **13** eine erste obere Oberfläche, eine zweite, der ersten oberen Oberfläche gegenüberliegende, untere Oberfläche und Seitenflächen, die die erste und zweite Oberfläche verbinden, umfassen, wobei die erste Verkapselungsschicht **12** die erste obere Oberfläche und die Seitenflächen des Trägers **13** bedecken kann. Gemäß einem Beispiel kann der Träger **13** ein Substrat **13A** umfassen, das ein anorganisches oder ein organisches Substrat sein kann. Der Kern des Substrats **13A**, insbesondere des organischen Substrats, kann eine Wärmeleitfähigkeit, die besser als 1 W/(mK) ist, umfassen. Gemäß einem Beispiel kann der Träger **13** eine Dicke in einem Bereich von 0,1 mm bis 2,0 mm umfassen, insbesondere in einem Bereich von 0,8 mm bis 2,0 mm.

[0032] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts können die Halbleiterchips **11** und **14** Halbleitertransistorchips **11** und Halbleiterdiodenchips **14** umfassen, wobei die Halbleiterdiodenchips **14** als Freilaufdioden konfiguriert sein können. Gemäß einem Beispiel ist jeder der Halbleitertransistorchips **11** mit einem der Halbleiterdiodenchips **14** parallelgeschaltet. Wie bereits zuvor erläutert wurde, umfasst die Metallisierungsschicht **16** mehrere metallische Bereiche **16A**, die elektrische Verbindungen zwischen ausgewählten der Halbleitertransistorchips **11** und der Halbleiterdiodenchips **14** bilden. Außerdem kann die erste Verkapselungsschicht **12** Durchkontaktierungsverbindungen **12A** umfassen, die die metallischen Bereiche **16A** mit ausgewählten der Halbleitertransistorchips **11** und der Halbleiterdiodenchips **14** verbinden. Die Durchkontaktierungsverbindungen **12A** werden unten ausführlicher beschrieben, insbesondere können sie laterale Abmessungen von mehr als 50 µm umfassen. Die metallischen Bereiche **16A** können auch mit Teilen der Gebiete **13C** durch Durchkontaktierungsverbindungen verbunden sein.

[0033] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts bestehen die Halbleiterchips **11** aus Halbleitertransistorchips, insbesondere aus Halbleiterleistungstransistorchips. Gemäß einem Beispiel sind die Halbleitertransistorchips **11** miteinander verbunden, um einen AC-AC-Wandlerschaltkreis, einen AC-DC-Wandlerschaltkreis, einen DC-AC-Wandlerschaltkreis, einen DC-DC-Wandlerschaltkreis oder einen Frequenzwandler zu bilden.

[0034] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts kann jeder der Halbleiterdiodenchips **14** mit einem der Halbleitertransistorchips **11** parallelgeschaltet sein.

[0035] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts umfassen einer oder mehrere der Halbleitertransistorchips **11** und der Halbleiterdiodenchips **14** eine Dicke in einem Bereich von 5 µm bis 700 µm, insbesondere von 30 µm bis 100 µm, insbesondere von 50 µm bis 80 µm.

[0036] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts umfassen die Halbleitertransistorchips **11** jeweils einen Leistungstransistor und/oder einen vertikalen Transistor und/oder einen MOS-Transistor und/oder einen Bipolartransistor mit isoliertem Gate (IGBT). Gemäß einem Beispiel kann das Halbleitermaterial eines oder mehrerer der Halbleitertransistorchips **11** und der Halbleiterdiodenchips **14** auf Si, GaN, SiC oder einem beliebigen anderen Halbleitermaterial basieren.

[0037] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts umfassen die erste Verkapselungsschicht **12** und/oder die zweite Verkapselungsschicht **20** ein Polymermaterial und/oder ein Vergussstoffmaterial und/oder ein Harzmaterial und/oder ein Epoxidharzmaterial und/oder ein multiaromatisches Epoxidharzmaterial und/oder ein Acrylatmaterial und/oder ein Polyimidmaterial und/oder ein silikonbasiertes Material. Gemäß einem Beispiel umfassen die erste und zweite Verkapselungsschicht **12** und **20** verschiedene Materialien.

[0038] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts können die Durchkontaktierungsverbindungen **12A**, die in die erste Verkapselungsschicht **12** gebildet sind, laterale Durchmesser in einem Bereich von 0,05 mm bis 1 mm umfassen, insbesondere von 0,3 mm bis 0,7 mm. Gemäß einem Beispiel umfassen die Durchkontaktierungsverbindungen **12A** ein Verhältnis von Höhe zu Breite in einem Bereich von 0 bis 3, vorzugsweise in einem Bereich von 0,3 bis 3.

[0039] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts umfassen die Durchkontaktierungsverbindungen **12A** Durchkontaktierungslöcher durch die Verkapselungsschicht **12**, wobei die Durchkontaktierungslöcher vollständig oder teilweise mit einem elektrisch leitenden Material wie zum Beispiel einem Metall wie zum Beispiel Kupfer gefüllt sind. Das elektrisch leitende Material kann auf solche Weise in die Durchkontaktierungslöcher gefüllt sein, dass die Durchkontaktierungslöcher nicht vollständig mit dem Material gefüllt sind, sondern dass das Material stattdessen die Wände der Durchkontaktierungslöcher mit einer Dicke, die geringer als der halbe Durchmesser der Durchkontaktierungslöcher ist, bedeckt.

[0040] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts umfasst das Halbleiterchipgehäuse **100** einen oder mehrere Halbbrückenschaltkreise, wobei in jedem Halbbrückenschaltkreis zwei Halbleitertransistorchips **11** in Reihe geschaltet sind. Insbesondere kann das Halbleiterchipgehäuse **100** sechs Halbleitertransistorchips **11** umfassen, wobei jeweils zwei Halbleitertransistorchips **11** in Reihe geschaltet sind, um drei Halbbrückenschaltkreise zu bilden.

[0041] Gemäß einem Beispiel für das Halbleiterchipgehäuse **100** des ersten Aspekts ist jeder der Halbleitertransistorchips **11** mit einem der Halbleiterdiodenchips **14** parallelgeschaltet. Insbesondere kann das erste Halbleitermodul **10** sechs Halbleitertransistorchips **11** und sechs Halbleiterdiodenchips **14**, von denen jeder mit einem der Halbleitertransistorchips **11** parallelgeschaltet ist, umfassen.

[0042] Die vorliegende Offenbarung betrifft auch ein Halbleiterchipgehäuse gemäß einem zweiten Aspekt. Das Halbleiterchipgehäuse gemäß dem zweiten Aspekt umfasst einen Träger, mehrere auf dem Träger angeordnete Halbleiterchips, eine oberhalb der Halbleiterchips angeordnete erste Isolationsschicht, eine oberhalb der ersten Isolationsschicht angeordnete Metallisierungsschicht, wobei die Metallisierungsschicht mehrere erste metallische Bereiche umfasst, die elektrische Verbindungen zwischen ausgewählten der Halbleiterchips bilden, eine oberhalb der Metallisierungsschicht angeordnete zweite Isolationsschicht, mehrere externe Anschlüsse, wobei jeder der externen Anschlüsse mit einem der ersten metallischen Bereiche verbunden ist und sich auswärts durch eine Oberfläche der zweiten Isolationsschicht hindurch erstreckt.

[0043] Das Halbleiterchipgehäuse gemäß dem zweiten Aspekt umfasst ferner die erste Isolationsschicht, die darin gebildete Durchkontaktierungsverbindungen umfasst, wobei die Durchkontaktierungsverbindungen ausgewählte der Halbleiterchips mit ausgewählten der ersten metallischen Bereiche verbinden.

[0044] Das Halbleiterchipgehäuse gemäß dem zweiten Aspekt umfasst ferner den Träger, der ein DCB-Substrat und/oder ein DAB-Substrat und/oder ein mit einem aktiven Metall hartgelötetes Substrat umfasst, wobei das Substrat eine Keramikschicht oder eine Dielektrikumsschicht umfasst.

[0045] Das Halbleiterchipgehäuse gemäß dem zweiten Aspekt umfasst ferner die mehreren Halbleiterchips, die mehrere Halbleitertransistorchips und mehrere Diodenchips umfassen.

[0046] Das Halbleiterchipgehäuse gemäß dem zweiten Aspekt umfasst ferner die Halbleitertransistorchips und die Halbleiterdiodenchips, die so verbunden sind, dass sie einen AC-AC-Wandlerschaltkreis, einen AC-DC-Wandlerschaltkreis, einen DC-AC-Wandlerschaltkreis, einen DC-DC-Wandlerschaltkreis oder einen Frequenzwandlerschaltkreis bilden.

[0047] Weitere Beispiele des Halbleiterchipgehäuses gemäß dem zweiten Aspekt können durch Hinzufügen weiterer Merkmale, wie oben in Verbindung mit dem Halbleiterchipgehäuse des ersten Aspekts beschrieben, gebildet sein.

[0048] **Fig.** 2 zeigt ein Flussdiagramm eines Verfahrens gemäß einem dritten Aspekt, wobei das Verfahren zum Herstellen eines Halbleiterchipgehäuses gemäß dem ersten oder zweiten Aspekt, wie zuvor gezeigt und beschrieben, konfiguriert ist.

[0049] Das Verfahren **200** gemäß dem dritten Aspekt umfasst Bereitstellen eines Trägers (**201**), Anbringen mehrerer Halbleiterchips auf den Träger (**202**), Auftragen einer ersten Verkapselungsschicht oberhalb der mehreren Halbleiterchips und des Trägers (**203**), Bilden von Durchkontaktierungsverbindungen in die erste Verkapselungsschicht, wobei die Durchkontaktierungsverbindungen mit den mehreren Halbleiterchips verbunden werden (**204**), Auftragen einer Metallisierungsschicht oberhalb der ersten Verkapselungsschicht, wobei die Metallisierungsschicht mehrere erste metallische Bereiche, die mit den Durchkontaktierungsverbindungen verbunden werden, umfasst (**205**), Anbringen von externen Anschlüssen an ausgewählte der ersten metallischen Bereiche (**208**) und Auftragen einer zweiten Verkapselungsschicht oberhalb der Metallisierungsschicht (**209**). Insbesondere ist es möglich, dass die Metallisierungsschicht zuerst durch Bedecken der gesamten oberen Oberfläche der ersten Verkapselungsschicht abgeschieden wird, wodurch auch die Durchkontaktierungen gefüllt werden, und anschließend die erste Metallisierungsschicht so strukturiert wird, dass die ersten metallischen Bereiche erhalten werden.

[0050] Gemäß einem Beispiel für das Verfahren des dritten Aspekts umfasst Bilden von Durchkontaktierungsverbindungen in die erste Verkapselungsschicht, Bilden von Durchkontaktierungslöchern in die erste Verkapselungsschicht und Füllen eines metallischen Materials in die Durchkontaktierungslöcher. Gemäß einem Beispiel davon wird Bilden von Durchkontaktierungslöchern in die erste Verkapselungsschicht durch Laserbohren ausgeführt. Gemäß einem weiteren Beispiel dafür wird Füllen eines metallischen Materials in die Durchkontaktierungslöcher durch elektrochemisches oder galvanisches Plattieren oder durch stromloses Plattieren ausgeführt.

[0051] Gemäß einem Beispiel für das Verfahren des dritten Aspekts umfasst das Verfahren ferner Auftragen einer Lötstopplackschicht oberhalb der Metallisierungsschicht, wobei die zweite Verkapselungsschicht oberhalb der Lötstopplackschicht und oberhalb von Seitenflächen der Lötstopplackschicht und von Seitenflächen der ersten Verkapselungsschicht aufgetragen wird.

[0052] Gemäß einem Beispiel für das Verfahren des dritten Aspekts wird Auftragen der ersten und zweiten Verkapselungsschicht durch Spritzpressen oder Formpressen ausgeführt. Insbesondere wird Auftragen der ersten Verkapselungsschicht durch Formpressen ausgeführt und wird Auftragen der zweiten Verkapselungsschicht durch Spritzpressen ausgeführt.

[0053] Weitere Beispiele für das Verfahren gemäß dem dritten Aspekt können durch Hinzufügen von Merkmalen, die oben in Verbindung mit dem Halbleiterchipgehäuse gemäß dem ersten und zweiten Aspekt beschrieben wurden, gebildet werden.

[0054] Im Folgenden wird ein Beispiel für das Verfahren aus **Fig.** 2 in Verbindung mit **Fig.** 3 und **Fig.** 4A–**Fig.** 4H beschrieben.

[0055] **Fig.** 3 zeigt eine schematische Draufsichtdarstellung eines Zwischenprodukts, das nach Anbringen von mehreren Halbleiterchips auf einen Träger erhalten wird, wobei der Träger ein DCB, wie zuvor beschrieben, sein kann. Die Halbleiterchips können Halbleitertransistorchips **11** und Halbleiterdiodenchips **14** umfassen. Das in **Fig.** 3 gezeigte Zwischenprodukt ist ein Beispiel für ein elektronisches Modul, in dem bestimmte Bereiche für Halbleiterchips **11** und **14** vorreserviert sind und andere Bereiche nahezu nicht genutzt werden oder für andere Zwecke genutzt werden können, die später gezeigt und erläutert werden. Die folgenden Schritte sind durch Querschnittsseitenansichtsdarstellungen veranschaulicht, die in einer durch Linie IV-IV aus **Fig.** 3 angezeigten Ebene dargestellt sind.

[0056] **Fig.** 4A zeigt ein DCB-Modul als ein Zwischenprodukt aus **Fig.** 3 in, wie gerade beschrieben, einer Querschnittsansicht. Mehrere solcher DCB-Module können auf einem Hilfsträger angeordnet sein.

[0057] **Fig.** 4B zeigt das Zwischenprodukt nach Auftragen einer ersten Verkapselungsschicht **12** auf die mehreren Halbleiterchips **11** und **14** und den Träger **13**. Die erste Verkapselungsschicht **12** kann zum Beispiel durch Spritzpressen aufgetragen werden, wodurch eine eWLB-Platte einschließlich der mehreren DCB-Module hergestellt wird.

[0058] **Fig.** 4C zeigt das Zwischenprodukt nach Bilden von Durchkontaktierungsverbindungen **12A** in die Verkapselungsschicht **12**, wobei die Durchkontaktierungsverbindungen **12A** jeweils mit Kontaktpads der Halbleiterchips **11** und **14** verbunden sind. Das Bilden der Durchkontaktierungsverbindungen kann durch Bilden von Durchkontaktierungen durch zum Beispiel Laserbohren und anschließendes Füllen eines metallischen Materials in die Durchkontaktierungen durch zum Beispiel elektrochemisches (galvanisches) oder stromloses Plattieren ausgeführt werden.

[0059] **Fig.** 4D zeigt das Zwischenprodukt nach Auftragen einer Metallisierungsschicht **16** auf die erste Verkapselungsschicht **12**, wobei die Metallisierungsschicht **16** mehrere metallische Bereiche **16A** umfasst, die mit den Durchkontaktierungsverbindungen **12A** verbunden sind. Insbesondere kann Auftragen der Metallisierungsschicht **16** mit dem gleichen Abscheidungsverfahren und gleichzeitig mit dem Füllen des metallischen Materials in die Durchkontaktierungen durchgeführt werden.

[0060] **Fig.** 4E zeigt das Zwischenprodukt nach Auftragen einer Lötstopplackschicht **18** auf die Metallisierungsschicht **16** und die erste Verkapselungsschicht **12**.

[0061] **Fig.** 4F zeigt das Zwischenprodukt nach Strukturieren der Lötstopplackschicht **18**, so dass Öffnungen **18A** oberhalb ausgewählter der metallischen Bereiche **16A** gebildet werden. Danach wird die Platte in einzelne Module vereinzelt, wobei jedes ein DCB-Modul beinhaltet.

[0062] **Fig.** 4G zeigt das Zwischenprodukt nach Verbinden von externen Anschlüssen **30** mit den ausgewählten metallischen Bereichen **16A**. Insbesondere kann dieser Schritt durch Platzieren des Zwischenprodukts in einer räumlichen Beziehung zu einem Leiterrahmen durchgeführt werden, wobei die externen Anschlüsse **30** als bestimmte Teile des Leiterrahmens gegeben sind. Danach werden Bonddrähte **35** zwischen Endteilen der externen Anschlüsse **30** und den ausgewählten metallischen Bereichen **16A** verbunden.

[0063] **Fig.** 4H zeigt das abgeschlossene Halbleiterchipgehäuse **100** nach Auftragen einer zweiten Verkapselungsschicht **20** auf die Lötstopplackschicht **18**, wobei die zweite Verkapselungsschicht **20** auch die Bonddrähte **35**, Teile der externen Anschlüsse **30** und Seitenflächen **12C** der ersten Verkapselungsschicht **12** verkapselt. Die zweite Verkapselungsschicht **20** muss getrennt auf jedes einzelne Modul aufgetragen werden.

[0064] **Fig.** 5 umfasst **Fig.** 5A, die im Wesentlichen das gleiche Zwischenprodukt zeigt wie zuvor in Verbindung mit **Fig.** 3 gezeigt und beschrieben, so dass die Beschreibung von Merkmalen, die zuvor beschrieben wurden, hier nicht wiederholt wird. Das Zwischenprodukt, wie in **Fig.** 5A gezeigt, zeigt einen zweiten metallischen Bereich **15**, wie es oben angedeutet wurde. Wie in **Fig.** 5B abgebildet, ist der zweite metallische Bereich **15** in ein und derselben horizontalen Ebene wie die ersten Metallisierungsbereiche **16A** der Metallisierungsschicht **16** angeordnet. Der zweite metallische Bereich **15** weist primär keine elektrische Funktion auf und die wesentliche oder einzige Funktion des zweiten metallischen Bereichs **15** ist es, überschüssige, im Betrieb des Halbleiterchipgehäuses **100** erzeugte Wärme zu dissipieren. Für diesen Zweck ist der zweite metallische Bereich **15** durch eine Durchkontaktierungsverbindung in der ersten Verkapselungsschicht **12** mit einem Be-

reich der oberen metallischen Schicht **13C** des DCB **13** verbunden. Es ist auch möglich, mehr als eine oder mehrere Durchkontaktierungsverbindungen in die erste Verkapselungsschicht **12** zu bilden und den zweiten metallischen Bereich **15** durch die mehreren Durchkontaktierungsverbindungen mit dem Bereich der oberen metallischen Schicht **13C** des DCB **13** zu verbinden. Das Zwischenprodukt, wie in **Fig.** 5A gezeigt, zeigt nur einen zweiten metallischen Bereich **15**. Es ist jedoch auch möglich, mehr als einen zweiten metallischen Bereich **15** einzurichten. Es soll angemerkt werden, dass, falls angemessen, die zweiten metallischen Bereiche **15** mit ersten metallischen Bereichen **16A** verbunden sein können. Es sollte ferner angemerkt werden, dass diese Gebiete **13C**, die mit zweiten metallischen Bereichen **15** verbunden sind, von anderen Gebieten **13C** elektrisch isoliert sind.

[0065] Fig. 6 zeigt eine Querschnittsseitenansichtsdarstellung zum Veranschaulichen eines weiteren Beispiels des Einrichtens eines zweiten metallischen Bereichs zum Dissipieren von überschüssiger Wärme. In diesem Fall ist der zweite metallische Bereich **25** auf der oberen Oberfläche der Lötstopplackschicht **18** angeordnet. Eine elektronische Vorrichtung **19.2**, von der bekannt ist, dass sie während dem Betrieb Wärme erzeugt, ist oberhalb des zweiten metallischen Bereichs **25** angeordnet und ist mit dem zweiten metallischen Bereich **25** durch ein wärmeleitendes Material **26**, wie z.B. ein Lotmaterial oder eine wärmeleitende Paste, verbunden. Um die überschüssige Wärme effizient zu dissipieren, ist der zweite metallische Bereich **25** mit einer oberen metallischen Schicht **13C** des DCB **13** durch eine Durchkontaktierungsverbindung, die in der ersten Verkapselungsschicht **12** gebildet ist, verbunden.

[0066] Obwohl die Erfindung mit Bezug auf eine oder mehrere Implementierungen veranschaulicht und beschrieben wurde, können Abänderungen und/oder Modifikationen an den veranschaulichten Beispielen vorgenommen werden, ohne vom Wesen und Schutzumfang der angehängten Ansprüche abzuweichen. Es ist beabsichtigt, mit besonderer Berücksichtigung der verschiedenen von den oben beschriebenen Komponenten oder Strukturen (Baugruppen, Vorrichtungen, Schaltkreisen, Systemen usw.) durchgeführten Funktionen, dass die Ausdrücke (einschließlich einem Bezug auf ein „Mittel“), die verwendet werden, um solche Komponenten zu beschreiben, soweit nicht anders angegeben, einer beliebigen Komponente oder Struktur entsprechen, die die spezifizierte Funktion der beschriebenen Komponente durchführt (z.B. die funktional äquivalent ist), selbst wenn sie der offenbarten Struktur, die die Funktion in den vorliegend veranschaulichten beispielhaften Implementierungen der Erfindung durchführt, strukturell nicht äquivalent ist.

Schlüssel zu den Figuren

Figur 2

201	BEREITSTELLEN EINES TRÄGERS
202	ANBRINGEN VON HALBLEITERCHIPS
203	AUFTRAGEN EINER ERSTEN VERKAPSELUNGSSCHICHT
204	BILDEN VON DURCHKONTAKTIERUNGSVERBINDUNGEN
205	AUFTRAGEN EINER METALLISIERUNGSSCHICHT
206	AUFTRAGEN EINER LÖTSTOPPLACKSCHICHT
207	STRUKTURIEREN EINER LÖTSTOPPLACKSCHICHT
208	ANBRINGEN VON EXTERNEN ANSCHLÜSSEN
209	AUFTRAGEN EINER ZWEITEN VERKAPSELUNGSSCHICHT

Patentansprüche

1. Halbleiterchipgehäuse, das Folgendes umfasst:
einen Träger;
mehrere auf dem Träger angeordnete Halbleiterchips;
eine oberhalb der Halbleiterchips angeordnete erste Verkapselungsschicht;
eine oberhalb der ersten Verkapselungsschicht angeordnete Metallisierungsschicht, wobei die Metallisierungsschicht mehrere erste metallische Bereiche umfasst, die elektrische Verbindungen zwischen ausgewählten der Halbleiterchips bilden;
eine oberhalb der Metallisierungsschicht angeordnete zweite Verkapselungsschicht; und

mehrere externe Anschlüsse, wobei jeder der externen Anschlüsse mit einem der ersten metallischen Bereiche verbunden ist und sich auswärts durch eine Oberfläche der zweiten Verkapselungsschicht hindurch erstreckt.

2. Halbleiterchipgehäuse nach Anspruch 1, wobei
der Träger eine erste Hauptfläche, eine zweite, der ersten Hauptfläche gegenüberliegende Hauptfläche und Seitenflächen, die die erste und zweite Hauptfläche verbinden, umfasst, und wobei
die erste Verkapselungsschicht auf der ersten und zweiten Hauptfläche und den Seitenflächen des Trägers angeordnet ist.

3. Halbleiterchipgehäuse nach Anspruch 2, wobei eine Lötstopplackschicht oberhalb der Metallisierungsschicht angeordnet ist; und die zweite Verkapselungsschicht auf einer Hauptfläche der Lötstopplackschicht und auf Seitenflächen der Lötstopplackschicht und auf Seitenflächen der ersten Verkapselungsschicht angeordnet ist.

4. Halbleiterchipgehäuse nach einem der vorhergehenden Ansprüche, wobei sich jeder der externen Anschlüsse auswärts durch eine Seitenfläche der zweiten Verkapselungsschicht hindurch erstreckt.

5. Halbleiterchipgehäuse nach Anspruch 4, wobei sich die externen Anschlüsse auswärts durch zwei gegenüberliegende Seitenfläche der zweiten Verkapselungsschicht hindurch erstrecken.

6. Halbleiterchipgehäuse nach einem der vorhergehenden Ansprüche, wobei die externen Anschlüsse Teil eines Leiterrahmens sind.

7. Halbleiterchipgehäuse nach einem der vorhergehenden Ansprüche, das ferner Folgendes umfasst:
elektronische Vorrichtungen, die oberhalb der ersten metallischen Bereiche gebildet sind und die mit ausgewählten der ersten metallischen Bereiche verbunden sind.

8. Halbleiterchipgehäuse nach Anspruch 7, wobei die elektronischen Vorrichtungen aus der Gruppe von passiven Vorrichtungen, aktiven Vorrichtungen, Widerständen, Shunt-Widerständen, NTC-Widerständen, Spulen, Kondensatoren, Sensoren, Stromsensoren, Treibern und Prozessoren ausgewählt sind.

9. Halbleiterchipgehäuse nach einem der vorhergehenden Ansprüche, wobei die Metallisierungsschicht zweite metallische Bereiche umfasst, die durch Durchkontaktierungsverbindungen mit einer oberen Hauptfläche des Trägers verbunden sind.

10. Halbleiterchipgehäuse nach einem der vorhergehenden Ansprüche, wobei die externen Anschlüsse mit ausgewählten der ersten metallischen Bereiche jeweils durch Bonddrähte verbunden sind.

11. Halbleiterchipgehäuse nach einem der vorhergehenden Ansprüche, wobei wenigstens ausgewählte der ersten metallischen Bereiche auf solche Weise gebildet sind, dass sie bondbare oder lötbare obere Oberflächen umfassen.

12. Halbleiterchipgehäuse, das Folgendes umfasst:
einen Träger;
mehrere auf dem Träger angeordnete Halbleiterchips;
eine oberhalb der Halbleiterchips angeordnete erste Isolationsschicht;
eine oberhalb der ersten Isolationsschicht angeordnete Metallisierungsschicht, wobei die Metallisierungsschicht mehrere erste metallische Bereiche umfasst, die elektrische Verbindungen zwischen ausgewählten der Halbleiterchips bilden;
eine oberhalb der Metallisierungsschicht angeordnete zweite Isolationsschicht; und
mehrere externe Anschlüsse, wobei jeder der externen Anschlüsse mit einem der ersten metallischen Bereiche verbunden ist und sich auswärts durch eine Oberfläche der zweiten Isolationsschicht hindurch erstreckt.

13. Halbleiterchipgehäuse nach Anspruch 12, wobei die erste Isolationsschicht darin gebildete Durchkontaktierungsverbindungen umfasst, wobei die Durchkontaktierungsverbindungen ausgewählte der Halbleiterchips mit ausgewählten der ersten metallischen Bereiche verbinden.

14. Halbleiterchipgehäuse nach Anspruch 12 oder 13, wobei der Träger ein DCB(Direct Copper Bonded)-Substrat und/oder ein DAB(Direct Aluminium Bonded)-Substrat und/oder ein mit einem aktiven Metall hartgelötetes Substrat umfasst, wobei das Substrat eine Keramiksschicht oder eine Dielektrikumsschicht umfasst.

15. Halbleiterchipgehäuse nach einem der Ansprüche 12 bis 14, wobei die mehreren Halbleiterchips mehrere Halbleitertransistorchips und mehrere Diodenchips umfassen.

16. Halbleiterchipgehäuse nach Anspruch 15, wobei die Halbleitertransistorchips und die Halbleiterdiodenchips so verbunden sind, dass sie einen AC-AC-Wandlerschaltkreis, einen AC-DC-Wandlerschaltkreis, einen DC-AC-Wandlerschaltkreis, einen DC-DC-Wandlerschaltkreis oder einen Frequenzwandlerschaltkreis bilden.

17. Verfahren zum Herstellen eines Halbleiterchipgehäuses, wobei das Verfahren Folgendes umfasst:
Bereitstellen eines Trägers;
Anbringen mehrerer Halbleiterchips auf den Träger;
Auftragen einer ersten Verkapselungsschicht oberhalb der mehreren Halbleiterchips und des Trägers;
Bilden von Durchkontaktierungsverbindungen in die erste Verkapselungsschicht, wobei die Durchkontaktierungsverbindungen mit den mehreren Halbleiterchips verbunden werden;
Auftragen einer Metallisierungsschicht oberhalb der ersten Verkapselungsschicht, wobei die Metallisierungsschicht mehrere erste metallische Bereiche, die mit den Durchkontaktierungsverbindungen verbunden werden, umfasst;
Anbringen von externen Anschlüssen an ausgewählte der ersten metallischen Bereiche; und
Auftragen einer zweiten Verkapselungsschicht oberhalb der Metallisierungsschicht.

18. Verfahren nach Anspruch 17, wobei Bilden von Durchkontaktierungsverbindungen in die erste Verkapselungsschicht Bilden von Durchkontaktierungslöchern in die erste Verkapselungsschicht durch Laserbohren und galvanisches Füllen eines metallischen Materials in die Durchkontaktierungslöcher umfasst.

19. Verfahren nach Anspruch 17 oder 18, das ferner Folgendes umfasst:
Auftragen einer Lötstopplackschicht oberhalb der Metallisierungsschicht, wobei
die zweite Verkapselungsschicht oberhalb der Lötstopplackschicht und oberhalb von Seitenflächen der Lötstopplackschicht und von Seitenflächen der ersten Verkapselungsschicht aufgetragen wird.

Es folgen 9 Seiten Zeichnungen

Anhängende Zeichnungen

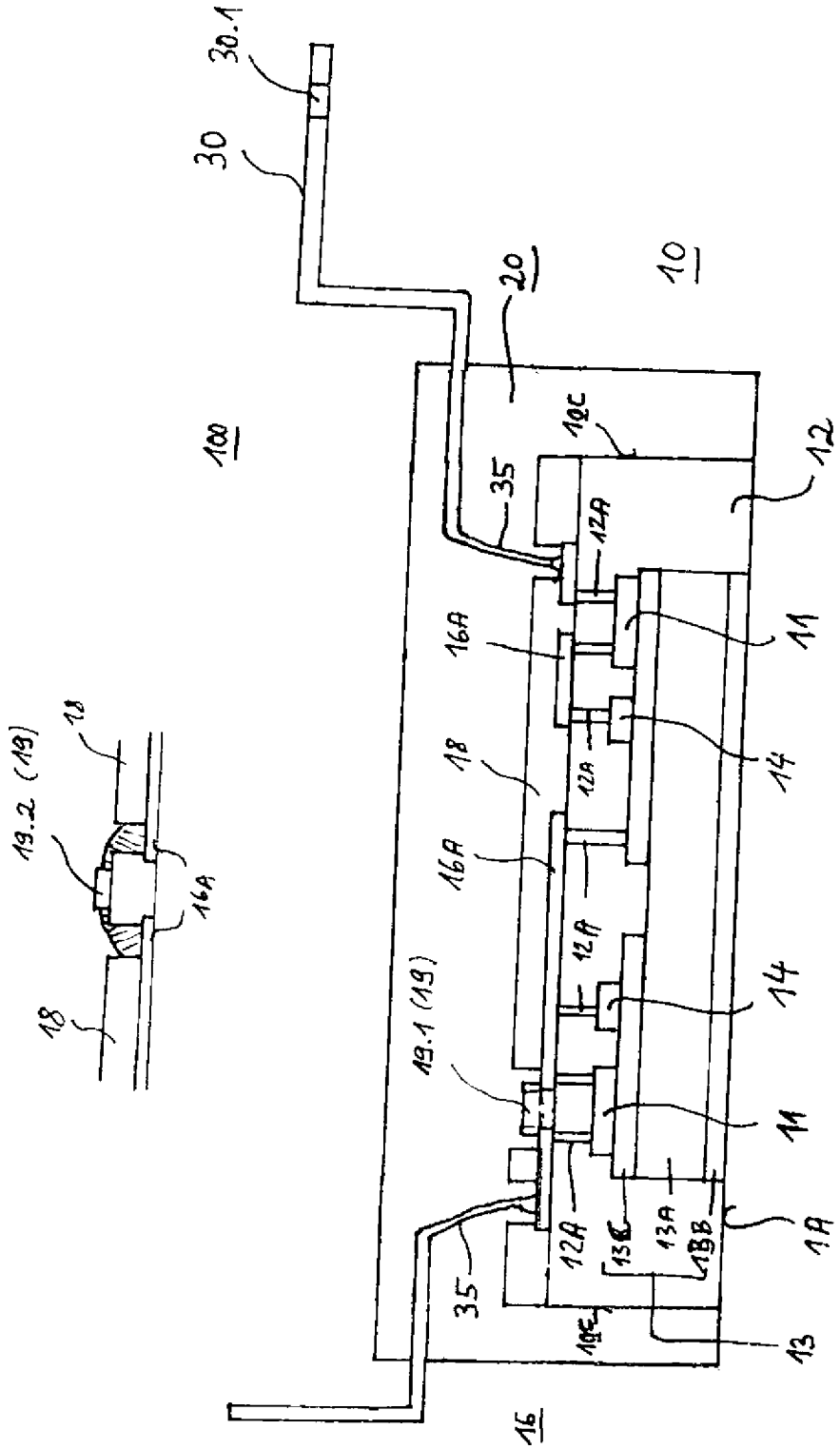


Fig. 1

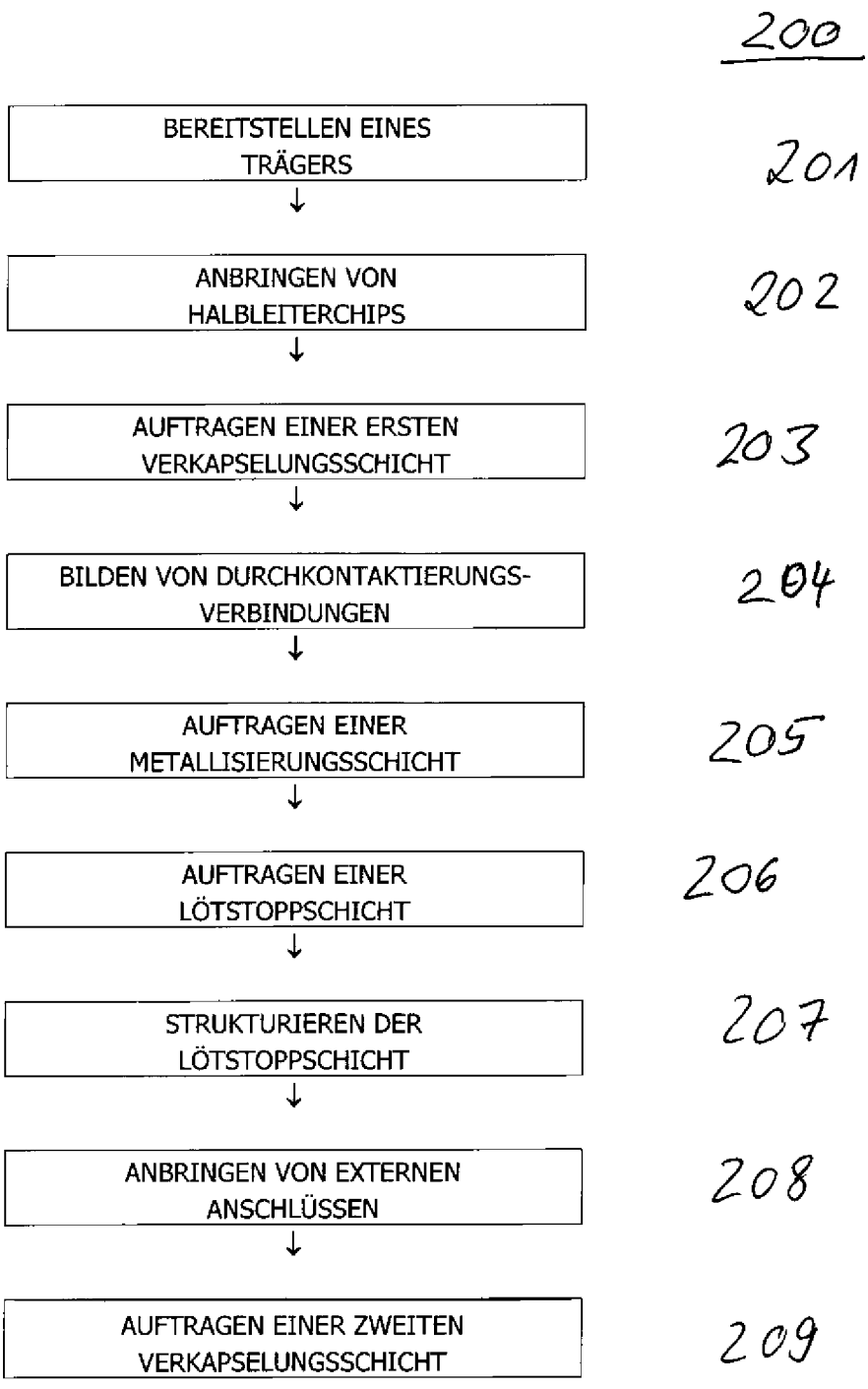

200
BEREITSTELLEN EINES TRÄGERS
201
ANBRINGEN VON HALBLEITERCHIPS
202
AUFTRAGEN EINER ERSTEN VERKAPSELUNGSSCHICHT
203
BILDEN VON DURCHKONTAKTIERUNGS-VERBINDUNGEN
204
AUFTRAGEN EINER METALLISIERUNGSSCHICHT
205
AUFTRAGEN EINER LÖTSTOPPSCHICHT
206
STRUKTURIEREN DER LÖTSTOPPSCHICHT
207
ANBRINGEN VON EXTERNEN ANSCHLÜSSEN
208
AUFTRAGEN EINER ZWEITEN VERKAPSELUNGSSCHICHT
209

Fig. 2

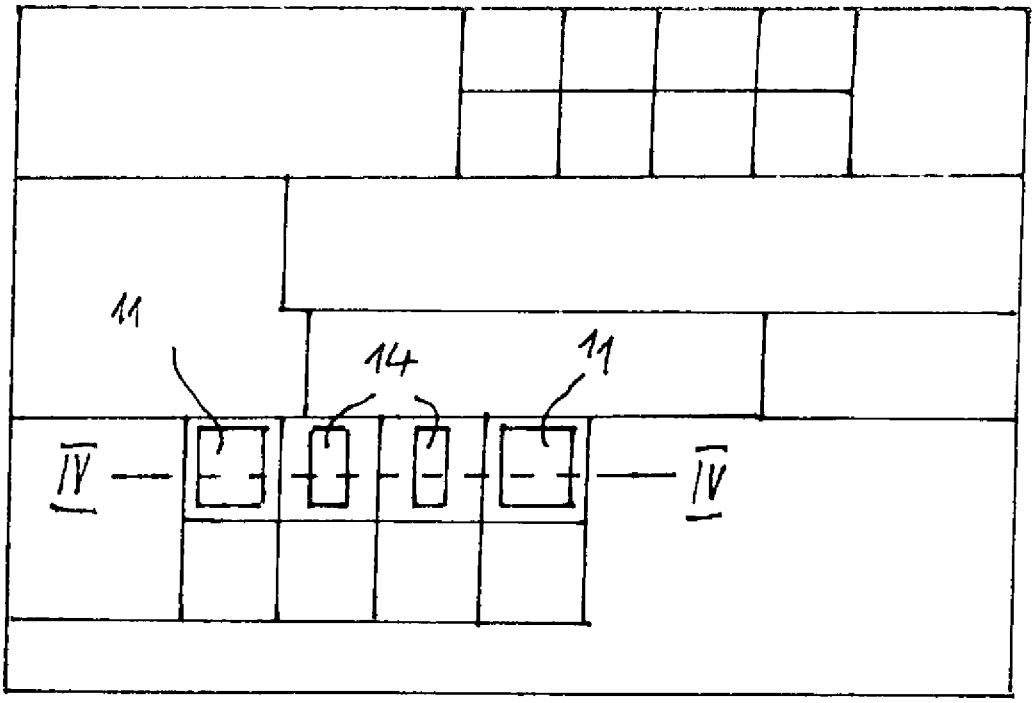
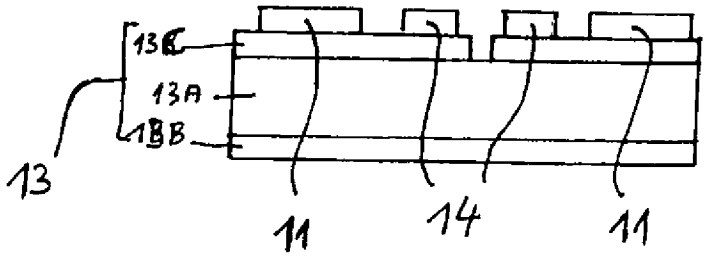
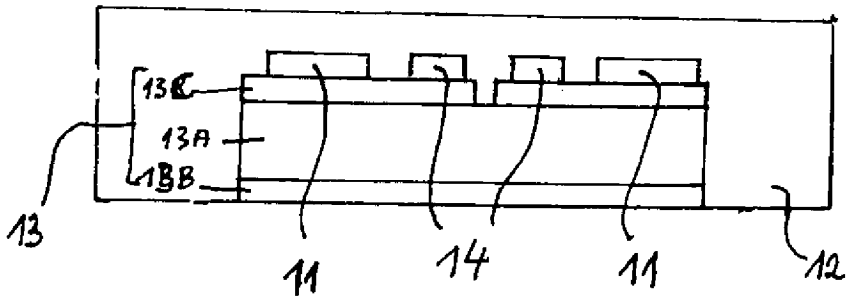


Fig. 3

A


13C
13A
13B
13
11
14
11

B


13C
13A
13B
13
11
14
11
12

C

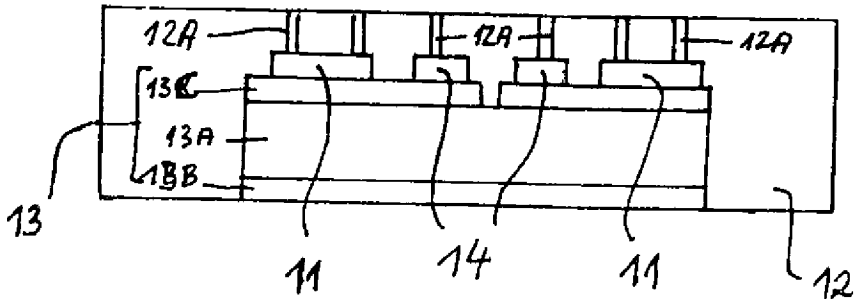
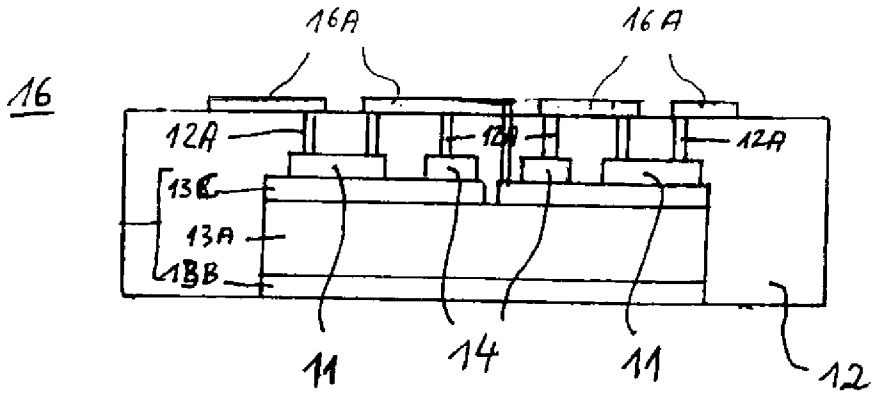
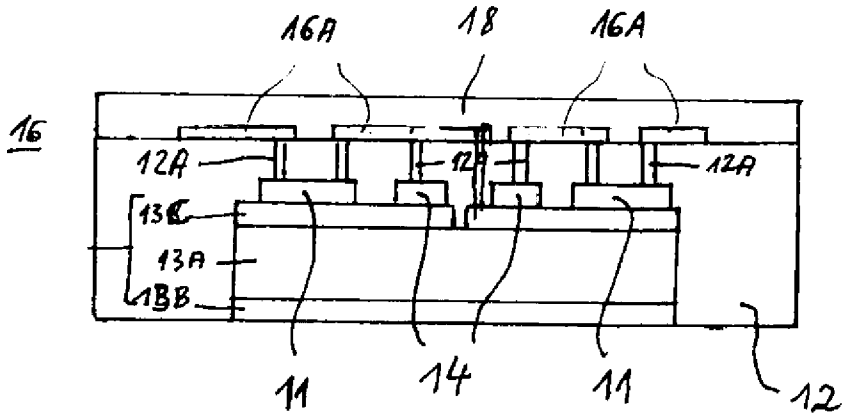

12A
12A
12A
13C
13A
13B
13
11
14
11
12

Fig. 4

D


16
16A
16A
12A
12A
12A
13C
13A
13B
11
14
11
12

E


16
16A
18
16A
12A
12A
12A
13C
13A
13B
11
14
11
12

F

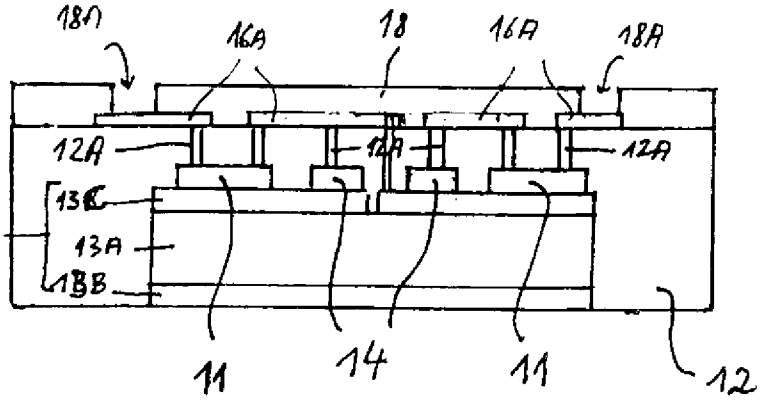

18A
16A
18
16A
18A
12A
12A
12A
13C
13A
13B
11
14
11
12

Fig. 4

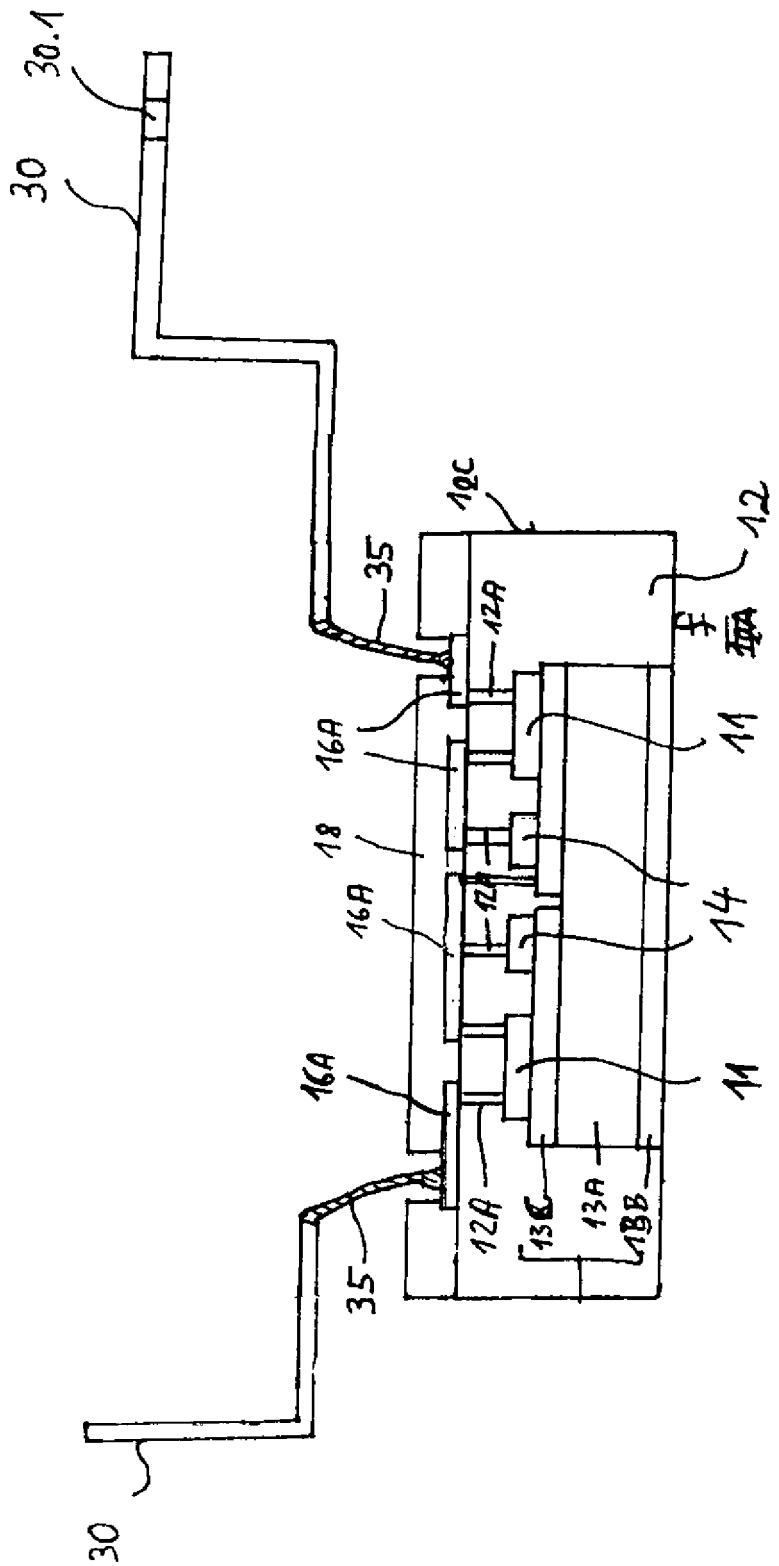

30.1
30
35
12C
12
12A
16A
11
18
14
16A
12A
11
16A
12A
13C
13A
13B
35
30

Fig. 4G

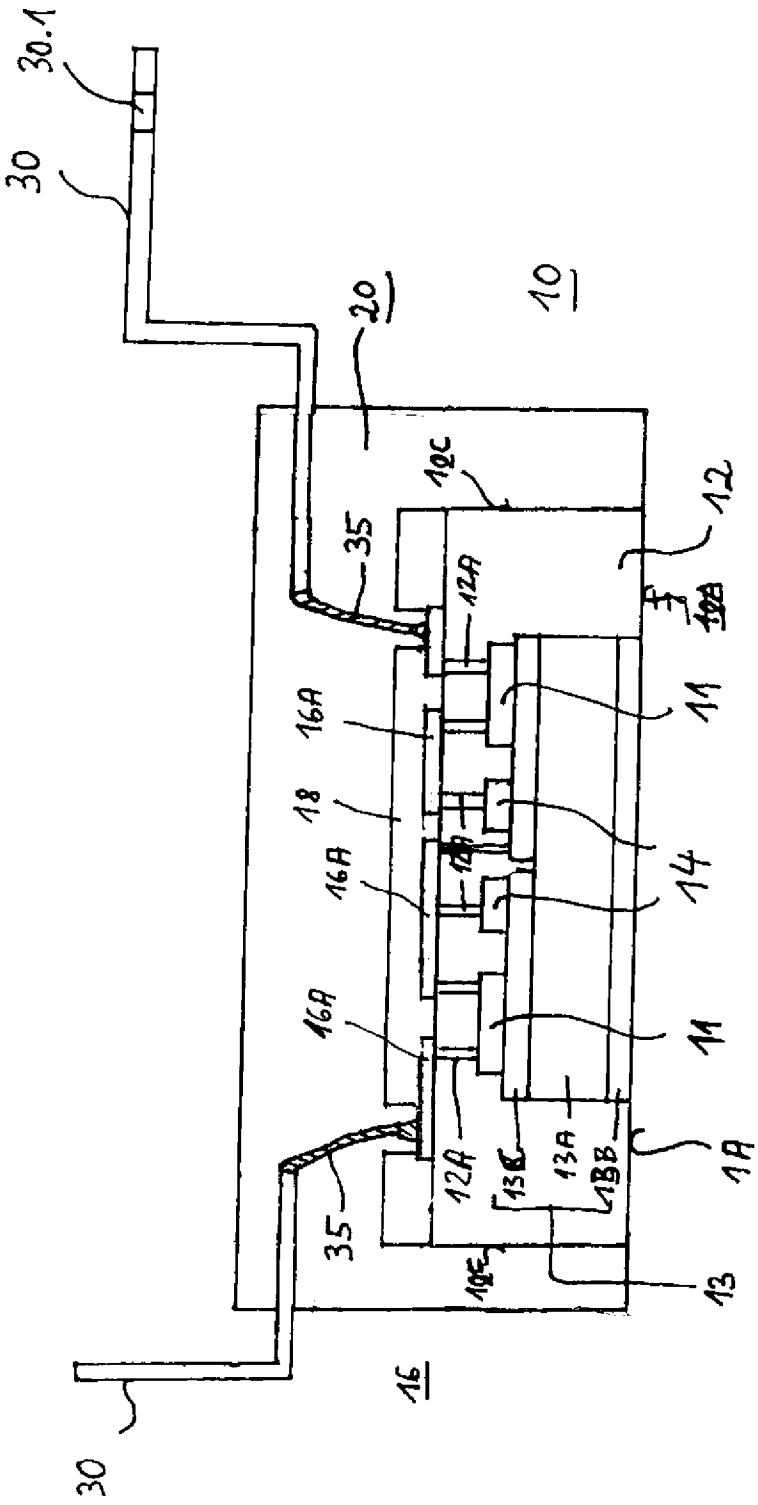

30.1
30
20
10
19C
12
35
12A
11
16A
18
14
16A
11
16A
12A
13C
13A
13B
1A
35
13
19E
16
30

Fig. 4H

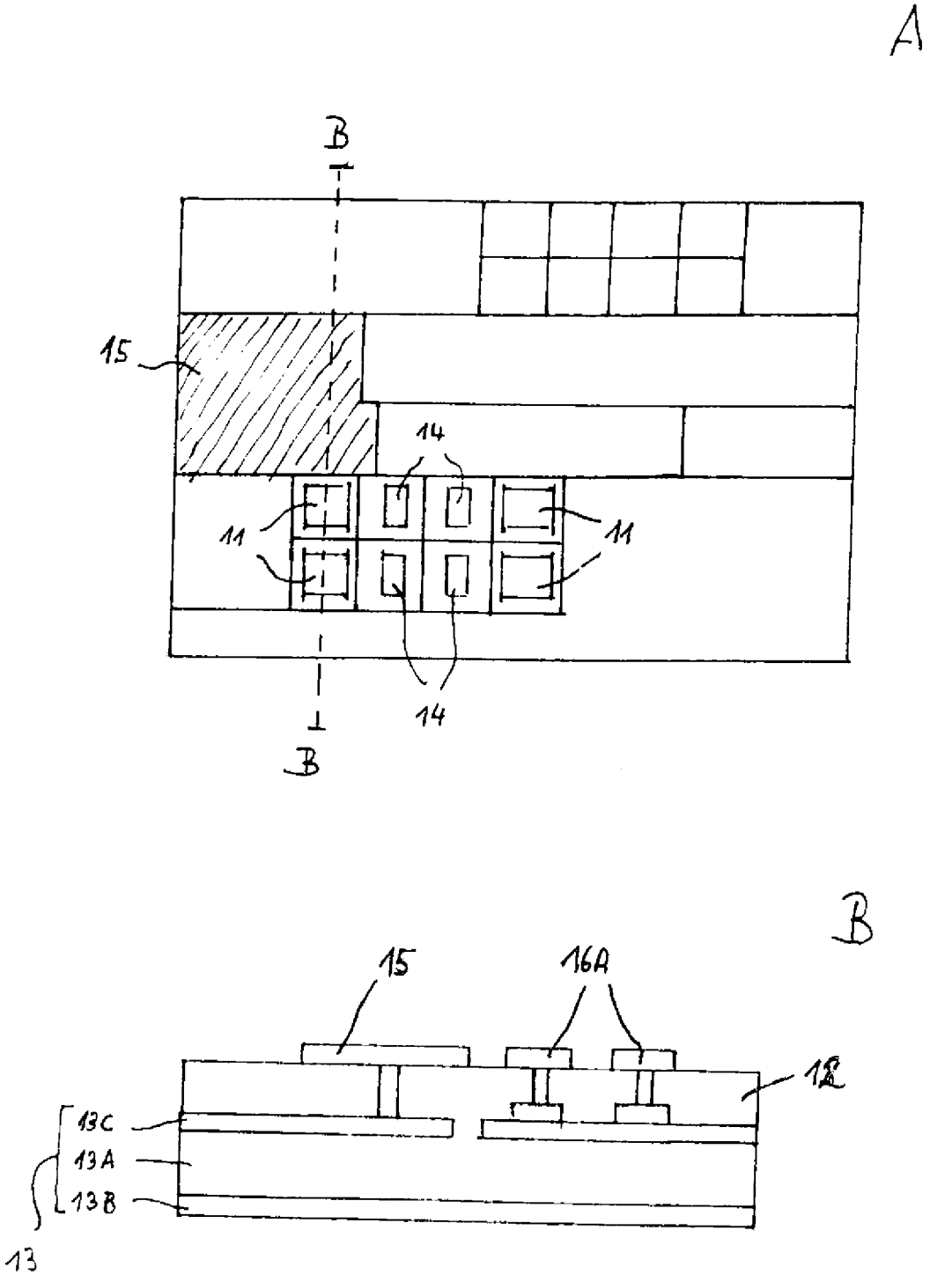


Fig. 5

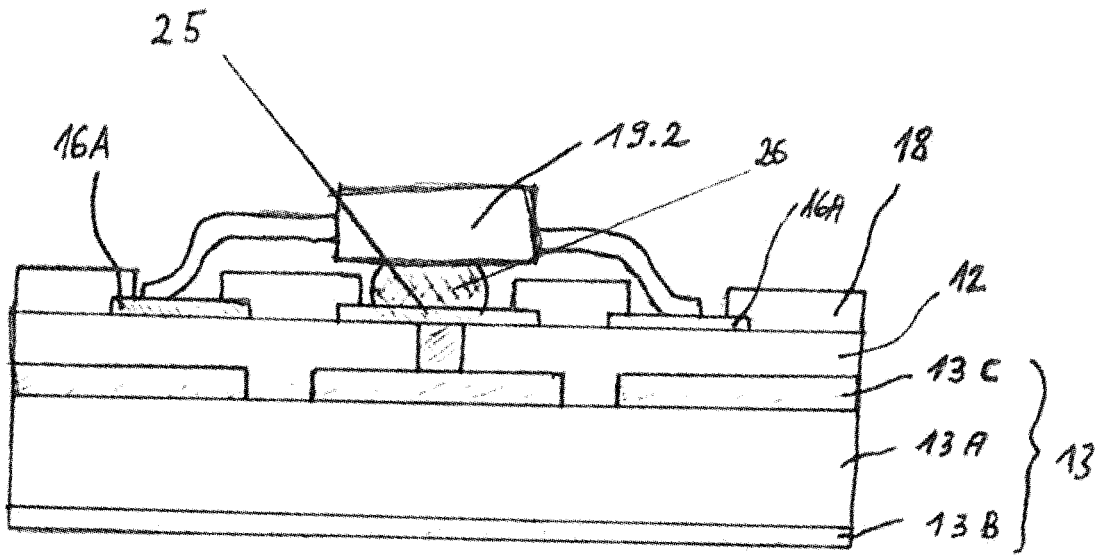


Fig. 6