



(10) **DE 10 2007 004 789 B4** 2014.10.16

(12)

## Patentschrift

(21) Aktenzeichen: **10 2007 004 789.6**  
(22) Anmeldetag: **31.01.2007**  
(43) Offenlegungstag: **23.08.2007**  
(45) Veröffentlichungstag  
der Patenterteilung: **16.10.2014**

(51) Int Cl.: **H01L 21/8232 (2006.01)**  
**H01L 27/085 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**11/354,616 15.02.2006 US**

(73) Patentinhaber:  
**Infineon Technologies AG, 81669 München, DE**

(74) Vertreter:  
**Kindermann, Patentanwälte, 85598 Baldham, DE**

(72) Erfinder:  
**Lindsay, Richard, Fishkill, N.Y., US**

(56) Ermittelter Stand der Technik:

**DE 10 2006 030 647 A1**  
**US 2003 / 0 227 036 A1**  
**US 2004 / 0 221 792 A1**  
**US 2005 / 0 093 018 A1**

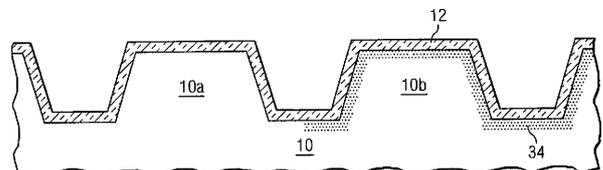
**IRISAWA, Toshifumi [et al.]: High Current Drive Uniaxially-Strained SGOI pMOSFETs Fabricated by Lateral Strain Relaxation Technique. In: Symp. VLSI Techn. 2005, S. 178-179.**

**V. CHAN [et al.]: Strain for CMOS performance Improvement. In: Proceedings of the IEEE Custom Integrated Circuits Conference, 2005, S. 667-674**

(54) Bezeichnung: **Halbleiteranordnung, Multi-Gate-Feldeffekttransistor und Verfahren zur Herstellung einer Halbleiteranordnung**

(57) Hauptanspruch: Verfahren zur Herstellung einer Halbleiteranordnung mit den Schritten:

Bereitstellen eines Halbleiterkörpers (10);  
Amorphisieren einer oberen Oberfläche des Halbleiterkörpers (10);  
Ausbilden eines Spannungs-erzeugenden Liners (12) über der amorphisierten oberen Oberfläche;  
Tempern der oberen Oberfläche nach dem Ausbilden des spannungs-erzeugenden Liners (12), so dass eine verspannte Halbleiterschicht (16) gebildet wird; und  
Ausbilden eines Transistors (14) an der oberen Oberfläche nach dem Tempern der oberen Oberfläche und  
Ausbilden eines Isolationsgrabens (28) in dem Halbleiterkörper (10) vor dem Ausbilden des Spannungs-erzeugenden Liners (12).



## Beschreibung

**[0001]** Die Erfindung bezieht sich im Allgemeinen auf eine Halbleiteranordnung, einen Multi-Gate-Feldeffekttransistor und Verfahren zur Herstellung einer Halbleiteranordnung und im speziellen auf Anordnungen und Verfahren zum Abstimmen von mechanischen Spannungen in Transistoren, um die Leistungsfähigkeit zu verbessern.

**[0002]** Halbleiteranordnungen werden in einer Vielzahl von elektronischen Anordnungen verwendet, wie z. B. Computern, Handys und anderen. Eines der Ziele der Halbleiterindustrie ist es, die Geschwindigkeit einzelner Anordnungen weiter zu erhöhen und ihre Abmessungen weiter zu verkleinern. Kleinere Anordnungen können bei höheren Geschwindigkeiten arbeiten, weil der körperliche Abstand zwischen den Bauelementen kleiner ist. Darüber hinaus ersetzen Materialien mit einer höheren Leitfähigkeit, wie z. B. Kupfer, Materialien mit einer niedrigeren Leitfähigkeit, wie z. B. Aluminium. Eine weitere Herausforderung ist es, die Beweglichkeit der Halbleiterladungsträger, wie z. B. Elektronen und Löcher, zu erhöhen.

**[0003]** Ein Verfahren zur Verbesserung der Transistor-Leistungsfähigkeit ist es, das Halbleiter-Kristallgitter nahe des Ladungsträger-Kanal-Gebiets zu verspannen (z. B. zu deformieren). Transistoren, die z. B. auf verspanntem Silizium (strained silicon) hergestellt werden, weisen eine höhere Ladungsträger-Beweglichkeit auf als solche, die unter Verwendung herkömmlicher Substrate hergestellt werden. Ein Verfahren zum Verspannen von Silizium ist das Bereitstellen einer Germanium- oder Silizium-Germanium-Schicht. Eine dünne Schicht von Silizium kann über der Germanium enthaltenden Schicht aufgewachsen werden. Da das Kristallgitter von Germanium größer als das von Silizium ist, erzeugt die Germanium enthaltende Schicht eine Spannung aufgrund von Gitterfehlpassung in angrenzenden Schichten. Transistoren mit verspanntem Kanal können dann in der Schicht von verspanntem Silizium ausgebildet werden.

**[0004]** Ein weiteres Verfahren ist das Bereitstellen einer Verspannungsschicht über dem Transistor. Varianten von Verspannungsschichten können verwendet werden, um die Beweglichkeit und Leistungsfähigkeit von Anordnungen zu erhöhen. Beispielsweise kann eine mechanische Spannung durch eine Kontakt-Ätzstopp-Schicht (CESL), einzelne Schichten, doppelte Schichten, Spannungs-Speicher-Übertragungsschichten und STI Liner bereitgestellt werden. Die meisten dieser Verfahren verwenden Nitrid-Schichten zum Bereitstellen von Zug- und Druckspannungen; dennoch können andere Materialien in anderen Anwendungen verwendet werden, z. B. HDP Oxid-Schichten.

**[0005]** Ein weiteres Verfahren zur Erzeugung von mechanischen Spannungen im Transistor verwendet ein abgeändertes flaches Graben-Isolations(STI)-Gebiet. Ein Verfahren weist ein Beschichten einer STI-Vertiefung mit einem Stressor vor einem Füllen der Vertiefung mit einem Dielektrikum auf. Der Stressor kann dann eine mechanische Spannung an den angrenzenden Halbleiter weitergeben.

**[0006]** Aus der Druckschrift V. Chan et. al.: Strain for CMOS performance Improvement; proceedings of the IEEE Custom Integrated Circuits Conference, 2005, S. 667–674, ist ein Verfahren bekannt, bei dem zum Erzeugen einer Verspannung im Kanalgebiet eines Transistors zunächst die Source-/Drain-Gebiete sowie das Poly-Gate durch Implantation amorphisiert werden. Eine Nitridschicht wird als zugverspannte Schicht über dem Transistor ausgebildet. Anschließend werden in einem Tempersschritt die Source-/Drain-Gebiete sowie das amorphe Gatematerial rekristallisiert und die Nitridschicht wird entfernt. Durch die Rekristallisation unter Einwirkung der verspannten Nitridschicht wird eine Verspannung in den rekristallisierten Bereichen gespeichert. Dies führt zwar indirekt auch zu einer Verspannung im Kanalgebiet des Transistors, jedoch ist diese Verspannung begrenzt.

**[0007]** Ein gattungsgemäßer Multi-Gate-Feldeffekt-Transistor ist aus der Druckschrift US 2003/0 227 036 A1, eine gattungsgemäße Halbleiteranordnung aus der Druckschrift US 2005/0 093 018 A1 bekannt

**[0008]** Der Erfindung liegt daher die Aufgabe zugrunde, eine verbesserte Halbleiteranordnung und einen verbesserten Multi-Gate-Feldeffekt-Transistor hoher Leistungsfähigkeit sowie einfache und kostengünstige Verfahren zur Herstellung einer Halbleiteranordnung mit leistungsverbessernder Verspannung anzugeben.

**[0009]** Diese Aufgabe wird hinsichtlich der Verfahren durch ein erstes, zweites, drittes und viertes Verfahren zur Herstellung einer Halbleiteranordnung gemäß Patentanspruch 1, 14, 18 und 27, hinsichtlich der Halbleiteranordnung durch die Merkmale gemäß Patentanspruch 31 und hinsichtlich des Multi-Gate-Feldeffekt-Transistors durch die Merkmale gemäß Patentanspruch 34 gelöst.

**[0010]** Hinsichtlich eines ersten Verfahrens zur Herstellung einer Halbleiteranordnung wird die Aufgabe durch ein Verfahren gelöst, bei dem ein Halbleiterkörper bereitgestellt wird. Eine obere Oberfläche des Halbleiterkörpers wird amorphisiert und ein Spannungs-erzeugender Liner wird über der amorphisierten oberen Oberfläche ausgebildet. Die obere Oberfläche wird nach dem Ausbilden des Spannungs-erzeugenden Liners getempert und ein Transistor wird nach dem Tempern an der oberen Ober-

fläche ausgebildet. Ein Isolationsgraben wird in dem Halbleiterkörper vor dem Ausbilden des Spannungs-erzeugenden Liners ausgebildet.

**[0011]** Hinsichtlich eines zweiten Verfahrens zur Herstellung einer Halbleiteranordnung wird die Aufgabe durch ein Verfahren gelöst, bei dem ein Halbleiterkörper bereitgestellt wird und ein Isolationsgraben in dem Halbleiterkörper ausgebildet wird. Ein erster Teilbereich des Halbleiterkörpers wird maskiert, so dass ein an den Isolationsgraben angrenzender, zweiter Teilbereich des Halbleiterkörpers unmaskiert bleibt.

**[0012]** Eine amorphisierende Implantation wird durchgeführt, so dass eine obere Schicht des zweiten Teilbereichs des Halbleiterkörpers amorphisiert wird, während der erste Teilbereich maskiert ist. Ein Spannungs-erzeugender Liner wird über zumindest der oberen Schicht des zweiten Teilbereichs des Halbleiterkörpers abgeschieden und der zweite Teilbereich des Halbleiterkörpers wird nach dem Ausbilden des Spannungs-erzeugenden Liners getempert. Der Spannungs-erzeugende Liner wird entfernt und ein Transistor wird danach ausgebildet, welcher einen in der oberen Schicht des zweiten Teilbereichs des Halbleiterkörpers angeordneten Stromweg aufweist.

**[0013]** Hinsichtlich eines dritten Verfahrens zur Herstellung einer Halbleiteranordnung wird die Aufgabe durch ein Verfahren gelöst, bei dem ein Halbleiterkörper bereitgestellt wird und ein Isolationsgraben im Halbleiterkörper ausgebildet wird. Eine obere Oberfläche des an den Isolationsgraben angrenzenden Halbleiterkörpers wird amorphisiert und ein Spannungs-erzeugender Liner wird über der oberen Oberfläche des Halbleiterkörpers abgeschieden. Die obere Oberfläche des Halbleiterkörpers wird nach dem Abscheiden des Spannungs-erzeugenden Liners getempert, so dass die obere Oberfläche einen im Wesentlichen kristallinen Zustand aufweist. Der Spannungs-erzeugende Liner wird entfernt und der Isolationsgraben wird mit einem Isoliermaterial gefüllt. Ein elektronisches Bauelement wird an der oberen Oberfläche des an den Isolationsgraben angrenzenden Halbleiterkörpers nach dem Tempern der oberen Oberfläche des Halbleiterkörpers ausgebildet, wobei das Ausbilden des Isolationsgrabens vor dem Abscheiden des Spannungs-erzeugenden Liners erfolgt.

**[0014]** Hinsichtlich eines vierten Verfahrens zur Herstellung einer Halbleiteranordnung wird die Aufgabe durch ein Verfahren gelöst, bei dem eine über einem Teilbereich eines Substrats liegende Halbleiter-Rippe bereitgestellt wird und zumindest ein oberer Teilbereich der Halbleiter-Rippe amorphisiert wird. Ein Spannungs-erzeugender Liner wird über der Halbleiter-Rippe ausgebildet und die Halbleiter-Rippe wird nach dem Ausbilden des Spannung-erzeugenden Li-

ners getempert. Der Spannungs-erzeugende Liner wird entfernt, wobei ferner eine Gate-Elektrode über einem Teilbereich der Rippe ausgebildet wird.

**[0015]** Hinsichtlich der Halbleiteranordnung wird die Aufgabe gelöst durch eine Halbleiteranordnung mit einem Halbleiterkörper und zumindest einem Isolationsgraben, der in dem Halbleiterkörper ausgebildet ist. Eine verspannte Halbleiterschicht ist an einer oberen Oberfläche des Halbleiterkörpers angeordnet. Ein Kanal-Gebiet ist in der verspannten Halbleiterschicht angeordnet, über dem Kanal-Gebiet liegt ein Gate-Dielektrikum und über dem Gate-Dielektrikum liegt eine Gate-Elektrode. Ein Source-Gebiet ist in dem Halbleiterkörper angeordnet und ein Drain-Gebiet ist in dem Halbleiterkörper angeordnet und von dem Source-Gebiet durch das Kanal-Gebiet beabstandet. Die verspannte Halbleiterschicht ist auch an zumindest einer Seitenwand und einem Teil einer Bodenoberfläche des zumindest einen Isolationsgrabens angeordnet und ist erhältlich nach dem Verfahren gemäß Patentanspruch 1.

**[0016]** Hinsichtlich des Multi-Gate-Feldeffekt-Transistors wird die Aufgabe gelöst durch einen Multi-Gate-Feldeffekt-Transistor mit einem Halbleiterkörper mit einer Halbleiterrippe. An einer oberen Oberfläche der Halbleiterrippe ist eine verspannte Halbleiterschicht angeordnet. Ein Kanal-Gebiet ist in der verspannten Halbleiterschicht angeordnet. Ein Gate-Dielektrikum liegt über dem Kanal-Gebiet und eine Gate-Elektrode liegt über dem Gate-Dielektrikum und über Seitenwänden der Halbleiterrippe. Ein Source-Gebiet ist in der Halbleiterrippe angeordnet und ein Drain-Gebiet ist in der Halbleiterrippe angeordnet und von dem Source-Gebiet durch das Kanal-Gebiet beabstandet. Die verspannte Halbleiterschicht ist erhältlich nach dem Verfahren gemäß Patentanspruch 27.

**[0017]** In den Unteransprüchen sind weitere vorteilhafte Ausführungsbeispiele der Erfindung gekennzeichnet.

**[0018]** Das Vorangegangene hat die Merkmale der vorliegenden Erfindung eher breit umrissen. Zusätzliche Merkmale der Erfindung, welche den Gegenstand der Ansprüche der Erfindung darstellen, werden nachfolgend beschrieben. Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnungen näher beschrieben. Es zeigen:

**[0019]** Fig. 1a, Fig. 1b, Fig. 2a und Fig. 2b Diagramme zur Erläuterung einer Theorie hinter den Ideen der vorliegenden Erfindung;

**[0020]** Fig. 3 eine unter Verwendung von Verfahren der vorliegenden Erfindung hergestellte nicht beanspruchte Transistoranordnung;

**[0021]** Fig. 4a–Fig. 4f Schnittansichten einer Halbleiteranordnung in verschiedenen Stadien der Herstellung gemäß eines ersten Ausführungsbeispiels;

**[0022]** Fig. 5a–Fig. 5b Schnittansichten einer teilweise fertiggestellten Halbleiteranordnung zur Veranschaulichung eines erfindungsgemäßen Verfahrens gemäß eines zweiten Ausführungsbeispiels;

**[0023]** Fig. 6 eine Draufsicht auf zwei aktive Gebiete einer Halbleiteranordnung darstellt;

**[0024]** Fig. 7a–Fig. 7b Schnittansichten einer teilweise fertiggestellten Halbleiteranordnung zur Veranschaulichung eines erfindungsgemäßen Verfahrens gemäß eines dritten Ausführungsbeispiels;

**[0025]** Fig. 8a–Fig. 8c Schnittansichten einer teilweise fertiggestellten, nicht beanspruchten Halbleiteranordnung zur Veranschaulichung eines erfindungsgemäßen Verfahrens gemäß eines vierten Ausführungsbeispiels; und

**[0026]** Fig. 9a–Fig. 9e perspektivische Ansichten einer Halbleiteranordnung in verschiedenen Stadien der Herstellung zur Veranschaulichung eines erfindungsgemäßen Verfahrens gemäß eines fünften Ausführungsbeispiels.

**[0027]** Übereinstimmende Ziffern und Symbole der verschiedenen Figuren beziehen sich im Allgemeinen, sofern nicht anders gekennzeichnet, auf übereinstimmende Teile. Die Figuren wurden gezeichnet, um die relevanten Aspekte der bevorzugten Ausführungsbeispiele klar darzustellen und sind nicht notwendigerweise maßstabsgerecht gezeichnet. Zur genaueren Erläuterung bestimmter Ausführungsbeispiele kann ein Buchstabe, welcher Veränderungen der gleichen Struktur, des Materials oder des Verfahrensschritts anzeigt, einer Figurenzahl folgen.

**[0028]** Die vorliegende Erfindung wird nun mit Bezug auf bevorzugte Ausführungsbeispiele in einem spezifischen Zusammenhang beschrieben, und zwar für ein Verfahren zur Verbesserung der Ladungsträger-Beweglichkeit in einer CMOS-Anordnung. Ideen der Erfindung können jedoch auch für andere elektronische Anordnungen verwendet werden. So können z. B. Bipolar-Transistoren (oder BiCMOS) Ideen der vorliegenden Erfindung verwenden.

**[0029]** Fig. 1 und Fig. 2 werden zunächst zur Darstellung einer Theorie hinter der Grundidee von Ausführungsbeispielen der vorliegenden Erfindung verwendet. In Fig. 3 ist eine beispielhafte Transistoranordnung dargestellt und mit Bezug auf die Fig. 4–Fig. 8 werden dann verschiedenen Verfahren zum Ausbilden von Transistoranordnungen, welche diese Ideen verwenden, beschrieben.

**[0030]** Die hierin beschriebene Theorie wird als Verständnishilfe bereitgestellt. Allerdings sollte wahrgenommen werden, dass die Erfindung nicht an diese Theorie gebunden ist. Experimentelle Ergebnisse zeigen, dass in rekristallisiertem Silizium mechanische Spannungen verbleiben, sobald eine Topographie vorhanden ist. Die hierin bereitgestellten Erklärungen sind das beste Verständnis der Erfinder, warum diese Phänomene auftreten.

**[0031]** Sowohl in Fig. 1, welche die Fig. 1a und Fig. 1b aufweist, als auch in Fig. 2, welche die Fig. 2a und Fig. 2b aufweist, weist ein Halbleiterkörper **10** eine darauf ausgebildete Spannungs-erzeugende Schicht **12** auf. In dem Ausführungsbeispiel gemäß Fig. 1 ist die Schicht **12** ein Zug-Liner, welcher eine lokale Druckspannung im Halbleiter **10** erzeugen kann. Diese Struktur kann vorzugsweise für n-Kanal Anordnungen verwendet werden. In dem Ausführungsbeispiel gemäß Fig. 2 ist die Schicht **12** ein Druck-Liner, welcher eine Zugspannung im Halbleiter **10** erzeugt. Diese Struktur kann z. B. für p-Kanal Anordnungen verwendet werden.

**[0032]** In anderen Ausführungsbeispielen könnte eine Druckspannung einer p-Kanal Anordnung nutzen und/oder eine Zugspannung könnte einer n-Kanal Anordnung nutzen. Beispielsweise ist es möglich, dass bei bestimmten Geometrien (z. B. Kanten) die Verspannung umgekehrt sein könnte, d. h. ein Zug-Liner kann das Substrat in Teilen, z. B. an den Kanten, zusammendrückend hinterlassen. (Es ist ebenso möglich, dass die Theorie ungenau ist und zu anderen mechanischen Spannungen als den hierin beschriebenen führt.) Wie nachfolgend erläutert wird, wird in einigen Ausführungsbeispielen eine zweiachsige, mechanische Spannung erzeugt, wodurch sich Verbesserungsmöglichkeiten sowohl für PMOS als auch für NMOS mit einer Zugspannung im Silizium ergeben.

**[0033]** Fig. 1b und Fig. 2b zeigen eine Darstellung der Grenzen auf Molekülebene (und sind offensichtlich nicht maßstabsgerecht zu den Fig. 1a und Fig. 2a).

**[0034]** Das in den Fig. 1 und Fig. 2 dargestellte Verfahren verwendet ein Spannungs-Speicher-Verfahren (stress memory technique) zu einem Zeitpunkt im Verfahrens-Ablauf, bevor Transistoren ausgebildet werden. Ein Ziel ist es, eine mechanische Spannung in dem Kanal dieser auszubildenden Transistoren durch ein Amorphisieren der oberen Oberfläche und ein Ausbilden eines Beanspruchungs-Liners bzw. Spannungs-erzeugenden Liners nach einem Ätzen von Isolationsgräben, aber vor der Herstellung der Transistoren einzuschließen. In diesem Verfahren wird das gesamte aktive Gebiet für jeden vorgegebenen Transistor verspannt, so dass das größere, verspannte Volumen (z. B. größeres Gebiet und/

oder größere Tiefe) des Halbleiters zu einem höheren Spannungsniveau führen sollte. Ein tieferes Amorphisieren wird zu höheren Spannungsniveaus führen. Weil diese Vorgehensweise vor dem Ausbilden des Gates durchgeführt wird, kann das Amorphisieren tiefer als die Höhe des Gates sein.

**[0035]** Fig. 1 zeigt das aktive Gebiet **10** für einen n-Kanal Transistor. In diesem Fall kann eine Druckspannung durch einen Zug-Liner erzeugt werden. Bei der Kristallisation drückt der Zug-Liner **12** das Silizium an der amorphen Grenzfläche des Halbleiterkörpers **10** zusammen, so dass einige Gitter-Ebenen aufhören zu wachsen. Wenn der Liner **12** entfernt wird, verbleibt eine Zugspannung im aktiven Gebiet. Ein Transistor (siehe z. B. Fig. 3) kann dann im aktiven Gebiet ausgebildet werden.

**[0036]** In ähnlicher Weise zeigt Fig. 2 das aktive Gebiet **10** eines p-Kanal Transistors. In diesem Fall kann eine Zugspannung durch einen Druck-Liner erzeugt werden. Bei der Kristallisation streckt der Druck-Liner **12** das amorphe Silizium, so dass zusätzliche Gitterebenen wachsen. Wenn der Liner **12** entfernt wird, verbleibt eine Druckspannung im aktiven Gebiet. Wieder kann der Transistor im aktiven Gebiet ausgebildet werden.

**[0037]** Als allgemeiner Punkt wird in einigen Fällen eine lokale Topographie (z. B. beinahe 90°-Kanten) benötigt, um während des Wiederaufwachsens bzw. Rekristallisierens mechanische Spannungen vom Liner an das Silizium zu übertragen. Gemäß der Theorie weist bei einer flachen, dünnen Schicht jeder Punkt in der dünnen Schicht eine von links und rechts auf das Silizium drückende Kraft auf, wobei bei einer 90°-Kante nur eine Kraft in eine Richtung wirkt (der andere Teil fehlt). Dies ist in Fig. 1a (durch die Pfeile) dargestellt. Somit kann ein flacher, ungehäuster Silizium-Wafer abgesehen von den Waferrändern nicht signifikant verspannt sein. In Versuchen zeigte sich, dass die mechanische Spannung mit maximaler Topographie am höchsten ist, wobei ohne Kanten weniger mechanische Spannung verbleibt.

**[0038]** Fig. 3 zeigt eine im Halbleiterkörper **10** ausgebildete nicht beanspruchte Transistoranordnung **14**. Im speziellen wird die obere Oberfläche des Halbleiterkörpers als eine Spannungs-Speicher-Übertragungsschicht bzw. verspannte Halbleiterschicht **16** (z. B. eine verspannte, ursprünglich amorphisierte Halbleiterschicht) ausgebildet. Die verspannte Halbleiterschicht **16** erstreckt sich durch das aktive Gebiet und kann wie oben beschrieben ausgebildet werden. Beispielsweise kann die verspannte Halbleiterschicht **16** viel tiefer reichen als in Fig. 3 dargestellt ist, typischerweise bis zur halben Strecke zwischen dem Boden des STI und dem Boden des Dotiergebiets **20**. Verschiedene spezifische Beispiele werden nachfolgend bereitgestellt. Gemäß der Erläuterung

von Fig. 3 wird eine Transistoranordnung ausgebildet.

**[0039]** Der Transistor **14** weist ein in der verspannten Halbleiterschicht **16** angeordnetes Kanalgebiet **18** auf. Ein Gate-Dielektrikum **24** liegt über dem Kanalgebiet **18** und eine Gate-Elektrode **26** liegt über dem Gate-Dielektrikum **24**. Ein Source-Gebiet **20** und ein Drain-Gebiet **22** werden in dem Halbleiterkörper und voneinander durch das Kanalgebiet **18** beabstandet angeordnet. In einem Beispiel ist die verspannte Halbleiterschicht **16** eine Zugspannungsschicht und das Source-Gebiet **20** und das Drain-Gebiet **22** sind n<sup>+</sup>-Gebiete (und der Transistor ist deshalb ein n-Kanal Transistor). In einem anderen Beispiel ist die verspannte Halbleiterschicht **16** eine Druckspannungsschicht und die p<sup>+</sup>-Source- und -Drain-Gebiete **20** und **22** bilden einen p-Kanal Transistor aus.

**[0040]** Beispielsweise können andere Halbleiteranordnungen und -elemente in der verspannten Halbleiterschicht **16** hergestellt werden. Beispielsweise kann die Anordnung **14**, wenn die Dotiergebiete **20** und **22** mit entgegengesetzten Polaritäten ausgebildet werden, als Diode betrieben werden. In einem anderen Beispiel können die Dotiergebiete **20** und **22** als Kontakte zu einer Kondensatorplatte verwendet werden, während die Gate-Elektrode **26** als ein anderes Gate eines Kondensators verwendet wird. Dieser Kondensator könnte z. B. als entkoppelnder Kondensator zwischen Versorgungsleitungen (z. B. V<sub>DD</sub> und Masse) auf einem Halbleiterchip verwendet werden.

**[0041]** Fig. 4–Fig. 8 zeigen nun verschiedenartige Ausführungsbeispiele zum Ausbilden einer Halbleiteranordnung der vorliegenden Erfindung. Obwohl bestimmte Details mit Bezug auf nur eines der Ausführungsbeispiele erläutert werden können, sollte wahrgenommen werden, dass diese Details ebenso auf andere dieser Ausführungsbeispiele angewendet werden können.

**[0042]** Mit Bezug auf Fig. 4a wird ein Halbleiterkörper **10** bereitgestellt. Vorzugsweise ist der Halbleiterkörper **10** ein Silizium-Wafer. Beispielsweise kann der Körper **10** ein monokristallines Bulk-Silizium-Substrat (oder eine darauf gewachsene oder anderweitig darin ausgebildete Schicht) oder eine Schicht eines Silizium-auf-Isolator-(SOI)Wafers sein. Alternativ können andere Halbleiter wie z. B. Silizium-Germanium, Germanium, Gallium-Arsenid oder andere mit dem Wafer verwendet werden.

**[0043]** In dem ersten Ausführungsbeispiel werden Isolationsgräben **28** in dem Halbleiterkörper **10** ausgebildet. Diese Gräben **28** können mittels konventioneller Verfahren ausgebildet werden. Beispielsweise kann eine Hartmaskenschicht (hier nicht dargestellt, s. Fig. 8a), wie z. B. Silizium-Nitrid, über dem Halbleiterkörper **10** ausgebildet werden und zum Freilegen

der Isolationsgebiete strukturiert werden. Die freiliegenden Teilbereiche des Halbleiterkörpers **10** können dann bis zur entsprechenden Tiefe geätzt werden. Die Gräben **28** definieren aktive Gebiete **10a** und **10b**, in welchen integrierte Schaltungsbauteile ausgebildet werden können. In einem herkömmlichen Verfahren würden die Gräben dann mit einem Isolator gefüllt. In diesem Ausführungsbeispiel findet hingegen erst die weitere Verarbeitung statt.

**[0044]** Fig. 4b erläutert das Ausbilden einer Resist-Schicht **30** über einem der aktiven Gebiete **10a**. Dem entsprechend verbleibt das aktive Gebiet **10b** freiliegend. Vor dem Abscheiden der Resist-Schicht **30** kann das zum Maskieren der Gräben **28** verwendete Pad-Nitrid entfernt oder gedünnt werden, um die Spannungsübertragung zwischen dem Spannungserzeugenden Liner **12** (auszubilden in Fig. 4d) und dem aktiven Gebiet **10b** zu maximieren. Beispielsweise könnte das Pad-Nitrid jedoch ebenso dehnbar abgeschieden werden, so dass es nicht entfernt werden muss. Dies ist ebenso für STI mit einem ausreichend dünnen Pad-Nitrid/-Oxid für späteres CMP möglich.

**[0045]** Die Resist-Schicht **30** kann z. B. jeden standardmäßigen Positiv- oder Negativ-Photoresist umfassen. In einem anderen Beispiel kann eine Opferschicht, wie z. B. ein Oxid oder ein Nitrid ausgebildet werden. In jedem Fall sollte der Resist ausreichend dick sein, um eine wesentliche Amorphisierung des darunterliegenden Halbleiters zu verhindern.

**[0046]** In Fig. 4b ist der Resist so gezeichnet, dass er die Hälfte eines der Gräben **28** bedeckt. Es sei darauf hingewiesen, dass diese Art der Herstellung schwierig sein kann (aber sicherlich möglich ist). Für die meisten Zwecke ist es ausreichend, den Resist irgendwo im Graben **28** oder über dem aktiven Gebiet **10a** oder **10b** angrenzend an den Graben zu stoppen. Beispielsweise werden die Effekte des Amorphisierens an den Seitenwänden des Grabens gering sein, da die amorphe Schicht dünn ist.

**[0047]** Mit Bezug auf Fig. 4c wird die obere Oberfläche des freiliegenden aktiven Gebiets **10b** amorphisiert. Vorzugsweise werden Germanium-Ionen, welche durch die Pfeile **32** dargestellt sind, in den Siliziumkörper **10b** implantiert. Beispielsweise können Germanium-Ionen mit einer Dosis von ungefähr  $10^{14}$  cm<sup>-2</sup> bis ungefähr  $10^{16}$  cm<sup>-2</sup> und einer Implantationsenergie zwischen ungefähr 5 keV und ungefähr 200 keV implantiert werden. Alternativ können andere Materialien wie z. B. Xe, As implantiert werden.

**[0048]** Der Amorphisierungs-Schritt erzeugt eine amorphe Schicht **34** an der freiliegenden oberen Oberfläche des Halbleiterkörpers. Insbesondere der obere Teilbereich des aktiven Gebiets **10b** wird sich in einem amorphen Zustand befinden. Diese Schicht

**34** kann typischerweise zwischen ungefähr 10 nm und ungefähr 300 nm betragen. Wegen der Resist-Schicht **30** wird das aktive Gebiet **10a** durch das Amorphisierungs-Verfahren unbeeinflusst oder zumindest im Wesentlichen unbeeinflusst bleiben.

**[0049]** Wie in Fig. 4d dargestellt, wird die Resist-Schicht **30** entfernt und ein Liner **12** wird abgeschieden. Der Liner **12** ist, wie oben dargestellt, ein Spannungserzeugender Liner. Beispielsweise wird eine dünne Nitrid-Schicht (z. B. Silizium Nitrid) derart abgeschieden, dass eine mechanische Spannung zwischen der dünnen Schicht **12** und dem darunterliegenden Halbleiter **10** erzeugt wird. Bei einem Silizium-Nitrid-Liner beeinflusst üblicherweise die Bindung zwischen Si-N und Si-H die Spannungsrichtung – je niedriger das Si-H zu Si-N Verhältnis umso zugverspannter. Wie aus dem Stand der Technik bekannt ist, bestimmen Abscheiderate, Druck, UV-Härten und andere Faktoren dieses Verhältnis.

**[0050]** Fig. 4e stellt die Struktur nach dem Rekristallisieren der amorphen Schicht zum Ausbilden einer verspannten Halbleiterschicht **16** über dem aktiven Gebiet **10b** dar. Es wird eine Wiederaufwachsen- bzw. Rekristallisierungs-Temperung durchgeführt, so dass die kristalline Struktur durch vom Liner **12** im aktiven Gebiet **10b** erzeugte mechanische Spannungen beeinflusst wird. Weil das aktive Gebiet **10a** nicht amorphisiert wurde, sollte die kristalline Struktur dieses Gebiets im Wesentlichen nicht durch die Rekristallisierungs-Temperung beeinflusst werden (z. B. ermöglicht die Elastizität des Silizium-Kristalls dem Gebiet nach dem Entfernen des Liners die Form zurückzuerhalten). Nach dem Durchführen der Rekristallisierungs-Temperung kann optional eine zusätzliche schnelle Temperung (RTA) verwendet werden. Die Rekristallisierungs-Temperung und die optionale RTA können die gleiche Art von Temperung (z. B. RTA) oder verschiedene Arten von Temperung, z. B. Ofen-Temperung oder Laser-Temperung umfassen.

**[0051]** Wenn beispielsweise eine einachsige Spannung erzeugt wird, kann es wünschenswert sein, eine Niedertemperatur-Temperung für einen Druckverspannten Halbleiter und eine Hochtemperatur-Temperung für einen Zugverspannten Halbleiter zu verwenden. (Gemäß der Theorie diffundiert H aus und führt so zu einem niedrigeren Si-H/Si-N Bindungsverhältnis wie oben beschrieben). Beispielsweise kann die Niedertemperatur-Rekristallisierungs-Temperung bei einer Temperatur von weniger als ungefähr 700°C, z. B. zwischen ungefähr 500°C und ungefähr 600°C, durchgeführt werden. Die Hochtemperatur-Temperung kann bei einer Temperatur größer als ungefähr 1000°C, z. B. zwischen ungefähr 1100°C und 1200°C, durchgeführt werden.

**[0052]** Fig. 4f erläutert das Fertigstellen der Halbleiteranordnung. Die Grabengebiete **28** (s. Fig. 4a)

werden mit einem Isoliermaterial zur Ausbildung von Graben-Isolations-Gebieten **36** gefüllt. Beispielsweise können die Gräben mit einem ersten Material, z. B. SiN, beschichtet werden und mit einem zweiten Material, z. B. einem mittels einem Hochdichten-Plasma-Verfahren abgeschiedenen Oxid, gefüllt werden. Beispielsweise kann die Graben-Isolation verwendet werden, um eine Spannung im aktiven Gebiet **10a** und/oder eine zusätzliche Spannung im aktiven Gebiet **10b** aufzubringen.

**[0053]** Ein Gate-Dielektrikum **24** wird über freiliegenden Teilbereichen des Halbleiterkörpers **10** abgeschieden. Beispielsweise umfasst das Gate-Dielektrikum **24** ein Oxid (z. B. SiO<sub>2</sub>), ein Nitrid (z. B. Si<sub>3</sub>N<sub>4</sub>), oder Kombinationen von Oxid und Nitrid (z. B. SiON, Oxid-Nitrid-Oxid-Folge). Alternativ wird ein high-k Dielektrikum-Material mit einer dielektrischen Konstante von ungefähr 5,0 oder größer als Gate-Dielektrikum **24** verwendet. Geeignete high-k Materialien umfassen z. B. HfO<sub>2</sub>, HfSiO<sub>x</sub>, Al<sub>2</sub>O<sub>3</sub>, ZrO<sub>2</sub>, ZrSiO<sub>x</sub>, Ta<sub>2</sub>O<sub>5</sub>, La<sub>2</sub>O<sub>3</sub>, Nitride davon, HfAlO<sub>x</sub>, HfAlO<sub>x</sub>N<sub>1-x-y</sub>, ZrAlO<sub>x</sub>, ZrAlO<sub>x</sub>N<sub>y</sub>, SiAlO<sub>x</sub>, SiAlO<sub>x</sub>N<sub>1-x-y</sub>, HfSiAlO<sub>x</sub>, HfSiAlO<sub>x</sub>N<sub>y</sub>, ZrSiAlO<sub>x</sub>, ZrSiAlO<sub>x</sub>N<sub>y</sub>, Kombinationen davon oder Kombinationen davon mit SiO<sub>2</sub>. Alternativ kann das Gate-Dielektrikum **24** andere high-k Isoliermaterialien oder andere Dielektrikum-Materialien umfassen. Wie oben angedeutet, kann das Gate-Dielektrikum **24** eine einzige Materialschicht umfassen oder alternativ kann das Gate-Dielektrikum **24** zwei oder mehrere Schichten umfassen.

**[0054]** Das Gate-Dielektrikum **24** kann z. B. mittels chemischer Dampfphasenabscheidung (CVD), Atomlagenabscheidung (ALD), Metallorganischer chemischer Dampfphasenabscheidung (MOCVD), physikalischer Gasphasenabscheidung (PVD) oder Dampfstrahl-Abscheidung (JVD) abgeschieden werden. Alternativ kann das Gate-Dielektrikum **24** mittels anderer geeigneter Abscheidungsverfahren abgeschieden werden. Das Gate-Dielektrikum **24** umfasst vorzugsweise z. B. eine Dicke von ungefähr 1 nm bis ungefähr 6 nm, wenngleich das Gate-Dielektrikum **24** alternativ auch andere Abmessungen umfassen kann.

**[0055]** Im dargestellten Ausführungsbeispiel wird zum Ausbilden des Gate-Dielektrikums **24** die gleiche dielektrische Schicht sowohl für die p-Kanal als auch die n-Kanal Transistoren verwendet. Dieses Merkmal ist jedoch nicht notwendig. Alternativ weisen die p-Kanal Transistoren und der n-Kanal Transistor jeweils verschiedene Gate-Dielektrika auf.

**[0056]** Die Gate-Elektrode **26** wird über dem Gate-Dielektrikum **24** ausgebildet. Die Gate-Elektrode **26** umfasst vorzugsweise ein Halbleitermaterial, wie z. B. Polysilizium oder amorphes Silizium obwohl alternativ andere Halbleitermaterialien als Gate-Elektrode **26** verwendet werden können. In anderen Ausführungs-

beispielen kann die Gate-Elektrode **26** z. B. TiN, HfN, TaN, W, Al, Ru, RuTa, TaSiN, NiSi<sub>x</sub>, CoSi<sub>x</sub>, TiSi<sub>x</sub>, Ir, Y, Pt, Ti, PtTi, Pd, Re, Rh, Boride von Ti, Phosphide von Ti oder Antimonide von Ti, Hf, Zr, TiAlN, Mo, MoN, ZrSiN, ZrN, HfN, HfSiN, WN, Ni, Pr, VN, TiW, ein teilweise silizidiertes Gate-Material, ein vollständig silizidiertes Gate-Material (FUSI), andere Metalle und/oder Kombinationen daraus umfassen. Beispielsweise umfasst die Gate-Elektrode **26** eine unter einer Silizid-Schicht (z. B. Titan-Silizid, Nickel-Silizid, Tantal-Silizid, Kobalt-Silizid, Platin-Silizid) liegende, dotierte Polysilizium-Schicht.

**[0057]** Wenn die Gate-Elektrode **26** z. B. FUSI umfasst, kann über dem Gate-Dielektrikum **24** Polysilizium abgeschieden werden und ein Metall wie z. B. Nickel kann über dem Polysilizium abgeschieden werden. Andere Metalle können alternativ verwendet werden. Das Substrat **10** kann dann auf ungefähr 600 oder 700°C zum Ausbilden einer einzigen Schicht von Nickel-Silizid erhitzt werden. Die Gate-Elektrode **26** kann eine Mehrzahl gestapelter Gate-Materialien, wie z. B. eine Metall-Unterschicht mit einer über der Metall-Unterschicht abgeschiedenen Polysilizium-Deckschicht, umfassen. Eine zwischen ungefähr 50 nm bis 200 nm dicke Gate-Elektrode **26** kann mittels CVD, PVD, ALD oder anderer Abscheidungsverfahren abgeschieden werden.

**[0058]** Die p-Kanal Transistoren und der n-Kanal Transistor umfassen vorzugsweise aus den gleichen Schichten ausgebildete Gate-Elektroden **26**. Wenn die Gate-Elektroden einen Halbleiter aufweisen, kann der Halbleiter für die p-Kanal Transistoren und die n-Kanal Transistoren verschiedenartig dotiert sein. Alternativ können die verschiedenen Arten von Transistoren Gates aus verschiedenen Materialien aufweisen.

**[0059]** Die Gate-Schicht (und optional die Gate-Dielektrikum-Schicht) werden unter Verwendung bekannter Photolithographie-Verfahren strukturiert und geätzt, um die Gate-Elektroden **26** mit geeigneter Struktur zu erzeugen. Nach dem Ausbilden der Gate-Elektroden können schwach dotierte Source/Drain-Gebiete unter Verwendung der Gate-Elektrode **26** als eine Maske implantiert werden. Andere Implantationen (z. B. Taschen-Implantationen, Halo-Implantationen oder doppelt-diffundierte Gebiete) können, wie gewünscht, ebenso durchgeführt werden.

**[0060]** Abstandsstücke **38**, welche aus einem Isoliermaterial wie z. B. einem Oxid und/oder einem Nitrid ausgebildet sind, können an den Seitenwänden der Gate-Elektrode **26** ausgebildet werden. Die Abstandsstücke **38** werden typischerweise durch Abscheiden einer konformen Schicht und nachfolgendem anisotropen Ätzen ausgebildet. Das Verfahren kann, wie gewünscht, für mehrere Schichten wiederholt werden.

**[0061]** Source-/Drain-Gebiete **20/22** können in freiliegenden Oberflächen der aktiven Gebiete **10a** und **10b** ausgebildet werden. Vorzugsweise werden Ionen (z. B. Bor für den PMOS Transistor **116** und Arsen und/oder Phosphor für den NMOS Transistor **118**) entsprechend herkömmlicher Verfahren implantiert.

**[0062]** Obwohl nicht dargestellt, versteht es sich, dass eine dielektrische Zwischenschicht (ILD) über den Transistoren **14** ausgebildet wird. Geeignete ILD-Schichten weisen Materialien wie z. B. dotiertes Glas (BPSG, PSG, BSG), Organo-Silicat-Glas (OSG), fluoriniertes Silicat-Glas (FSG), Aufschleuderglas (SOG), Silizium-Nitrid und PE Plasma-verstärktes Tetraethyloxysilane (TEOS) auf. Üblicherweise werden die Gate-Elektrode und die (nicht dargestellten) Source-Drain Kontakte durch die dielektrische Zwischenschicht hindurch ausgebildet. Metallisierungsschichten, welche die verschiedenen Bauelemente verbinden, sind ebenso auf dem Chip enthalten, aber zum Zwecke der Vereinfachung nicht dargestellt.

**[0063]** Ein zweites Ausführungsbeispiel wird nun mit Bezug auf die **Fig. 5a** und **Fig. 5b** beschrieben. Das Verfahren beginnt mit einem Wafer mit darin wie in **Fig. 4a** dargestellt ausgebildeten Isolationsgräben. Eine pauschale Amorphisierung-Implantation wird dann, wie in **Fig. 5a** dargestellt, durchgeführt. Dieses Ausführungsbeispiel vereinfacht das Verfahren, weil der Resist **30** und die beteiligten Lithografie-Schritte eliminiert wurden. Beispielsweise werden Germanium-Ionen in ein Siliziumsubstrat implantiert, um eine amorphe Schicht **34** an der oberen Oberfläche des Halbleiterkörpers **10** zu erzeugen.

**[0064]** Wie in **Fig. 5b** dargestellt wird ein Spannungs-erzeugender Liner **12** über dem Halbleiterkörper **10** ausgebildet. Der Spannungs-erzeugende Liner **12** kann entweder ein Zug- oder Druck-Liner sein. Wie oben mit Bezug auf **Fig. 4e** erläutert, kann der Wafer zur Rekristallisierung der oberen Oberfläche des Halbleiterkörpers **10** erhitzt werden. Wie vorher wird vorzugsweise eine Niedertemperatur-Temperatur für einen Druck-Liner verwendet und eine Hochtemperatur-Temperatur wird für einen Zug-Liner verwendet. Der Liner **12** kann dann entfernt werden und Halbleiterelemente können ausgebildet werden.

**[0065]** Mit dem Substrat von **Fig. 5b** (nach dem Rekristallisieren und dem Entfernen des Liners), erfahren alle aktiven Gebiete die gleiche Verspannung. Dies kann erwünscht (oder zumindest tolerierbar) sein. In anderen Beispielen kann jedwede Spannung von einer der Transistor-Arten (z. B. n-Typ oder p-Typ) vor dem Ausbilden dieser Art von Transistor abgebaut werden.

**[0066]** Beispielsweise wird, wenn ein Zug-Liner abgeschieden wird, die Leistungsfähigkeit der n-Kanal Transistoren (z. B. auszubilden in einem der aktiven Gebiete **10a**) verbessert. Die Druckspannung (d. h. die in dem Halbleiter durch den Zug-Liner erzeugte Spannung) ist für den p-Kanal Transistor nicht erwünscht und kann abgebaut (d. h. kompensiert) werden, z. B. durch Verwenden von eingebettetem Silizium-Germanium im anderen aktiven Gebiet (z. B. aktiven Gebiet **10b**). Hier wird das Silizium geätzt und mit epitaktischem SiGe nur in den Source-/Drain-Gebieten gefüllt. Ein solcher Standard-Ansatz würde viel von dem Zug-verspannten Si entfernen und die Zugspannung im Kanal übermäßig kompensieren. Alternativ kann die Spannung abgebaut werden, wenn das Isoliermaterial für die Grabenisolation **36** (siehe z. B. **Fig. 4f**) abgeschieden wird. Beispielsweise kann eine HDP flache Grabenisolation (STI) verwendet werden, um Spannung für die p-Kanal Transistoren abzubauen, weil die Druckspannung vom STI die Zug-Verspannung von der verspannten Schicht kompensieren kann.

**[0067]** Wenn ein Druck-Liner abgeschieden wird, wird die Leistungsfähigkeit des p-Kanal Transistors verbessert. Die Zug-Spannung ist für einen n-Kanal Transistor nicht erwünscht und kann abgebaut oder kompensiert werden. Beispielsweise kann eingebettetes Silizium-Carbonat (SiC) verwendet werden oder ein mittels HARP™ (High Aspect Ratio Process), welches z. B. von Applied Materials erhältlich ist, gefülltes STI.

**[0068]** Alternativ braucht die mechanische Spannung nicht kompensiert zu werden. Beispielsweise ist ein zweiachsiges Verspannen sowohl für n-Kanal als auch p-Kanal Transistoren erwünscht. Eine zweiachsig verspannte Schicht wird eine Spannung parallel zum Stromfluss und ebenso in eine Richtung rechtwinklig zum Stromfluss erfahren. **Fig. 6** stellt eine Draufsicht von zweiachsig verspannten Gebieten **10a** und **10b** bereit. Um eine zweiachsige, mechanische Spannung aufrecht zu erhalten, sind die aktiven Gebiete vorzugsweise quadratisch, d. h. sie haben Kanten, die in der Länge nicht mehr als 50% verschieden sind (d. h.  $2/3 \leq d_2/d_1 \leq 3/2$ ). In diesem Fall kann es erwünscht sein, breite Transistoren zu verwenden und ein zusätzliches STI einzufügen, so dass ein einziger breiter Transistor wie mehrere engere Transistoren parallel zueinander implementiert werden kann.

**[0069]** **Fig. 7a** und **Fig. 7b** stellen ein drittes Ausführungsbeispiel zur Veranschaulichung eines weiteren erfindungsgemäßen Verfahrens dar. Mit Bezug auf **Fig. 7a** wird eine Resist-Schicht **30** über der Struktur von **Fig. 5b** abgeschieden. Die Resist-Schicht **30** wird, wie oben mit Bezug auf **Fig. 4c** erläutert, photolithographisch strukturiert. Der Liner **12** über dem aktiven Gebiet **10b** kann dann entfernt werden. Diese Struktur ist in **Fig. 7a** dargestellt.

[0070] Mit Bezug auf **Fig. 7b** wird der Resist **30** entfernt und ein zweiter Liner **12'** wird über dem Halbleiterkörper ausgebildet. Der Liner **12** und der zweite Liner **12'** setzen vorzugsweise entgegengesetzte Spannungen durch, z. B. ist der Liner **12** ein Druck-Liner und der zweite Liner **12'** ist ein Zug-Liner, oder umgekehrt. Wie in **Fig. 7b** dargestellt, kann der zweite Liner **12'** über dem ersten Liner und in direktem Kontakt mit dem Substrat **10b** ausgebildet werden. Wo die zwei Liner überlappen, würde die Spannung vom unteren Liner **12** sehr viel höher als die Spannung vom oberen Liner **12'** sein. Dies trifft insbesondere dann zu, wenn der Liner **12** dick genug ausgebildet ist, z. B. zwischen ungefähr 20 nm und 200 nm (vorzugsweise 50 nm bis 100 nm) dick. Der zweite Liner **12'** kann ebenfalls eine Dicke von ungefähr 20 nm bis ungefähr 200 nm aufweisen.

[0071] Während des Tempervfahrens wird die Spannung des Halbleiterkörpers **10a** bzw. **10b** durch den darüber liegenden Liner **12'** bzw. **12** beeinflusst. Entsprechend können die Gebiete für n-Kanal Transistoren Druck-verspannt werden und die Gebiete für die p-Kanal Transistoren können Zug-verspannt werden. Vorzugsweise weist das Tempervfahren zwei Schritte auf. Dieses kann anschließend mit einer gemeinsamen Temperung oder nach dem Strukturieren des Zug-Liners mit einer Hochtemperatur-Temperung (z. B. 1100°C) ausgeführt werden. Bei letzterem kann ein weiteres Amorphisieren vor dem Abscheiden des Druck-Liners (da das Temperv ihn rekristallisieren würde) durchgeführt werden. Dann kann eine Niedertemperatur-Temperung (z. B. 600°C) durchgeführt werden.

[0072] In jedem der vorstehend beschriebenen Ausführungsbeispiele wurden die Spannungs-erzeugenden Liner nach dem Ätzen der Isolationsgräben **28**, aber vor dem Ausbilden der Transistoren ausgebildet. Ein Problem, das von Belang sein kann, ist ein Implantations-Schaden rund um die STI-Kante, welcher die elektrischen Eigenschaften der Anordnung nachteilig beeinflussen kann. Diese Defekte werden aber üblicherweise durch nachfolgende Ausheil-Schritte korrigiert.

[0073] Ein viertes Ausführungsbeispiel, das einen möglichen Implantations-Schaden unter den Isolationsgräben vermeidet, ist in den **Fig. 8a–Fig. 8c** dargestellt. Zunächst auf **Fig. 8a** Bezug nehmend, ist ein Halbleiterkörper **10** bereitgestellt. Dieser kann die gleiche Art von Halbleiterkörper wie oben besprochen aufweisen. Eine Hartmasken-Schicht **40** kann über dem Halbleiterkörper **10** ausgebildet werden. Beispielsweise kann ein Pad-Oxid über Silizium ausgebildet werden und ein Pad-Nitrid kann über dem Pad-Oxid ausgebildet werden.

[0074] Das Amorphisieren der oberen Oberfläche des Halbleiterkörpers **11** ist in **Fig. 8b** dargestellt. In ei-

nem Beispiel kann ein Ionen-Implantations-Schritt (z. B. Implantation von Germanium-Ionen), wie durch die Pfeile **32** bezeichnet, durchgeführt werden. Vorzugsweise wird diese Implantation durch die Hartmasken-Schicht **40** hindurch durchgeführt werden. Dies wird bevorzugt, wenn die Abscheide-Temperatur der Hartmasken-Materialien hoch genug ist, um die durch das Ausheilen, welches nachfolgend erläutert wird, erzeugte Spannung zu beeinflussen. Alternativ kann ein Zug-Nitrid (tensile nitrid) als Pad-Nitrid **40** verwendet werden (z. B. wenn nur der zweiachsige Ansatz in Ausführungsbeispiel 2 verwendet wird) und für CMP- und STI-Bearbeitung verbleiben.

[0075] Die Schritte des Graben-Ätzens und Liner-Abscheidens sind in **Fig. 8c** dargestellt. Diese Schritte können wie oben erläutert durchgeführt werden. Die resultierende Struktur kann wie oben erläutert weiterbearbeitet werden, einschließlich der Abänderung der vorgestellten Ausführungsbeispiele.

[0076] Alternativ kann das Substrat vor dem Durchführen der Amorphisierung von **Fig. 8b** wie in **Fig. 4c** dargestellt maskiert werden. Auf diese Art und Weise werden nur ausgewählte aktive Gebiete mechanisch verspannt.

[0077] Diese Idee, mechanische Spannungen vor dem Ausbilden des Gates einzubringen, kann in Anordnungen alternativer Bauarten wie z. B. FinFET's oder Anordnungen mit mehreren Gates verwendet werden. Ein Beispiel ist in den **Fig. 9a–Fig. 9e** dargestellt.

[0078] Mit Bezug auf **Fig. 9a** wird gemäß einem fünften Ausführungsbeispiel eine Rippe (fin) **10f** über der Isolier-Schicht **42** ausgebildet. Die Isolier-Schicht **42** könnte z. B. eine, als Teil eines SOI-Substrats ausgebildete, vergrabene Oxid-Schicht umfassen. Die Isolierschicht **42** könnte über einem (nicht dargestellten) aus Silizium oder einem anderen Material hergestellten Substrat liegen. Alternativ kann die Rippe **10f** in einem Halbleiter ausgebildet werden, ohne über einem Isolator **42** zu liegen. Zum Ausbilden der Struktur von **Fig. 9a** wird ein SOI Wafer bereitgestellt. Die obere Silizium-Schicht wird zum Ausbilden von Inseln und Rippen geätzt, wodurch jede Anordnung elektrisch isoliert wird.

[0079] Nach dem Ätzen des Siliziums wird das Substrat, wie durch die Pfeile **32** dargestellt, bis in eine gewünschte Tiefe amorphisiert. Wie zuvor kann das Amorphisieren mit einer Germanium-Implantation durchgeführt werden. Je tiefer das amorphe Gebiet **34** ist, umso höher wird das gespeicherte Spannungsniveau sein. Diese Tiefe wird jedoch durch die Notwendigkeit, eine kristalline Halbleiter-Keimschicht unter dem amorphen Gebiet **34** aufrecht zu erhalten, begrenzt. In einem Beispiel könnte eine Rippe **10f**, welche 100 nm hoch ist, ein amorphes Gebiet **34** von

ungefähr 70 nm aufweisen. In anderen Beispielen könnte sich das amorphe Gebiet **34** bis in eine Tiefe zwischen ungefähr 50% und 90% (oder vorzugsweise zwischen 65% und 75%) der Höhe der Rippe **10f** erstrecken.

**[0080]** Nach dem Amorphisieren wird der Beanspruchungs- bzw. Spannungs-erzeugende Liner **12**, wie in **Fig. 9c** dargestellt, abgeschieden. Wie in den voranstehend erläuterten Ausführungsbeispielen könnte der Spannungs-erzeugende Liner **12** eine Kombination von Schichten, z. B.  $\text{SiO}_2 + \text{Si}_3\text{N}_4$ , oder eine einzige Schicht, z. B.  $\text{Si}_3\text{N}_4$ , umfassen. Das Zug- oder Druckspannungs-Niveau dieses Liners ist von der Bauart der Anordnung einschließlich der Rippen-Ausrichtung und der Anordnungs-Art, wie z. B. pMOS oder nMOS abhängig. Als solcher kann ein separater Spannungs-erzeugender Liner für jede Anordnungs-Art erforderlich sein. Dennoch ist es möglich, dass ein einziger Liner für beide Arten geeignet ist. Wenn ein andersartiger Spannungs-erzeugender Liner benötigt wird, könnte eine maskierte Methode ähnlich der in **Fig. 4** oder **Fig. 7** beschriebenen anwendbar sein.

**[0081]** Nach dem Abscheiden des Liners wird, z. B. durch einen RTA Schritt, typischerweise oberhalb von 600°C, das amorphe Silizium rekristallisiert. Andere Temperungs-Temperaturen könnten, wie hierin beschrieben, verwendet werden. Während des Rekristallisierens wird die mechanische Spannung vom Liner **12** in das gewachsene Silizium **16** mit einbezogen. Wie durch **Fig. 9d** dargestellt, wird der Liner **12** dann entfernt und die Rippe **10f** (oder zumindest der obere Teilbereich der Rippe **10f**) würde an den Seitenwänden der Rippe **10f** entweder zug- oder druckverspannt verbleiben.

**[0082]** Es ist möglich, dass die Änderung der Beweglichkeit infolge von mechanischer Spannung an den Seitenwänden der Rippe **10f**, verschieden zu der an der Oberfläche der Rippe ist, da sich dort zwei verschiedene Kristallebenen auf der Oberfläche befinden.

**[0083]** Dennoch fließt der größte Teil des Stroms an der Seite der Rippe, weil diese üblicherweise höher als breit ist. Der Spannungs-erzeugende Liner als solcher würde für die Seitenwand-Beweglichkeit optimiert werden und jede Verminderung der Beweglichkeit an der oberen Oberfläche (sofern vorhanden wird einen geringen Effekt auf die Leistungsfähigkeit der Anordnung haben.

**[0084]** **Fig. 9e** stellt die Struktur nach dem Ausbilden eines Gates **26** dar. Das Gate kann durch Abscheiden eines Leiters und Ätzen des Leiters zu der geeigneten Struktur ausgebildet werden. Das Gate kann aus jedem Leiter, wie z. B. Polysilizium, Metall, Metall-Nitrid oder leitfähigen Polymeren ausgebildet

werden. Freiliegende Teilbereiche der Rippe **10f** können zum Erzeugen von Source- und Drain-Gebieten dotiert werden.

## Patentansprüche

1. Verfahren zur Herstellung einer Halbleiteranordnung mit den Schritten:  
Bereitstellen eines Halbleiterkörpers (**10**);  
Amorphisieren einer oberen Oberfläche des Halbleiterkörpers (**10**);  
Ausbilden eines Spannungs-erzeugenden Liners (**12**) über der amorphisierten oberen Oberfläche;  
Tempern der oberen Oberfläche nach dem Ausbilden des spannungs-erzeugenden Liners (**12**), so dass eine verspannte Halbleiterschicht (**16**) gebildet wird; und  
Ausbilden eines Transistors (**14**) an der oberen Oberfläche nach dem Tempern der oberen Oberfläche und Ausbilden eines Isolationsgrabens (**28**) in dem Halbleiterkörper (**10**) vor dem Ausbilden des Spannungs-erzeugenden Liners (**12**).

2. Verfahren nach Patentanspruch 1 mit dem weiteren Schritt:  
Entfernen des Liners (**12**) nach dem Tempern der oberen Oberfläche aber vor dem Ausbilden des Transistors (**14**).

3. Verfahren nach Patentanspruch 1 oder 2 wobei das Ausbilden des Isolationsgrabens (**28**) ein Ätzen des Isolationsgrabens (**28**) vor dem Amorphisieren der oberen Oberfläche ist, mit dem weiteren Schritt:  
Füllen des Isolationsgrabens (**28**) nach dem Tempern der oberen Oberfläche.

4. Verfahren nach einem der Patentansprüche 1 bis 3, wobei das Amorphisieren der oberen Oberfläche ein Implantieren durch ein Material in die obere Oberfläche umfasst.

5. Verfahren nach einem der Patentansprüche 1 bis 4, wobei das Tempern der oberen Oberfläche ein Durchführen eines schnellen Tempern bei einer Temperatur von weniger als 700°C umfasst.

6. Verfahren nach einem der Patentansprüche 1 bis 4, wobei das Tempern der oberen Oberfläche ein Durchführen eines Tempern bei einer Temperatur von mehr als 1000°C umfasst.

7. Verfahren nach Patentanspruch 1, wobei das Ausbilden des Spannungs-erzeugenden Liners (**12**) ein Ausbilden eines ersten Spannungs-erzeugenden Liners (**12**) über einem ersten Teilbereich (**10a**) der oberen Oberfläche und ein Ausbilden eines zweiten Spannungs-erzeugenden Liners (**12'**) über einem zweiten Teilbereich (**10b**) der oberen Oberfläche umfasst;

wobei das Ausbilden des Transistors (14) ein Ausbilden eines ersten Transistors (14) an dem ersten Teilbereich (10a) der oberen Oberfläche und Ausbilden eines zweiten Transistors (14) an dem zweiten Teilbereich (10b) der oberen Oberfläche umfasst, wobei der erste Transistor (14) einen zum zweiten Transistor (14) entgegengesetzten Leitungstyp aufweist.

8. Verfahren nach Patentanspruch 7, wobei das Ausbilden des ersten Spannungs-erzeugenden Liners (12) ein Ausbilden des ersten Spannungs-erzeugenden Liners (12) über den ersten (10a) und zweiten Teilbereichen (10b) der oberen Oberfläche umfasst, wobei ferner der erste Spannungs-erzeugende Liner (12) von dem zweiten Teilbereich (10b) der oberen Oberfläche entfernt wird, bevor der zweite Spannungs-erzeugende Liner (12') ausgebildet wird.

9. Verfahren nach Patentanspruch 7 oder 8, wobei der Isolationsgraben (28) in dem Halbleiterkörper (10) vor dem Amorphisieren der oberen Oberfläche ausgebildet wird.

10. Verfahren nach Patentanspruch 7 oder 8, wobei der Isolationsgraben (28) in dem Halbleiterkörper (10) nach dem Amorphisieren der oberen Oberfläche ausgebildet wird.

11. Verfahren nach einem der Patentansprüche 7 bis 10, wobei der Isolationsgraben (28) mit einem Isoliermaterial (36) unter Verwendung eines Verfahrens mit einer Temperatur von weniger als 600°C gefüllt wird.

12. Verfahren nach einem der Patentansprüche 7 bis 11, wobei:  
der erste Spannungs-erzeugende Liner (12) eine Zugspannungs-erzeugende Schicht umfasst;  
der zweite Spannungs-erzeugende Liner (12') eine Druckspannungs-erzeugende Schicht umfasst;  
der erste Transistor (14) einen n-Kanal Feldeffekttransistor umfasst; und  
der zweite Transistor (14) einen p-Kanal Feldeffekttransistor umfasst.

13. Verfahren zur Herstellung einer Halbleiteranordnung mit den Schritten:  
Bereitstellen eines Halbleiterkörpers (10);  
Ausbilden eines Isolationsgrabens (28) in dem Halbleiterkörper (10);  
Maskieren eines ersten Teilbereichs (10a) des Halbleiterkörpers (10), so dass ein an den Isolationsgraben (28) angrenzender, zweiter Teilbereich (10b) des Halbleiterkörpers (10) unmaskiert bleibt;  
Durchführen einer amorphisierenden Implantation, so dass eine obere Schicht des zweiten Teilbereichs (10b) des Halbleiterkörpers (10) amorphisiert wird, während der erste Teilbereich maskiert ist;

Abscheiden eines Spannungs-erzeugenden Liners (12) über zumindest der oberen Schicht des zweiten Teilbereichs (10b) des Halbleiterkörpers (10);  
Tempern des zweiten Teilbereichs (10b) des Halbleiterkörpers (10) nach dem Ausbilden des Spannungs-erzeugenden Liners (12);  
Entfernen des Spannungs-erzeugenden Liners (12);  
danach Ausbilden eines Transistors (14), welcher einen in der oberen Schicht des zweiten Teilbereichs (10b) des Halbleiterkörpers (10) angeordneten Stromweg aufweist.

14. Verfahren nach Patentanspruch 13, wobei der Halbleiterkörper (10) einen Siliziumkörper umfasst und wobei das Durchführen einer amorphisierenden Implantation ein Implantieren von Germanium umfasst.

15. Verfahren nach Patentanspruch 13 oder 14, wobei der Spannungs-erzeugende Liner (12) einen Zugspannungs-erzeugenden Liner umfasst, wobei das Tempern des zweiten Teilbereichs (10b) ein Durchführen eines Tempern bei einer Temperatur von weniger als 700°C umfasst und wobei das Ausbilden eines Transistors (14) ein Ausbilden eines n-Kanal Feldeffekttransistors umfasst.

16. Verfahren nach Patentanspruch 13 oder 14, wobei der Spannungs-erzeugende Liner (12) einen Druckspannungs-erzeugenden Liner umfasst, wobei das Tempern des zweiten Teilbereichs (10b) ein Durchführen eines Tempern bei einer Temperatur von mehr als 1000°C umfasst und wobei das Ausbilden eines Transistors (14) ein Ausbilden eines p-Kanal Feldeffekttransistors umfasst.

17. Verfahren zur Herstellung einer Halbleiteranordnung mit den Schritten:  
Bereitstellen eines Halbleiterkörpers (10); Ausbilden eines Isolationsgrabens (28) im Halbleiterkörper (10);  
Amorphisieren einer oberen Oberfläche des an den Isolationsgraben (28) angrenzenden Halbleiterkörpers (10);  
Abscheiden eines Spannungs-erzeugenden Liners (12) über der oberen Oberfläche des Halbleiterkörpers (10);  
Tempern der oberen Oberfläche des Halbleiterkörpers (10) nach dem Abscheiden des Spannungs-erzeugenden Liners (12), so dass die obere Oberfläche einen im wesentlichen kristallinen Zustand aufweist;  
Entfernen des Spannungs-erzeugenden Liners (12);  
Füllen des Isolationsgrabens (28) mit einem Isoliermaterial (36); und  
Ausbilden eines elektronischen Bauelements (14) an der oberen Oberfläche des an den Isolationsgraben (28) angrenzenden Halbleiterkörpers (10) nach dem Tempern der oberen Oberfläche des Halbleiterkörpers (10), wobei das Ausbilden des Isolationsgrabens (28) vor dem Abscheiden des Spannungs-erzeugenden Liners (12) erfolgt.

18. Verfahren nach Patentanspruch 17 mit den weiteren Schritten:

Ausbilden eines zweiten elektronischen Bauelements (**14**) an der oberen Oberfläche des Halbleiterkörpers (**10**), wobei das zweite elektronische Bauelement (**14**) seitlich von dem elektronischen Bauelement (**14**) beabstandet ist;

Abbauen einer beliebigen Spannung von der oberen Oberfläche unter dem zweiten elektronischen Bauelement (**14**) vor dem Ausbilden des zweiten elektronischen Bauelements (**14**).

19. Verfahren nach Patentanspruch 18, wobei das elektronische Bauelement (**14**) einen n-Kanal Feldeffekttransistor und das zweite elektronische Bauelement (**14**) einen p-Kanal Feldeffekttransistor umfasst.

20. Verfahren nach Patentanspruch 19, wobei das Abbauen der beliebigen Spannung ein Umwandeln einer Zugspannung in eine Druckspannung umfasst.

21. Verfahren nach Patentanspruch 19, wobei das Abbauen der beliebigen Spannung ein Verwenden von eingebettetem Silizium-Germanium in einem an das zweite elektronische Bauelement (**14**) angrenzenden Gebiet des Halbleiterkörpers umfasst.

22. Verfahren nach Patentanspruch 18, wobei das elektronische Bauelement (**14**) einen p-Kanal Feldeffekttransistor umfasst und das zweite elektronische Bauelement (**14**) einen n-Kanal Feldeffekttransistor umfasst und wobei das Abbauen der beliebigen Spannung ein Verwenden von eingebettetem Silizium-Carbid in einem an das zweite elektronische Bauelement (**14**) angrenzenden Gebiet des Halbleiterkörpers (**10**) umfasst.

23. Verfahren nach einem der Patentansprüche **18** bis **22**, wobei das Abbauen der beliebigen Spannung ein Füllen des Isolationsgrabens (**28**) mit einem Spannungs-erzeugenden Material (**36**) umfasst, während der Schritt des Füllens des Isolationsgrabens (**28**) mit einem Isoliermaterial durchgeführt wird.

24. Verfahren nach Patentanspruch 17, wobei das Ausbilden des Isolationsgrabens (**28**) ein Ausbilden eines aktiven Gebiet (**10a**, **10b**) umgebenden Isolationsgrabens umfasst und wobei die Schritte des Amorphisierens, des Abscheidens und Temperns eine zweiachsige, mechanische Spannung in dem aktiven Gebiet (**10a**, **10b**) erzeugt.

25. Verfahren nach Patentanspruch 24, wobei das Ausbilden des Isolationsgrabens (**28**) ein Bestimmen einer Mehrzahl von aktiven Gebieten (**10a**, **10b**) umfasst und wobei das Ausbilden des elektronischen Bauelements ein Ausbilden eines n-Kanal Feldeffekttransistors in einem ersten der aktiven Gebiete (**10a**) und ein Ausbilden eines p-Kanal Feldeffekttransistors in einem zweiten der aktiven Gebiete (**10b**) um-

fasst, wobei sowohl der n-Kanal Feldeffekttransistor als auch der p-Kanal Feldeffekttransistor einen in einer zweiachsigen verspannten Oberfläche des Halbleiterkörpers (**10**) ausgebildeten Kanal (**18**) aufweisen.

26. Verfahren zur Herstellung einer Halbleiteranordnung mit den Schritten:

Bereitstellen einer über einem Teilbereich eines Substrats liegenden Halbleiter-Rippe (**10f**);

Amorphisieren zumindest eines oberen Teilbereichs der Halbleiter-Rippe (**10f**);

Ausbilden eines Spannungs-erzeugenden Liners (**12**) über der Halbleiter-Rippe (**10f**);

Tempern der Halbleiter-Rippe (**10f**) nach dem Ausbilden des Spannungs-erzeugenden Liners (**12**), so dass eine verspannte Halbleiterschicht (**16**) gebildet wird; und

Entfernen des Spannungs-erzeugenden Liners (**12**), wobei ferner eine Gate-Elektrode (**26**) über einem Teilbereich der Rippe (**10f**) ausgebildet wird.

27. Verfahren nach Patentanspruch 26, wobei das Amorphisieren eines oberen Teilbereichs der Halbleiter-Rippe (**10f**) ein Amorphisieren der Halbleiter-Rippe (**10f**) bis in eine Tiefe zwischen 50% und 90% einer Höhe der Halbleiter-Rippe (**10f**) umfasst.

28. Verfahren nach Patentanspruch 27, wobei das Amorphisieren eines oberen Teilbereichs der Halbleiter-Rippe (**10f**) ein Amorphisieren der Halbleiter-Rippe (**10f**) bis in eine Tiefe zwischen 65% und 75% der Höhe der Halbleiter-Rippe (**10f**) umfasst.

29. Verfahren nach einem der Patentansprüche 26 bis 28, wobei das Bereitstellen einer über einem Teilbereich eines Substrats liegenden Halbleiter-Rippe (**10f**) ein Bereitstellen einer über einem vergrabenen Isolator (**42**) liegenden Halbleiter-Rippe (**10f**) umfasst.

30. Halbleiteranordnung mit:  
einem Halbleiterkörper (**10**) zumindest einem Isolationsgraben (**28**), der in dem Halbleiterkörper (**10**) ausgebildet ist;

einer an einer oberen Oberfläche des Halbleiterkörpers angeordneten verspannten Halbleiterschicht (**16**);

einem Kanal-Gebiet (**18**), das in der verspannten Halbleiterschicht (**16**) angeordnet ist;

einem über dem Kanal-Gebiet liegenden Gate-Dielektrikum (**24**);

einer über dem Gate-Dielektrikum (**24**) liegenden Gate-Elektrode (**26**);

einem in dem Halbleiterkörper (**10**) angeordneten Source-Gebiet (**20**); und

einem in dem Halbleiterkörper (**10**) angeordneten und von dem Source-Gebiet (**20**) durch das Kanal-Gebiet (**18**) beabstandeten Drain-Gebiet (**22**), wobei die verspannte Halbleiterschicht (**16**) auch an zumindest einer Seitenwand und einem Teil einer Boden-

oberfläche des zumindest einen Isolationsgrabens (28) angeordnet ist,  
**dadurch gekennzeichnet,**  
dass die verspannte Halbleiterschicht (16) derart ausgebildet ist, wie es aus dem Verfahren gemäß Patentanspruch 1 resultiert.

31. Anordnung nach Patentanspruch 30, wobei der Halbleiterkörper (10) ein rechteckig geformtes aktives Gebiet umfasst, wobei eine Abmessung einer Kante um nicht mehr als 50% von einer Abmessung einer anstoßenden Kante abweicht.

32. Multi-Gate-Feldeffekt-Transistor mit:  
einem Halbleiterkörper (10) mit einer Halbleiterrippe (10f);  
einer an einer oberen Oberfläche der Halbleiterrippe (10f) angeordneten verspannten Halbleiterschicht (16);  
einem Kanal-Gebiet, das in der verspannten Halbleiterschicht (16) angeordnet ist;  
einem über dem Kanal-Gebiet liegenden Gate-Dielektrikum;  
einer über dem Gate-Dielektrikum liegenden Gate-Elektrode (26), die über Seitenwänden der Halbleiterrippe (10f) liegt;  
einem in der Halbleiterrippe (10f) angeordneten Source-Gebiet; und  
einem in der Halbleiterrippe (10f) angeordneten und von dem Source-Gebiet durch das Kanal-Gebiet beabstandeten Drain-Gebiet,  
**dadurch gekennzeichnet,** dass  
die verspannte Halbleiterschicht (16) derart ausgebildet ist, wie es aus dem Verfahren gemäß Patentanspruch 26 resultiert.

Es folgen 8 Seiten Zeichnungen

Anhängende Zeichnungen

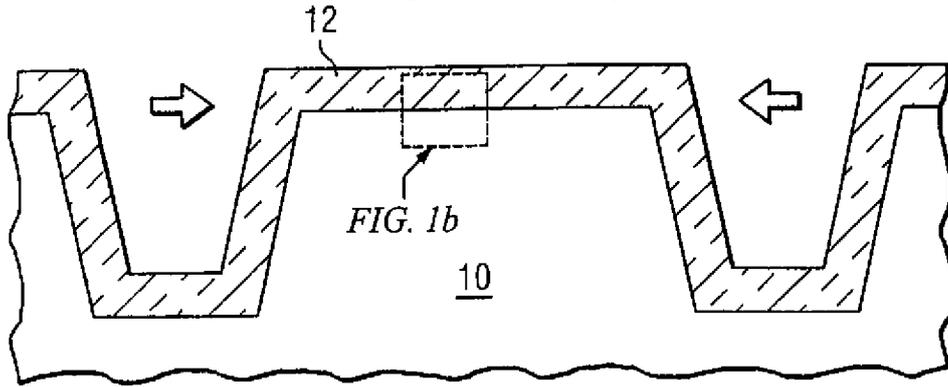


FIG. 1a

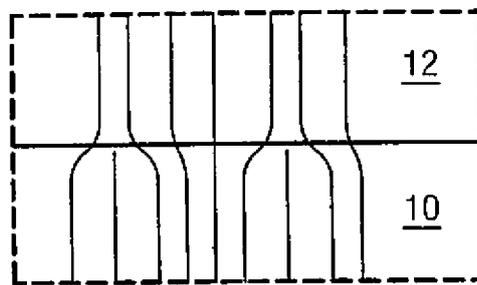


FIG. 1b

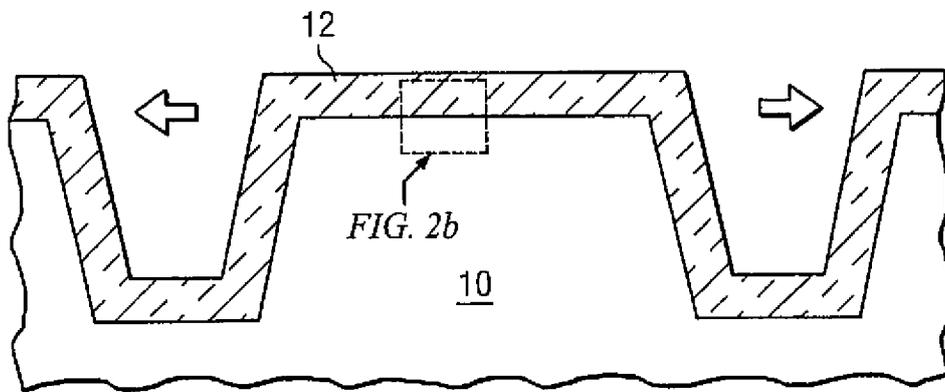


FIG. 2a

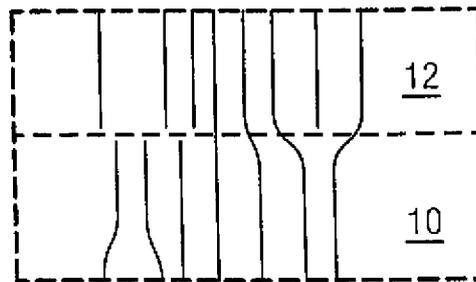


FIG. 2b

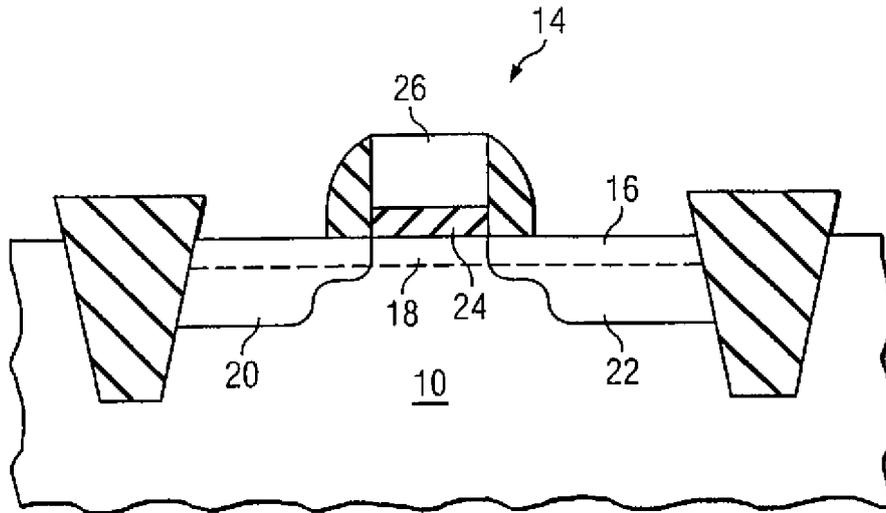


FIG. 3

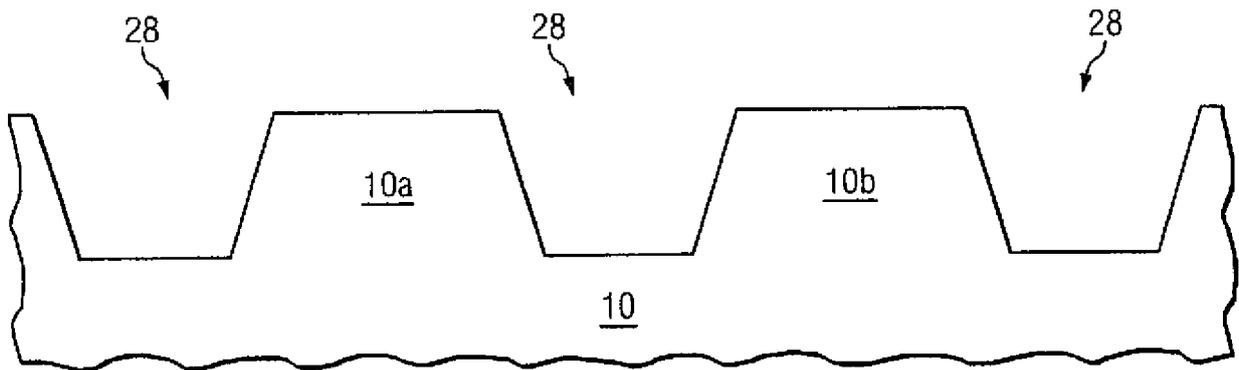


FIG. 4a

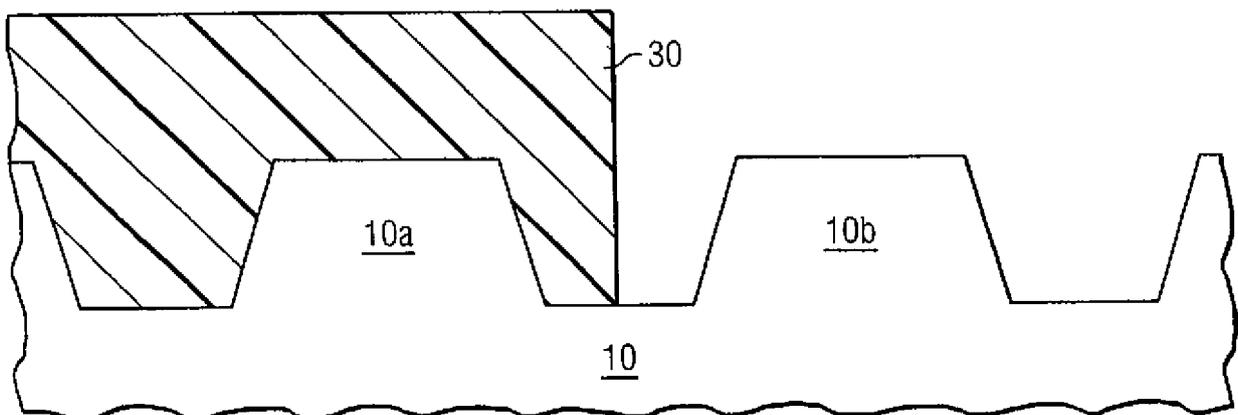


FIG. 4b

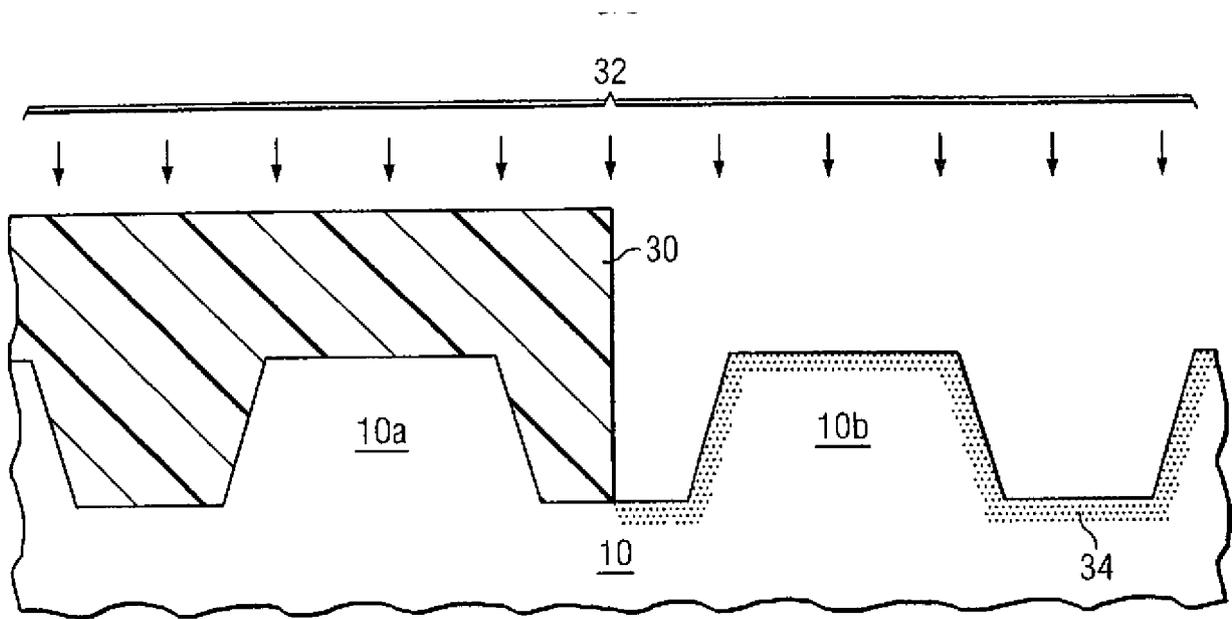


FIG. 4c

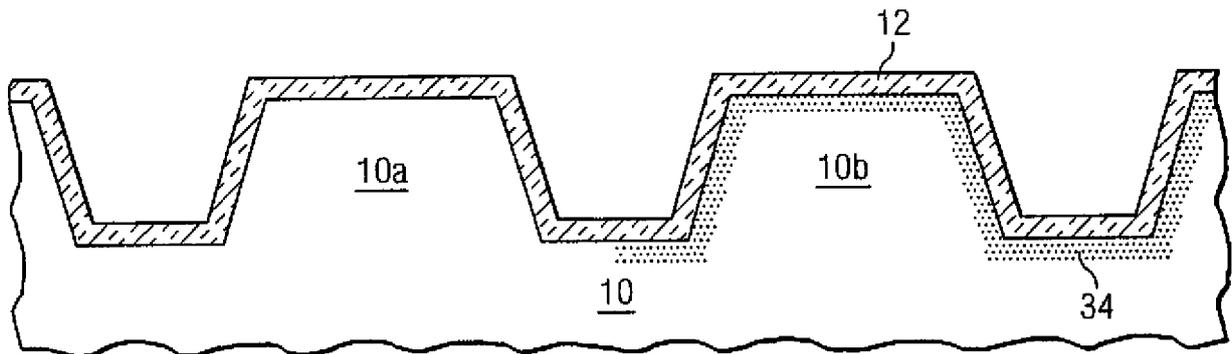


FIG. 4d

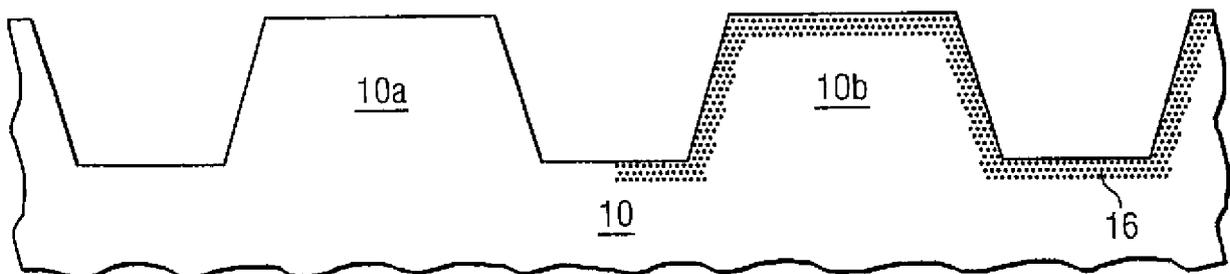


FIG. 4e

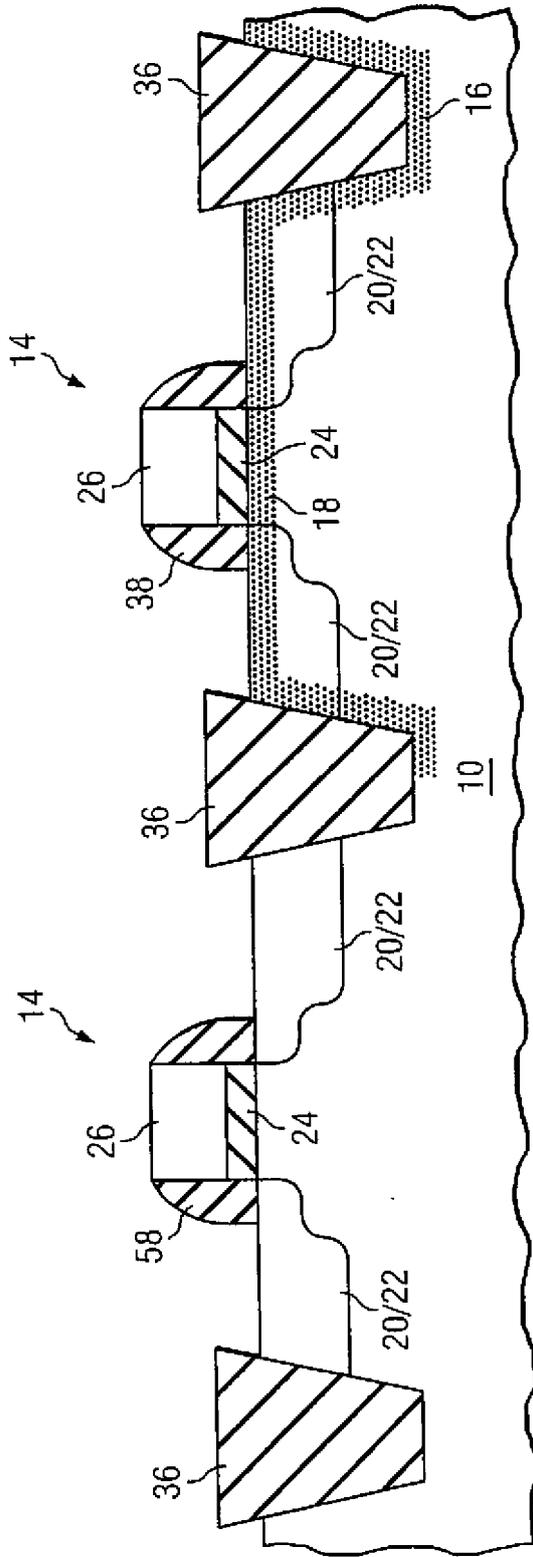


FIG. 4f

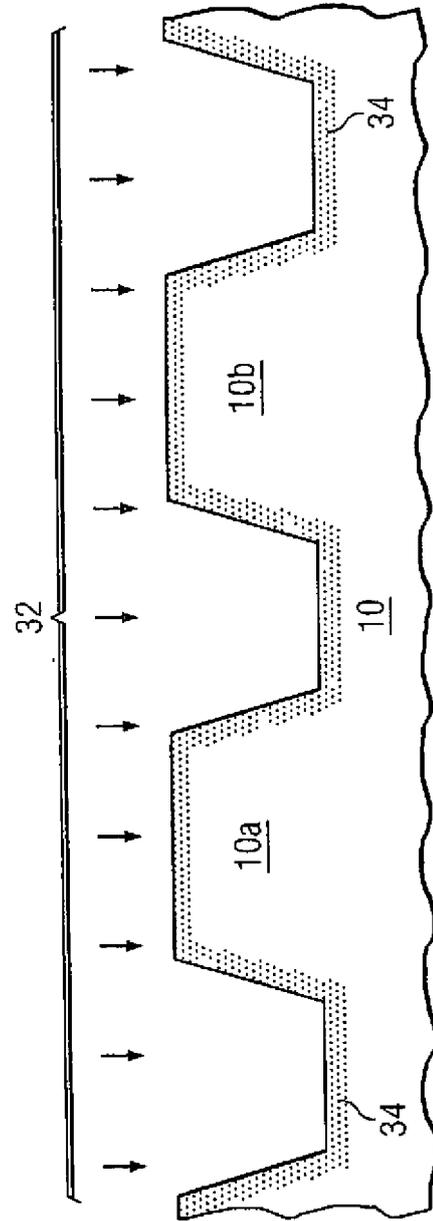


FIG. 5a

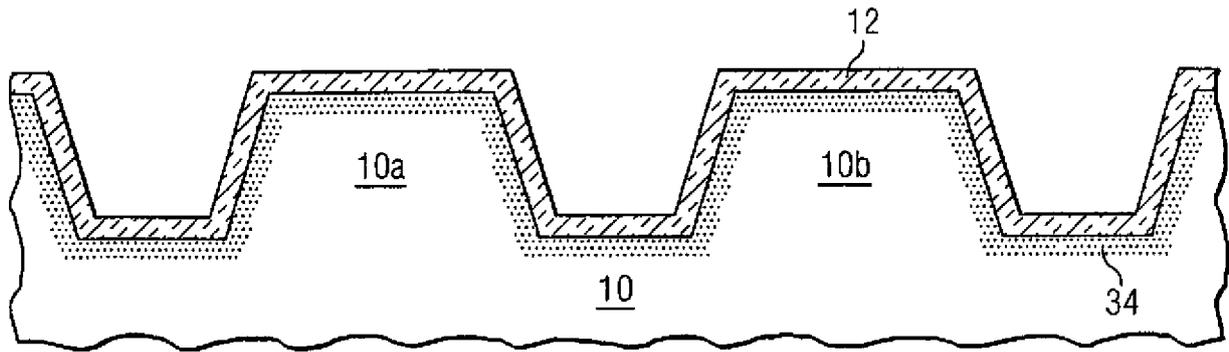


FIG. 5b

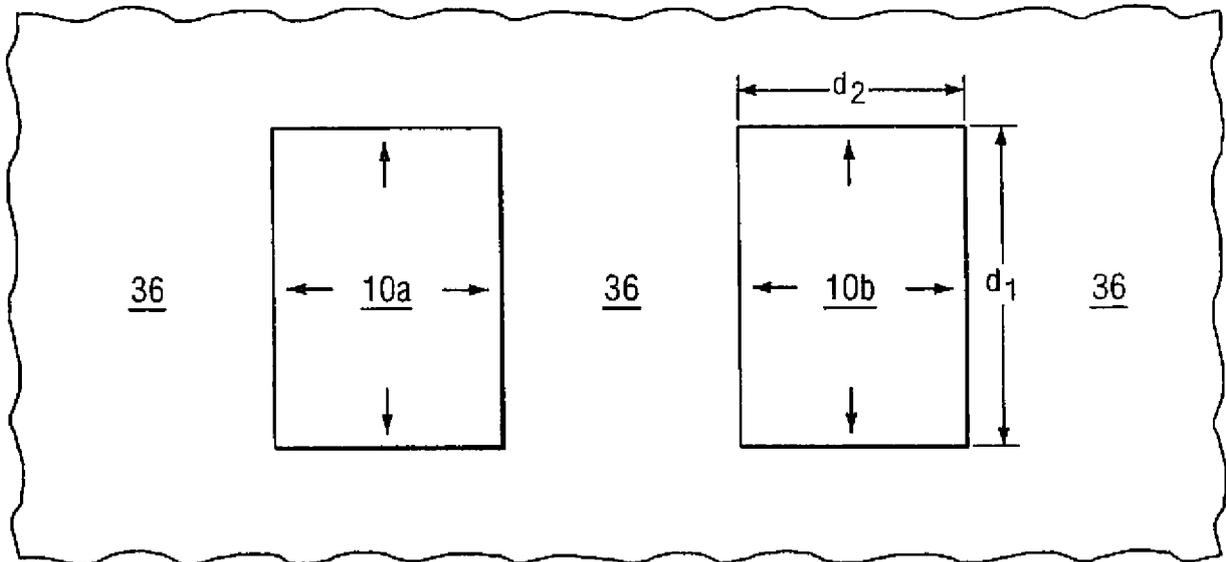


FIG. 6

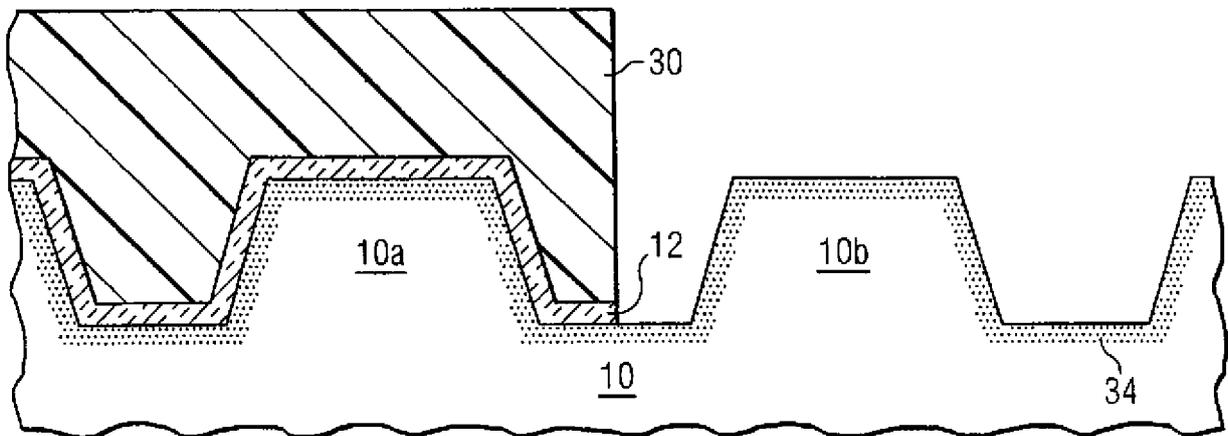


FIG. 7a

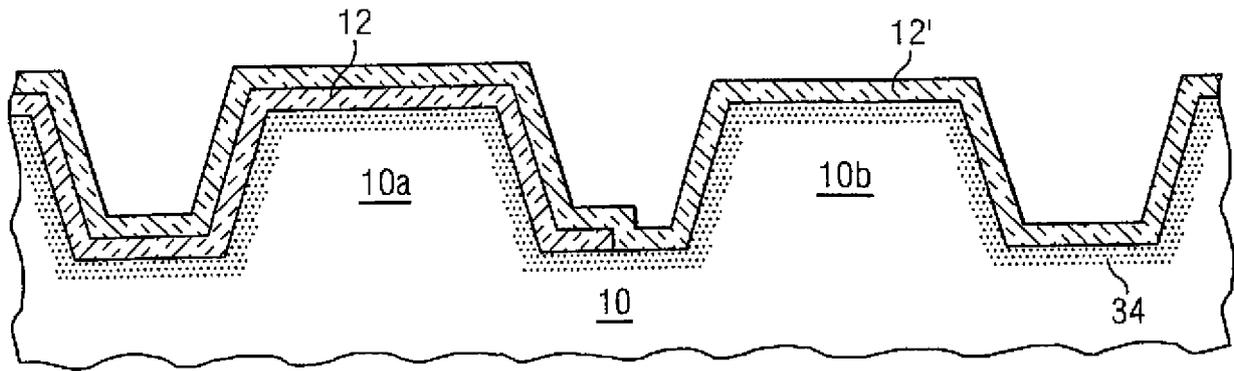


FIG. 7b

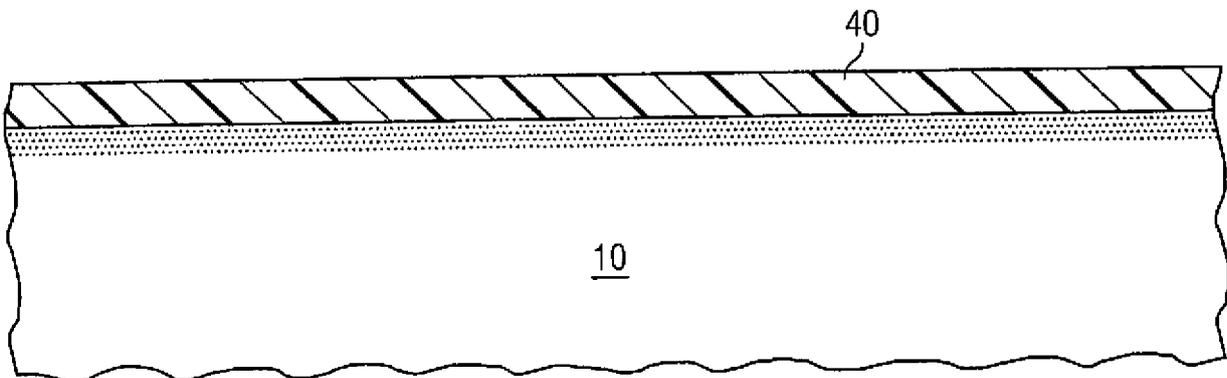


FIG. 8a

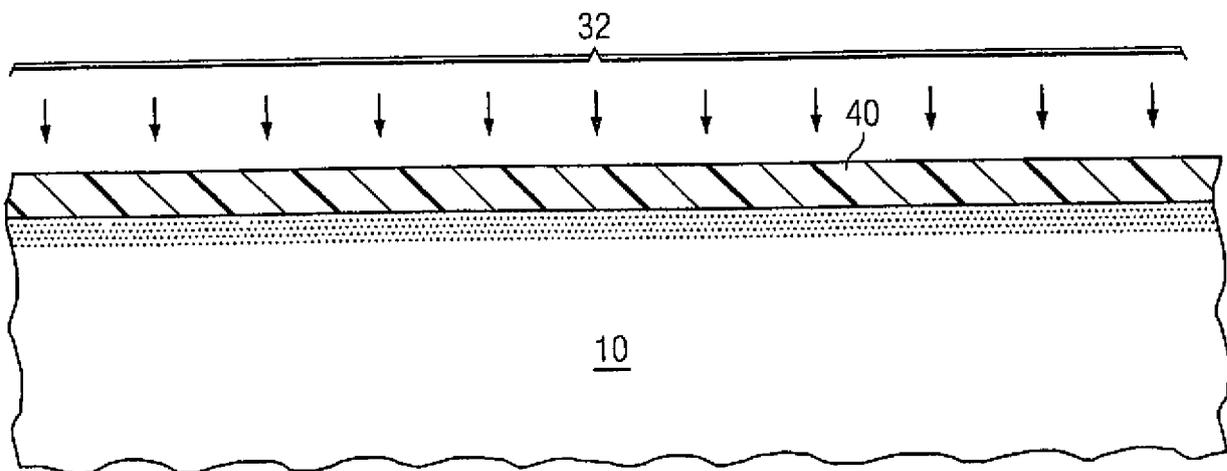


FIG. 8b

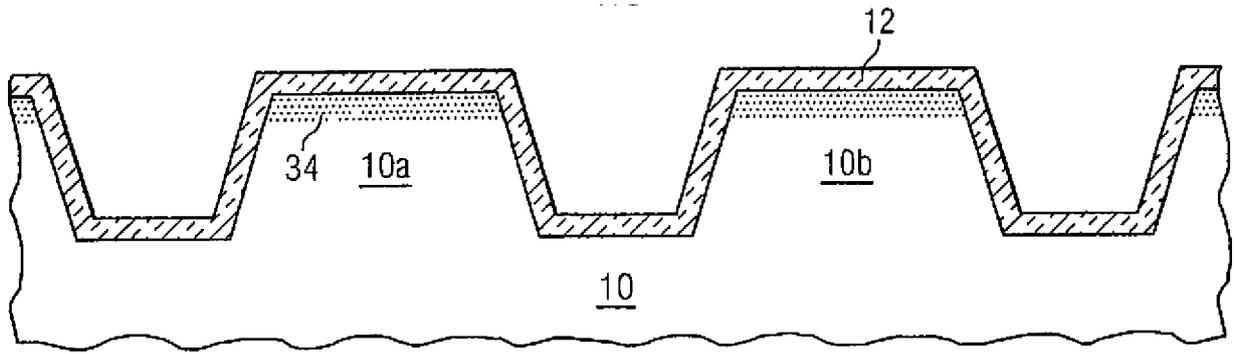


FIG. 8c

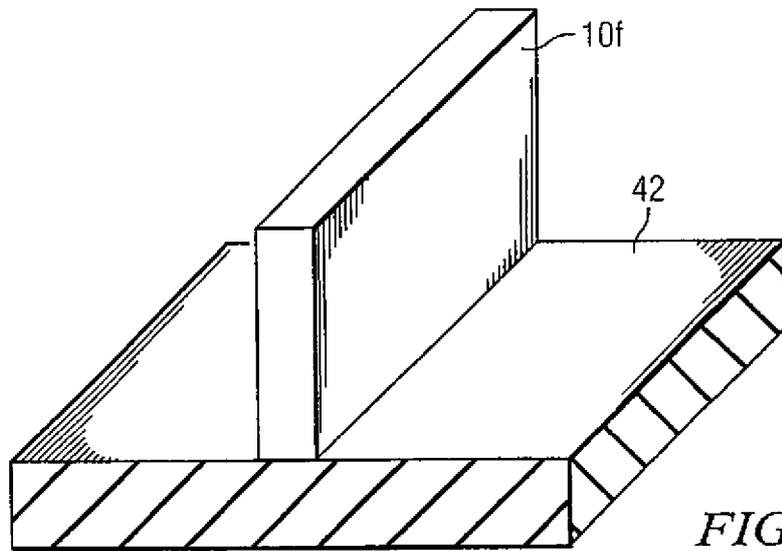


FIG. 9a

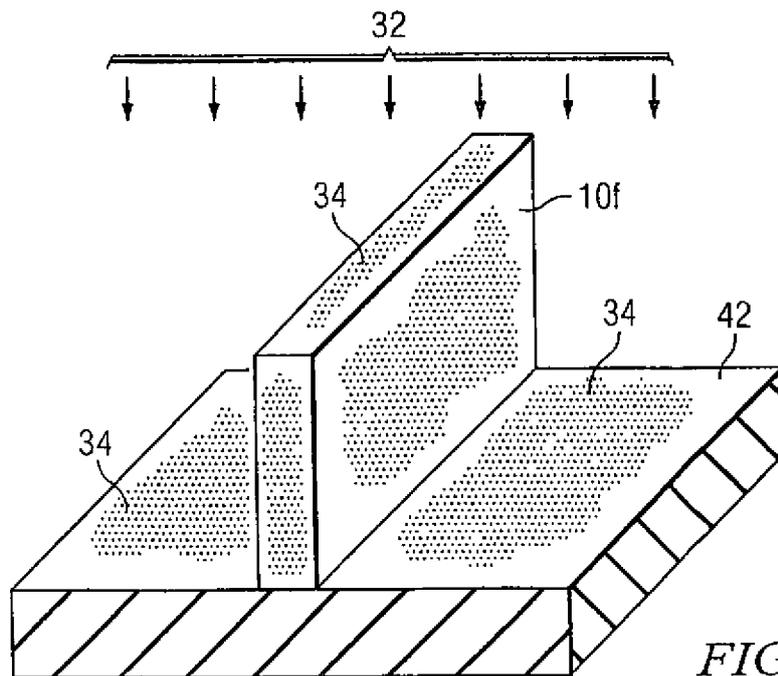


FIG. 9b

