

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成29年6月15日(2017.6.15)

【公表番号】特表2016-540336(P2016-540336A)
 【公表日】平成28年12月22日(2016.12.22)
 【年通号数】公開・登録公報2016-069
 【出願番号】特願2016-536640(P2016-536640)
 【国際特許分類】

G 1 1 C 11/15 (2006.01)

【F I】

G 1 1 C 11/15 1 4 0

【手続補正書】

【提出日】平成29年5月8日(2017.5.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

方法であって、

単一のメモリクロックサイクル中に、

磁気トンネル接合(MTJ)記憶素子に記憶される第1の値を読み出すステップと、
 メモリ書込み動作中に、マルチプレクサ(MUX)が論理値を受信するステップと、

前記第1の値を前記論理値と比較するステップと、

前記比較に基づいて、前記MTJ記憶素子に前記論理値を選択的に書き込むステップと
 によって、前記MTJ記憶素子においてメモリ書込み動作を実行するステップと、

前記MTJ記憶素子においてメモリ読出し動作を実行するステップであって、前記メモリ
 読出し動作は、前記MUXから基準値を受信するステップを含む、ステップと
 を含む、方法。

【請求項2】

前記第1の値が前記論理値に一致しないと判断するのに応答して、前記論理値が前記MTJ
 記憶素子に書き込まれる、請求項1に記載の方法。

【請求項3】

前記第1の値が前記論理値に一致すると判断するのに応答して、前記MTJ記憶素子に前記
 論理値を書き込むのを抑制するステップをさらに含む、請求項1に記載の方法。

【請求項4】

前記単一のメモリクロックサイクル中に、

MTJ記憶素子のアレイに記憶される第1の複数の値を読み出すステップであって、前記
 第1の複数の値は前記第1の値を含み、前記MTJ記憶素子のアレイは前記MTJ記憶素子を含む
 、読み出すステップと、

前記第1の複数の値の各々を第2の複数の値の各々と比較するステップであって、前記
 第2の複数の値は前記論理値を含み、前記第2の複数の値は前記MTJ記憶素子のアレイに書
 き込まれることになる、比較するステップと、

前記第1の複数の値の各々と前記第2の複数の値の各々との前記比較に基づいて、前記
 MTJ記憶素子のアレイの対応するMTJ記憶素子に前記第2の複数の値の各々を選択的に書き
 込むステップと

をさらに含む、請求項1に記載の方法。

【請求項 5】

第1の電流を用いて前記第1の値を読み出すステップと、第2の電流を用いて前記MTJ記憶素子に前記論理値を書き込むステップとをさらに含み、前記第2の電流は前記第1の電流よりも大きな量を有する、請求項1に記載の方法。

【請求項 6】

第1の期間中に前記第1の値を読み出すステップと、第2の期間中に前記MTJ記憶素子に前記論理値を書き込むステップとをさらに含み、前記第2の期間は前記第1の期間よりも長い、請求項1に記載の方法。

【請求項 7】

前記第1の値は前記単一のメモリクロックサイクルの最初の半分以上に読み出される、請求項1に記載の方法。

【請求項 8】

装置であって、
書込み動作中に論理値を出力し、かつ読出し動作中に基準値を出力するように構成されるマルチプレクサ(MUX)と、
磁気トンネル接合(MTJ)記憶素子に結合される回路であって、メモリ動作の単一のメモリクロックサイクル中に、
前記MTJ記憶素子に記憶される第1の値を受信し、
前記MUXから前記論理値を受信し、
前記第1の値を前記論理値と比較し、
前記比較に基づいて、前記MTJ記憶素子への前記論理値の書込みを選択的に可能にする
ように構成される回路と
を備える、装置。

【請求項 9】

前記回路は、前記第1の値が前記論理値に一致しないと判断するのに応答して、書込みイネーブル信号を生成することによって前記書込みを可能にするようにさらに構成される、請求項8に記載の装置。

【請求項 10】

前記MUXは、前記基準値を受信するように構成される第1の入力と、前記論理値を受信するように構成される第2の入力と、制御信号を受信するように構成される第3の入力と、出力とを含み、前記制御信号は読出し動作または前記書込み動作を指示するように構成され、前記出力値は前記読出し動作を指示する第1の値を有する前記制御信号に応答して前記基準値に対応し、前記出力値は前記書込み動作を指示する第2の値を有する前記制御信号に応答して前記論理値に対応する、請求項8に記載の装置。

【請求項 11】

前記MUXは、前記読出し動作を指示する第1の値を有する前記制御信号に基づいて、メモリ読出し動作中に前記基準値を与えるように構成される、請求項10に記載の装置。

【請求項 12】

前記回路は、書込みパルス発生器に前記書込みイネーブル信号を送信するようにさらに構成され、前記書込みパルス発生器は、前記書込みイネーブル信号に応答して、前記MTJ記憶素子への前記論理値の書込みを可能にするように構成される、請求項8に記載の装置。

【請求項 13】

前記回路は、前記単一のメモリクロックサイクル中に、
MTJ記憶素子のアレイに記憶される第1の複数の値を受信することであって、前記第1の複数の値は前記第1の値を含み、前記MTJ記憶素子のアレイは前記MTJ記憶素子を含む、受信することと、
前記MTJ記憶素子のアレイに書き込まれることになる第2の複数の値を受信することであって、前記第2の複数の値は前記論理値を含む、受信することと、

前記第1の複数の値を前記第2の複数の値と比較することと、

前記第1の複数の値と前記第2の複数の値との前記比較に基づいて、前記MTJ記憶素子のアレイの対応するMTJ記憶素子への前記第2の複数の値の各々の書込みを選択的に可能にすることと

を行うようにさらに構成される、請求項8に記載の装置。

【請求項14】

前記第1の複数の値は前記単一のメモリクロックサイクルの最初の半分以上に受信される、請求項13に記載の装置。

【請求項15】

前記回路は少なくとも1つの半導体ダイに集積される、請求項8に記載の装置。

【請求項16】

モバイルフォン、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定位置データユニット、およびコンピュータからなるグループから選択されるデバイスをさらに備え、前記回路は前記デバイスに組み込まれる、請求項8に記載の装置。

【請求項17】

前記回路は、センス増幅器と、コンパレータとを含む、請求項8に記載の装置。

【請求項18】

前記回路は、

前記MTJ記憶素子への前記論理値の前記書込みが完了した後に、前記MUXから前記基準値を受信し、

前記論理値と前記基準値を比較し、

前記比較に基づいて、前記MTJ記憶素子への前記基準値の第2の書込みを選択的に可能にする

ようにさらに構成される、請求項8に記載の装置。

【請求項19】

装置であって、

第1の磁気トンネル接合(MTJ)記憶素子を含むMTJ記憶素子のアレイと、

単一のメモリクロックサイクル中に、メモリ書込み動作中に論理値を出力し、かつメモリ読出し動作中に基準値を出力するように構成されるマルチプレクサ(MUX)と、

前記MTJ記憶素子のアレイと、前記MUXとに結合される回路であって、メモリ動作中に、

前記第1のMTJ記憶素子に記憶される第1の値を受信し、

前記MUXから前記論理値を受信し、

前記第1の値を前記論理値と比較し、

前記比較に基づいて、書込みパルス発生器に書込みイネーブル信号を選択的に送信する

ように構成される回路と

を備え、

前記回路は、前記メモリ読出し動作中に、前記MUXから前記基準値を受信するように構成される、装置。

【請求項20】

前記書込みパルス発生器は、前記書込みイネーブル信号に応答して、前記MTJ記憶素子への前記論理値の書込みを可能にするように構成される、請求項19に記載の装置。

【請求項21】

前記MUXは、前記メモリ読出し動作または前記メモリ書込み動作を指示する値を有する制御信号を受信するように構成される、請求項19に記載の装置。

【請求項22】

前記MUXは、前記制御信号によって指示される前記メモリ書込み動作に基づいて、前記回路に前記論理値を出力するように構成され、前記MUXは、前記制御信号によって指示される前記メモリ読出し動作に基づいて、基準値を出力するように構成される、請求項21に

記載の装置。

【請求項 23】

前記回路は、前記第1の値が前記論理値と異なるとの判断に応答して、前記書込みパルス発生器に前記書込みイネーブル信号を送信するようにさらに構成される、請求項19に記載の装置。

【請求項 24】

前記回路は、前記第1の値が前記論理値に一致するとの判断に応答して、前記書込みパルス発生器への前記書込みイネーブル信号の送信を抑制するようにさらに構成される、請求項19に記載の装置。

【請求項 25】

前記回路は、単一のメモリクロックサイクル中に、前記第1の値を受信し、前記論理値を受信し、かつ、前記書込みイネーブル信号を選択的に送信するようにさらに構成される、請求項19に記載の装置。

【請求項 26】

前記回路は、

前記MTJ記憶素子のアレイに記憶される第1の複数の値を受信することであって、前記第1の複数の値は前記第1の値を含む、受信することと、

前記MUXから、前記MTJ記憶素子のアレイに書き込まれることになる第2の複数の値を受信することであって、前記第2の複数の値は前記論理値を含む、受信することと、

前記第1の複数の値を前記第2の複数の値と比較することと、

前記第1の複数の値と前記第2の複数の値との前記比較に基づいて、複数の書込みパルス発生器に書込みイネーブル信号を選択的に送信することと
を行うようにさらに構成される、請求項19に記載の装置。

【請求項 27】

前記MTJ記憶素子のアレイ、前記MUX、前記回路および前記書込みパルス発生器は少なくとも1つの半導体ダイに集積され、前記回路はセンス増幅器と、コンパレータとを含む、請求項19に記載の装置。

【請求項 28】

スマートフォン、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定位置データユニット、コンピュータからなるグループの中から選択されるデバイスをさらに備え、前記MTJ記憶素子のアレイ、前記MUX、前記回路および前記書込みパルス発生器は前記デバイスに組み込まれる、請求項19に記載の装置。

【請求項 29】

装置であって、

第1のデータ要素を含む複数のデータ要素を記憶するための手段と、

前記第1のデータ要素に記憶される第1の値を受信するための手段と、

メモリ書込み動作中にマルチプレクサ(MUX)から論理値を受信し、かつメモリ読出し動作中に前記MUXから基準値を受信するための手段と、

前記第1の値を第2の値と比較するための手段と、

前記比較するための手段からの結果に基づいて、書込みパルスを生成するための手段に書込みイネーブル信号を選択的に送信するための手段であって、前記書込みパルスは、前記第1のデータ要素への前記第2の値の書込みを可能にする、送信するための手段とを備える、装置。

【請求項 30】

スマートフォン、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定位置データユニット、コンピュータからなるグループの中から選択されるデバイスをさらに備え、前記記憶するための手段、前記第1の値を受信するための手段、前記論理値を受信するための手段、前記比較するための手段、前記選択的に送信するための手段、およ

び前記書込みパルスを生成するための手段は、前記デバイスに組み込まれる、請求項29に記載の装置。